



(12) 发明专利

(10) 授权公告号 CN 111966196 B

(45) 授权公告日 2025. 04. 25

(21) 申请号 202010292988.9

(51) Int.Cl.

(22) 申请日 2020.04.15

G06F 1/26 (2006.01)

G06F 11/07 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 111966196 A

(56) 对比文件

US 2014039720 A1, 2014.02.06

(43) 申请公布日 2020.11.20

(30) 优先权数据

19305638.9 2019.05.20 EP

审查员 吴荻

(73) 专利权人 恩智浦美国有限公司

地址 美国得克萨斯

(72) 发明人 L·胡里奥 D·麦肯纳

J·P·莫尤涅尔 T·H·路德科

(74) 专利代理机构 中国贸促会专利商标事务所

有限公司 11038

专利代理师 张丹

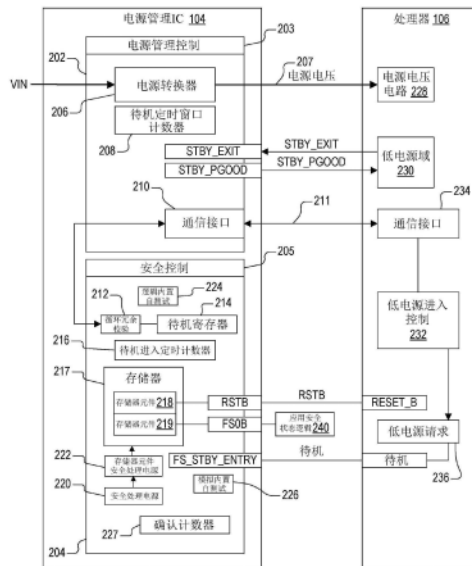
权利要求书2页 说明书10页 附图4页

(54) 发明名称

用于处理器的电源模式管理的系统和方法

(57) 摘要

用于处理器的电源模式管理的系统和方法，所述系统和方法提供了正常模式和低电源模式之间的安全和稳健的转换，以满足低电流要求并且确保准确的电源模式转换通信。两步过程包括接收数字代码、启动待机进入定时器、在所述待机进入定时器超时之前接收低电源请求指示以确保有效请求，以及否则在定时器超时时复位。看门狗定时器确保不超过最大待机持续时间。确认定时器确保电源管理IC的模块之间的有效通信。存储器元件在待机期间确保和维持复位状态引脚和安全状态引脚的有效状态。执行自测试，其中测试失败会防止转换到所述低电源模式。电源良好指示确保所述处理器的电源电压适合于低电源操作和正常操作。



1. 一种处理系统,其特征在于,包括:
 - 具有正常模式和低电源模式的电源管理电路,所述电源管理电路包括:
 - 电源管理处理模块,所述电源管理处理模块包括:
 - 通信接口;以及
 - 电源控制电路,当在所述低电源模式期间接收到低电源退出请求时,所述电源控制电路将所述电源管理电路从所述低电源模式转换到所述正常模式;以及
 - 安全处理模块,所述安全处理模块包括:
 - 待机存储器;
 - 待机进入定时器;以及
 - 安全控制电路,当预定数字值被写入到所述待机存储器中时,所述安全控制电路在所述正常模式期间启动所述待机进入定时器,并且仅当在所述待机进入定时器超时之前接收到低电源请求指示时,所述安全控制电路提供待机启动指示以将所述电源管理处理模块转换到所述低电源模式;
 - 具有正常处理器模式和低电源处理器模式的处理器,其中所述处理器包括:
 - 低电源控制电路,所述低电源控制电路通过经由所述通信接口向所述电源管理电路提供所述预定数字值来请求进入所述低电源处理器模式;以及
 - 低电源请求电路,所述低电源请求电路在提供所述预定数字值之后提供所述低电源请求指示。
2. 根据权利要求1所述的处理系统,其特征在于,当所述待机进入定时器在接收到待机请求指示之前超时时,所述安全控制电路执行复位过程。
3. 根据在前的任一项权利要求所述的处理系统,其特征在于,所述电源管理处理模块进一步包括:
 - 电源转换器,所述电源转换器提供电源电压;且
 - 其中所述电源控制电路响应于来自所述安全控制电路的所述待机启动指示来启动所述电源转换器的断电,并且提供待机响应指示。
4. 根据权利要求3所述的处理系统,其特征在于,所述电源管理处理模块进一步包括:
 - 看门狗定时器;且
 - 其中所述电源控制电路响应于来自所述安全控制电路的所述待机启动指示来启动所述看门狗定时器,其中当所述看门狗定时器超时时,所述电源管理处理模块执行复位过程,并且其中当所述电源电压被充电到高于预定高阈值电平时,所述电源控制电路在第一状态下断言电源良好引脚,以及当所述电源电压被放电到低于预定低阈值电平时,所述电源控制电路在第二状态下断言电源良好引脚。
5. 根据权利要求4所述的处理系统,其特征在于,所述电源控制电路响应于接收到所述低电源退出请求,停止所述看门狗定时器、重新激活所述电源转换器并且提示所述安全控制电路唤醒所述安全处理模块。
6. 根据权利要求1或2所述的处理系统,其特征在于,当提供所述待机启动指示时,所述安全处理模块启动确认定时器,其中当所述确认定时器在提供待机响应指示之前超时时,所述安全处理模块执行复位过程,并且其中当在所述确认定时器超时之前提供待机响应指示时,所述安全处理模块进入所述低电源模式并且停止所述确认定时器。

7. 根据权利要求6所述的处理系统,其特征在于,所述安全处理模块进一步包括至少一个存储器元件,所述至少一个存储器元件在所述低电源模式期间维持至少一个外部引脚中的每一个的状态。

8. 根据权利要求1或2所述的处理系统,其特征在于,所述安全处理模块进一步包括:测试电路,所述测试电路在上电期间执行所述安全处理模块的自测试,并且提供指示所述自测试的通过指示;且

其中当所述通过指示指示测试失败时,所述安全处理模块防止进入待机模式。

9. 一种电源模式管理的方法,其特征在于,包括:
在正常模式期间接收数字代码;
将接收到的数字代码与预定数字值进行比较;
当接收到的数字代码与所述预定数字值匹配时,启动待机进入定时器;
仅当在所述待机进入定时器超时之前接收到待机请求指示时,提供待机启动指示以开始从所述正常模式转换到低电源模式;以及

响应于接收到低电源退出请求而从所述低电源模式转换到正常模式;

通过在所述正常模式期间提供所述数字代码,处理器请求进入所述低电源模式;

在提供数字代码之后,处理器提供低电源请求;

当电源良好指示指示电源电压低于预定低阈值电平时,处理器进入低电源模式;

通过提供低电源退出请求,处理器请求进入正常模式;

以及当所述电源良好指示指示所述电源电压高于预定高阈值电平时,所述处理器进入所述正常模式。

用于处理器的电源模式管理的系统和方法

技术领域

[0001] 本发明总体上涉及处理器电源模式管理,并且更具体地涉及确保电源模式转换以稳健和安全的方式发生以减少故障的可能性的系统和方法。

背景技术

[0002] 安全是某些应用的关注点,例如汽车应用或工业应用等。处理器或处理单元(例如微处理器、微控制器、芯片上系统或任何其它处理配置)可以用于处理任何类型的数据或信息以控制与特定应用相关联的某些参数、功能或操作。汽车应用可以包括,例如,网关(例如,车内联网和远程信息处理)、自适应驾驶员辅助系统(ADAS)、信息娱乐(音频和/或视频娱乐、信息、导航、免提控制等)、群集(数字仪表、平视显示器等)、车辆到一切(V2X)(例如,车辆和外部实体之间的通信、交通标志识别等)、雷达、视觉(例如,照相机、接近传感器、避碰、盲点监控等)。工业应用可以包括,例如,工业平板电脑或膝上型电脑等、因特网协议电视(IPTV)、工业控制、医疗监控、家庭自动化和/或报警系统等。

[0003] 处理器可以具有低电源模式(例如待机模式等)以便在除了最小量的逻辑断电之外的所有非活动期间,将功率消耗降至最低。外部电源管理IC(PMIC)可以用于向处理器提供电源电压,并且可以进一步用于控制处理器的电源模式,所述控制处理器的电源模式包括在正常电源模式和低电源模式之间的转换。在这样的配置中,处理器和PMIC之间的任何错误通信都可能导致在不正确的时间断电,从而导致处理器和任何相应的外围设备意外断电。对于涉及安全的应用(包括安全关键应用),如果系统不能转换到安全状态,则意外断电的后果可能会带来不便甚至危险。

发明内容

[0004] 本公开的各方面在所附权利要求中限定。

[0005] 在第一方面,提供了一种处理系统,所述处理系统包括:

[0006] 具有正常模式和低电源模式的电源管理电路,所述电源管理电路包括:

[0007] 电源管理处理模块,所述电源管理处理模块包括:

[0008] 通信接口;以及

[0009] 电源控制电路,当在所述低电源模式期间接收到低电源退出请求时,所述电源控制电路将所述电源管理电路从所述低电源模式转换到所述正常模式;以及

[0010] 安全处理模块,所述安全处理模块包括:

[0011] 待机存储器;

[0012] 待机进入定时器;以及

[0013] 安全控制电路,当预定数字值被写入到所述待机存储器中时,所述安全控制电路在所述正常模式期间启动所述待机进入定时器,并且仅当在所述待机进入定时器超时之前接收到低电源请求指示时,提供待机启动指示以将所述电源管理处理模块转换到所述低电源模式。

[0014] 在一个或多个实施例中,当所述待机进入定时器在接收到所述待机请求指示之前超时时,所述安全控制电路可以执行复位过程。

[0015] 在一个或多个实施例中,所述电源管理处理模块可以进一步包括:提供电源电压的电源转换器;并且所述电源控制电路可以响应于来自所述安全控制电路的所述待机启动指示来启动所述电源转换器的断电,并且提供待机响应指示。

[0016] 在一个或多个实施例中,所述电源管理处理模块可以进一步包括:看门狗定时器;并且所述电源控制电路可以响应于来自所述安全控制电路的所述待机启动指示来启动所述看门狗定时器,其中当所述看门狗定时器超时时,所述电源处理电路可以执行复位过程,并且其中当所述电源电压被充电到高于预定高阈值电平时,所述电源控制电路可以在第一状态下断言电源良好引脚,以及当所述电源电压被放电到低于预定低阈值电平时,所述电源控制电路可以在第二状态下断言电源良好引脚。

[0017] 在一个或多个实施例中,所述电源控制电路可以响应于接收到所述低电源退出请求,停止所述看门狗定时器、重新激活所述电源转换器并且提示所述安全控制电路唤醒所述安全处理模块。

[0018] 在一个或多个实施例中,当提供所述待机启动指示时,所述安全处理电路可以启动确认定时器,其中当所述确认定时器在提供所述待机响应指示之前超时时,所述安全处理电路可以执行复位过程,并且其中当在所述确认定时器超时之前提供所述待机响应指示时,所述安全处理电路可以进入所述低电源模式并且停止所述确认定时器。

[0019] 在一个或多个实施例中,所述安全处理模块可以进一步包括至少一个存储元件,所述至少一个存储元件在所述低电源模式期间维持至少一个外部引脚中的每一个的状态。

[0020] 在一个或多个实施例中,所述安全处理模块可以进一步包括:测试电路,所述测试电路可以在上电期间执行所述安全处理模块的自测试,并且可以提供指示所述自测试的通过指示;并且其中,当所述通过指示指示测试失败时,所述安全处理电路可以防止进入所述待机模式。

[0021] 在一个或多个实施例中,根据权利要求1所述的处理系统可以进一步包括:具有正常处理器模式和低电源处理器模式的处理器,其中所述处理器可以包括:低电源控制电路,所述低电源控制电路通过经由所述通信接口向所述电源管理电路提供所述预定数字值来请求进入所述低电源处理器模式;以及低电源请求电路,所述低电源请求电路在提供所述预定数字值之后提供所述低电源请求指示。

[0022] 在一个或多个实施例中,所述处理器可以进一步包括低电源域电路,所述低电源域电路提供所述低电源退出请求以请求重新进入所述正常处理模式,并且仅当所述电源管理电路的电源良好引脚指示电源电压高于预定阈值电平时,才启动重新进入所述正常处理模式。

[0023] 在一个或多个实施例中,所述处理器可以进一步包括低电源域电路,所述低电源域电路使得所述处理器仅当所述电源管理电路的电源良好引脚指示电源电压低于预定阈值电平时,能够从所述正常处理模式转换到所述低电源处理模式。

[0024] 在第二方面,提供了一种电源模式管理的方法,所述方法包括:在正常操作模式期间接收数字代码;将接收到的数字代码与预定数字值进行比较;当接收到的数字代码与预定数字值匹配时,启动待机进入定时器;仅当在待机进入定时器超时之前接收到待机请求

指示时,提供待机启动指示以开始从正常模式转换到低电源操作模式;以及响应于接收到低电源退出请求而从所述低电源模式转换到所述正常模式。

[0025] 在一个或多个实施例中,所述方法可以进一步包括:当所述待机进入定时器在接收到所述低电源请求指示之前超时时,执行复位过程。

[0026] 在一个或多个实施例中,所述方法可以进一步包括:提供电源电压;以及响应于接收到待机启动指示,对电源电压进行放电并且提供待机响应指示。

[0027] 在一个或多个实施例中,所述方法可以进一步包括:响应于接收到所述待机启动指示,启动看门狗定时器;当看门狗定时器超时时,执行复位过程;以及当电源电压被充电到高于预定高阈值电平时,在第一状态下断言电源良好引脚,以及当电源电压被放电到低于预定低阈值电平时,在第二状态下断言电源良好引脚。

[0028] 在一个或多个实施例中,所述方法可以进一步包括:响应于接收到低电源退出请求,停止看门狗定时器、重新激活电源转换器并且提示唤醒。

[0029] 在一个或多个实施例中,所述方法可以进一步包括:当提供待机启动指示时,启动确认定时器;当在提供待机响应指示之前确认定时器超时时,执行复位过程;以及当在确认定时器超时之前提供待机响应指示时,进入低电源模式并且停止确认定时器。

[0030] 在一个或多个实施例中,所述方法可以进一步包括提供至少一个存储元件,所述至少一个存储元件在低电源模式期间维持至少一个外部引脚中的每一个的状态。

[0031] 在一个或多个实施例中,所述方法可以进一步包括:在上电期间执行自测试,并且提供指示所述自测试的通过指示;以及当所述通过指示指示测试失败时,防止所述进入所述低电源模式。

[0032] 在一个或多个实施例中,所述方法可以进一步包括:通过在所述正常模式期间提供所述数字代码,处理器请求进入所述低电源模式;在提供数字代码之后,处理器提供低电源请求;当电源良好指示指示电源电压低于预定低阈值电平时,处理器进入低电源模式;通过提供低电源退出请求,处理器请求进入正常模式;以及当所述电源良好指示指示所述电源电压高于预定高阈值电平时,所述处理器进入所述正常模式。

附图说明

[0033] 本发明的实施例通过实例的方式进行说明并且不受附图的限制。附图中类似的标记可以表示类似的元件。附图中的元件是为了简单和清楚而示出的,并且没有必要按比例绘制。

[0034] 图1是根据本公开的一个实施例实现的处理系统的简化框图。

[0035] 图2是根据本公开的一个实施例的与图1的处理器连接以控制电源模式转换的PMIC的更详细的框图。

[0036] 图3是示出了根据本公开的一个实施例的由图2的PM控制电路控制的电源管理处理模块的操作的状态图。

[0037] 图4是示出了根据本公开的一个实施例的由图2的安全控制电路控制的安全处理模块的操作的状态图。

具体实施方式

[0038] 发明人已认识到,有利的是,提供一种稳健和安全的方法以在处理器和电源管理 IC (PMIC) 之间的正常操作模式和低电源操作模式之间进行转换,同时还确保跨接口的通信是准确的。正常模式意味着系统完全通电以执行系统设计所针对的功能和操作。低电源模式表示降低静态电流以便降低总功率消耗的任何降低的电源模式(例如,降低的电源模式、睡眠模式、待机模式等)。如本文中所描述的电源模式管理的系统和方法提供了专用的交互,以确保不同操作模式之间的转换是安全和稳健的,例如当执行系统关键功能时,确保处理器不会意外地转换到处理器的低电源模式。

[0039] 图1是根据本公开的一个实施例实现的处理系统102的简化框图。处理系统102可以以离散方式实现,或者可以集成到例如芯片上系统 (SoC) 等的单个模块上。处理系统102包括电源管理 IC (PMIC) 104、处理器106、外围系统108以及存储器和存储模块110。PMIC 104与处理器106协作以确保处理器106的电源模式转换(以及由PMIC 104供电的任何其它装置的转换)以稳健和安全的方式发生以减少故障的可能性,如本文中进一步所描述。处理器106可以包括任何类型的处理装置或系统,例如可编程集成电路、微处理器、微控制器或 MCU、中央处理单元 (CPU)、应用处理器等,并且可以包括多个处理装置。存储器和存储模块110可以包括任何类型的存储器或存储装置或其任何组合中的一个或多个,包括例如随机存取存储器 (RAM)、动态 RAM (DRAM)、同步 DRAM (SDRAM)、低电源双倍数据速率 (DDR) (LPDDR4)、例如串行外围接口 (SPI) 快闪存储器190、NVRAM、快闪存储器、固态驱动器 (SSD)、硬盘驱动器、光驱动器或任何其它合适形式的内部或外部存储。存储器和存储装置可以被合并和处理系统102上,或者替代地,存储器和存储模块110可以被配置为到外部存储器或驱动器等的接口。

[0040] 处理系统102可以用于实现或可以是关注安全性和稳健性的汽车应用或工业应用等的一部分。外围系统108可以用于接口传感器、通信装置、检测器、显示装置、键盘、控制器、鼠标等,以使处理器106能够处理任何类型的数据或信息以控制与特定应用相关联的某些参数、功能或操作。在许多这样的应用中,处理器106包括低电源模式以减少功率消耗,其中只有最小量的逻辑和电路保持被供电,足以重新唤醒处理系统102以恢复正常操作。PMIC 104控制提供到 PROC 106 (和任何其它外围设备) 的电源电压,并且进一步促进了处理器106在正常模式与低电源模式之间的转换,如本文中进一步所描述。PMIC 104还具有本文中称为“待机”模式的低电源模式,其中PMIC 104维持非常低但足够的操作电平以检测处理器106重新唤醒系统的请求。

[0041] 图2是根据本公开的一个实施例的与处理器106连接以控制电源模式转换的PMIC 104的更详细的框图。PMIC 104被划分成用于两个不同域的两个不同模块,所述两个不同模块包括电源管理处理模块202和安全处理模块204。电源管理处理模块202包括电源管理 (PM) 控制电路203,所述电源管理 (PM) 控制电路203通常控制电源管理处理模块202的操作。电源管理处理模块202包括电源转换器206,所述电源转换器206包括至少一个可切换调节器,所述至少一个可切换调节器将输入电压 V_{IN} 转换为在足以操作处理器106的至少一个电压轨207上提供的至少一个电源电压 (SV)。输入电压 V_{IN} 可以由任何类型的电源提供,这取决于特定应用。对于汽车和卡车应用,例如, V_{IN} 可以由12伏 (V)、24V或48V电池等提供。工业应用可以由电池或由转换器或逆变器等提供从交流 (AC) 源电压等转换的 V_{IN} 来供电。取决

于处理器106和其它提供的装置的特定应用和配置,SV可以是单个电压或者可以包括多个电压,例如0.8V、1.1V、1.8V、3.3V、5V等。出于论述的目的,本文将SV称为单个源电压,其中应了解,SV可以包括多个不同的电压电平。电源转换器206可以包括至少一个非切换式调节器,所述至少一个非切换式调节器在PMIC 104的待机模式期间保持接通以给PMIC 104的电路供电。

[0042] 电源管理处理模块202还包括待机定时窗口 (STW) 计数器208,所述待机定时窗口 (STW) 计数器208用待机定时值编程,所述待机定时值限定了处理系统102保持在待机模式的最大时间量。待机定时值针对不同的配置进行配置。电源管理处理模块202包括通信接口 (COMM I/F) 210,所述通信接口 (COMM I/F) 210耦合到能够与处理器106通信的通信总线211。在一个实施例中,通信接口210和通信总线211被配置为串行通信接口,例如根据I2C协议配置的集成电路间 (I2C) 串行通信接口,尽管可以使用任何合适的通信接口,例如串行外围接口 (SPI) 等。

[0043] PMIC 104进一步包括待机退出 (STBY_EXIT) 引脚和待机电源良好 (STBY_PGOOD) 引脚,所述待机退出 (STBY_EXIT) 引脚和所述待机电源良好 (STBY_PGOOD) 引脚均由PM控制电路203监控和控制,如本文中进一步所描述。处理器106将STBY_EXIT引脚断言为高,以通过请求PMIC 104退出其待机模式来请求退出处理器的低电源模式。注意,如贯穿本公开所使用的,取决于逻辑上下文,引脚或信号被“断言”为高并且被“解除断言”为低,或者否则被断言为低并且被解除断言为高。STBY_PGOOD引脚的状态指示SV的电压电平。STBY_PGOOD引脚可以被断言为高,以向处理器106指示SV被充电到高于高电压阈值电平HVTH,以进入正常模式。STBY_PGOOD引脚可以被断言为低,以向处理器106指示SV被放电到低于可配置的低电压阈值电平LVTH,以从正常模式进入其低电源模式。确定HVTH电平以指示可切换调节器被完全充电并且SV高于用于向处理器106完全供电的最小电平。确定LVTH电平以验证可切换调节器被充分放电以确保处理器106的断电部分可以在没有残余内部偏置的情况下重新启动。

[0044] 注意,如果提供一个以上SV,那么每个单独的源电压可以具有不同的低阈值电压电平和不同的高阈值电压电平。在此情况下,STBY_PGOOD指示每个源电压高于多个高电压阈值电平中的相应一个或低于多个低电压阈值电平中的相应一个。注意,STBY_PGOOD可以为具有滞后函数的单个引脚,其中STBY_PGOOD启动为低并且仅在 $SV > LVTH$ 之后转换为高,然后仅在 $SV < LVTH$ 之后转换回低。在一个可替换的实施例中,可以将STBY_PGOOD实现为两个单独的引脚,例如PHI和PLO (未示出)。例如,PLO的状态指示SV是否低于LVTH,而PHI的状态指示SV是否高于HVTH。在其它实施例中,可以为每个SV提供单独的电源良好信号或信号对。在这些可替换的实施例中的每一个中的操作都是类似的,其中可以组合考虑多个状态信号。

[0045] 安全处理模块204包括通常控制安全处理模块204的操作的安全控制电路205。安全处理模块204包括与通信接口210连接的循环冗余校验 (CRC) 逻辑212,以保护与处理器106的端到端通信的完整性。安全处理模块204包括待机 (STBY) 寄存器214,所述待机 (STBY) 寄存器214用于两步待机过程中的第一步以转换到待机模式,如本文中进一步所描述。安全处理模块204包括待机进入定时 (SET) 计数器216,所述待机进入定时 (SET) 计数器216用待机进入定时值编程,所述待机进入定时值限定了两步待机处理的第一步和第二步之间的最大时间,如本文中进一步所描述。安全处理模块204包括存储器电路217,所述存储器电路

217包括耦合到复位引脚RSTB的第一存储器元件(ME) 218和耦合到PMIC 104的故障安全引脚FS0B的第二存储器元件219。将故障安全引脚FS0B耦合到外部应用安全状态逻辑(ASSL) 240,以维持应用的安全状态,本文中不再进一步描述。安全处理模块204包括安全处理电源(SPS) 220和存储器元件安全处理电源(MESPS) 222,其中存储器元件安全处理电源222向存储器电路217的存储器元件218和存储器元件219供电。

[0046] 安全处理模块204包括耦合到处理器106的STBY引脚的待机进入引脚(FS_STBY_ENTRY)。处理器106通过将其STBY引脚断言为低来请求进入其低电源模式,如本文中进一步所描述,由此断言PMIC 104的FS_STBY_ENTRY引脚为高。安全处理模块204包括逻辑内置自测试(LBIST)电路224以检查安全处理模块204的逻辑的完整性,并且还包含模拟内置自测试(ABIST)电路226以检查存储器电路217的完整性以及FS0B引脚和RSTB引脚的状态。安全处理模块204包括确认(ACK)定时计数器227,以确保如果电源管理处理模块202未能转换到待机模式,则处理器106不被停顿。

[0047] STBY和STBY_EXIT被示为处理器106的两个单独的输出,例如由处理器106的两个单独的引脚提供。然而,注意,这两个输出可以组合成处理器106的单个引脚,所述单个引脚具有包括指示STBY的第一状态和指示STBY_EXIT的第二状态的两个不同状态。如果使用处理器106的单个引脚,则将处理器106的单个STBY/STBY_EXIT引脚耦合到PMIC 104的STBY_EXIT引脚和FS_STBY_ENTRY引脚,其中STBY/STBY_EXIT引脚被断言为低以请求从正常模式退出并且进入低电源模式,以及STBY/STBY_EXIT引脚被断言为高以请求从低电源模式退出并且进入正常模式。在又一个实施例中,可以以类似方式将PMIC104的STBY_EXIT引脚和FS_STBY_ENTRY引脚组合成单个引脚。

[0048] 安全处理电源220可以在待机模式期间被断电,但是存储器元件安全处理电源222在待机期间保持通电,以在待机模式期间维持对存储器电路217的存储器元件218和存储器元件219的供电。存储器元件218在待机期间保持RSTB引脚为高,以防止处理器106的意外复位。存储器元件219在待机期间保持FS0B引脚为低,以将处理系统102保持在安全状态,直到处理器106请求待机退出或在待机定时窗口计数器208超时时,如本文中进一步所描述。

[0049] 处理器106包括电源电压电路(SVC) 228,所述电源电压电路(SVC) 228耦合到电源电压轨207,用于接收SV(其包括一个或多个电源电压)以向处理器106的电路供电。处理器106包括在处理器106的低电源模式期间保持通电的低电源(LP)域230。低电源域230耦合到指示SV状态的PMIC 104的STBY_PG00D引脚,并且还耦合到PMIC 104的STBY_EXIT以请求从待机模式退出。处理器106包括耦合到通信接口(COMMI/F) 234的低电源(LP)进入控制电路232,所述通信接口(COMMI/F) 234进一步与通信总线211连接以实现与PMIC 104的通信。通信接口234还可以根据I2C协议等来配置。LP进入控制电路232与LP请求电路236连接,所述LP请求电路236控制处理器106的STBY引脚。处理器106还包括耦合到PMIC 104的RSTB引脚的复位引脚RESET_B,其中PMIC 104可以断言其RSTB引脚为低以在某些条件下复位处理器106,如本文中进一步所描述。

[0050] LP进入控制电路232和LP请求电路236与PMIC 104协作启动两步待机过程,以从正常模式转换为待机模式。在一个实施例中,当处理器106确定进入其低电源模式时,LP进入控制电路232经由通信总线211向PMIC 104发送预定数字代码。然后,处理器106执行电源域隔离序列,以在内部确保其包括低电源域230的不可切换电源域已经与在待机模式期间关

闭的可切换电源域完全隔离。在成功完成电源域隔离序列之后,LP请求电路236断言STBY引脚为低,以完成进入低电源模式的请求。同时,PMIC 104经由通信接口210接收预定数字代码并且将所述数字代码存储到STBY寄存器214中。假设CRC通过,待机控制电路205执行验证,其中所述待机控制电路205将接收到的数字代码与预定数字值进行比较。如果与预定数字值匹配的数字代码有效,则待机控制电路205启动待机进入定时计数器216并且监控FS_STBY_ENTRY引脚。如果FS_STBY_ENTRY引脚在待机进入定时计数器216超时之前被拉低,则认为低电源请求有效,并且待机控制电路205前进到待机模式,如本文中进一步所描述。如果待机进入定时计数器216在FS_STBY_ENTRY被断言为低之前超时,则待机控制电路205确定错误条件并且断言RSTB引脚为低以复位处理器106。

[0051] 图3是示出了根据本公开的一个实施例的由PM控制电路203控制的PMIC 104的电源管理处理模块202的操作的状态图。通常,电源管理处理模块202将VIN转换成提供给处理器106的SV;指示SV的状态(例如,经由STBY_PGOOD引脚或RSTB引脚);经由通信总线211与处理器106通信(例如,作为两步待机进入过程的部分来接收数字代码);确保处理器106的低电源模式的最大持续时间(例如,经由待机定时窗口计数器208);以及检测来自处理器106的请求(例如,STBY_EXIT)以退出其低电源模式并且返回到正常操作模式。

[0052] 第一OFF状态302是其中可切换调节器关闭(或以其它方式保持在复位)并且系统处于“安全”状态的同时将处理器106保持在其关闭状态或复位状态的状态。响应于其中PM控制电路203执行包括激活电源转换器206中的一个或多个可切换调节器的预定启动序列的ON指示,操作转换到POWER UP状态304。在启动序列期间,当SV低于高阈值电平HVTH或 $SV < HVTH$ 时,STBY_PGOOD保持为低。当可切换调节器已经稳定并且 $SV \geq HVTH$ 时,操作转换到NORMAL状态306,并且PM控制电路203断言STBY_PGOOD为高,并且还断言信号STBY_RESP为低。响应于RSTB和STBY_PGOOD都被断言为高,处理器106继续去除电源域之间的隔离并且执行可切换电源域的复位序列。电源管理处理模块202保持以正常模式操作的NORMAL状态306,而信号STBY_START保持为低。

[0053] 当安全处理模块204断言STBY_START信号为高时,指示处理器106已成功请求转换到低电源模式,PM控制电路203转换到POWER DOWN状态308,其中PM控制电路203启动待机定时窗口计数器208,并且开始停用电源转换器206的可切换调节器,使得SV开始减小。此外,PM控制电路203断言STBY_RESP信号为高,以向安全处理模块204指示电源管理处理模块202正转换到其待机模式。POWER DOWN状态308不是PMIC 104的完全断电,而是其中电源从全电源正常模式降低到低电源待机模式的状态。STBY_START信号用作从安全控制电路205到PM控制电路203的待机启动指示,以转换到待机模式。响应于STBY_START信号,STBY_RESP信号用作从PM控制电路203到安全控制电路205的待机响应指示。操作在 $SV \geq LVTH$ 时保持在POWER DOWN状态308。当停用电源转换器206的可切换调节器使得 $SV < LVTH$ 时,则PM控制电路203通过将电源管理处理模块202置于其待机模式而转换为STANDBY状态310,在所述待机模式中,STBY_PGOOD引脚被断言为低。在待机状态310中,PMIC 104和处理器106均完全处于其各自的低电源状态,从而为低电源操作消耗尽可能低的静态电流。

[0054] 电源管理处理模块202的操作保持在其STANDBY状态310,直到处理器106断言STBY_EXIT为高以请求转换回正常模式或在定时器待机定时窗口计数器208超时时。如果在STBY_EXIT被断言为高之前待机定时窗口计数器208在状态308或状态310中的任一个期间

超时,则PM控制电路203启动完全复位和新的上电序列以复位整个系统,包括断言RSTB为低以复位处理器106。待机定时窗口计数器208用定时值编程,所述定时值确定停留在低电源模式中的最大时间量,以防止处理器106陷入其低电源模式或以某种方式无法唤醒。处理器106可以执行周期性的唤醒和断电序列,例如在较长的不活动周期等期间,以确保系统准备好上电并且执行正常操作功能。如果由于任何原因,处理器106未能唤醒系统,则待机定时窗口计数器208的超时将导致系统的电源循环。

[0055] 当PMIC 104的STBY_EXIT引脚在待机定时窗口计数器208超时之前被断言为高时,则PM控制电路203转换到STANDBY_EXIT状态312,其中PM控制电路203停止待机定时窗口计数器208并且开始上电过程。STBY_PGOOD引脚在STANDBY_EXIT状态312期间保持为否定低。然后操作转换回POWER_UP状态304,其中PM控制电路203执行预定启动序列,所述预定启动序列包括激活电源转换器206的可切换调节器,如上文所描述。如上文所描述,当 $SV \geq HVTH$ 时,操作再次转换到NORMAL状态306并且断言STBY_PGOOD为高以唤醒处理器106。

[0056] 图4是示出了根据本公开的一个实施例的由安全控制电路205控制的PMIC 104的安全处理模块204的操作的状态图。通常,安全处理模块204执行PMIC 104的完整性测试;控制FS0B引脚和RSTB引脚的状态(例如在待机模式期间冻结引脚状态);监控FS_STBY_ENTRY引脚的状态;在某些条件下复位处理器106;监控SV的过电压或欠电压;定时两步待机进入过程的两步之间的持续时间以检测有效待机转换请求;定时存储器电路217的存储器元件的激活;并且执行CRC以保护处理器106与PMIC 104之间经由通信总线211的通信完整性。注意,安全处理模块204和电源管理处理模块202独立地但彼此并行地操作。STBY_START信号和STBY_RESP信号是用于控制从正常模式到待机模式的转换的握手信号,如本文中所描述。

[0057] 第一OFF状态402对应于电源管理处理模块202的OFF状态302。当电源管理处理模块202转换到POWER_UP状态304时,安全控制电路205转换到LBIST状态404,其中激活LBIST电路224以检查安全处理模块204的控制逻辑的完整性。在完成LBIST完整性测试(LBIST_OK或LBIST_NOK)之后,操作转换到ABIST状态406,其中激活ABIST电路226以检查存储器电路217的完整性以及FS_STBY_ENTRY引脚、FS0B引脚、RSTB引脚和模拟监控器(未示出)的状态。在完成ABIST完整性测试(ABIST_OK或ABIST_NOK)之后,安全控制电路205转换到安全处理模块204的NORMAL状态408,这指示安全控制电路205正在其正常模式中操作。只要LBIST_OK和ABIST_OK都为真,RSTB引脚被解除断言为高以使处理器106能够上电,并且FS0B引脚也被解除断言为高。当处理器106处于其正常模式并且执行其正常功能时,操作保持在NORMAL状态408。如果LBIST_NOK或ABIST_NOK(任一测试失败),则不允许进入待机模式,并且操作保持在NORMAL状态408,这防止处理器106进入其低电源模式。注意,可以释放RSTB以允许PMIC 104和处理器106进行某一额外完整性测试以校正条件或指示错误。

[0058] 处理器106通过使LP进入控制电路232经由通信总线211将数字代码发送到PMIC 104来开始两步待机过程。PMIC 104经由通信总线211接收预定数字代码并且将所述数字代码存储到安全处理模块204的STBY寄存器214中。如果安全控制电路205确定数字代码有效(意味着它等于预定数字代码值),并且如果LBIST和ABIST完整性测试都通过(LBIST_OK和ABIST_OK),则操作转换到SAFE状态410,其中安全控制电路205启动待机进入定时计数器216。注意,如果LBIST和ABIST之一或两者都指示故障,则PMIC 104防止处理器106进入待机模式。耦合到外部应用安全状态逻辑240的FS0B引脚被断言为低以进入操作的安全状态。操

作保持在SAFE状态410,直到待机进入定时计数器216超时或直到FS_STBY_ENTRY引脚被断言为低,完成两步待机过程。如果在FS_STBY_ENTRY引脚被断言为低之前发生待机进入定时计数器216的超时,指示处理器106的可能故障,使得两步待机过程未完成,则在一个实施例中,安全控制电路205将操作返回到OFF状态402,并且强制完全断电,随后整个系统上电,这也导致电源管理处理模块202的电源循环。实质上,操作转换回到安全处理模块204的OFF状态402,并且回到电源管理处理模块202的OFF状态302,然后系统被重新上电。在如虚线所指示的可替换实施例中,在待机进入定时计数器216超时,操作可以替代地返回到NORMAL状态408,其中额外断言RSTB为低,以在不执行完全断电的情况下仅复位处理器106。注意,RSTB在转换期间被断言为低,然后在NORMAL状态408被解除断言回到为高,这导致处理器106被复位。

[0059] 相反,如果在待机进入定时计数器216超时之前处理器106的LP请求电路236断言FS_STBY_ENTRY引脚为低,则安全控制电路205转换到VALID状态412,其中安全控制电路205断言STBY_START信号为高,导致电源管理处理模块202转换到POWER DOWN状态308。安全控制电路205还在VALID状态412中启动ACK定时计数器227,然后转换到MEMORY状态414,其中安全控制电路205激活存储器电路217以在其释放状态中将RSTB引脚保持为高,并且将FS0B引脚保持为低,以将系统维持在安全状态。操作保持在VALID状态414,直到ACK定时计数器227超时或直到STBY_RESP信号被断言为高,这指示电源管理处理模块202成功转换到待机模式。对ACK定时计数器227的超时的响应可以类似于对待机进入定时计数器216的超时的响应。在一个实施例中,ACK定时计数器227的超时导致安全控制电路205将操作返回到OFF状态402,并且强制完全断电,随后整个系统上电,这也导致电源管理处理模块202的电源循环。实质上,操作转换回到安全处理模块204的OFF状态402,并且回到电源管理处理模块202的OFF状态302,然后系统被重新上电。在如虚线所指示的可替换实施例中,操作可以返回到NORMAL状态408,其中额外断言RSTB为低,以在不执行完全断电的情况下仅复位处理器106。如上文所描述,RSTB在转换期间被断言为低,然后在NORMAL状态408被解除断言回到为高,这导致处理器106被复位。

[0060] 如果在ACK定时计数器227超时之前断言STBY_RESP信号为高,则操作转换到STANDBY状态416,其中安全控制电路205将安全处理模块204转换到其待机模式,并且停止ACK定时计数器227。安全处理模块204在其待机模式中被断电,除了存储器元件安全处理电源222保持最小供电以对存储器电路217供电以在待机模式期间维持RSTB引脚和FS0B引脚的状态。

[0061] 当安全控制电路205检测到STBY_EXIT引脚为高的断言时(例如直接地或经由响应于STBY_EXIT的另一个信号(未示出)),安全控制电路205唤醒和转换回LBIST状态404,以最终转换到NORMAL状态408,如上文所描述。此外,如果待机定时窗口计数器208在待机模式期间超时,则安全处理模块204被复位并且上电。

[0062] 一种用于处理器的电源模式管理的系统和方法,所述系统和方法提供了正常模式和低电源模式之间的安全和稳健的转换,以满足低电流要求并且确保准确的电源模式转换通信。两步过程包括接收数字代码、启动待机进入定时器、在待机进入定时器超时之前接收低电源请求指示以确保有效请求,以及否则在定时器超时时复位。看门狗定时器确保不超过最大待机持续时间。确认定时器确保电源管理IC的模块之间的有效通信。存储器元件在

待机期间确保和维持复位状态引脚和安全状态引脚的有效状态。执行自测试,其中测试失败会防止转换到低电源模式。电源良好指示确保处理器的电源电压适合于低电源操作和正常操作。

[0063] 尽管已结合若干实施例描述了本发明,但本发明并不旨在限于本文中所陈述的特定形式。相反,本发明旨在覆盖可以被合理地包括在由所附权利要求限定的本发明的范围内的这些替换、修改和等同物。例如,可以在各种实施例中使用正逻辑或负逻辑的变化,其中本发明不限于特定逻辑极性、装置类型或电压电平等。例如,逻辑状态(例如逻辑低和逻辑高)可以根据引脚或信号是在正逻辑或负逻辑等中实现而被反转。在一些情况下,逻辑状态可以是可编程的,其中对于给定的逻辑功能,逻辑状态可以被反转。

[0064] 本文中使用的术语“一个(a/an)”被定义为一个或多于一个。此外,权利要求中例如“至少一个”和“一个或多个”的引导性短语的使用不应被解释为暗示通过不定冠词“一个(a/an)”引入的另一个权利要求要素将包含这种引入的权利要求要素的任何特定权利要求限制为仅包含一个这种要素的发明,即使当同一权利要求包括介绍性短语“一个或多个”或“至少一个”以及例如“一个(a/an)”的不定冠词时。定冠词的使用也是如此。除非另有说明,否则例如“第一”和“第二”的术语用于任意区分这些术语描述的元件。因此,这些术语不一定旨在指示这些元件的时间或其它优先性。

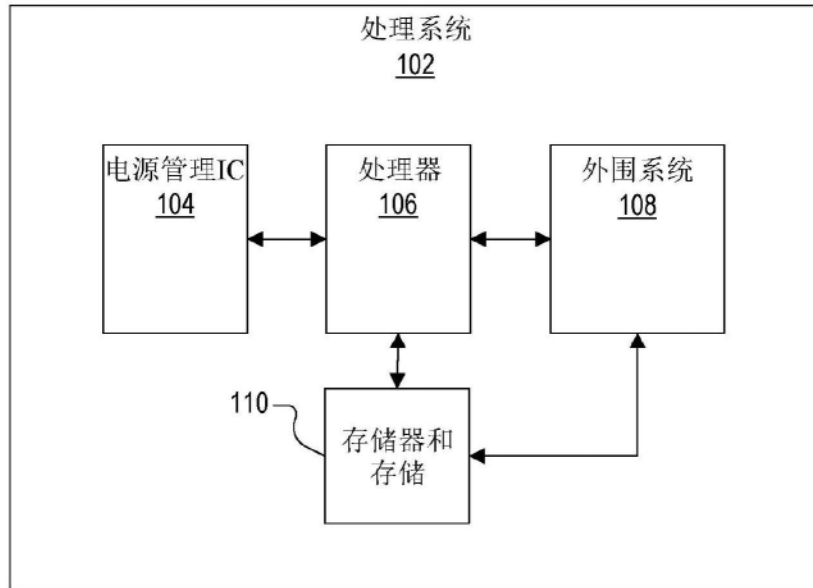


图1

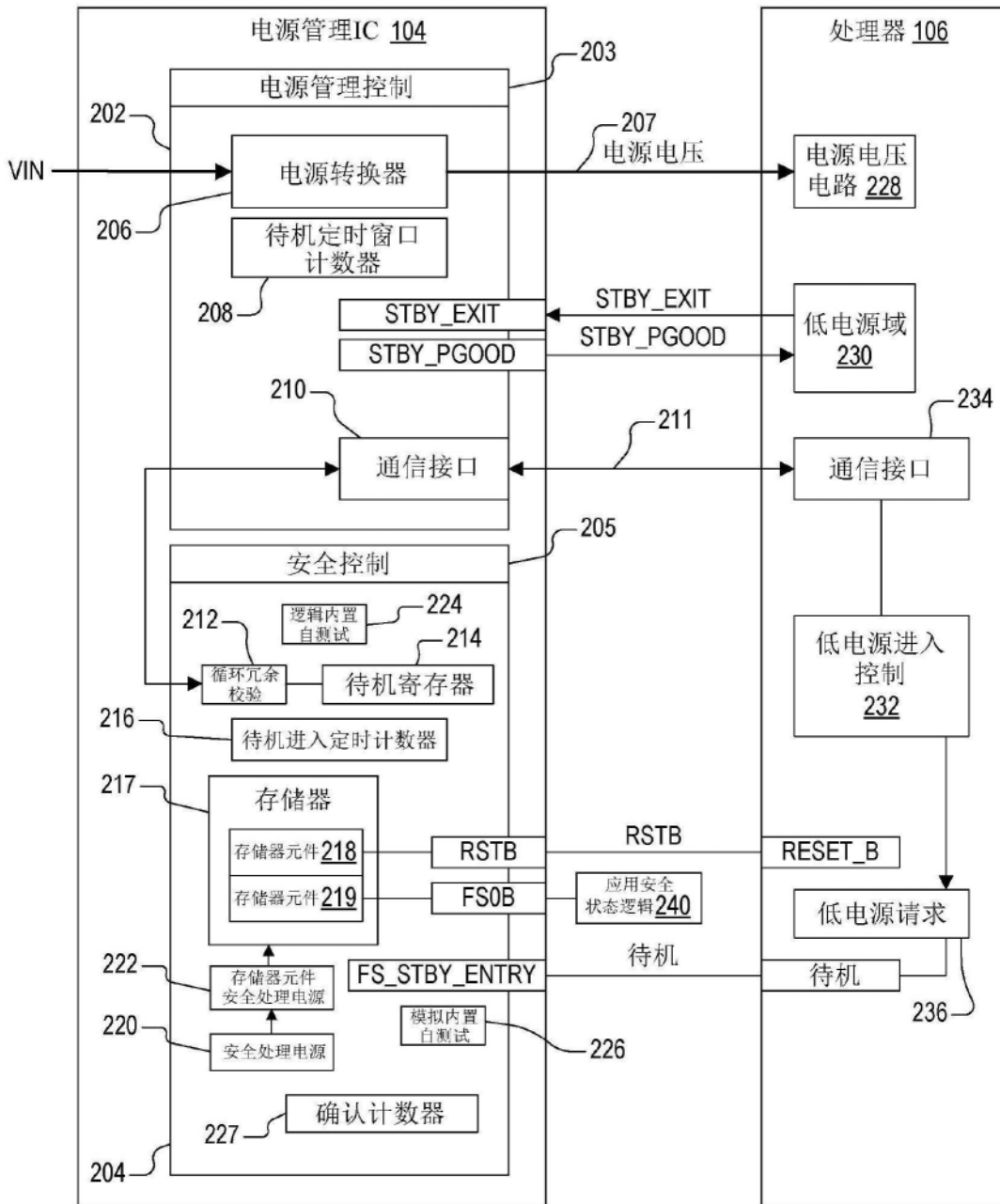


图2

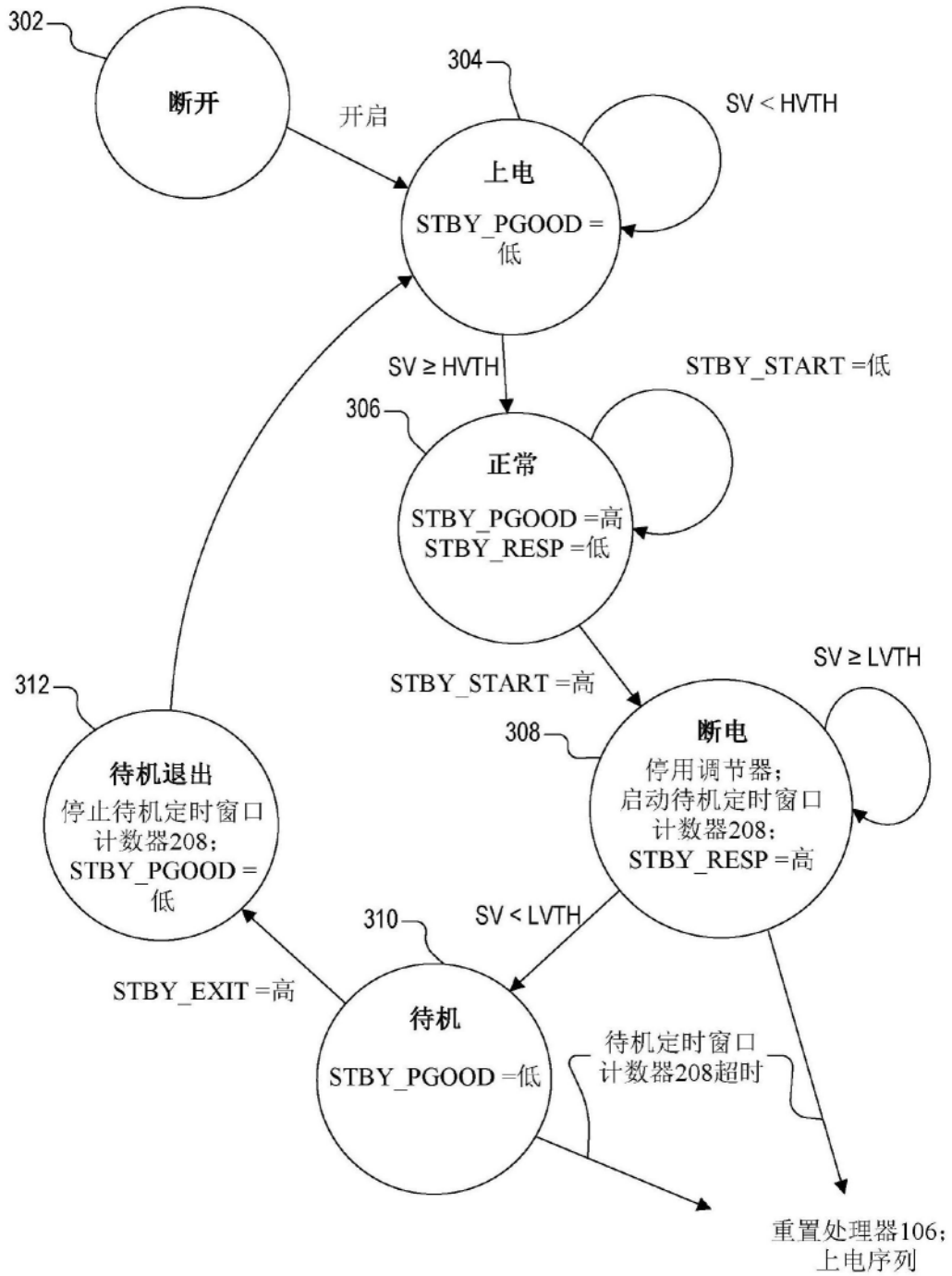


图3

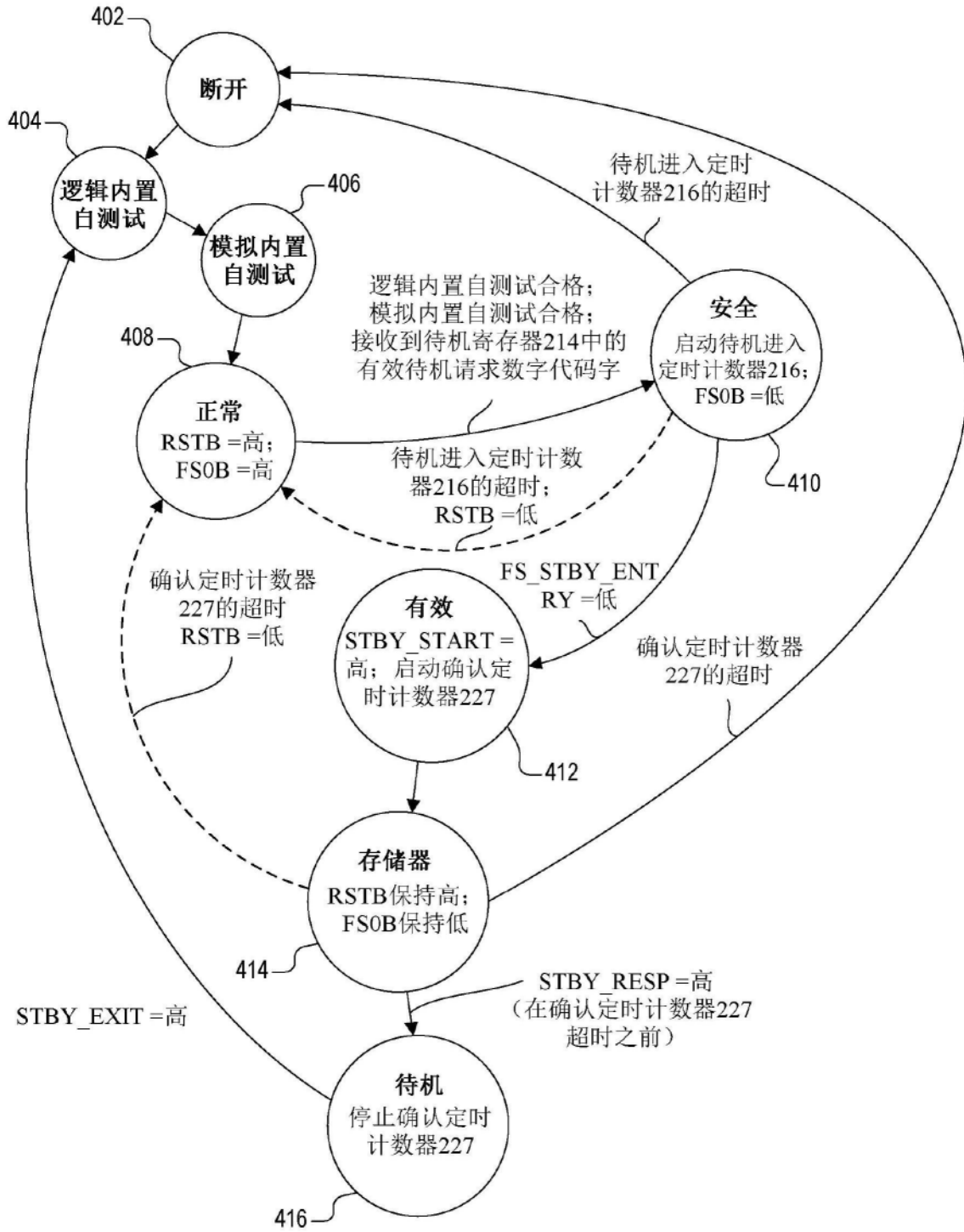


图4