

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-515584

(P2005-515584A)

(43) 公表日 平成17年5月26日(2005.5.26)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 J 1/312	HO 1 J 1/30	5C031
G 1 1 C 13/04	G 1 1 C 13/04	5C036
HO 1 J 9/02	HO 1 J 9/02	5C127
HO 1 J 19/24	HO 1 J 19/24	5C135
HO 1 J 21/06	HO 1 J 21/06	

審査請求 有 予備審査請求 有 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2002-586372 (P2002-586372)  
 (86) (22) 出願日 平成14年4月16日 (2002. 4. 16)  
 (85) 翻訳文提出日 平成15年12月19日 (2003. 12. 19)  
 (86) 国際出願番号 PCT/US2002/012258  
 (87) 国際公開番号 W02002/089168  
 (87) 国際公開日 平成14年11月7日 (2002. 11. 7)  
 (31) 優先権主張番号 09/846, 047  
 (32) 優先日 平成13年4月30日 (2001. 4. 30)  
 (33) 優先権主張国 米国 (US)

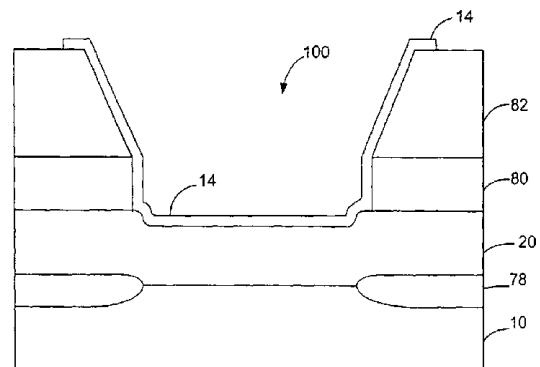
(71) 出願人 398038580  
 ヒューレット・パッカード・カンパニー  
 HEWLETT-PACKARD COM  
 PANY  
 アメリカ合衆国カリフォルニア州パロアル  
 ト ハノーバー・ストリート 3000  
 (74) 代理人 100087642  
 弁理士 古谷 聡  
 (74) 代理人 100076680  
 弁理士 溝部 孝彦  
 (74) 代理人 100121061  
 弁理士 西山 清春

最終頁に続く

(54) 【発明の名称】 シリコンベースの誘電体トンネル放出器

## (57) 【要約】

放出器(50、100)は、電子供給層(10)と、電子供給層(10)上に形成されたシリコンベースの誘電体層(20)とを有する。シリコンベースの誘電体層(20)は約50nm(500オングストローム)未満であることが好ましい。必要に応じて、電子供給層(10)上に絶縁体層(78)が形成され、その絶縁体層(78)はその中に画定された開口部を有し、その開口部内にシリコンベースの誘電体層(20)が形成される。シリコンベースの誘電体層(20)上に陰極層(14)が形成され、電子(16)および/または光子(18)からなるエネルギー放出物(22)のための表面が提供される。放出器(50、100)はアニーリング工程(120、122)にかけられ、それにより電子供給層(10)から陰極層(14)まで突き抜ける電子(16)の供給量を増加させることが好ましい。



## 【特許請求の範囲】

## 【請求項 1】

放出器 ( 5 0、1 0 0 ) であって、  
 電子供給源 ( 1 0 ) と、  
 前記電子供給源上に配置された、シリコンベースの誘電体層 ( 2 0 ) と、および  
 前記シリコンベースの誘電体層上に配置された陰極層 ( 1 4 ) とを含み、  
 前記電子供給源、前記シリコンベースの誘電体層および前記陰極層が、アニーリング工  
 程 ( 1 2 0、1 2 2 ) にかけている、放出器 ( 5 0、1 0 0 ) 。

## 【請求項 2】

前記シリコンベースの誘電体層 ( 2 0 ) が、 $SiC$ 、 $SiN_x$ 、 $Si_3N_4$ 、 $Si_xN_y$ 、 $F_y-SiO_x$  および  $C_y-SiO_x$  からなるグループから選択される、請求項 1 に  
 記載の放出器 ( 5 0、1 0 0 ) 。

## 【請求項 3】

平方センチメートル当たり  $1 \times 10^{-2}$  アンペアより高い放出電流を有する、放出され  
 るエネルギーを与えるように動作することができる、請求項 1 に記載の放出器 ( 5 0、1  
 0 0 ) 。

## 【請求項 4】

前記シリコンベースの誘電体層 ( 2 0 ) が、約 2 5 n m ~ 約 5 0 0 n m ( 2 5 0 ~ 5 0  
 0 0 オングストローム ) の範囲内の厚みを有する、請求項 1 に記載の放出器 ( 5 0、1 0  
 0 ) 。

## 【請求項 5】

集積回路 ( 5 2 ) であって、  
 基板 ( 1 0 ) と、  
 前記基板上に配置された請求項 1 に記載の放出器 ( 5 0、1 0 0 ) と、および  
 前記放出器を有する前記基板上に形成された、前記放出器を動作させるための回路 ( 7  
 2 ) とを含む、集積回路 ( 5 2 ) 。

## 【請求項 6】

電子装置 ( 9 0 ) であって、  
 エネルギー ( 2 2 ) を放出することができる請求項 1 に記載の放出器 ( 5 0、1 0 0 )  
 と、および

前記放出されたエネルギーを受け取ることができ、前記放出されたエネルギーを受け取  
 ることに応じて少なくとも第 1 の作用を生じさせ、前記放出されたエネルギーを受け取ら  
 ないことに応じて第 2 の作用を生じさせることができる陽極構造 ( 7 6、4 2、5 8 ) と  
 を含む、電子装置 ( 9 0 ) 。

## 【請求項 7】

前記電子装置が大容量記憶素子 ( 図 7 ) であり、前記陽極構造 ( 5 8 ) が記憶媒体であ  
 り、前記電子装置が、前記陽極構造上に生じた前記作用を検出するための読出し回路 ( 6  
 2 ) をさらに含む、請求項 6 に記載の電子装置 ( 9 0 ) 。

## 【請求項 8】

前記電子装置がディスプレイ装置 ( 4 4 ) であり、前記陽極構造 ( 7 6、4 2 ) が、前  
 記放出されたエネルギー ( 2 2 ) を受け取ることに応じて視認可能な作用を生じさせるデ  
 ィ스플레이画面 ( 4 0 ) である、請求項 6 に記載の電子装置 ( 9 0 ) 。

## 【請求項 9】

前記ディスプレイ画面 ( 4 0 ) が、前記放出されたエネルギー ( 2 2 ) を受け取ること  
 に応じて、光子 ( 1 8 ) を放出するために動作可能な 1 つまたは複数の燐光体 ( 4 2 ) を  
 含む、請求項 8 に記載の電子装置 ( 9 0 ) 。

## 【請求項 10】

放出器 ( 5 0、1 0 0 ) であって、  
 電子供給層 ( 1 0 ) と、  
 前記電子供給層上に形成され、その中に画定された開口部を有する絶縁体層 ( 7 8 ) と

前記開口部において前記電子供給層上に形成され、さらに前記絶縁体層上にも配置されるシリコンベースの誘電体層(20)と、および

前記シリコンベースの誘電体層上に形成された陰極層(14)とを含み、

前記放出器がアニーリング工程(120、122)にかけられて、エネルギー放出(22)のために前記電子供給層から前記陰極層まで突き抜ける電子の供給量が増加されている、放出器(50、100)。

【請求項11】

前記電子放出物(22)に加えて光子(18)を放出することができる、請求項10に記載の放出器(50、100)。

10

【請求項12】

前記陰極層(14)が、平方センチメートル当たり約0.01アンペアより高い放出率を有する、請求項10に記載の放出器(50、100)。

【請求項13】

前記シリコンベースの誘電体層(20)が、 $SiC$ 、 $SiN_x$ 、 $Si_xN_y$ 、 $Si_3N_4$ 、 $F_y-SiO_x$  および  $C_y-SiO_x$  からなるグループから選択される、請求項10に記載の放出器(50、100)。

【請求項14】

前記シリコンベースの誘電体層(20)が、約25nm~約500nm(250オングストローム~約5000オングストローム)の厚みを有する、請求項10に記載の放出器(50、100)。

20

【請求項15】

請求項10に記載の放出器を含む集積回路(52)と、および

前記放出器からの放出物を集束するための集束装置(38、28)とを含む、電子装置(50、100)。

【請求項16】

電子供給源(10)上に放出器(50、100)を形成するための方法であって、

前記電子供給源上に、半導体薄膜層(52)を用いて、シリコンベースの誘電体放出器を形成するステップであって、前記薄膜層のうちの少なくとも1つが、50nm(500オングストローム)未満の厚みを有するシリコンベースの誘電体層(20)として特徴付けられる薄膜である、ステップと、および

30

トンネル放出器のトンネル電流を増加させるために、処理された放出器(120、122)をアニールするステップとを含む、方法。

【請求項17】

請求項16に記載の工程によって形成される、放出器(50、100)。

【請求項18】

前記シリコンベースの誘電体層(20)を付着するステップが、 $SiC$ 、 $SiN_x$ 、 $Si_xN_y$ 、 $Si_3N_4$ 、 $F_y-SiO_x$  および  $C_y-SiO_x$  からなるグループからのシリコンベースの誘電体を付着するステップをさらに含む、請求項16に記載の方法。

【請求項19】

40

電子供給源(10)上に放出器(50、100)を形成するための方法であって、

前記電子供給源(10)上に配置された絶縁体層(78)上にシリコンベースの誘電体層(20)を付着するステップであって、前記絶縁体層が前記電子供給源への開口部を画定する、ステップと、

前記シリコンベースの誘電体層に接着するために導電層(80、82)を付着するステップと、

前記導電層上にパターンニング層(104)を付着するステップと、

前記パターンニング層および前記導電層内に、前記電子供給源への開口部(108)を形成するステップと、

前記導電層からリフトオフすることにより前記パターンニング層(104)を除去するた

50

めに、前記パターンニング層(104)をエッチングするステップとを含む、方法。

【請求項20】

トンネル電流を増加させるために、処理された放出器をアニールするステップ(120、122)さらに含む、請求項19に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電界放出素子に関する。特に、本発明は直接的なトンネル現象を利用するフラット電界放出用の放出器(emitter:エミッタ)と、電子装置におけるその使用方法とを対象とする。

10

【0002】

発明の背景

ディスプレイまたは記憶装置のような他の電子装置のために有用な電子放出を生じさせるために、いくつかの異なる電界放出素子が提案され、実施されている。従来の電子管のような熱電子放出をとまなう真空装置では、電子放出を生じさせるために、陰極表面を加熱する必要があった。電子は、真空空間において、電子を引き付けるために所定の電位になっている陽極構造に引き寄せられる。陰極線管のようなディスプレイ装置の場合、陽極構造は燐光体をコーティングされており、電子が燐光体に衝突する際に、光子が生成されて可視画像が生成されるようになっている。スピント先端構造体(先細りの先端構造体)のような冷陰極装置が、熱陰極技術の代わりになるものとして用いられてきた。しかしながら、信頼性を保持しながら、サイズを縮小し、いくつかのスピント先端構造体を集積化するのは困難であった。サイズが縮小されると、スピント先端構造体は、電子が衝突する際にイオン化される真空中の汚染物質からの損傷をさらに受けやすくなる。その際、イオン化された汚染物質はスピント先端構造体に引き付けられ、その先端構造体と衝突し、それにより、損傷を引き起こす。スピント先端構造体の寿命を延ばすために、真空空間は益々高い真空度を持たなければならない。より大きな放出表面を有するフラット放出器は、低真空度の要件で、高い信頼性で動作させることができる。しかしながら、応用形態によっては、従来のフラット放出器からの電流密度の量は役に立つほど十分には高くない場合もある。したがって、高エネルギーの電流密度を有し、低真空環境において高い信頼性で動作することもできるフラット放出器を形成することが必要とされている。

20

30

【0003】

概要

放出器は、電子供給層と、電子供給層上に形成されたシリコンベースの誘電体層とを有する。シリコンベースの誘電体層は、約50nm(500オングストローム)よりも薄いことが好ましい。必要に応じて、絶縁体層が電子供給層上に形成され、その層内に、シリコンベースの誘電体層が形成される開口部が画定される。シリコンベースの誘電体層上に陰極層が形成され、電子および/または光子のエネルギー放出のための表面が提供される。その放出器はアニリング工程にかけられ、それにより電子供給層から陰極層に突き抜ける電子の供給量を増加させることが好ましい。

【0004】

好ましい実施形態および代替の実施形態の詳細な説明

本発明は、電子源と平坦な陰極表面との間に電界を生成するために、約20nm~約500nm(200~5000オングストローム)の十分な薄さを有するシリコンベースの誘電体層を用いることにより、平方センチメートル当たり高いレベルの放出電流を提供する電界放出用の放出器を対象とする。従来のフラット放出器タイプの素子は、表面積の平方センチメートル当たりの放出電流が低く、それゆえいくつかの応用形態では用いることができなかった。本発明は、適当な欠陥を有するシリコンベースの誘電体の薄い堆積物を用いて、誘電体内の欠陥を通して電子源と陰極表面との間で電子が突き抜けることができる障壁を形成する。そのような材料を用いることにより、放出電流は平方センチメートル当たり10mA、100mAまたは1Aより大きくすることができ、それは、従来のフラ

40

50

ット放出器技術の放出電流よりそれぞれ1桁、2桁または3桁大きい。実際の放出率は、シリコンベースの誘電体層に用いられる材料のタイプおよび厚みに関する設計上の選択に依存する。電子放出に加えて、本発明は、本発明を組み込む放出器のためのさらなる用途を提供する光子放出を生じさせることもできる。本発明のさらなる利点および特徴は、本発明、その形成方法および種々の用途に関する以下の説明において、さらに明らかになるであろう。

#### 【0005】

この説明の図面において、放出器構成要素の種々の部品は、一定の縮尺で描かれていない。本発明のより明確な例示と理解を提供するために、ある特定の寸法が他の寸法に対して誇張されている。例示するために、本明細書に示される実施形態は、深さおよび幅を有する種々の領域を用いて2次元の図面で示される。これらの領域は、1つの素子の単一のセルの一部分のみを示しているにすぎず、そのような素子は3次元の構造で構成された複数のそのようなセルを含むことができることは理解されたい。したがって、これらの領域は、実際のデバイス上に製作される場合には、長さ、幅および深さを含む3次元を有するであろう。

10

#### 【0006】

さらに、本発明の一態様は、それが従来の集積回路薄膜技術を用いて製作され得ることである。工程ステップのうちいくつかを実行するために、いくつかの異なる技術が存在しており、それらは当業者によって入れ替えられ得る。たとえば、特に言及されない限り、材料の堆積は、数例を挙げると、蒸着、スパッタリング、化学蒸着法、分子線エピタキシ、光化学蒸着法、低温光化学蒸着法、およびプラズマ堆積のようないくつかの工程のうちの一つによって行うことができる。さらに、可能なエッチング技術のうちいくつかを挙げると、ウェットエッチング、ドライエッチング、イオンビームエッチング、反応性イオンエッチング、および円筒型プラズマエッチングや平面プラズマエッチングのようなプラズマエッチングなどのいくつかの異なるエッチング技術が存在する。実際に用いられる技術の選択は、数ある中でも、用いられる材料およびコストの判断基準に依存する。

20

#### 【0007】

図1は、電子源10を含む、電子放出および光子放出のための放出器素子50、好ましくはフラット放出器の例示的な図である。電子源10の上には、シリコンベースの誘電体層20がある。シリコンベースの誘電体層20は、 $SiN_x$ 、 $Si_3N_4$  ( $RI \sim 2.0$ )、 $Si_xN_y$  ( $x:y > 3/4$ 、 $RI \sim 2.3$ ) および  $SiC$  のようなシリコンベースの誘電体から形成されることが好ましい。また、シリコンベースの誘電体層20として、 $F_y - SiO_x$  および  $C_y - SiO_x$  が利用できるものと考えられる。シリコンベースの誘電体層は約50nm(500オングストローム)の厚みを有することが好ましく、その厚みは、約25nm~約500nm(250~5000オングストローム)の範囲内にあり、たとえば50nm(500オングストローム)またはそれ未満であることが好ましい。選択される厚みは、シリコンベースの誘電体層が耐えることができなければならない電界強度と、所望の放出器の放出電流とを決定する。シリコンベースの誘電体層20の上に配置されるのは、陰極層14であり、その陰極層14は、プラチナ、金、モリブデン、イリジウム、ルテニウム、タンタル、クロムあるいは他の屈折性材料またはその合金のような薄膜導体であることが好ましい。他の陰極層を用いることもでき、当業者には知られている。陰極層の厚みは3nm~15nm(30~150オングストローム)であることが好ましい。放出器電圧 $V_e$ (約3~10V)を有する電圧源24が陰極層14およびコンタクト12を介して電子源10に印加されるとき、基板10(電子供給源)から陰極層14まで電子が突き抜ける。シリコンベースの誘電体層20内の欠陥のために、電子が通り抜ける電界は種々のギャップで中断されており、陰極層14の表面からの電子放出物16は従来の設計よりも大きくなる。また、電子放出物16とともに光子放出物18も生じ、放出器50からのエネルギー放出物22が形成される。

30

40

#### 【0008】

種々の厚みに関して、電界は以下のように計算される。

50

【 0 0 0 9 】

【 数 1 】

$$\vec{E} = \frac{V_e}{t_{thickness}}$$

【 0 0 1 0 】

ただし、 $t_{thickness}$  はシリコンベースの誘電体層 20 の厚みである。たとえば、 $V_e = 10 \text{ V}$  の場合、シリコンベースの誘電体層の厚みが  $50 \text{ nm}$  ( $500 \text{ \AA}$ ) の場合には、電界は  $2 \times 10^6 \text{ V/m}$  に等しい。ある特定の炭素ベースの誘電体の最小厚は、その誘電体強度に依存するであろう。

10

【 0 0 1 1 】

シリコンベースの誘電体層 20 は、プラズマ化学蒸着法 (PECVD) を用いて堆積されることが好ましい。シリコンベースの誘電体層としてシリコンベースの誘電体を用いることにより、材料全体にわたって欠陥領域が実現され、電子源 10 と陰極層 14 との間に生成される電界によって、種々の欠陥を通してトンネル現象が生じる。

【 0 0 1 2 】

図 2 は、図 1 の放出器 50 に関する用途の例示的な図である。この応用形態では、電子放出物 16 は静電集束装置またはレンズ 28 によって集束されており、その装置またはレンズ 28 は、レンズ 28 の集束効果を変更するように調整され得る所定の電圧に設定される導体内のアパーチャとして例示される。レンズ 28 は、所望の集束効果を生ずるために、2 つ以上の導体層から形成され得ることは当業者には理解されよう。電子放出物 16 はレンズ 28 によって集束され、陽極構造 30 上に集束されたビーム 32 になる。陽極構造 30 は陽極電圧  $V_a$  ( $26$ ) に設定され、その大きさは、目的とする用途、および陽極構造 30 から放出器 50 までの距離に応じて、応用形態毎に変更される。たとえば、陽極構造 30 が記憶装置のための記録可能な媒体である場合、 $V_a$  は  $500 \sim 1000 \text{ V}$  になるように選択され得る。レンズ 28 は、そのアパーチャ内に電界 34 を形成することにより電子放出物 16 を集束する。 $V_a$  から適切な電圧に設定されることにより、放出器 50 から放出される電子はアパーチャの中央に向けられ、その後さらに陽極構造 30 に引き寄せられて、集束されたビーム 32 が形成される。

20

【 0 0 1 3 】

図 3 は、ピクセルグループのアレイ内に形成される多数の集束された放出器 100 を含む集積回路 52 を有するディスプレイ 40 の例示的な実施形態である。集束放出器 100 は、光子放出物 18、すなわち可視光源を放出し、それは、画像として視認可能である集束されたビーム 32 へと光学レンズ 38 で集束される。光学レンズ 38 は、放出器から放出される電子を捕捉するために、酸化インジウムスズのような透明な導電性表面をコーティングされることが好ましい。

30

【 0 0 1 4 】

図 4 は、集積回路 52 の例示的な実施形態であり、それは少なくとも 1 つの集束放出器 100 を含むが、アレイに構成される複数の集束放出器 100 を含むことが好ましい。放出器制御回路 72 が集積回路 52 上に集積化され、少なくとも 1 つの集束放出器 100 を動作させるために使用される。

40

【 0 0 1 5 】

図 5 は、集束放出器 100 およびレンズアレイ 48 を含む集積回路 52 の例示的な実施形態である。集積回路 52 は、薄膜導電層のような、好ましくは高濃度にドーピングされたシリコンまたは導電性材料である導電性基板 10 上に形成されており、その基板は電子源を提供する。基板 10 の上には、シリコンベースの誘電体層 20 が配置され、その層は、約  $25 \text{ nm} \sim$  約  $500 \text{ nm}$  ( $250 \text{ \AA} \sim 5000 \text{ \AA}$ ) の厚み、好ましくは約  $50 \text{ nm}$  ( $500 \text{ \AA}$ ) の厚みを有するが、応用形態によっては約  $25 \text{ nm} \sim$  約  $75 \text{ nm}$  ( $250 \text{ \AA} \sim 750 \text{ \AA}$ ) の厚みがさらに好ましい場合もある。半導体薄膜材料からなる種々の層が、基板 10 上に付着

50

され、エッチングされて、集積放出器 100 が形成される。シリコンベースの誘電体層 20 上に配置されるのは、陰極層 14 であり、その陰極層は好ましくは、プラチナ、金、モリブデン、イリジウム、ルテニウム、タンタル、クロムあるいは他の屈折性材料またはその合金からなる薄膜導電層である。陰極層 14 は陰極表面を形成し、その表面から、電子および光子の形のエネルギーが放出される。従来の薄膜処理を用いてレンズアレイ 48 が付着され、そのアレイは、導電層内に画定され、かつ集積放出器 100 と位置合わせされ、そのエネルギーを集積放出器 100 から陽極構造 76 の表面上に集束するためのレンズ 28 を含む。陽極構造 76 は、集積回路 52 からの目標とする距離 74 に配置される。

#### 【0016】

図 6 は、本発明の集積放出器 100 を用いるディスプレイ用途の別の実施形態である。この実施形態では、集積回路 52 内に複数の放出器 100 が配列されて、形成される。各放出器 100 は、電子放出物 16 または光子放出物 18 の形のエネルギー放出物 22 を放出する（図 1 を参照）。陽極構造、すなわちディスプレイ 40 が、ディスプレイサブピクセル 42 から構成されたディスプレイピクセル 44 において、放出されたエネルギーを受け取る。ディスプレイサブピクセル 42 は、エネルギー放出物 22 の電子放出物 16 が衝突する際に光子を生成する燐光体材料であることが好ましい。代案として、ディスプレイサブピクセル 42 は、直に光子を視認するために、エネルギー放出物 22 の光子放出物 18 がディスプレイ 40 を通過できるようにするための半透明の開口部とすることができる。

10

#### 【0017】

図 7 は、記憶装置における集積放出器 100 の別の用途である。この例示的な実施形態では、複数の集積放出器 100 を有する集積回路 (IC) 52 は、集積放出器 100 と位置合わせされた集束機構からなるレンズアレイ 48 を有する。レンズアレイ 48 を用いて、記録表面、すなわち媒体 58 に影響を及ぼすために用いられる、集束されたビーム 32 が生成される。媒体 58 は、IC 52 上の集積放出器 100 に対して媒体 58 を位置決めするムーバ 56 に付着される。ムーバ 56 は、その中に集積化されたリーダ回路 62 を有することが好ましい。リーダ 62 は、媒体 58 への第 1 のオーミックコンタクト 64 と、ムーバ 56、好ましくは半導体基板または導体基板への第 2 のオーミックコンタクト 66 とを形成する増幅器 68 として示される。集束されたビーム 32 が媒体 58 に衝突するとき、集束されたビームの電流密度が十分に高い場合には、媒体は相変化し、影響を受けた媒体領域 60 が形成される。媒体 58 の表面に低電流密度の集束されたビーム 32 が加えられるとき、増幅器 68 によって異なる電流量が検出され、リーダ出力 70 が生成される。こうして、放出器 50 からのエネルギーで媒体に影響を及ぼすことにより、媒体の構造的な相変化特性を用いて、媒体に情報が格納される。1つのそのような相変化材料は  $\text{In}_2\text{Se}_3$  である。他の相変化材料も当業者には知られている。

20

30

#### 【0018】

図 8 は、陰極層 14 内に放出器領域 84 を含む集積放出器 100 の本発明の例示的な実施形態の平面図である。陰極層 14 は、絶縁体層 78 上に配置された導電層 82 に電氣的に結合され、かつその上に配置される。集積放出器 100 は、好ましくは円形として示されるが、他の形状を用いることもできる。円形は、その形状内に不連続なエッジがないので、生成される電界がより均一になるという点で好ましい。

40

#### 【0019】

図 9 は、9 - 9 軸に沿って見た図 8 に示された集積放出器 100 の例示的な実施形態の断面図である。基板 10、好ましくは導電層または高濃度にドーブされた半導体が、絶縁体層 78 内に画定される開口部内と、絶縁体層 78 の表面上とに配置されるシリコンベースの誘電体層 20 への電子供給源を提供する。陰極層 14、好ましくは薄膜導電層が、シリコンベースの誘電体層 20 上と、部分的に導電層 82 上とに配置され、それにより導電層と電氣的に接触する。必要に応じて、絶縁体層 78 および導電層 82 のために選択される特定の材料に応じて、導電層 82 と絶縁体層 78 との間に結合接触面を提供するために、接着層 80 を追加することができる。

50

## 【0020】

図10は、マイクロプロセッサ96と、マイクロプロセッサ96に結合されるメモリ98と、電子装置、すなわち記憶装置94およびディスプレイ装置92を含むコンピュータ90の例示的なブロック図である。電子装置はマイクロプロセッサ96に結合される。マイクロプロセッサ96は、メモリからの命令を実行することができ、メモリと、記憶装置94およびディスプレイ装置92のような電子装置との間でデータを転送することを可能にする。各電子装置は、本発明を組み込む放出器と、好ましくは放出器からの放出物を集束するための集束装置とを有する集積回路を含む。放出器は電子供給層を有し、その上には絶縁層が配置される。絶縁層はその中に画定された開口部を有し、その開口部内に、シリコンベースの誘電体層が電子供給層上に形成される。シリコンベースの誘電体層上には陰極層がある。放出器を含む集積回路はアニーリング工程にかけられ、それにより電子供給層から陰極層に突き抜けることができる電子の供給量を増加させることが好ましいが、それはオプションである。

10

## 【0021】

図11A~図11Lは、本発明を組み込む放出器を形成するために用いられる例示的な工程ステップを示す。図11Aでは、誘電体またはフォトレジストのマスク102が基板10、好ましくはシリコン半導体基板に付着されるが、基板10は導電性の薄膜層または導電性基板とすることができる。基板10は約100~0.0001 cmの面積抵抗を有することが好ましい。

## 【0022】

図11Bでは、絶縁体層78が、好ましくは、基板10がシリコン基板である場合にフィールド酸化膜成長によって形成される。必要に応じて、絶縁体層78は、他の酸化物、窒化物、あるいは従来の半導体工程を用いて単独で、または組み合わせて堆積または成長される他の従来の誘電体から形成され得る。絶縁体層78は、マスク102によって覆われる領域を除く基板上に形成される。マスク102によって画定される領域、それゆえ絶縁体層78内に結果として生じる空隙、または画定された開口部は、マスク102が除去された後に形成される集積放出器100の場所と形状を決定する。

20

## 【0023】

図11Cでは、シリコンベースの誘電体層20が基板10および絶縁体層78上に付着される。シリコンベースの誘電体層20は、プラズマ化学蒸着法(PECVD)を用いて付着されることが好ましい。他の堆積技術も当業者には知られている。シリコンベースの誘電体層20は、 $SiC$ 、 $SiN_x$ 、 $Si_3N_4$  ( $RI \sim 2.0$ ) または  $Si_xN_y$  ( $x:y > 3/4$ 、 $RI \sim 2.3$ ) であることが好ましい。必要に応じて、シリコンベースの誘電体層20のために適した材料として、 $F_y-SiO_x$  および  $C_y-SiO_x$  も考えられる。シリコンベースの誘電体層20は、約25nm~約500nm(250~5000オングストローム)の厚さであることが好ましい。

30

## 【0024】

図11Dでは、シリコンベースの誘電体層20上にオプションの接着層80が付着される。後に付着される導電層82(図11Dを参照)が金から形成されるときには、接着層80はタンタルであることが好ましい。接着層は従来の堆積技術を用いて付着されることが好ましい。接着層は、約10nm~約20nm(100~200オングストローム)の厚さであることが好ましい。

40

## 【0025】

図11Eでは、基板10上に先に付着された層、たとえば使用されるなら接着層80上に導電層82が付着される。導電層は従来の堆積技術を用いて形成されることが好ましい。導電層は、約50nm~約100nm(500~1000オングストローム)の厚さの金であることが好ましい。

## 【0026】

図11Fでは、導電層82上にパターンニング層104が付着され、その中に開口部が形成され、集積放出器を形成するためのエッチング領域が画定される。パターンニング層10

50

4は約1 $\mu$ m厚のポジ型フォトリソ層であることが好ましい。

【0027】

図11Fでは、ウエットエッチング工程を用いて、パターンニング層104の開口部内の導電層82内に開口部を形成することが好ましい。通常、そのエッチングは、図示されるように等方性エッチングプロファイル106を生成し、導電層の一部がパターンニング層104の下側でアンダーカットされる。使用されるウエットエッチング工程は、接着層80が用いられる場合には、その接着層80とは反応せず、エッチング材料が基板10に達するのを防ぐことが好ましい。必要に応じて、ドライエッチング工程を用いて、導電層82をエッチングすることができる。

【0028】

図11Gでは、接着層80と反応するドライエッチング工程を用いて、異方性プロファイル108を生成することが好ましい。

【0029】

図11Iでは、リフトオフ工程を用いて、パターンニング層104が除去される。低温プラズマを用いて、パターンニング層104内の有機材料を反応性エッチングおよび灰化することが好ましい。平面プラズマエッチング工程において用いられるガスは、酸素であることが好ましい。処理された基板10はチャンバ内に配置され、酸素が導入され、エネルギー源によって励起されて、プラズマ場が生成される。プラズマ場は、高エネルギー状態へと酸素を付勢して、それによりパターンニング層104の成分が酸化されてガスになり、そのガスが真空ポンプによってそのチャンバから除去される。

【0030】

必要に応じて、プラズマリフトオフ工程の代わりに、ウエットリフトオフ工程を用いることができる。処理された基板10は、パターンニング層104を膨張させ、除去することになる溶媒内に浸漬される。

【0031】

図11Jは、処理された基板10の表面上に陰極層14を付着したことを示す。陰極層14はプラチナのような薄膜金属層であることが好ましく、約5nm~約25nm(50~250オングストローム)の厚みを有することが好ましい。陰極層14のために、数例を挙げると、金、モリブデン、イリジウム、ルテニウム、タンタル、クロムあるいは他の屈折性材料またはその合金などの他の金属を用いることができる。シリコンベースの誘電体層20上に配置された陰極層14は、放出器チャンバ114内に放出器表面86を形成する。

【0032】

図11Kは、陰極フォトリソ層116の付着を示しており、基板10上に多数の放出器を分離するために陰極層14がエッチングされることになる開口部を画定するように陰極フォトリソ層が付着され、パターンニングされている。図11Lは、エッチングされ、陰極フォトリソ層116が除去された後の陰極層14を示す。放出器チャンバ114内には放出器表面86がある。結果として生じた構造の例示的な平面図が、図8に示される。放出器表面86は第1の領域を有する。放出器チャンバ114は、接着層80内において概ね平行な側壁を有する、放出器表面86に界接する第1のチャンバセクションを有する。放出器チャンバ114は、第2の領域を有する開口部に向かって広がる側壁を有する導電層82に形成された第2のチャンバセクションを有する。第2の領域は第1の領域よりも大きい。陰極層14は、放出器表面86上と、放出器チャンバ114の第1のセクションおよび第2のセクションの側壁上とに配置される。集積回路薄膜技術を用いて放出器を製作することにより、その放出器は、従来の集積回路上に見られる従来の能動回路とともに集積化され得る。放出器を含む集積回路は、前述したように、ディスプレイ装置または記憶装置に使用され得る。製作後に、放出器はアニーリング工程にかけられ、放出器からの放出の量を増加させることが好ましい。

【0033】

図12Aおよび図12Bは、本発明を具現化する放出器の放出電流容量を増加させるた

10

20

30

40

50

めに用いられる例示的なアニーリング工程のチャートである。また、アニーリング工程は、放出器がより長持ちできるようにすることにより、素子の歩留まりと品質も高める。アニーリング工程は、数ある利点の中でも、異なる金属の接触抵抗を低減し、それにより放出器に流れる電流を増加することに役立つ。

【0034】

図12Aでは、第1の熱プロファイル120が、本発明を組み込む放出器を含む処理された基板が最初に10分以内に約400の温度まで高められ、その後、30分間、この温度に保持されることを示す。その後、処理された基板は、約55分かけて、ゆっくり室温(約25)まで冷却される。図12Bでは、第2の熱プロファイル122が、本発明を組み込む放出器を含む処理された基板が10分以内に約600の温度まで加熱されて、約30分間、この温度に保持されることを示す。その後、処理された基板は、約100分かけて、室温まで徐々に冷却される。上昇温度および冷却の速度は、上述の例示的な工程から変更されることができ、それでも依然として本発明の思想および範囲を満たすことができることは当業者には理解されよう。本発明を組み込む少なくとも1つの放出器を含む基板をアニールすることにより、放出器のいくつかの特性が改善される。

【図面の簡単な説明】

【0035】

【図1】本発明を組み込むトンネル放出器の例示的な図である。

【図2】図1のトンネル放出器を用いて集束された電子ビームを生成することを示す例示的な図である。

【図3】ディスプレイ装置を形成するためにいくつかのトンネル放出器および光学レンズを含む集積回路の例示的な図である。

【図4】多数のトンネル放出器および制御回路を組み込む集積回路の例示的なブロック図である。

【図5】トンネル放出器からのエネルギー放出物を集束するためのレンズを含む集積回路上のトンネル放出器の例示的な図である。

【図6】光子を生成または通過させる多数のトンネル放出器および陽極構造を含む集積回路から形成される例示的なディスプレイを示す図である。

【図7】書換え可能媒体に対して情報を読み出し、かつ記録するための多数のトンネル放出器を含む集積回路を組み込む例示的な記憶装置の図である。

【図8】例示的なトンネル放出器の平面図である。

【図9】図8に示されるトンネル放出器の例示的な断面図である。

【図10】本発明のトンネル放出器を組み込む、電子装置、ディスプレイまたは記憶装置のうちの少なくとも1つを組み込むコンピュータの例示的なブロック図である。

【図11A】本発明のトンネル放出器を形成するための例示的な工程において用いられる例示的なステップの図である。

【図11B】本発明のトンネル放出器を形成するための例示的な工程において用いられる例示的なステップの図である。

【図11C】本発明のトンネル放出器を形成するための例示的な工程において用いられる例示的なステップの図である。

【図11D】本発明のトンネル放出器を形成するための例示的な工程において用いられる例示的なステップの図である。

【図11E】本発明のトンネル放出器を形成するための例示的な工程において用いられる例示的なステップの図である。

【図11F】本発明のトンネル放出器を形成するための例示的な工程において用いられる例示的なステップの図である。

【図11G】本発明のトンネル放出器を形成するための例示的な工程において用いられる例示的なステップの図である。

【図11H】本発明のトンネル放出器を形成するための例示的な工程において用いられる例示的なステップの図である。

10

20

30

40

50

【図11I】本発明のトンネル放出器を形成するための例示的な工程において用いられる例示的なステップの図である。

【図11J】本発明のトンネル放出器を形成するための例示的な工程において用いられる例示的なステップの図である。

【図11K】本発明のトンネル放出器を形成するための例示的な工程において用いられる例示的なステップの図である。

【図11L】本発明のトンネル放出器を形成するための例示的な工程において用いられる例示的なステップの図である。

【図12A】必要に応じて本発明のトンネル放出器を改善するために用いられる例示的なアニーリング工程のチャートである。

【図12B】必要に応じて本発明のトンネル放出器を改善するために用いられる例示的なアニーリング工程のチャートである。

【図1】

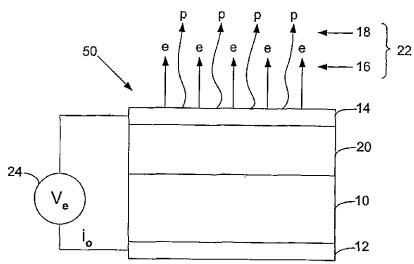


Fig. 1

【図3】

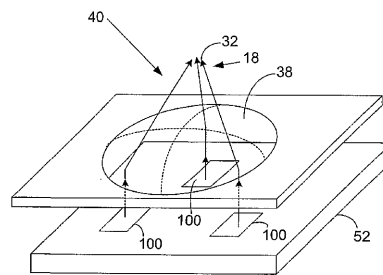


Fig. 3

【図2】

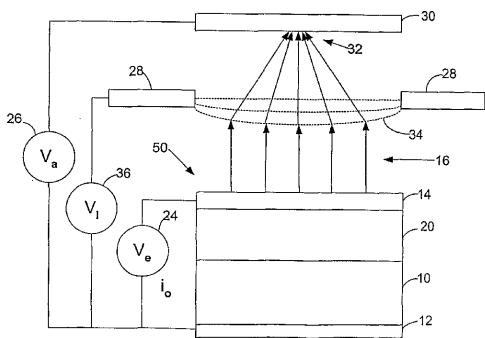
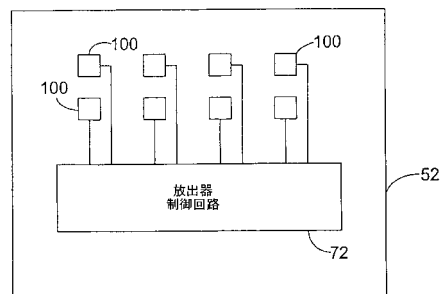


Fig. 2

【図4】



52

72

【図5】

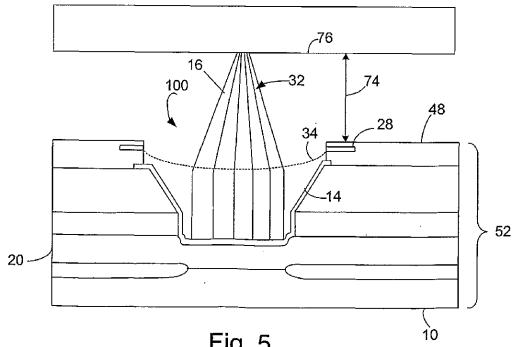


Fig. 5

【図7】

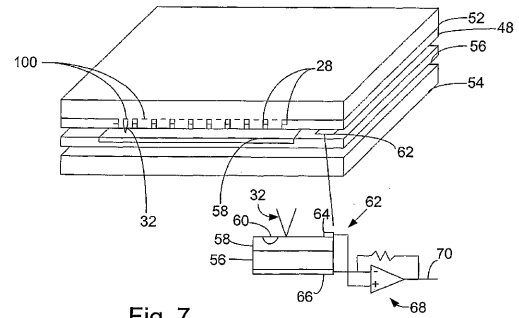


Fig. 7

【図6】

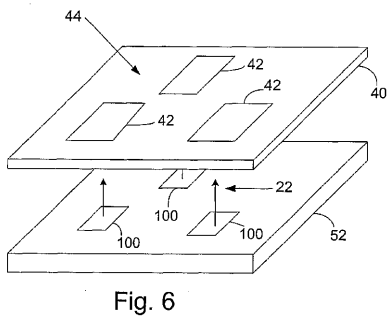


Fig. 6

【図8】

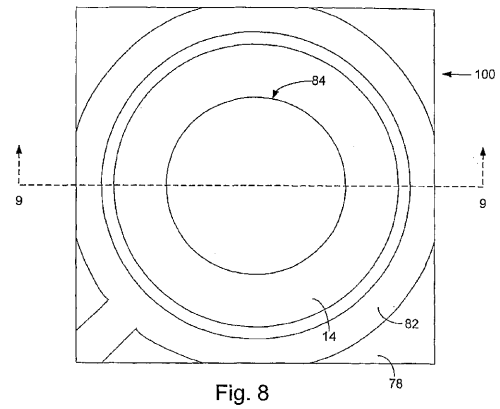


Fig. 8

【図9】

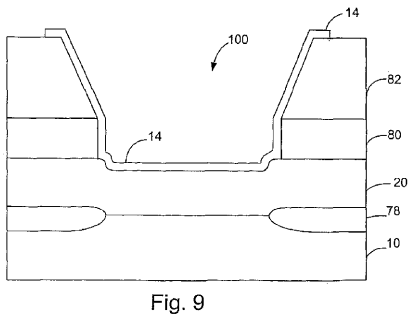


Fig. 9

【図11A】

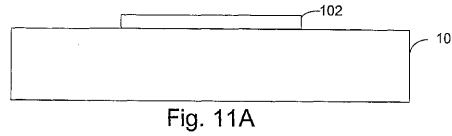


Fig. 11A

【図11B】

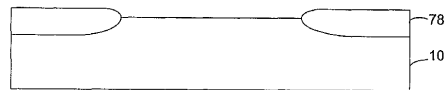


Fig. 11B

【図11C】

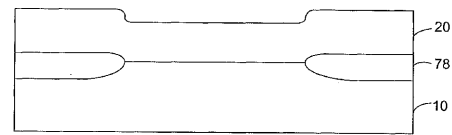


Fig. 11C

【図11D】

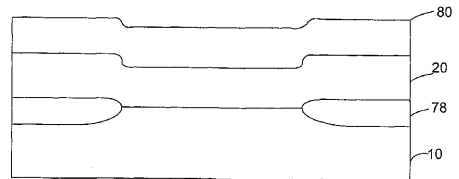
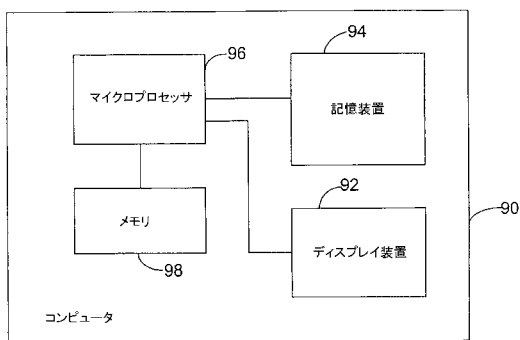


Fig. 11D

【図10】



【図 11 E】

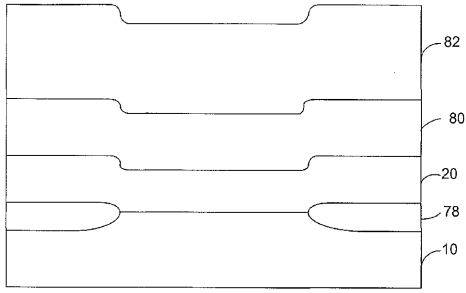


Fig. 11E

【図 11 G】

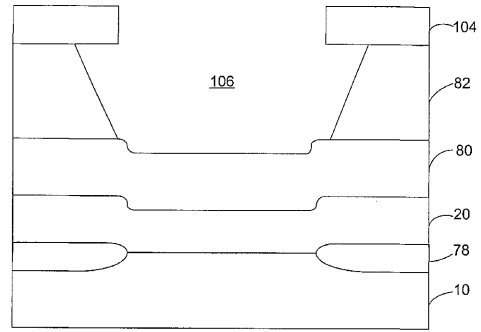


Fig. 11G

【図 11 F】

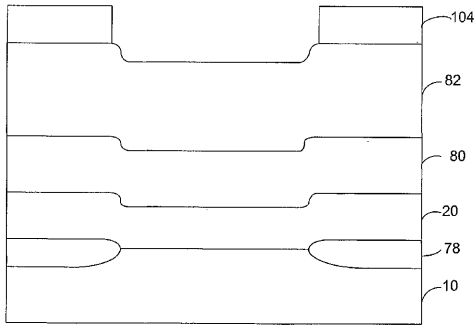


Fig. 11F

【図 11 H】

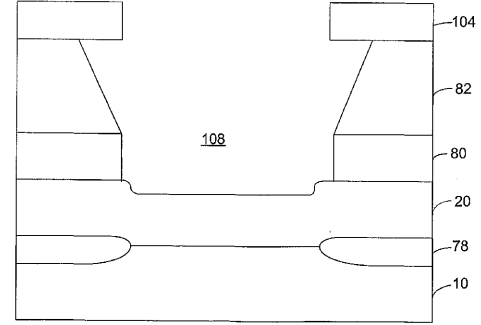


Fig. 11H

【図 11 I】

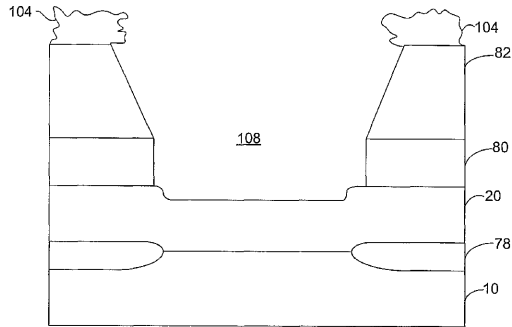


Fig. 11I

【図 11 K】

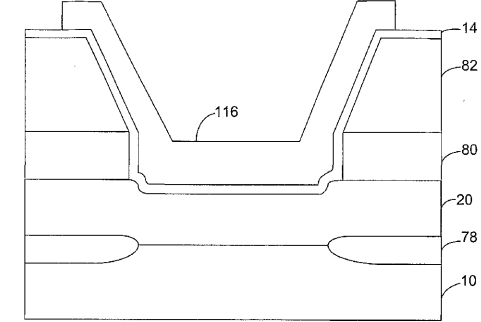


Fig. 11K

【図 11 J】

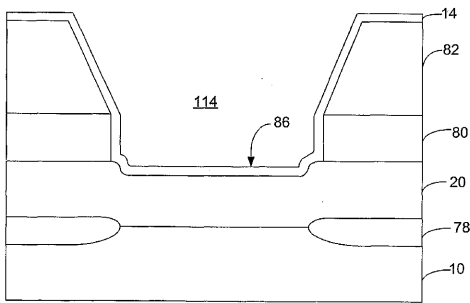


Fig. 11J

【図 11 L】

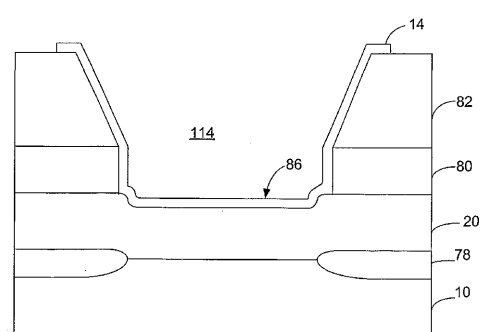
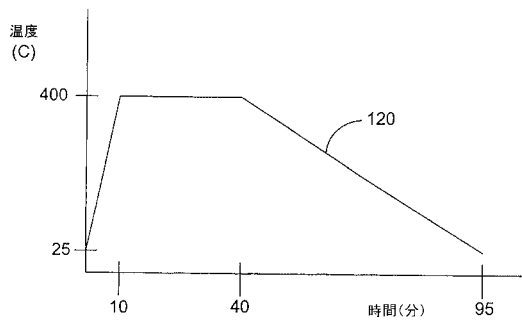
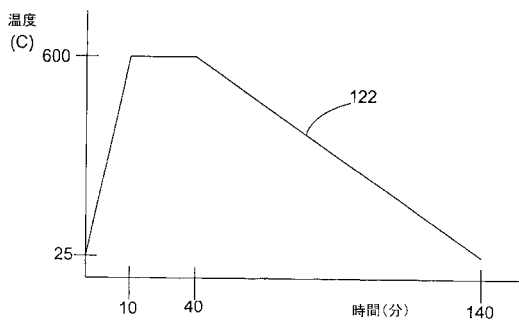


Fig. 11L

【図 1 2 A】



【図 1 2 B】



## 【手続補正書】

【提出日】平成16年6月23日(2004.6.23)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

放出器(50、100)であって、  
 電子供給源(10)と、  
 前記電子供給源上に配置されているシリコンベースの誘電体層(20)と、および  
 前記シリコンベースの誘電体層上に配置されている陰極層(14)とを含み、  
 前記電子供給源、前記シリコンベースの誘電体層および前記陰極層が、アニーリング工程(120、122)にさらされている、放出器(50、100)。

【請求項2】

前記シリコンベースの誘電体層(20)が、 $SiC$ 、 $SiN_x$ 、 $Si_3N_4$ 、 $Si_xN_y$ 、 $F_y-SiO_x$  および  $C_y-SiO_x$  からなるグループから選択される、請求項1に記載の放出器(50、100)。

【請求項3】

平方センチメートル当たり  $1 \times 10^{-2}$  アンペアより高い放出電流を有する、放出エネルギーを与えるように動作可能な、請求項1に記載の放出器(50、100)。

【請求項4】

前記シリコンベースの誘電体層(20)が、約25nm~約500nm(250~5000オングストローム)の範囲内の厚みを有する、請求項1に記載の放出器(50、100)。

0)。

【請求項5】

集積回路(52)であって、  
基板(10)と、  
前記基板上に配置されている請求項1に記載の放出器(50、100)と、および  
前記放出器を有する前記基板上に形成されている前記放出器を動作させるための回路(72)とを含む、集積回路(52)。

【請求項6】

電子装置(90)であって、  
エネルギー(22)を放出することができる請求項1に記載の放出器(50、100)と、および  
前記放出エネルギーを受け取ることができ、前記放出エネルギーを受け取ることに応じて少なくとも第1の作用を生じさせ、前記放出エネルギーを受け取らないことに応じて第2の作用を生じさせることができる陽極構造(76、42、58)とを含む、電子装置(90)。

【請求項7】

前記電子装置が大容量記憶素子(図7)であり、前記陽極構造(58)が記憶媒体であり、前記電子装置が、前記陽極構造上に生じた前記作用を検出するための読み出し回路(62)をさらに含む、請求項6に記載の電子装置(90)。

【請求項8】

前記電子装置がディスプレイ装置(44)であり、前記陽極構造(76、42)が、前記放出エネルギー(22)を受け取ることに応じて視認可能な作用を生じさせるディスプレイ画面(40)である、請求項6に記載の電子装置(90)。

【請求項9】

前記ディスプレイ画面(40)が、前記放出エネルギー(22)を受け取ることに応じて、光子(18)を放出するために動作可能な1つまたは複数の燐光体(42)を含む、請求項8に記載の電子装置(90)。

【請求項10】

放出器(50、100)であって、  
電子供給層(10)と、  
前記電子供給層上に形成され、その中に画定された開口部を有する絶縁体層(78)と

、  
前記開口部において前記電子供給層上に形成され、さらに前記絶縁体層上にも配置されているシリコンベースの誘電体層(20)と、および

前記シリコンベースの誘電体層上に形成されている陰極層(14)とを含み、  
前記放出器がアニーリング工程(120、122)にさらされて、エネルギー放出(22)のために前記電子供給層から前記陰極層まで突き抜ける電子の供給量が増加されている、放出器(50、100)。

【請求項11】

前記電子放出物(22)に加えて光子(18)を放出することができる、請求項10に記載の放出器(50、100)。

【請求項12】

前記陰極層(14)が、平方センチメートル当たり約0.01アンペアより高い放出率を有する、請求項10に記載の放出器(50、100)。

【請求項13】

前記シリコンベースの誘電体層(20)が、 $SiC$ 、 $SiN_x$ 、 $Si_xN_y$ 、 $Si_3N_4$ 、 $F_y-SiO_x$  および  $C_y-SiO_x$  からなるグループから選択される、請求項10に記載の放出器(50、100)。

【請求項14】

前記シリコンベースの誘電体層(20)が、約25nm~約500nm(250オング

ストローム～約5000オングストローム)の厚みを有する、請求項10に記載の放出器(50、100)。

【請求項15】

請求項10に記載の放出器を含む集積回路(52)と、および

前記放出器からの放出物を集束するための集束装置(38、28)とを含む、電子装置(50、100)。

【請求項16】

電子供給源(10)上に放出器(50、100)を形成するための方法であって、

前記電子供給源上に、半導体薄膜層(52)を用いて、シリコンベースの誘電体放出器を形成するステップであって、前記薄膜層のうちの少なくとも1つが、50nm(500オングストローム)未満の厚みを有するシリコンベースの誘電体層(20)として特徴付けられる薄膜である、ステップと、および

トンネル放出器のトンネル電流を増加させるために、処理された放出器(120、122)をアニールするステップとを含む、方法。

【請求項17】

請求項16に記載の工程によって形成される、放出器(50、100)。

【請求項18】

前記シリコンベースの誘電体層(20)を付着するステップが、 $SiC$ 、 $SiN_x$ 、 $Si_xN_y$ 、 $Si_3N_4$ 、 $F_y-SiO_x$  および  $C_y-SiO_x$  からなるグループからのシリコンベースの誘電体を付着するステップをさらに含む、請求項16に記載の方法。

【請求項19】

電子供給源(10)上に放出器(50、100)を形成するための方法であって、

前記電子供給源(10)上に配置されている絶縁体層(78)上にシリコンベースの誘電体層(20)を付着するステップであって、前記絶縁体層が前記電子供給源への開口部を画定する、ステップと、

前記シリコンベースの誘電体層に接着するために導電層(80、82)を付着するステップと、

前記導電層上にパターンニング層(104)を付着するステップと、

前記パターンニング層および前記導電層内に、前記電子供給源への開口部(108)を形成するステップと、

前記導電層からリフトオフすることにより前記パターンニング層(104)を除去するために、前記パターンニング層(104)をエッチングするステップとを含む、方法。

【請求項20】

トンネル電流を増加させるために、処理された放出器をアニールするステップ(120、122)さらに含む、請求項19に記載の方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

図1は、電子源10を含む、電子放出および光子放出のための放出器素子50、好ましくはフラット放出器の例示的な図である。電子源10の上には、シリコンベースの誘電体層20がある。シリコンベースの誘電体層20は、 $SiN_x$ 、 $Si_3N_4$  ( $RI \sim 2.0$ )、 $Si_xN_y$  ( $x:y > 3/4$ 、 $RI \sim 2.3$ ) および  $SiC$  のようなシリコンベースの誘電体から形成されることが好ましい。また、シリコンベースの誘電体層20として、 $F_y-SiO_x$  および  $C_y-SiO_x$  が利用できるものと考えられる。シリコンベースの誘電体層は約50nm(500オングストローム)の厚みを有することが好ましく、その厚みは、約25nm～約500nm(250～5000オングストローム)の範囲内にあり、たとえば50nm(500オングストローム)またはそれ未満であることが好ましい

。選択される厚みは、シリコンベースの誘電体層が耐えることができなければならない電界強度と、所望の放出器の放出電流とを決定する。シリコンベースの誘電体層 20 の上に配置されるのは、陰極層 14 であり、その陰極層 14 は、プラチナ、金、モリブデン、イリジウム、ルテニウム、タンタル、クロムあるいは他の耐火性材料またはその合金のような薄膜導体であることが好ましい。他の陰極層を用いることもでき、当業者には知られている。陰極層の厚みは 3 nm ~ 15 nm ( 30 ~ 150 オングストローム ) であることが好ましい。放出器電圧  $V_e$  ( 約 3 ~ 10 V ) を有する電圧源 24 が陰極層 14 およびコンタクト 12 を介して電子源 10 に印加されるとき、基板 10 ( 電子供給源 ) から陰極層 14 まで電子が突き抜ける。シリコンベースの誘電体層 20 内の欠陥のために、電子が通り抜ける電界は種々のギャップで中断されており、陰極層 14 の表面からの電子放出物 16 は従来の設計よりも大きくなる。また、電子放出物 16 とともに光子放出物 18 も生じ、放出器 50 からのエネルギー放出物 22 が形成される。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

図 5 は、集積放出器 100 およびレンズアレイ 48 を含む集積回路 52 の例示的な実施形態である。集積回路 52 は、薄膜導電層のような、好ましくは高濃度にドーピングされたシリコンまたは導電性材料である導電性基板 10 上に形成されており、その基板は電子源を提供する。基板 10 の上には、シリコンベースの誘電体層 20 が配置され、その層は、約 25 nm ~ 約 500 nm ( 250 オングストローム ~ 5000 オングストローム ) の厚み、好ましくは約 50 nm ( 500 オングストローム ) の厚みを有するが、応用形態によっては約 25 nm ~ 約 75 nm ( 250 オングストローム ~ 750 オングストローム ) の厚みがさらに好ましい場合もある。半導体薄膜材料からなる種々の層が、基板 10 上に付着され、エッチングされて、集積放出器 100 が形成される。シリコンベースの誘電体層 20 上に配置されるのは、陰極層 14 であり、その陰極層は好ましくは、プラチナ、金、モリブデン、イリジウム、ルテニウム、タンタル、クロムあるいは他の耐火性材料またはその合金からなる薄膜導電層である。陰極層 14 は陰極表面を形成し、その表面から、電子および光子の形のエネルギーが放出される。従来の薄膜処理を用いてレンズアレイ 48 が付着され、そのアレイは、導電層内に画定され、かつ集積放出器 100 と位置合わせされ、そのエネルギーを集積放出器 100 から陽極構造 76 の表面上に集束するためのレンズ 28 を含む。陽極構造 76 は、集積回路 52 からの目標とする距離 74 に配置される。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正の内容】

【0031】

図 11 J は、処理された基板 10 の表面上に陰極層 14 を付着したことを示す。陰極層 14 はプラチナのような薄膜金属層であることが好ましく、約 5 nm ~ 約 25 nm ( 50 ~ 250 オングストローム ) の厚みを有することが好ましい。陰極層 14 のために、数例を挙げると、金、モリブデン、イリジウム、ルテニウム、タンタル、クロムあるいは他の耐火性材料またはその合金などの他の金属を用いることができる。シリコンベースの誘電体層 20 上に配置された陰極層 14 は、放出器チャンバ 114 内に放出器表面 86 を形成する。

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International Application No

PCT/US 02/12258

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
IPC 7 H01J1/312 H01J9/02		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols)		
IPC 7 H01J		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
PAJ, EPO-Internal, WPI Data, INSPEC, COMPENDEX		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1 003 195 A (MATSUSHITA ELECTRIC WORKS LTD) 24 May 2000 (2000-05-24) page 17, line 34-44; claims 1,4,24-26,36,38,44 ---	1,6,8,9, 16,17
X	EP 1 094 485 A (MATSUSHITA ELECTRIC WORKS LTD) 25 April 2001 (2001-04-25) claims 1,10,15,19,20 ---	1,16
A	EP 0 989 577 A (MATSUSHITA ELECTRIC WORKS LTD) 29 March 2000 (2000-03-29) claim 1 --- -/--	1
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
5 February 2003		12/02/2003
Name and mailing address of the ISA European Patent Office, P.B. 5816 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer  Van den Bulcke, E

## INTERNATIONAL SEARCH REPORT

International Application No.

PCT/US 02/12258

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 2000, no. 21, 3 August 2001 (2001-08-03) & JP 2001 118500 A (MATSUSHITA ELECTRIC WORKS LTD), 27 April 2001 (2001-04-27) abstract ---	1
A	PATENT ABSTRACTS OF JAPAN vol. 2000, no. 21, 3 August 2001 (2001-08-03) & JP 2001 118489 A (MATSUSHITA ELECTRIC WORKS LTD), 27 April 2001 (2001-04-27) abstract -----	1

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International Application No  
PCT/US 02/12258

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 1003195	A	24-05-2000	CN 1254173 A	24-05-2000
			EP 1003195 A2	24-05-2000
			JP 3112456 B2	27-11-2000
			JP 2001155622 A	08-06-2001
			KR 2000035507 A	26-06-2000
			SG 86360 A1	19-02-2002
			TW 436837 B	28-05-2001
			US 6285118 B1	04-09-2001
			EP 1094485	A
CN 1293441 A	02-05-2001			
EP 1094485 A2	25-04-2001			
JP 2001283717 A	12-10-2001			
SG 90185 A1	23-07-2002			
TW 473758 B	21-01-2002			
EP 0989577	A	29-03-2000	JP 2966842 B2	25-10-1999
			JP 2000100316 A	07-04-2000
			JP 3079097 B2	21-08-2000
			JP 2000306494 A	02-11-2000
			CN 1249525 A	05-04-2000
			EP 0989577 A2	29-03-2000
			KR 2000023410 A	25-04-2000
			SG 74751 A1	22-08-2000
			TW 436836 B	28-05-2001
JP 2001118500	A	27-04-2001	NONE	
JP 2001118489	A	27-04-2001	NONE	

## フロントページの続き

(51) Int.Cl. <sup>7</sup>	F I	テーマコード(参考)
H 0 1 J 29/04	H 0 1 J 29/04	
H 0 1 J 31/12	H 0 1 J 31/12	C

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZM, ZW

(72) 発明者 チェン, ツィーツァン  
アメリカ合衆国オレゴン州 9 7 3 3 0, コーバリス, スノーブラッシュ・ドライブ・4 4 1 1

(72) 発明者 バイス, マイケル, デイビッド  
アメリカ合衆国オレゴン州 9 7 3 3 0, コーバリス, サウスウエスト・トレリス・ドライブ・6 2 5 7

(72) 発明者 エンク, ロナルド, エル  
アメリカ合衆国オレゴン州 9 7 3 3 0, コーバリス, ノースイースト・コニファー・ブルバード・1 9 7 0

(72) 発明者 リーガン, マイケル, ジェイ  
アメリカ合衆国オレゴン州 9 7 3 3 0, コーバリス, ノースウエスト・アロウッド・サークル・3 2 1 0

(72) 発明者 ノヴェト, トーマス  
アメリカ合衆国オレゴン州 9 7 3 3 0, コーバリス, ノースウエスト・アッシュウッド・ドライブ・2 9 0 5

(72) 発明者 ベニング, ポール, ジェイ  
アメリカ合衆国オレゴン州 9 7 3 3 0, コーバリス, ノースウエスト・ジャニス・プレイス・4 7 3 6

F ターム(参考) 5C031 DD17 DD19  
5C036 EG12 EG17 EG48  
5C127 AA01 AA20 CC15 CC16 CC18 DD09 DD38 DD42 DD57 DD62  
EE02  
5C135 CC05 CC08 CC09 FF25 GG07 HH02