



(12) 发明专利申请

(10) 申请公布号 CN 102279612 A

(43) 申请公布日 2011.12.14

(21) 申请号 201110120553.7

(22) 申请日 2011.05.11

(71) 申请人 电子科技大学

地址 611731 四川省成都市高新区(西区)西源大道 2006 号

(72) 发明人 周泽坤 胡志明 王会影 石跃明鑫 张波

(74) 专利代理机构 电子科技大学专利中心 51203

代理人 周永宏

(51) Int. Cl.

G05F 1/56 (2006.01)

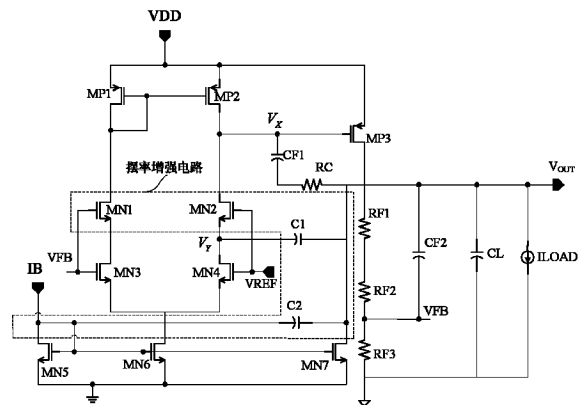
权利要求书 1 页 说明书 5 页 附图 2 页

(54) 发明名称

一种低压差线性稳压器

(57) 摘要

本发明公开了一种低压差线性稳压器。针对现有低压差线性稳压器结构复杂的问题,本发明的 LDO 包括误差放大器、反馈采样网络、偏置电路和摆率增强电路,其特征在于,摆率增强电路的一部分包含于误差放大器之中,误差放大器包括第一 PMOS 管、第二 PMOS 管、第一 NMOS 管、第二 NMOS 管和第三 NMOS 管、第四 NMOS 管;其中第一 NMOS 管和第二 NMOS 管又作为摆率增强电路的组成部分,摆率增强电路还包括第一电容和第二电容。本发明的稳压器通过两个 NMOS 管和两个电容构成了摆率增强电路,不需要过多额外的辅助电路,结构简单、功耗较低,在不降低性能前提下,可以将其应用于低压下,具有极快的瞬态响应。



1. 一种低压差线性稳压器,包括误差放大器、反馈采样网络、偏置电路和摆率增强电路,其特征在于,摆率增强电路的一部分包含于误差放大器之中,误差放大器包括第一 PMOS 管、第二 PMOS 管、第一 NMOS 管、第二 NMOS 管和第三 NMOS 管、第四 NMOS 管;其中第一 NMOS 管和第二 NMOS 管又作为摆率增强电路的组成部分,摆率增强电路还包括第一电容和第二电容;反馈采样网络包括第三 PMOS 管、第一电阻、第二电阻和第三电阻;

具体连接关系如下:第一 PMOS 管、第二 PMOS 管和第三 PMOS 管的源极分别与外部的电源电压相连接,第一 PMOS 管的栅漏短接,并与第二 PMOS 管的栅极、第一 NMOS 管的漏极相连;第二 PMOS 管的漏极与第二 NMOS 管的漏极相连,第一 NMOS 管的栅极与第三 NMOS 管的栅极相连,第二 NMOS 管的栅极与第四 NMOS 管的栅极相连,第一 NMOS 管的源极与第三 NMOS 管的漏极相连,第二 NMOS 管的源极与第四 NMOS 管的漏极相连并作为所述低压差线性稳压器的输入端,第三 NMOS 管和第四 NMOS 管的源极与偏置电路相连,第二 NMOS 管的源极与第一电容的一端相连,第一电容的另一端与第二电容的一端相连,并作为所述低压差线性稳压器的输出端,第二电容的另一端与偏置电路的输入端相连;第三 PMOS 管的栅极与第二 PMOS 管的漏极相连,第一、第二、第三电阻顺次连接于第三 PMOS 管的漏极与地之间;第二和第三电阻的连接点与第三 NMOS 管的栅极相连。

2. 根据权利要求 1 所述的低压差线性稳压器,其特征在于,所述偏置电路包括第五 NMOS 管、第六 NMOS 管和第七 NMOS 管,其中所述 NMOS 管的源极分别接地,所述 NMOS 管的栅极分别与第五 NMOS 管的漏极相连,第六 NMOS 管的漏极接所述误差放大器的第四 NMOS 管的源极,第五 NMOS 管的漏极作为偏置电路的输入端接外部电流源,第七 NMOS 管的漏极接所述低压差线性稳压器的输出端。

3. 根据权利要求 1 或 2 所述的低压差线性稳压器,其特征在于,所述的低压差线性稳压器还包括补偿电路,所述补偿电路包括第三电容、第四电容和第四电阻,其中,第三电容的一端与反馈采样网络的第三 PMOS 管的栅极相连,另一端与第四电阻的一端相连,第四电阻的另一端与所述的低压差线性稳压器的输出端以及第四电容的一端相连,第四电容的另一端与误差放大器的第四 NMOS 管的栅极相连。

一种低压差线性稳压器

技术领域

[0001] 本发明属于电源管理技术领域,具体涉及一种低压差线性稳压器(LDO, Low Dropout Regulator)的设计。

背景技术

[0002] 作为改善全电池供电设备静态功耗和电池供电时间的解决方案,电源管理模块起着非常重要的作用。低压差线性稳压器作为电源管理模块中的一个重要类型,由于能给噪声敏感的模拟模块提供低噪声、高精度的供电电压而被广泛应用。随着便携式设备的广泛应用,对LDO的性能也提出了新的要求:更低的功耗,即更小的静态电流;更好的瞬态响应,即更优的补偿方式和拓扑结构。

[0003] 对于只能集成有限负载电容的低压、无电容LDO来说,已提出了多种摆率增强电路来实现快速负载瞬态响应。为了保证低的静态电流,当前许多先进的摆率增强电路(SRE, Slew Rate Enhancement)都被设计成负载电流的函数,但是这种设计在重负载下会导致大的功耗,并且传统的SRE电压缓冲器有限的输出摆幅使它不适合在低电源电压下工作。而其它的一些设计,比如采用电容耦合技术,比较复杂而且需要增加许多其他的辅助电路,这些辅助电路会限制其在普通放大器上应用。

发明内容

[0004] 本发明的目的是为了解决现有的快速负载瞬态响应的低压差线性稳压器结构复杂的问题,提出了一种低压差线性稳压器。

[0005] 本发明的技术方案:一种低压差线性稳压器,包括误差放大器、反馈采样网络、偏置电路和摆率增强电路,其特征在于,摆率增强电路的一部分包含于误差放大器之中,误差放大器包括第一PMOS管、第二PMOS管、第一NMOS管、第二NMOS管和第三NMOS管、第四NMOS管;其中第一NMOS管和第二NMOS管又作为摆率增强电路的组成部分,摆率增强电路还包括第一电容和第二电容;反馈采样网络包括第三PMOS管、第一电阻、第二电阻和第三电阻;

[0006] 具体连接关系如下:第一PMOS管、第二PMOS管和第三PMOS管的源极分别与外部的电源电压相连接,第一PMOS管的栅漏短接,并与第二PMOS管的栅极、第一NMOS管的漏极相连;第二PMOS管的漏极与第二NMOS管的漏极相连,第一NMOS管的栅极与第三NMOS管的栅极相连,第二NMOS管的栅极与第四NMOS管的栅极相连,第一NMOS管的源极与第三NMOS管的漏极相连,第二NMOS管的源极与第四NMOS管的漏极相连并作为所述低压差线性稳压器的输入端,第三NMOS管和第四NMOS管的源极与偏置电路相连,第二NMOS管的源极与第一电容的一端相连,第一电容的另一端与第二电容的一端相连,并作为所述低压差线性稳压器的输出端,第二电容的另一端与偏置电路的输入端相连;第三PMOS管的栅极与第二PMOS管的漏极相连,第一、第二、第三电阻顺次连接于第三PMOS管的漏极与地之间;第二和第三电阻的连接点与第三NMOS管的栅极相连。

[0007] 进一步的,所述偏置电路包括第五NMOS管、第六NMOS管和第七NMOS管,其中所述

NMOS 管的源极分别接地,所述 NMOS 管的栅极分别与第五 NMOS 管的漏极相连,第六 NMOS 管的漏极接所述误差放大器的第四 NMOS 管的源极,第五 NMOS 管的漏极作为偏置电路的输入端接外部电流源,第七 NMOS 管的漏极接所述低压差线性稳压器的输出端。

[0008] 进一步的,所述的低压差线性稳压器还包括补偿电路,所述补偿电路包括第三电容、第四电容和第四电阻,其中,第三电容的一端与反馈采样网络的第三 PMOS 管的栅极相连,另一端与第四电阻的一端相连,第四电阻的另一端与所述低压差线性稳压器的输出端以及第四电容的一端相连,第四电容的另一端与误差放大器的第四 NMOS 管的栅极相连。

[0009] 本发明的有益效果:本发明的线性稳压器通过两个 NMOS 管和两个电容构成了摆率增强电路,不需要过多额外的辅助电路,结构简单、功耗较低,在不降低性能前提下,可以将其应用于低压下,具有极快的瞬态响应。

附图说明

[0010] 图 1 为本发明的低压差线性稳压器结构示意图。

[0011] 图 2 为本发明的低压差线性稳压器的整体电路示意图。

[0012] 图 3 为本发明的低压差线性稳压器的小信号等效电路示意图。

具体实施方式

[0013] 下面结合附图和具体的实施例对本发明作进一步的阐述。

[0014] 本发明的低压差线性稳压器结构示意图如图 1 所示,包括误差放大器摆率增强电路以及反馈采样网络,而摆率增强电路是集成在误差放大器和输出 VOUT 之间,CF1、CF2 分别用来进行密勒补偿和相位超前补偿。

[0015] 本发明 LDO 的整体电路示意图如图 2,一种低压差线性稳压器,包括误差放大器、反馈采样网络、偏置电路和摆率增强电路,摆率增强电路的一部分包含于误差放大器之中,误差放大器包括第一 PMOS 管 MP1、第二 PMOS 管 MP2、第一 NMOS 管 MN1、第二 NMOS 管 MN2 和第三 NMOS 管 MN3、第四 NMOS 管 MN4;其中第一 NMOS 管 MN1 和第二 NMOS 管 MN2 又作为摆率增强电路的组成部分,摆率增强电路还包括第一电容 C1 和第二电容 C2;反馈采样网络包括第三 PMOS 管 MP3、第一电阻 RF1、第二电阻 RF2 和第三电阻 RF3;

[0016] 具体连接关系如下:第一 PMOS 管 MP1、第二 PMOS 管 MP2 和第三 PMOS 管 MP3 的源极分别与外部的电源电压 VDD 相连接,第一 PMOS 管 MP1 的栅漏短接,并与第二 PMOS 管 MP2 的栅极、第一 NMOS 管 MN1 的漏极相连;第二 PMOS 管 MP2 的漏极与第二 NMOS 管 MN2 的漏极相连,第一 NMOS 管 MN1 的栅极与第三 NMOS 管 MN3 的栅极相连,第二 NMOS 管 MN2 的栅极与第四 NMOS 管的栅极相连,第一 NMOS 管 MN1 的源极与第三 NMOS 管 MN3 的漏极相连,第二 NMOS 管 MN2 的源极与第四 NMOS 管 MN4 的漏极相连,并作为所述 LDO 的输入端,输入基准电压 VREF,第三 NMOS 管 MN3 和第四 NMOS 管 MN4 的源极与偏置电路相连,第二 NMOS 管 MN2 的源极与第一电容 C1 的一端相连,第一电容 C1 的另一端与第二电容 C2 的一端相连,并作为所述 LDO 的输出端 VOUT,第二电容 C2 的另一端与偏置电路的输入端相连;第三 PMOS 管 MP3 的栅极与第二 PMOS 管 MP2 的漏极相连,第一电阻 RF1、第二电阻 RF2 和第三电阻 RF3 顺次连接于第三 PMOS 管 MP3 的漏极与地之间;第二电阻 RF2 和第三电阻 RF3 的连接点 VFB 与第三 NMOS 管 MN3 的栅极相连。这里第三 PMOS 管 MP3 为功率管。

[0017] 这里,偏置电路包括第五 NMOS 管 MN5、第六 NMOS 管 MN6 和第七 NMOS 管 MN7,其中所述 NMOS 管的源极分别接地,所述 NMOS 管的栅极分别与第五 NMOS 管 MN5 的漏极相连,第六 NMOS 管 MN6 的漏极接所述误差放大器的第四 NMOS 管 MN4 的源极,第五 NMOS 管 MN5 的漏极作为偏置电路的输入端接外部电流源 IB,第七 NMOS 管 MN7 的漏极接所述 LDO 的输出端。

[0018] 这里,所述的 LDO 还包括补偿电路,所述补偿电路包括第三电容 CF1、第四电容 CF2 和第四电阻 RC,其中,第三电容 CF1 的一端与反馈采样网络的第三 PMOS 管 MP3 的栅极相连,另一端与第四电阻 RC 的一端相连,第四电阻 RC 的另一端与 LDO 的输出端以及第四电容 CF2 的一端相连,第四电容 CF2 的另一端与误差放大器的第四 NMOS 管 MN4 的栅极相连。

[0019] 本发明的 LDO 可以被看作是两级放大器,其中 MP1、MP2、MN3 和 MN4 作为第一级的单级电压放大器,功率管 MP3 作为放大器的第二级输入,MN5、MN7 和 MN6 组成偏置电路。

[0020] 摆率增强电路作为电容耦合前馈补偿包括:MN1、MN2 以及 C1、C2。由于电容耦合方法的应用,不论是在轻负载还是重负载下都没有多余的静态电流附加到主环路,而仅仅是静态电流 IQ。由于只使用了几个器件以及一些镜像结构,使得这种结构能够被应用在一般的差分放大器中。

[0021] 功率管栅极的最小电压是为使 MN6、MN2 工作在饱和区,其中 M5 工作线性区,即:

$$V_{dsat, MN6} + V_{ds, MN4} + V_{dsat, MN2} = V_{low} < V_{dsat, MN6} + V_{dsat, MN4} + V_{dsat, MN2} \circ$$

[0022] 其中 $V_{dsat, MN4}$ 、 $V_{dsat, MN6}$ 、 $V_{dsat, MN2}$ 分别为 MN4、MN6、MN2 的饱和漏源电压, $V_{ds, MN4}$ 为 MN4 在线性区时的漏源电压, V_{low} 为功率管栅极的最小电压。

[0023] 而传统的摆率增强一般用源跟随器作为缓冲器,这使它的动态范围被限制在 $|V_{THP}| + 2V_{OV} : V_{IN} - V_{OV}$ (其中 V_{THP} 为 PMOS 管的阈值电压, V_{OV} 为 MOS 管的过驱动电压, V_{IN} 为外部的电源电压 VDD)。而本发明提到的功率管栅极电位的动态范围为 $(V_{low} : V_{IN} - V_{OV})$,使得它更适合低压应用。

[0024] 本发明所提出的 LDO 小信号模型如图 3 所示。 A_1 和 r_o 分为第一级的单级差分放大器的等效电压增益和输出电阻, g_{mp_i} 表示第 i 个 PMOS 管的跨导, g_{mn_i} 表示第 i 个 NMOS 管的跨导, R_{LOAD} 为负载电阻,输出端的等效输出电阻可以写成 $R_{LOADP}(R_{F1} + R_{F2} + R_{F3})$ 。忽略高频零极点,传输函数 $H(s) = \frac{V_{out}(s)}{V_{in}(s)}$ 可以表示为

$$[0025] \quad H(s) = g_{mp3} r_{eq} A_1 \frac{R_{F3}}{R_{F1} + R_{F2} + R_{F3}} \frac{(1 + \frac{s}{z_m})(1 + \frac{s}{z_f})}{(1 + \frac{s}{p_1})(1 + \frac{s}{p_2})(1 + \frac{s}{p_f})} \text{公式 (1)}$$

$$[0026] \quad \text{其中 } z_m = 1 / \left(R_C - \frac{1}{g_{mp3}} \right) C_{F1} \text{公式 (2)}$$

$$[0027] \quad z_f = 1 / [(R_{F1} + R_{F2}) C_{F2}] \quad \text{公式 (3)}$$

$$[0028] \quad p_1 = 1 / r_{eq} C_L \quad \text{公式 (4)}$$

$$[0029] \quad p_2 = 1 / g_{mp3} r_{eq} r_o C_{F1} \quad \text{公式 (5)}$$

$$[0030] \quad p_f = 1 / \{ [(R_{F1} + R_{F2}) PR_{F3}] C_{F2} \} \text{公式 (6)}$$

[0031] 其中 z_m 、 z_f 分别为此 LDO 的两个零点, p_1 、 p_2 、 p_f 分别为主极点、第一非主极点、第二非主极点, C_{F1} 、 C_{F2} 、 C_L 分别表示第三电容 CF1、第四电容 CF2、负载电容的值; R_{F1} 、 R_{F2} 、 R_{F3} 分别

表示第一电阻 RF1、第二电阻 RF2、第三电阻 RF3 电阻的阻值； r_{eq} 、 r_o 分别表示整个 LDO 输出电阻、误差放大器的输出电阻。

[0032] 带有摆率增强电路的第一级放大器的电压增益可以通过把两条不同通路上的增益相加来得到，即：

$$[0033] \quad A_1 = A_{PATH1} + A_{PATH2} \approx g_{mn3,4} r_{o2} \frac{1 + sC_1 / g_{mn3,4}}{1 + sC_1 / g_{mn2}} \text{公式 (7)}$$

[0034] 其中通路 1 包括 MN3、MN1、MP1、MP2，通路 2 包括 C1、MN2，并且 A_{PATH1} 、 A_{PATH2} 分别表示通路 1 和通路 2 的增益， $g_{mn3,4}$ 为 MN3 或 MN4 的跨导， r_{o2} 表示 MP2 的输出电阻， g_{mn2} 表示 MN2 的跨导。

[0035] 与传统的单级 LDO 相比，增加了一个左半平面的零点 $z_{SRE} = g_{mn3,4} / C_L$ 和一个极点 $p_{SRE} = g_{mn2} / C_1$ ，这里， C_1 表示第一电容。在轻负载的情况下，把 z_f 、 p_f 设计到低频处，把 z_{SRE} 移到 p_f 附近。当 p_{SRE} 大于单位增益带宽 (UGB, Unity Gain Bandwidth) 时相当于仅仅有一个零点 z_f 在单位增益带宽内。当 z_f 用来抵消第二极点（轻负载时为 p_2 ，重负载下为 p_1 ）时，这时的频率补偿变得简单而且效率高。在重负载下，没有用到的 z_m 可以设计在 p_{SRE} 前来扩展带宽，这样就可以得到一个较宽的单位增益带宽。

[0036] 传统 LDO 的瞬态特性由于功率管栅极的摆率而受到限制。通过图 2 可以看到， V_x 点的最大静态摆率为：

$$[0037] \quad SR_{(static)} = \frac{I_{BIAS}}{C_{Par} + C_{F1}} \text{公式 (8)}$$

[0038] 这里 I_{BIAS} 表示从偏置电路进来的偏置电流、 C_{Par} 表示外接的电容。很明显，准静态摆率在低压或是小尺寸功率管设计中受到限制。但是当应用电容耦合前馈补偿电路时，通过电容 C1 和 MOS 管 MN2 来形成一个快通路，这样就可以用有限的静态电流在 V_x 上产生大的动态摆率来改善瞬态特性。

[0039] 以下降时的瞬态来进行分析。假设 V_{OUT} 点的电压变化可以忽略，当 V_{OUT} 点电压下降时，功率管 M1 的栅极放电电流 $I_{M10} = I_{C1} + I_{BIAS} \approx I_{C1} = \frac{dV_{OUT}}{dT} C_1$ 会发生变化。此时，从 MN6 获得的偏置电流 I_{BIAS} 通过第二电容 C2 而关断，这里 C2 作为倍增电容。

$$[0040] \quad SR_{(step-down)} = \frac{C1}{(C_{Par} + C_{F1})} \frac{dV_{OUT}}{dT} \text{公式 (9)}$$

[0041] 当 V_{OUT} 点电压上升时：

$$[0042] \quad SR_{(step-up)} = \frac{1}{(C_{Par} + C_{F1})} \left[\frac{(W/L)_{M7}}{(W/L)_{M6}} \frac{dV_{OUT}}{dT} C2 + I_{BIAS} \right] \text{公式 (10)}$$

[0043] 公式 (9) 和公式 (10) 表明动态摆率得到增强，同时不依赖于负载，而是正比于 ΔV_{OUT} ；与公式 (8) 相比，在负载瞬态变化情况下，摆率范围可以比静态时大几倍。

[0044] 在本实施例中，使用 SMIC 的 $0.13 \mu m$ CMOS 工艺模型对 1.5V 电源电压、10mV 负载的 LDO 进行了仿真。基于最小的输入电压为 1.5V，使用 0.2nF 的负载电容进行仿真时，在驱动 50mA 的电流且仅仅需要 $17 \mu m$ 的静态电流。频率响应特性在重负载 (10mA) 和轻负载 (0mA) 两种情况下，在相位裕度为 50° 是稳定的，此时的单位增益带宽在重负载时能够达到 7.3MHz，同时输出电压的过冲或是下冲时只有 170mV。

[0045] 本发明的低压差线性稳压器通过应用电容耦合前馈补偿技术,具有极大负载调整率,电路结构简单,能用于普通差分放大器中。仿真结果表明本发明的结构能够实现低静态电流、超快的负载瞬态响应,适合应用于低压系统。

[0046] 本领域的普通技术人员将会意识到,这里所述的实施例是为了帮助读者理解本发明的原理,应被理解为本发明的保护范围并不局限于这样的特别陈述和实施例。本领域的普通技术人员可以根据本发明公开的这些技术启示做出各种不脱离本发明实质的其它各种具体变形和组合,这些变形和组合仍然在本发明的保护范围内。

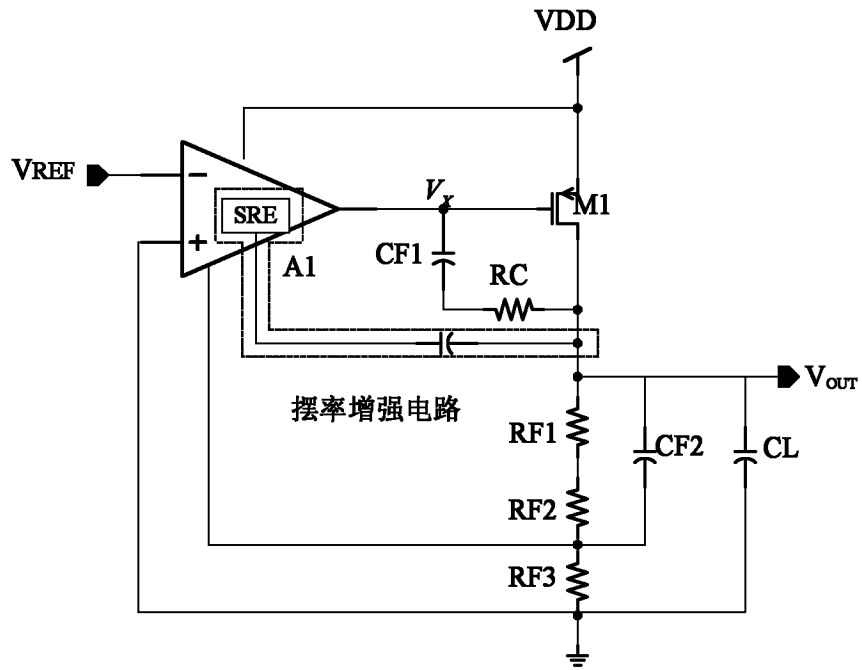


图 1

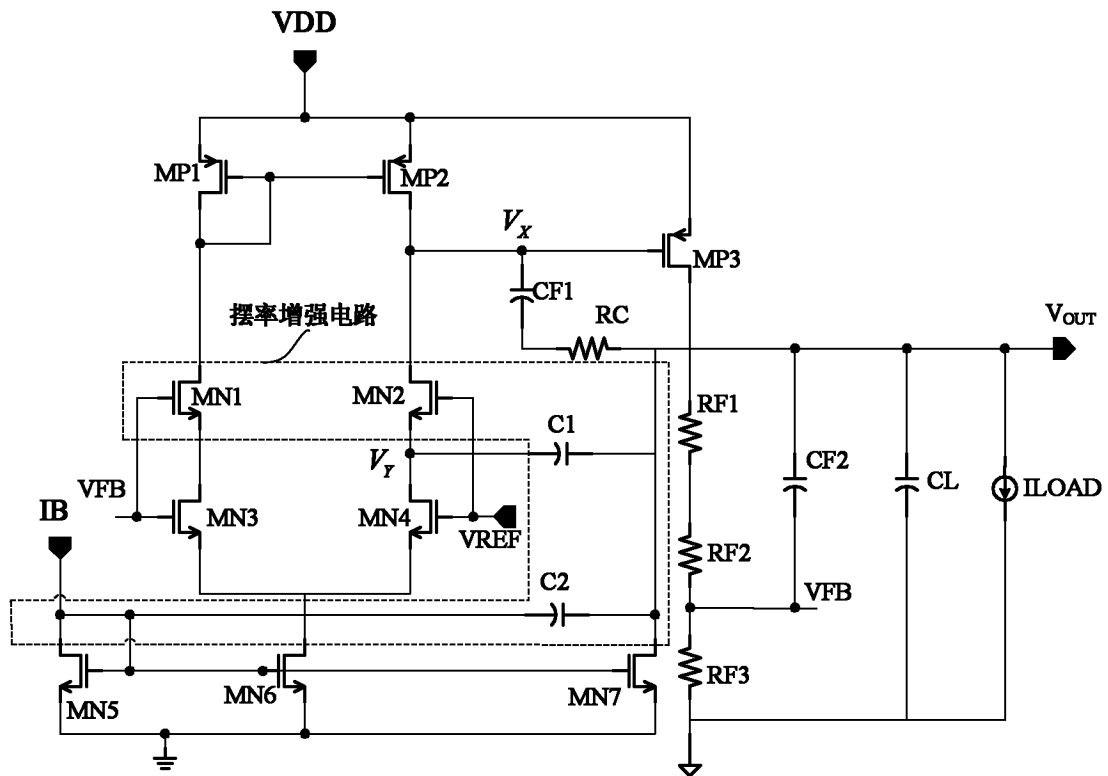


图 2

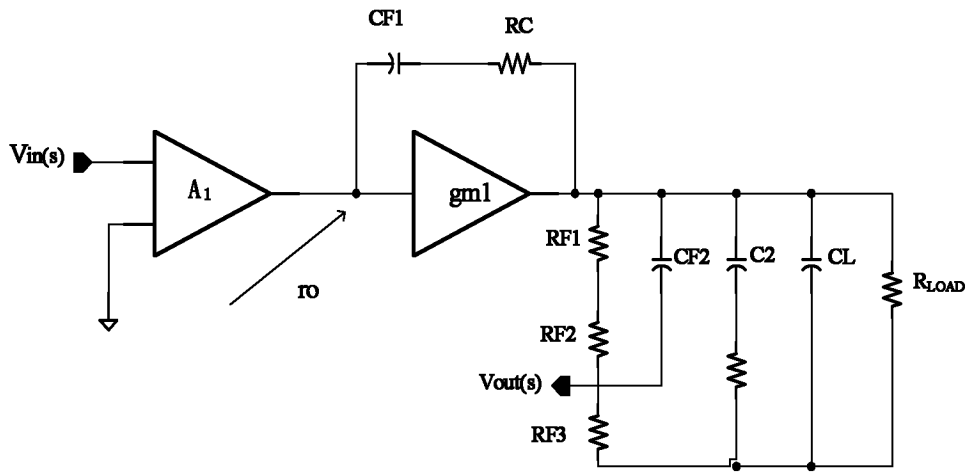


图 3