

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3854887号
(P3854887)

(45) 発行日 平成18年12月6日(2006.12.6)

(24) 登録日 平成18年9月15日(2006.9.15)

(51) Int. Cl.	F I		
HO4N 5/335 (2006.01)	HO4N	5/335	E
HO1L 27/146 (2006.01)	HO4N	5/335	P
HO4N 9/07 (2006.01)	HO1L	27/14	A
	HO4N	9/07	A

請求項の数 1 (全 14 頁)

(21) 出願番号	特願2002-104030 (P2002-104030)	(73) 特許権者	000001007
(22) 出願日	平成14年4月5日(2002.4.5)		キヤノン株式会社
(65) 公開番号	特開2003-298940 (P2003-298940A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成15年10月17日(2003.10.17)	(74) 代理人	100076428
審査請求日	平成15年12月11日(2003.12.11)		弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(72) 発明者	井上 俊輔
			東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 光電変換装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型の半導体領域と第2導電型の半導体領域とを積層させた光電変換部と、
前記光電変換部の電荷を転送するための読み出し用MOSトランジスタと、
前記光電変換部のリセット用MOSトランジスタと、
前記光電変換部の出力電荷を保持するためのフローティングディフュージョンと、
前記フローティングディフュージョンの電位を検出する増幅用MOSトランジスタを有する画素を複数配置した光電変換装置において、
前記読み出し用MOSトランジスタは五極管領域にて動作し、
前記複数の画素は第1の画素と、第2の画素とを有し、
前記第1の画素の光電変換部は、

第1導電型の第1の半導体領域と、前記第1の半導体領域の下部に配される第2導電型の第2の半導体領域と、前記第2の半導体領域の下部に配される第1導電型の第3の半導体領域と、前記第3の半導体領域の下部に配される第2導電型の第4の半導体領域と、からなり、

前記第2の画素の光電変換部は、第1導電型の第5の半導体領域と、
前記第5の半導体領域の下部に配される第2導電型の第6の半導体領域とからなり、
前記第1の半導体領域から青に対応する出力を読み出し、
前記第3の半導体領域から赤に対応する出力を読み出し、
前記第2の画素の光電変換部からは、緑に対応する出力を読み出し、該緑に対応する出

10

20

力は、前記第5の半導体領域から読み出され、

前記第2の画素に対応して、カラーフィルタが配されていることを特徴とする光電変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はビデオカメラやデジタルスチルカメラ等の画像入力装置に広範に用いられる固体撮像装置の構成及び制御に関する。

【0002】

【従来の技術】

近年、MOSトランジスタを利用した固体撮像素子であるCMOSセンサの開発が盛んに行われている。図1は、CMOSセンサの概略図である。

【0003】

1は、光を電気信号に変換するフォトダイオードやトランジスタを有する画素回路であり、その画素が水平方向及び垂直方向に2次元アレイ状に配列している。2は画素からの信号が出力される垂直出力線、3は画素内のトランジスタに電圧を伝えるための信号線、4は信号線3に垂直方向に順次パルスを出力する垂直走査回路、5は後述する画素内のトランジスタとソースフォロワ回路を構成する負荷トランジスタ、6は画素からのノイズ信号と光電変換信号を読み出す読み出し回路、7は光信号とノイズ信号との差分処理を行う差動アンプである。

【0004】

図2は、上記の図1で説明した画素回路1の詳細な等価回路図である。21は光を電気信号に変換する光電変換部としてのフォトダイオード、22はフォトダイオードで発生した信号をゲート電極で受けソース電極より増幅して出力する増幅トランジスタ、23はフォトダイオードの信号を増幅トランジスタ22へ転送する転送トランジスタ、24は増幅トランジスタのゲート電極側（フローティングディフュージョン26）にリセット電位を供給するリセットトランジスタ、25は選択的に画素内の信号を垂直出力線へ出力する選択トランジスタである

次に、上記で説明したCMOSセンサの動作について簡単に説明する。まず、転送トランジスタ23、リセットトランジスタ24をオンにして、フォトダイオード21とフローティングディフュージョン26をリセットする。その後、転送トランジスタ23、リセットトランジスタ24を閉じフォトダイオード21で光電荷の蓄積が始まる。

【0005】

そして、フォトダイオード21での光電荷の蓄積中に、選択トランジスタ25をオンにしてノイズ信号（フローティングディフュージョンをリセットした電位に対応した電位）を読み出す。その後、転送トランジスタ23をオンにして、光電荷をフローティングディフュージョンに転送し、フローティングディフュージョンの電位に対応した電位（光電変換信号）を読み出す。

【0006】

この光電変換信号とノイズ信号は、読み出し回路6を介して、差動アンプ7に入力され光電変換信号に含まれるノイズ成分が除去される。

【0007】

【発明が解決しようとする課題】

上記の転送トランジスタ23をオンにした時は、転送トランジスタ23が3極管領域（線形領域）で動作しているため、図3で表すようにソース側とドレイン側がチャネルによって結合している。図4は、転送トランジスタ23のゲートをONにした直後のポテンシャル図である。

【0008】

つまり、図5で表すように、フォトダイオード21（静電容量 C_{21} ）とフローティングディフュージョン26（静電容量 C_{26} ）とは、容量結合しているため、フォトダイオード2

10

20

30

40

50

1で発生した電圧を V_0 とすると、フローティングディフュージョン26の電圧は容量分割により、 $\{C_{26} / (C_{21} + C_{26})\} V_0$ となり、電圧が減少し、感度の減少につながっていた。

【0009】

また、フォトダイオードのリセット時において、転送トランジスタ23を3極管領域で動作させた場合は、フォトダイオードのリセット電位が転送トランジスタ23の閾値のばらつきの影響を受けてしまうことになるので、固定パターンノイズを引き起こす原因となる。

【0010】

本発明は、上記課題を解決するために以下の解決手段を提供する。具体的には、第1導電型の半導体領域と第2導電型の半導体領域とを積層させた光電変換部と、
前記光電変換部の電荷を転送するための読み出し用MOSトランジスタと、
前記光電変換部のリセット用MOSトランジスタと、
前記光電変換部の出力電荷を保持するためのフローティングディフュージョンと、
前記フローティングディフュージョンの電位を検出する増幅用MOSトランジスタを有する画素を複数配置した光電変換装置において、
前記読み出し用MOSトランジスタは五極管領域にて動作し、
前記複数の画素は第1の画素と、第2の画素とを有し、
前記第1の画素の光電変換部は、
第1導電型の第1の半導体領域と、前記第1の半導体領域の下部に配される第2導電型の第2の半導体領域と、前記第2の半導体領域の下部に配される第1導電型の第3の半導体領域と、前記第3の半導体領域の下部に配される第2導電型の第4の半導体領域と、
前記第2の画素の光電変換部は、第1導電型の第5の半導体領域と、
前記第5の半導体領域の下部に配される第2導電型の第6の半導体領域と
前記第1の半導体領域から青に対応する出力を読み出し、
前記第3の半導体領域から赤に対応する出力を読み出し、
前記第2の画素の光電変換部からは、緑に対応する出力を読み出し、該緑に対応する出力は、前記第5の半導体領域から読み出され、
前記第2の画素に対応して、カラーフィルタが配されていることを特徴とする。

【0015】

【発明の実施の形態】

以下、本発明の実施形態について図面を参照して詳細に説明する。

【0016】

[第1の実施形態]

本発明の第1の実施形態に対応した光電変換装置としてのCMOSセンサの構成は、図1に示すものと同様である。また、1画素の等価回路の構成は、図2に示すものと同様である。図1では、読み出し回路6の構成及びその詳細な説明を省いていたが、より詳細な構成を示せば図8に示すような構成となる。

【0017】

図8に示す読み出し回路6の構成を以下に説明する。読み出し回路6は、1画素列毎に配置される回路ブロック9が画素アレイの列数分だけ配置された構成となっており、当該回路ブロック9からの出力は、差動アンプ7へ入力される。回路ブロック9は、光電変換信号を蓄積するための容量 C_S と、ノイズ信号を蓄積するための容量 C_N とを備え、当該信号の蓄積は、トランジスタ27及び28がPTSR信号及びPTNR信号のLowからHighへの変化に応じて行われる。

【0018】

また、当該各容量 C_S 、 C_N は、信号値を蓄積する前処理として、トランジスタ29、30及びPCTR信号によりリセットされる。また、各容量 C_S 、 C_N の電位は、水平走査回路8からの出力信号H1によりトランジスタ31、32が解放されることにより、差動

アンプ7に入力される。

【0019】

次に、図2を参照して画素回路1からの信号の読み出しについて説明する。選択トランジスタ25をオンにしてノイズ信号(フロ-ティングディフュ-ジョンをリセットした電位に対応した電位)を読み出す。その後、転送トランジスタ23をオンにして、光電荷をフロ-ティングディフュ-ジョンに転送し、フロ-ティングディフュ-ジョンの電位に対応した電位(光電変換信号)を読み出す。

【0020】

このように、本実施形態においては従来の回路の構成を採用するが、光電変換部であるフォトダイオ-ド21の信号をフロ-ティングディフュ-ジョン26に転送する場合、及び、フォトダイオ-ド21をリセットする場合における転送トランジスタ23の制御が、従来のCMOSセンサと大きく異なる。

10

【0021】

本実施形態では、5極管領域(飽和領域)で転送トランジスタ23を動作させる。即ち、ゲート電圧 V_g 、ソース電圧 V_s 、ドレイン電圧 V_d 及び閾値電圧 V_{th} との関係は、 $V_g - V_s - V_{th} < V_d - V_s$ を満たしている。5極管領域で動作させた場合のゲ-ト電極下のチャネルの状態は、図6に表すように、チャネルがドレインまで到達していないため、フォトダイオ-ド21とフロ-ティングディフュ-ジョン26が容量結合せず、従来技術で表すものと違い容量分割を受けない。また、リセット動作時に転送トランジスタ23を5極管領域において動作させることにより、ゲート電圧と転送トランジスタの閾値によってリセット電圧が決定されるので、リセット電位は、転送トランジスタ固有のレベルに設定される。

20

【0022】

このときの図7のポテンシャル図を参照すると、ゲート電圧が完全にHigh(例えば、5V)にならないレベルで入力されるために、ゲート領域のポテンシャルが V_{ch} で示すレベルから下がらずポテンシャルバリアが生成され、フォトダイオードにおいて生成された転送トランジスタのソース側の電荷のうちエネルギーの高いものが、ポテンシャルバリアを越えて、転送トランジスタのドレイン側、すなわちフローティングディフュージョンに流れ込む。このように、フォトダイオード21の電荷を容量分割を受けることなくフローティングディフュージョン26に読み出すことができるので、フォトダイオードのリセ

30

【0023】

より具体的に動作を説明すると、転送トランジスタ23のゲート電位は、フォトダイオード21のリセット電位から、NMOSTランジスタ23の閾値電圧分を足した電位よりもやや上がった電位となる。このときのチャネル電位は、図7に示す V_{ch} であり、これによりポテンシャルバリアが生成される。

【0024】

フローティングディフュージョンの電位はリセットトランジスタ24によるリセット時における電位に固定される。この電位は、フォトダイオードのリセット電位に比べ十分に高い値に設定され、転送トランジスタ23が5極管領域で動作するようにしている。図7においては、当該電位が V_{dr} で示される。

40

【0025】

フォトダイオード21のリセット動作においては、転送トランジスタ23には飽和電流あるいはサブしきい値電流が流れ、NMOSTランジスタ23のソース電位は、転送トランジスタ23のゲート電圧と閾値電圧値とで決まる電位(図7では V_{sr})に近づいてゆく。信号出力が始まると転送トランジスタ23のソース側の電位はフォトダイオード21の容量を通して信号電圧分だけ押し上げられようとするが、転送トランジスタ23を通して流れる電流によって V_{sr} に戻る。

【0026】

よって、フォトダイオードの容量と信号電圧分の積によって決まるリセットレベル分を含

50

まない信号電荷分のみがフローティングディフュージョン26に蓄積されていくことになる。

【0027】

図9は、図8に示すセンサの動作を表すタイミングチャートである。まず、T1において、容量CS、CNをリセットする。次に、T2において、転送トランジスタ23を5極管領域で動作させ、フォトダイオードをリセットする。転送トランジスタ23を5極管領域で動作させるためのゲート電圧は、本実施形態では4.0Vに設定される。例えば、転送トランジスタ23の閾値電圧を例として0.3Vとすると、フォトダイオード21のリセット電位は3.5Vとなる。なお、これらの数値はあくまで例示的に示すものであって、これに限定されるものではない。このとき、ResetがHigh(5V)になりフローティングディフュージョン26もリセットされる。

10

【0028】

T3では、sel信号により選択トランジスタ25がオンになると同時に、PTNR信号もオンになるので、上記リセットにより生じるノイズ信号が容量CNに転送される。T4では、転送トランジスタ23を5極管領域で動作させ、フォトダイオードで発生した電荷がフローティングディフュージョン26に転送される。

【0029】

さらに、T5では、sel信号により選択トランジスタ25がオンになると同時に、PTNS信号がオンになるので、光電変換信号(ノイズ信号+フォトダイオードで発生した電荷による信号)が容量CSに転送される。T6においては、水平シフトレジスタ8からの出力信号H1により、スイッチトランジスタノイズ信号、光電変換信号が水平出力線へ出力され、差動アンプ7へ入力される。T7では、水平出力線がリセットされる。T8では、1ライン分のノイズ信号、光電変換信号が水平出力線へ出力される。

20

【0030】

[第2の実施形態]

本実施形態では、図1に示すCMOSセンサにおいて、画素回路1として図10に示す構成を採用する。図10は、3層フォトダイオードで構成される1画素の回路構成を示すものである。この3層フォトダイオードの構造は、図11に示すようにトリプルウェル構造で形成される。同図において、1101はp形のシリコン基板、1102はシリコン基板100上に形成されたnウェル、1103はnウェル1102上に形成されたpウェル、1104はn形領域である。また、1105及び1106は、それぞれB信号及びR信号転送のためのNMOSトランジスタ、1107は、G信号転送のためのPMOSトランジスタである。

30

【0031】

図11に示すように、フォトダイオードはp型シリコン基板表面から順次拡散される、n型層、p型層、n型層をこの順に深く形成することで、pn接合ダイオードがシリコンの深さ方向に3層形成される。ダイオードに表面側から入射した光は波長の長いものほど深く侵入し、入射波長と減衰係数はシリコン固有の値を示すので、3層構造のフォトダイオードを可視光の各波長帯域(R、G、B)をカバーするようにpn接合の深さを設計し、上記3層のフォトダイオードから別々に電流を検出することで、異なる波長帯の光信号を検出することができる。

40

【0032】

本実施形態では、図11に示すような3層構造フォトダイオードを採用する画素回路について、第1の実施形態で説明したように、R、G、Bのフォトダイオード1001、1002、1003の信号をフローティングディフュージョン1004、1005、1006に転送する場合及びフォトダイオード1001、1002、1003をリセットする場合の転送トランジスタM1、M2及びM3を、5極管領域で動作させる。図1の読み出し回路6については、第1の実施形態の図8における回路ブロック9を、R、G、Bの各フォトダイオードからの読み出し信号について備えればよい。各回路ブロック9への入力の切り替えは、第1の実施形態と同様にして、Rsel、Bsel、Gsel信号に、PTN

50

S 信号及び P T N R 信号を対応させればよい。

【 0 0 3 3 】

容量 C N 及び C S とトランジスタ 2 7 及び 2 8 から構成されるノイズ信号及び光電変換信号を蓄積する回路構成は、R、G、B 各色に 1 つずつが配置される。各色のフォトダイオードに対応するノイズ信号及び光電変換信号は、選択トランジスタ M 1 0、M 1 1、M 1 2 及び当該トランジスタを制御する B s e l、G s e l、R s e l によって、それぞれ対応する容量 C S 及び C N へ蓄積される。

【 0 0 3 4 】

図 1 2 は、図 1 0 に示すセンサの動作を表すタイミングチャートである。図 1 2 は、説明の簡単のために画素回路 1 内における制御信号のチャートを示す。読み出し回路 6 における制御は、第 1 の実施形態における制御を 3 色分繰り返せばよいので、下記で特に説明する以外は第 1 の実施形態を引用することとして省略する。

10

【 0 0 3 5 】

T 1 において、転送トランジスタを 5 極管領域で動作させ、フォトダイオードをリセットする。それと同時に、フロティングディフュージョンもリセットされる。R e s e t 1 信号は、B 信号及び R 信号については、リセットトランジスタ M 4 及び M 6 が N M O S であるので、正相入力 (5 V) であるが、G 信号についてはリセットトランジスタ M 5 が P M O S であるので R e s e t 2 は逆相入力 (0 V) となる。同様に、R e a d B 及び R e a d R は正相入力、R e a d G は逆相入力となる。ここで、リセット時の R e a d B 及び R e a d R の電位は、第 1 の実施形態と同様に 4 . 0 V と設定することができる。一方、この時の R e a d G の電位は 1 . 0 V となる。なお、T 1 以前には第 1 の実施形態と同様、各色に対応する容量 C S と C N がリセットされている。

20

【 0 0 3 6 】

各色のフォトダイオードのリセット電位は、例えば、図 1 2 下に示すように、B 及び R が、3 . 5 V に対し、G が 1 . 5 V となる。当該電位は、B、R については蓄積時間を経て減少し、G については増加する。

【 0 0 3 7 】

T 2 では、B 信号について B s e l 信号により選択トランジスタ M 1 0 がオンになり、上記リセットにより生じるノイズ信号が容量 C N に転送される。T 3、T 4 では、T 2 における動作を、G 信号、R 信号について実行する。

30

【 0 0 3 8 】

リセット動作の後、一定期間が画素値の蓄積期間として与えられる (T 3 から T 6) 。

【 0 0 3 9 】

T 6 が経過すると、T 7 にて信号の読み出し動作に移行する。ここでは、転送トランジスタ M 1、M 2 及び M 3 が 5 極管領域で動作し、各色のフォトダイオードで発生した電荷がフロティングディフュージョン 1 0 0 4、1 0 0 5 及び 1 0 0 6 に転送される。

【 0 0 4 0 】

信号の読み出しが終了すると、T 8 から T 1 0 では、光電変換信号 (ノイズ信号+フォトダイオードで発生した電荷による信号) が、B s e l 信号、G s e l 信号及び R s e l 信号により、それぞれ各色に対応する容量 C S に転送される。これ以降は、第 1 の実施形態における T 6 以降の動作が各色について実行される。

40

【 0 0 4 1 】

このように、3 層構造フォトダイオードを採用する画素回路について、転送トランジスタを 5 極管領域で動作させることにより、フォトダイオード容量とフローティングディフュージョン容量で容量分割されなくなるので、ゲイン補正をかけることなく色分離ができ、色再現性が向上する。また、第 1 の実施形態と同様にフォトダイオードのリセットノイズも除去できる。

【 0 0 4 2 】

[第 3 の実施形態]

本実施形態では、図 1 に示す C M O S センサにおいて、画素回路 1 として図 1 3 に示す構

50

成を採用する。図13は、3層フォトダイオードで構成される1画素の回路構成を示す点で、図10に示す第2の実施形態と同様であるが、B信号とR信号用のリセットトランジスタ、増幅トランジスタ及び選択トランジスタを、単一トランジスタM4、M7及びM10として共用することにより、回路規模の縮小を図ることが可能となる。

【0043】

本実施形態における画素回路1の制御は、図12に示すタイミングチャートとほぼ同様であるが、B信号とR信号については、フローティングフロ-ティングディフュ-ジョンを同時に使用することができないので、B信号に対する制御をR信号についてもリピートする必要がある。即ち、R信号のリセット動作からリセットレベル出力までの制御は、B信号のリセットレベル出力制御が終了してから実行しなければならない。また、信号の読み出しについても、B信号の読み出し及び信号出力の制御が終了してから、R信号の読み出し制御が開始されることとなる。

10

【0044】

[第4の実施形態]

本実施形態では、図1に示すCMOSセンサにおいて、画素回路1として図14(a)及び(b)に示す構成を採用する。図14は、3層フォトダイオードで構成される1画素の回路構成を示す点で、上記の第3の実施形態と同様であるが、B信号とR信号用の画素回路とG信号専用の画素回路とを独立して構成した点で、第3の実施形態とは異なる。この構成を採用することにより、1画素回路規模の縮小を図り、フォトダイオードの開口面積を大きくすることが可能となる。

20

【0045】

ここで、図14(a)に示すB信号及びR信号用の画素回路は、図13におけるG信号用のトランジスタM2、M5、M8及びM11を排した構成となる。一方、図14(b)に示すG信号用の画素回路は、図13におけるB(R)信号用のトランジスタ、M1、M3、M4、M7とM10を排した構成となり、B信号用及びR信号用のフォトダイオードのn型層は、電圧源Vccに接続される。

【0046】

図14(a)、(b)に示すフォトダイオードの構造は、図15に示すようになる。図15(a)は、B信号とR信号読み出しのための画素構造であり、図15(b)は、G信号読み出しのための画素構造である。このように、フォトダイオードの構造は、各画素回路において共用することができる。図15(b)において、リセット用、読み出し用及び選択用の各トランジスタは共にPMOSTランジスタで構成しても良い。

30

【0047】

また、図14(a)、(b)に示すフォトダイオードの構造を、図15に示す以外に、例えば、図16のような構造としても良い。ここで、図16(a)の構造は、図15(a)と同一であるが、図16(b)は、フォトダイオードの1層構造として画素内の各トランジスタをNMOSTランジスタで構成することができる。これにより、図15(b)の場合と比較して、フォトダイオードの開口面積を維持しつつ、画素回路自体の面積を小さくすることが可能である。但し、図16(b)の構成の場合は、G信号のみを検出するためのカラーフィルタを必要とする。

40

【0048】

本実施形態における画素回路の配置は、図17に示すようになる。ここで、「G」のブロックには図14(b)のG信号用の画素回路を配置し、「B/R」のブロックには、図14(a)のB/R信号用の画素回路を配置する。

【0049】

本実施形態における画素回路からの信号の読み出し制御は、第3の実施形態とほぼ同様である。

【0050】

[第5の実施形態]

上記第1から第4の実施形態において記載した本発明の光電変換装置を用いた撮像システ

50

ムについて、図18を参照して説明する。

【0051】

図18において、1801はレンズのプロテクトとメインスイッチを兼ねるバリア、1802は被写体の光学像を撮像装置1804に結像させるレンズ、1803はレンズ1802を通った光量を可変制御するための絞り、1804はレンズ1802により結像された被写体光学像を画像信号として取り込むための固体撮像素子(上記第1乃至第4の実施形態で説明した光電変換装置に対応する)、1805は、撮像装置1804から出力される画像信号を増幅するゲイン可変アンプ部及びゲイン値を補正するためのゲイン補正回路部等を含む撮像信号処理回路、1806は撮像装置1804より出力される画像信号のアナログ-デジタル変換を行うA/D変換器、1807はA/D変換器1806より出力された画像データに各種の補正を行ったりデータを圧縮する信号処理部、1808は撮像装置1804、撮像信号処理回路1805、A/D変換器1806、信号処理部1807に、各種タイミング信号を出力するタイミング発生部、1809は各種演算とスチルビデオカメラ全体を制御する全体制御・演算部、1810は画像データを一時的に記憶する為のメモリ部、1811は記録媒体に記録または読み出しを行うための記録媒体制御インターフェース部、1812は画像データの記録または読み出しを行う為の半導体メモリ等の着脱可能な記録媒体、1813は外部コンピュータ等と通信する為のインターフェース部である。

10

【0052】

次に、前述の構成における撮影時のスチルビデオカメラの動作について説明する。

20

【0053】

バリア1801がオープンされるとメイン電源がオンされ、次にコントロール系の電源がオンし、更にA/D変換器1806などの撮像系回路の電源がオンされる。

【0054】

その後、露光量を制御する為に、全体制御・演算部1809は絞り1803を開放にし、固体撮像素子1804から出力された信号はA/D変換器1806で変換された後、信号処理部1807に入力される。全体制御・演算部1809は、信号処理部1807により所定の信号処理がされたデータを基に測光を行い、その結果により明るさを判断し、露出の演算を行う。そして得られた露出に応じて絞り1803を制御する。

【0055】

次に、撮像装置1804から出力された信号を基に、全体制御・演算部1809は高周波成分を取り出し被写体までの距離の演算を行う。その後、レンズを駆動して合焦か否かを判断し、合焦していないと判断した時は、再びレンズを駆動し測距を行う。そして、合焦が確認された後に本露光を始める。

30

【0056】

露光が終了すると、撮像装置1804から出力された画像信号はA/D変換器1806でA/D変換され、信号処理部1807を通り全体制御・演算部1809によりメモリ部1810に書き込まれる。

【0057】

その後、メモリ部1810に蓄積されたデータは、全体制御・演算部1809の制御により記録媒体制御I/F部1811を通り半導体メモリ等の着脱可能な記録媒体1812に記録される。

40

【0058】

また、外部I/F部1813を通り直接コンピュータ等に入力して画像の加工を行ってもよい。

【0059】

以上に説明したように、本発明のそれぞれの実施形態によれば画素回路内の転送トランジスタを5極管領域において動作させることにより、フォトダイオードとフローティングディフュージョンが容量結合せず、容量分割を受けないので、フローティングディフュージョンの電圧の減少を抑制し感度の減少を防止することができる。また、フォトダイオード

50

の電荷を容量分割を受けことなくフローティングディフュージョンに読み出すことができるので、フォトダイオードのリセットノイズも除去することができる。

【0060】

また、3層構造フォトダイオードを採用する画素回路について、転送トランジスタを5極管領域で動作させることにより、フォトダイオード容量とフローティングディフュージョン容量で容量分割されなくなるので、ゲイン補正をかけることなく色分離ができ、色再現性が向上する。

【発明の効果】

以上のように、本発明によれば、良好な画像を得ることが可能となる。

【図面の簡単な説明】

【図1】本発明におけるCMOSセンサの概略的な構成を示す図である。

【図2】本発明における画素回路の構成を示す図である。

【図3】トランジスタの3極管領域における動作を説明するための図である。

【図4】トランジスタの3極管領域における動作時のポテンシャル図である。

【図5】トランジスタの3極管領域における動作時に生ずる容量結合を説明するための図である。

【図6】トランジスタの5極管領域における動作を説明するための図である。

【図7】トランジスタの5極管領域における動作時のポテンシャル図である。

【図8】図1における読み出しブロック6の構成を示す図である。

【図9】本発明の第1の実施形態に対応する制御信号のタイミングチャートである。

【図10】本発明の第2の実施形態に対応する画素回路の構成を示す図である。

【図11】本発明の第2の実施形態に対応するフォトダイオードの構造を示す図である。

【図12】本発明の第2の実施形態に対応する制御信号のタイミングチャートである。

【図13】本発明の第3の実施形態に対応する画素回路の構成を示す図である。

【図14】本発明の第4の実施形態に対応する画素回路の構成を示す図である。

【図15】本発明の第4の実施形態に対応するフォトダイオードの構造を示す図である。

【図16】本発明の第4の実施形態に対応するフォトダイオードの構造を示す図である。

【図17】本発明の第4の実施形態に対応する画素回路の配置の一例を示す図である。

【図18】本発明の第5の実施形態における撮像システムの構成を示すブロック図である。

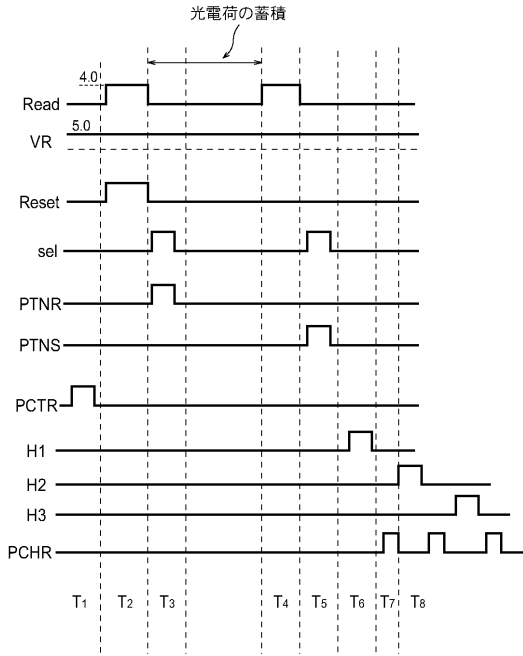
。

10

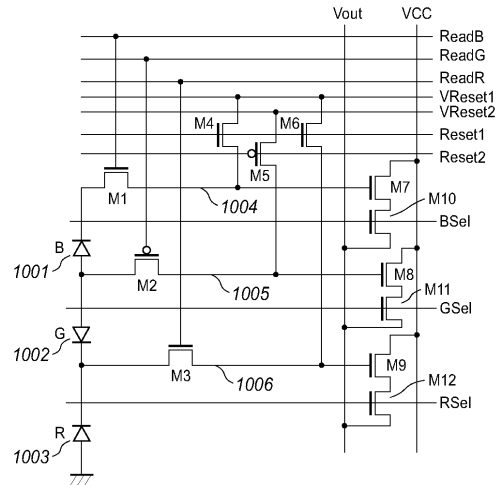
20

30

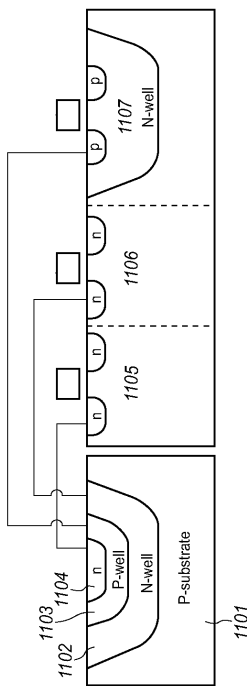
【 図 9 】



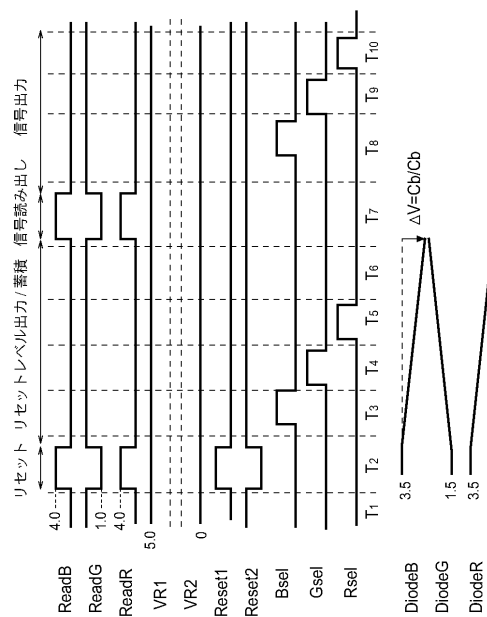
【 図 10 】



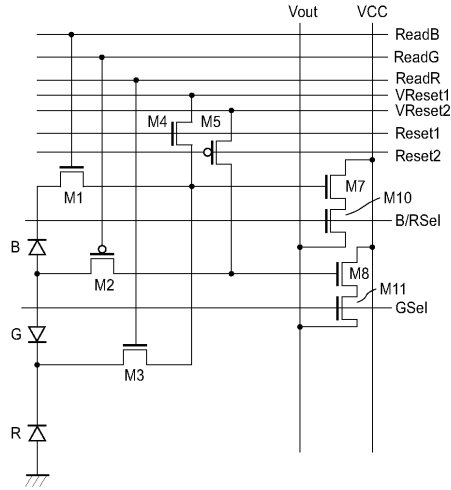
【 図 11 】



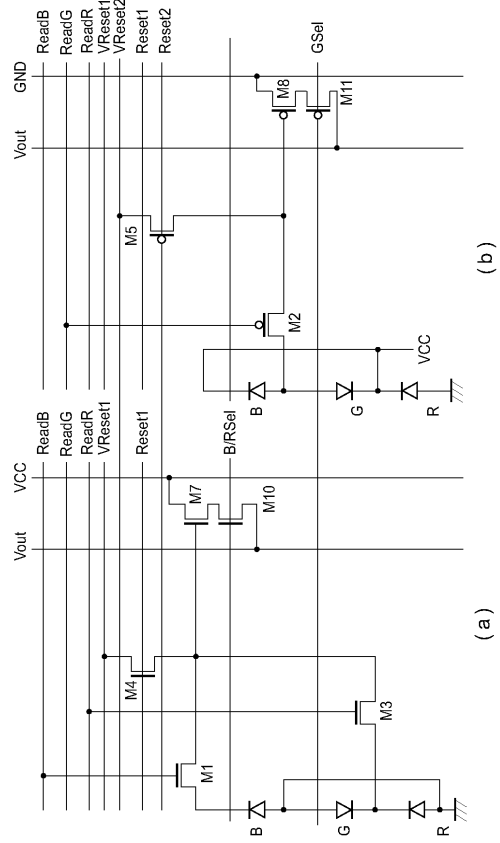
【 図 12 】



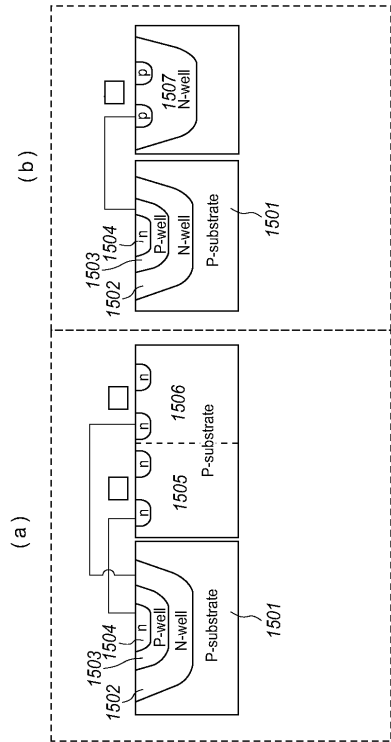
【 図 1 3 】



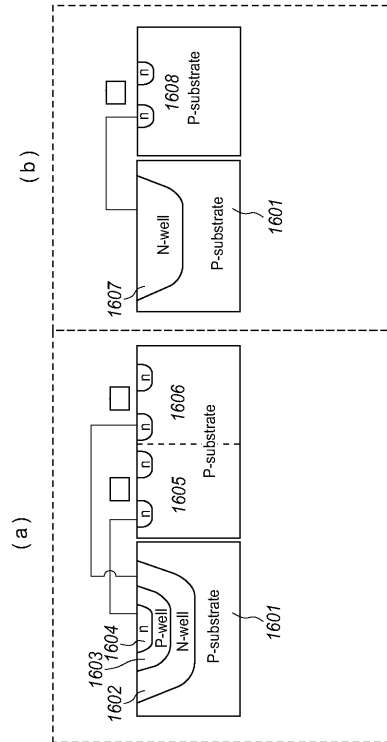
【 図 1 4 】



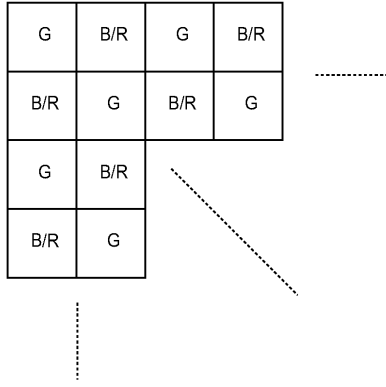
【 図 1 5 】



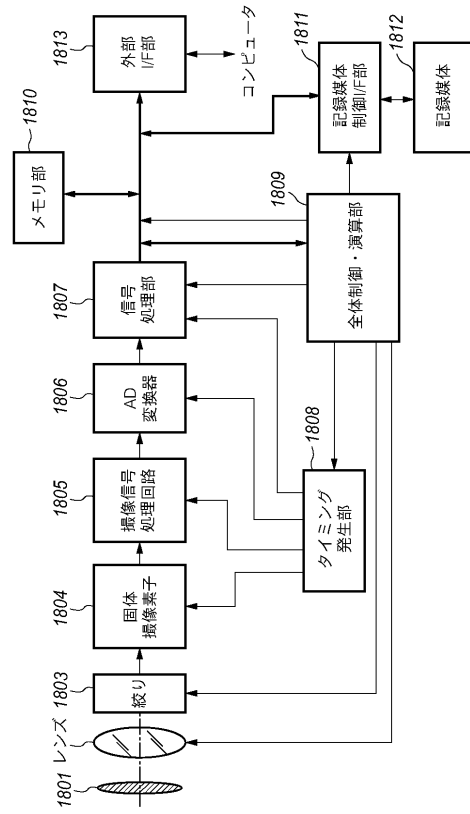
【 図 1 6 】



【図 17】



【図 18】



フロントページの続き

審査官 徳田賢二

(56)参考文献 特開2001-197367(JP,A)
特開平05-207376(JP,A)
国際公開第99/056097(WO,A1)
特公平06-052802(JP,B2)

(58)調査した分野(Int.Cl., DB名)
H04N 5/30 - 5/335
H01L 27/146
H04N 9/07