

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 200410046145.1

[45] 授权公告日 2008 年 6 月 25 日

[11] 授权公告号 CN 100397462C

[22] 申请日 2004.6.2

[21] 申请号 200410046145.1

[30] 优先权

[32] 2003. 6. 3 [33] JP [31] 158423/2003

[73] 专利权人 索尼株式会社

地址 日本东京都

[72] 发明人 内野胜秀 山下淳一 山本哲郎

[56] 参考文献

JP2003 - 150105A 2003. 5. 23

CN1388497A 2003.1.1

WO02/39420A1 2002.5.16

US005684365A 1997. 11. 4

审查员 林韵英

[74] 专利代理机构 北京东方亿思知识产权代理有限公司
代理人 董方源

代理人 董方源

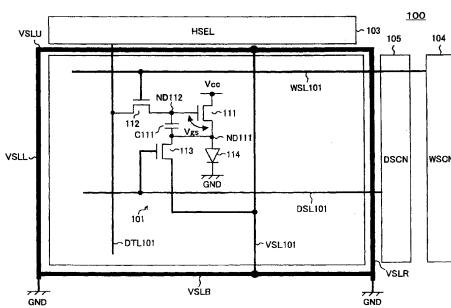
权利要求书 4 页 说明书 23 页 附图 18 页

[54] 发明名称

像素电路及显示装置

[57] 摘要

本发明提供一种可防止驱动晶体管的接线端间电压在面板内部分布，进而能够可靠防止均匀性恶化的像素电路和显示装置。其中，具有如下结构：即，作为驱动晶体管的 TFT 111 的源极连接在发光元件 114 的阳极上，漏极连接在电源电位 Vcc 上，在 TFT 111 的栅极 - 源极之间连接有电容器 C 111，TFT 111 的源极电位经由作为开关晶体管的 TFT 113 连接在固定电位上，并且，将用于像素电路的 Vss 线 VSL 101 ~ VSL 10n 通过 Vss 线 VSLU 和 Vss 线 VSLB 来连接起来，并与像素电路的电源电压 Vcc 线 VCL101 ~ VCL 10n 平行地进行布线，使得没有交叉部分。



1. 一种像素电路，用于驱动其亮度根据流动的电流而变化的电光元件，其中

所述像素电路包括：

驱动晶体管，在第一接线端与第二接线端之间形成电流供给线，并根据控制接线端的电位来控制流过所述电流供给线的电流；

第一节点；

电源电压源；

基准电位；

基准电源配线；以及

第一电路，为了在所述电光元件不发光期间使所述第一节点的电位迁移到固定电位，将所述第一节点连接在所述基准电源配线上；

并且，在所述电源电压源与基准电位之间，串联连接所述驱动晶体管的电源供给线、所述第一节点、及所述电光元件，

此外，在同一方向上布置电源电压源配线和所述基准电源配线，使得它们之间没有交叉部分。

2. 如权利要求1所述的像素电路，其中还包括：

数据线，供有与亮度信息相对应的数据信号；

第二节点；

第一控制线；

像素电容元件，连接在所述第一节点与所述第二节点之间；以及

第一开关，连接在所述数据线与所述第二节点之间，且由所述第一控制线进行导通控制。

3. 如权利要求2所述的像素电路，其中

还包括第二控制线，

并且，所述驱动晶体管是场效应晶体管，其源极连接在所述第一节点上，漏极连接在所述电源电压源配线或基准电位上，栅极连接在所述第二节点上，

此外，所述第一电路包括第二开关，所述第二开关连接在所述第一节点与固定电位之间，且由所述第二控制线进行导通控制。

4. 如权利要求3所述的像素电路，当驱动所述电光元件时，

作为第一阶段，在所述第一开关由所述第一控制线保持在不导通状态下，所述第二开关由所述第二控制线保持在导通状态，所述第一节点被连接在固定电位上；

作为第二阶段，在所述第一开关由所述第一控制线保持在导通状态，并且在所述数据线上传播的数据被写入所述像素电容元件之后，所述第一开关被保持在不导通状态；

作为第三阶段，所述第二开关由所述第二控制线保持在不导通状态。

5. 如权利要求2所述的像素电路，其中

还包括第二及第三控制线，

并且，所述驱动晶体管是场效应晶体管，其漏极连接在所述电源电压源或所述基准电位上，栅极连接在所述第二节点上，

此外，所述第一电路包括：第二开关，连接在所述场效应晶体管的源极与所述电光元件之间，且由所述第二控制线进行导通控制，以及

第三开关，连接在所述第一节点与所述基准电源配线之间，且由所述第三控制线进行导通控制。

6. 如权利要求5所述的像素电路，当驱动所述电光元件时，

作为第一阶段，所述第一开关由所述第一控制线保持在不导通状态，所述第二开关由所述第二控制线保持在不导通状态，所述第三开关由所述第三控制线保持在不导通状态；

作为第二阶段，在所述第一开关由所述第一控制线保持在导通状态，所述第三开关由所述第三控制线保持在导通状态，所述第一节点被保持在给定电位的状态下，在所述数据线上传播的数据被写入所述像素电容元件，然后所述第一开关由所述第一控制线保持在不导通状态；

作为第三阶段，所述第三开关由所述第三控制线保持在不导通状态，所述第二开关由所述第二控制线保持在导通状态。

7. 一种显示装置，包括：

呈矩阵状排列的多个像素电路；

针对所述像素电路的矩阵排列进行布线的电源电压源配线；

针对所述像素电路的矩阵排列进行布线的基准电源配线；以及基准电位，

其中，所述像素电路包括：

电光元件，其亮度根据流动的电流而变化；

驱动晶体管，在第一接线端与第二接线端之间形成电流供给线，并根据控制接线端的电位来控制流过所述电流供给线的电流；

第一节点；

第一电路，为了在所述电光元件不发光期间使所述第一节点的电位迁移到固定电位，将所述第一节点连接在所述基准电源配线上；

并且，在电源电压源与基准电位之间，串联连接所述驱动晶体管的电源供给线、所述第一节点、以及所述电光元件，

此外，在同一方向上布置所述电源电压源配线和所述基准电源配线，使得它们之间没有交叉部分。

8. 如权利要求 7 所述的显示装置，还包括：

数据线，针对所述像素电路的矩阵排列而被布线在每一列上，且供有与亮度信息相对应的数据信号；

第一控制线，针对所述像素电路的矩阵排列而被布线在每一行上，

其中，所述像素电路还包括：

第二节点；

像素电容元件，连接在所述第一节点与所述第二节点之间；以及

第一开关，连接在所述数据线与所述第二节点之间，且由所述第一控制线进行导通控制。

9. 如权利要求 8 所述的显示装置，其中

还包括第二控制线，

并且，所述驱动晶体管是场效应晶体管，其源极连接在所述第一节点上，漏极连接在所述电源电压源配线或基准电位上，栅极连接在所述第二节点上，

此外，所述第一电路包括第二开关，所述第二开关连接在所述第一节点与固定电位之间，且由所述第二控制线进行导通控制。

10. 如权利要求 9 所述的显示装置，当驱动所述电光元件时，

作为第一阶段，所述第一开关由所述第一控制线保持在不导通状态，所述第二开关由所述第二控制线保持在导通状态，所述第一节点被连接在固定电位上；

作为第二阶段，在所述第一开关由所述第一控制线保持在导通状态，并将在所述数据线上传播的数据写入所述像素电容元件之后，所述第一开关被保持在不导通状态；

作为第三阶段，所述第二开关由所述第二控制线保持在不导通状态。

11. 如权利要求 8 所述的显示装置，其中

还包括第二及第三控制线，

并且，所述驱动晶体管是场效应晶体管，其漏极连接在所述电源电压源配线或所述基准电位上，栅极连接在所述第二节点上，

此外，所述第一电路包括：第二开关，连接在所述场效应晶体管的源极与所述电光元件之间，且由所述第二控制线进行导通控制，以及

第三开关，连接在所述第一节点与所述基准电源配线之间，且由所述第三控制线进行导通控制。

12. 如权利要求 11 所述的显示装置，当驱动所述电光元件时，

作为第一阶段，所述第一开关由所述第一控制线保持在不导通状态，所述第二开关由所述第二控制线保持在不导通状态，所述第三开关由所述第三控制线保持在不导通状态；

作为第二阶段，在所述第一开关由所述第一控制线保持在导通状态，所述第三开关由所述第三控制线保持在导通状态，所述第一节点被保持在给定电位的状态下，在所述数据线上传播的数据被写入所述像素电容元件上，然后所述第一开关由所述第一控制线保持在不导通状态；

作为第三阶段，所述第三开关由所述第三控制线保持在不导通状态，所述第二开关由所述第二控制线保持在导通状态。

像素电路及显示装置

技术领域

本发明涉及具有有机 EL（场致发光）显示元件等通过电流值来控制亮度的电光元件的像素电路，尤其涉及所述像素电路呈矩阵状排列的图像显示装置中的所谓的有源矩阵型图像显示装置，其中所述有源矩阵型图像显示装置通过设置在各像素电路内部的绝缘栅型场效应晶体管来控制电光元件内流动的电流值。

背景技术

在图像显示装置，例如液晶显示器等中，将很多像素排列成矩阵状，并根据应显示的图像信息来控制每个像素的光强度，从而显示图像。

这在有机 EL 显示器中也是一样，但有机 EL 显示器是在各图像电路内具有发光元件的所谓的自发光型显示器，与液晶显示器相比，具有图像的可视性高、不需要背光、响应速度快等优点。

此外，各发光元件的亮度由在其内流动的电流值来控制，并由此获得显色的色调，即发光元件是电流控制型，在这一点上与液晶显示器等有很大不同。

在有机 EL 显示器中，与液晶显示器一样，其驱动方式可以是简单矩阵方式和有源矩阵方式，但是，虽然前者的结构简单，但存在难以实现大型且高精度显示器的问题，因此，正在广泛进行有源矩阵方式的开发，所述有源矩阵方式是指通过设置在像素电路内部的有源元件、一般为 TFT（薄膜晶体管）来控制流过各像素电路内部的发光元件的电流。

图 10 是表示一般的有机 EL 显示装置的结构的框图。

如图 10 所示，该显示装置 1 包括：像素阵列部分 2，其中像素电路（PXLC）2a 呈 $m \times n$ 矩阵状排列；水平选择器（HSEL）3；记录扫描器（WSCN）4；数据线 DTL 1～DTL n，由水平选择器 3 选择，供有与亮度

信息相对应的数据信号；以及扫描线 WSL 1～WSL m，由记录扫描器 4 选择驱动。

此外，关于记录扫描器 4，水平选择器 3 有时形成在多晶硅上，也有时通过金属氧化膜半导体集成电路（MOSIC）等形成在像素周边。

图 11 是表示图 10 的像素电路 2a 的一个结构例的电路图（例如参见专利文献 1、2）。

图 11 的像素电路是众多被提案的电路中最简单的电路结构，即所谓的两枚晶体管驱动方式的电路。

图 11 的像素电路 2a 具有 p 沟道薄膜场效应晶体管（以下，称为 TFT）11 及 TFT 12、电容器 C 11 以及作为发光元件的有机 EL 元件（OLED）13。此外，在图 11 中，DTL 和 WSL 分别表示数据线和扫描线。

因为有机 EL 元件很多时候具有整流性，所以被称为 OLED（有机发光二极管），虽然在图 11 以外的地方使用了二极管标来表示发光元件，但在以下的说明中，OLED 不一定要求整流性。

在图 11 中，TFT 11 的源极连接在电源电位 Vcc 上，发光元件 13 的阴极连接在接地电位 GND 上。图 11 的像素电路 2a 的动作如下所述。

步骤 ST1:

若将扫描线 WSL 置于选择状态（这里是低电平），并向数据线 DTL 施加写入电位 Vdata，则 TFT 12 导通，电容器 C 11 被充电或者放电，从而 TFT 11 的栅极电位变为 Vdata。

步骤 ST2:

若将扫描线 WSL 置于非选择状态（这里是高电平），则数据线 DTL 和 TFT 11 电气断开，从而 TFT 11 的栅极电位通过电容器 C 11 而保持稳定。

步骤 ST3:

在 TFT 11 及发光元件 13 上流动的电流变为与 TFT 11 的栅极-源极间电压 Vgs 相对应的值，从而发光元件 13 以与所述电流值对应的亮度持续发光。

如上述步骤 ST1，对于选择扫描线 WSL，从而将数据线上所接收的亮度信息传送给像素内部的操作，以下称为“写入”。

如上所述，在图 11 的像素电路 2a 中，若一旦进行 Vdata 的写入，则在直到下一次改写为止的时间内，发光元件 13 以恒定的亮度持续发光。

如上所述，在像素电路 2a 中，通过使作为驱动晶体管的 TFT 11 的栅极施加电压变化来控制在 EL 发光元件 13 上流动的电流值。

此时，p 沟道的驱动晶体管的源极连接在电源电位 Vcc 上，该 TFT 11 通常在饱和区域动作。因此，成为具有下述式 1 中所示的值的恒定电流源。

式 1：

$$I_{ds} = 1/2 \cdot \mu (W/L) C_{ox} (V_{gs} - |V_{th}|)^2 \quad (1)$$

这里， μ 表示载流子的迁移率， C_{ox} 表示单位面积的栅电容， W 表示栅极宽度， L 表示栅极长度， V_{gs} 表示 TFT 11 的栅极-源极间的电压， V_{th} 表示 TFT 11 的阈值。

在简单矩阵型图像显示装置中，各发光元件只在被选择的瞬间发光，与此相反，在有源矩阵中，如上所述，因为写入结束后发光元件还持续发光，所以与简单矩阵相比，在可以降低发光元件的峰值亮度和峰值电流这一点上，尤其对大型且高密度的显示器有利。

图 12 是表示有机 EL 元件的电流-电压 (I-V) 特性的随时间变化的图。在图 12 中，用实线表示的曲线表示初始状态时的特性，用虚线表示的曲线表示随时间变化后的特性。

一般地，有机 EL 元件的 I-V 特性，如图 12 所示，随着时间的经过而恶化。

但是，由于图 11 的两枚晶体管驱动是电流驱动，所以在有机 EL 元件中有上述的恒定电流持续流动，从而即使有机 EL 元件的 I-V 特性恶化，其发光亮度也不会随时间恶化。

另外，图 11 的像素电路 2a 由 p 沟道的 TFT 构成，但是如果可以由 n 沟道的 TFT 构成，则可以在 TFT 制造中使用以往的非晶硅 (a-Si) 工艺。这样，可以实现 TFT 衬底的低成本化。

下面，研究将晶体管置换为 n 沟道 TFT 的像素电路。

图 13 是表示将图 11 电路的 p 沟道 TFT 置换为 n 沟道 TFT 的像素电路的电路图。

图 13 的像素电路 2b 具有 n 沟道 TFT 21 及 TFT 22、电容器 C 21、作为发光元件的有机 EL 发光元件（OLED）23。此外，在图 13 中，DTL、WSL 分别表示数据线、扫描线。

在该像素电路 2b 中，作为驱动晶体管的 TFT 21 的漏极一侧连接在电源电位 Vcc 上，源极连接在 EL 元件 23 的阳极上，从而形成源极跟随电路。

图 14 是表示初始状态中作为驱动晶体管的 TFT 21 与 EL 元件 23 的动作点的图。在图 14 中，横轴表示 TFT 21 的漏极-源极间电压 Vds，纵轴表示漏极-源极间电流 Ids。

如图 14 所示，源极电压在作为驱动晶体管的 TFT 21 和 EL 元件 23 的动作点确定，其电压根据栅极电压具有不同的值。

由于所述 TFT 21 在饱和区域被驱动，所以，有如下所述的电流 Ids 流过，即所述电流 Ids 关于与动作点源极电压对应的 Vgs 具有上述式 1 所示方程式的电流值。

专利文献 1：US5, 684, 365

专利文献 2：日本专利特开平 8-234683 号公报

但是，此处 EL 元件的 I-V 特性也同样会随时间的变化而恶化。如图 15 所示，所述随时间的恶化将导致动作点变动，从而，即使施加了相同的电压，其源极电压也会变动。

由此，驱动晶体管 TFT 21 的栅极-源极间电压 Vgs 将发生变化，从而流过的电流值也将变动。同时，EL 元件 23 中流动的电流值也将变化，所以，一旦 EL 元件 23 的 I-V 特性恶化，在图 13 的源极跟随电路中其发光亮度就会随时间变化。

而且，如图 16 所示，还考虑了如下电路结构：即，作为驱动晶体管的 n 沟道 TFT 31 的源极连接在接地电位 GND 上，漏极连接在 EL 元件 23 的阴极上，EL 元件 33 的阳极连接在电源电位 Vcc 上。

在这种方式中，与由图 11 的 p 沟道 TFT 进行驱动一样，源极的电位被固定，驱动晶体管 TFT 31 作为恒定电流源而动作，从而也可以防止由于 EL 元件的 I-V 特性恶化而导致的亮度变化。

但是，在这种方式中，需要将驱动晶体管连接在 EL 元件的阴极一

侧，所述阴极连接需要重新开发一种阳极-阴极电极，这对于目前的技术状况来说是非常困难的。

因此，如图 17 所示，在像素电路 51 中，作为驱动晶体管的 TFT 41 的源极连接在发光元件 44 的阳极上，漏极连接在电源电位 Vcc 上，在 TFT 41 的栅极-源极间连接有电容器 C 41，TFT 41 的源极电位经由作为开关晶体管的 TFT 43 连接在固定电位上，通过这样的结构，即使 EL 发光元件的 I-V 特性随时间变化，也可以进行无亮度恶化的源极跟随输出。

而且，可以实现 n 沟道晶体管的源极跟随电路，并且在使用现有的阳极-阴极电极的情况下，就可将 n 沟道晶体管用作 EL 发光元件的驱动元件。

此外，还可以只用 n 沟道来构成像素电路的晶体管，从而可以在 TFT 制造中使用 a-Si 工艺。这样，具有可以降低 TFT 衬底的成本的优点。

此外，在图 17 的显示装置 50 中，51 表示像素电路，52 表示像素阵列，53 表示水平选择器（HSEL），54 表示记录扫描器（WSCN），55 表示驱动扫描器（DSCN），DTL 11 表示数据线，其由水平选择器 53 选择，供有与亮度信息对应的数据信号，WSL11 表示由记录扫描器 54 选择驱动的扫描线，DSL 11 表示由极驱动扫描器 55 选择驱动的驱动线。

如图 17 的像素电路所示，为了修正有机 EL 发光元件 44 的 I-V 特性随时间的恶化，将 Vss（基准电压）线 VSL 布置在像素内，并以此为基准写入图像信号。

一般地，在 EL 显示装置中，如图 18 所示，用于像素电路的电源电压 Vcc 线 VCL 从包含像素阵列部分 52 的面板的上部的板 61 输入，并且其配线相对于面板纵向布置。

另一方面，Vss 线 VSL 从面板的左右在用于阴极 Vss 的板 62、63 上取出，而以往是从所述用于阴极的 Vss 线取出接点，然后将用于像素电路的 Vss 线相对于面板横向平行布置。

但是，在这种以往的方法中存在如下问题。对于一根 Vss 线连接有（X 方向上的像素数 × RGB）的像素。因此，在图 17 的 TFT 43 导通时，流过与像素数对应的电流，从而在配线上存在分布常数的波动。由于所述波动在信号采样期间位于接地线上，所以，作为驱动晶体管的 TFT 41 的

栅极-源极间电压 V_{gs} 分布在面板内部，其结果恶化了均匀性。

发明内容

本发明的第一目的是提供一种像素电路和显示装置，所述像素电路和显示装置可以防止驱动晶体管的接线端间电压分布在面板内部，进一步能够可靠防止均匀性的恶化。

本发明的第二目的是提供一种像素电路和显示装置，所述像素电路和显示装置能够可靠防止均匀性的恶化，从而即使发光元件的电流-电压特性随时间变化，也可以进行无亮度恶化的源极跟随输出，进而可以实现 n 沟道晶体管的源极跟随电路，并且可在使用现有的阳极-阴极电极的情况下，将 n 沟道晶体管用作 EL 的驱动元件。

为了达到上述目的，本发明的第一方案是一种像素电路，用于驱动其亮度根据流动的电流而变化的电光元件，其中，所述像素电路包括：驱动晶体管，在第一接线端与第二接线端之间形成电流供给线，并根据控制接线端的电位来控制流过所述电流供给线的电流；第一节点；电源电压源；基准电位；基准电源配线；以及第一电路，为了在所述电光元件不发光期间使所述第一节点的电位迁移到固定电位，将所述第一节点连接在所述基准电源配线上，并且，在所述电源电压源与基准电位之间，串联连接所述驱动晶体管的电源供给线、所述第一节点以及所述电光元件，并在同一方向上布置所述电源电压源配线和所述基准电源配线，使得它们之间没有交叉部分。

本发明的第二方案包括：呈矩阵状排列的多个像素电路、针对所述像素电路的矩阵排列而进行布线的电源电压源配线、针对所述像素电路的矩阵排列而进行布线的基准电源配线、以及基准电位，其中，所述像素电路包括：电光元件，其亮度根据流动的电流而变化；驱动晶体管，在第一接线端与第二接线端之间形成电流供给线，并根据控制接线端的电位来控制流过所述电流供给线的电流；第一节点；第一电路，为了在所述电光元件不发光期间使所述第一节点的电位迁移到固定电位，将所述第一节点连接在所述基准电源配线上；在所述电源电压源与基准电位之间，串联连接所

述驱动晶体管的电源供给线、所述第一节点、以及所述电光元件，并在同一方向上布置所述电源电压源配线和所述基准电源配线，使得它们之间没有交叉部分。

优选的是，包括：数据线，针对所述像素电路的矩阵排列而被布线在每一列上，且供有与亮度信息相对应的数据信号；以及第一控制线，针对所述像素电路的矩阵排列而被布线在每一行上，其中，所述像素电路还包括：第二节点；像素电容元件，连接在所述第一节点与所述第二节点之间；以及第一开关，连接在所述数据线与所述第二节点之间，且由所述第一控制线进行导通控制。

优选的是，还包括第二控制线，并且，所述驱动晶体管是场效应晶体管，其源极连接在所述第一节点上，漏极连接在所述电源电压源配线或基准电位上，栅极连接在所述第二节点上，此外，所述第一电路包括第二开关，所述第二开关连接在所述第一节点与固定电位之间，且由所述第二控制线进行导通控制。

优选的是，当驱动所述电光元件时，作为第一阶段，在所述第一开关通过所述第一控制线被保持在不导通状态的状态下，所述第二开关通过所述第二控制线被保持在导通状态，所述第一节点被连接在固定电位上；作为第二阶段，在所述第一开关通过所述第一控制线被保持在导通状态，并且在所述数据线上传播的数据被写入所述像素电容元件上之后，所述第一开关被保持在不导通状态；作为第三阶段，所述第二开关由所述第二控制线保持在不导通状态。

优选的是，还包括第二及第三控制线，并且，所述驱动晶体管是场效应晶体管，其漏极连接在所述第一基准电位或第二基准电位上，栅极连接在所述第二节点上，此外，所述第一电路包括：第二开关，连接在所述场效应晶体管的源极与所述电光元件之间，由所述第二控制线进行导通控制，以及第三开关，连接在所述第一节点与所述基准电源配线之间，且由所述第三控制线进行导通控制。

优选的是，当驱动所述电光元件时，作为第一阶段，所述第一开关由所述第一控制线保持在不导通状态，所述第二开关由所述第二控制线保持

在导通状态，所述第三开关由所述第三控制线保持在不导通状态；作为第二阶段，在所述第一开关由所述第一控制线保持在导通状态，所述第三开关由所述第三控制线保持在导通状态，所述第一节点保持在给定电位上的状态下，在所述数据线上传播的数据被写入所述像素电容元件上，然后所述第一开关被保持在不导通状态；作为第三阶段，所述第三开关由所述第三控制线保持在不导通状态，所述第二开关由所述第二控制线保持在不导通状态。

根据本发明，由于将电源电压源配线和基准电源配线布置在同一方向上，以使它们之间没有交叉部分，所以可以防止电源电压源配线和基准电源配线的布线重叠。因此，能够以低于以往的电阻值来布置基准电源配线（Vss 配线）。

而且，连接在一根配线上的像素数，在一般的视场角上，纵向（Y 方向）的像素数比横向（x 方向）的少，所以，若线宽相同，则能够以低于以往的电阻值来布置基准电源配线。

而且，根据本发明，将驱动晶体管的源电极经由开关连接在固定电位上，在驱动晶体管的栅极与源极之间具有像素电容器，因此能够修正由发光元件的 I-V 特性随时间恶化而引起的亮度变化。

当驱动晶体管是 n 沟道时，通过将固定电位设为接地电位来使施加在发光元件上的电位为接地电位，从而形成发光元件的不发光期间。

此外，通过调节连接源电极和接地电极的第二开关的关断时间来调整发光元件的发光和不发光期间，从而进行 Duty 驱动。

此外，通过使固定电位接近接地电位或者为其以下的低电位，或者提高栅电压，来抑制由于连接在固定电位上的开关晶体管的阈值 Vth 偏移而导致的图像质量的恶化。

此外，当驱动晶体管是 p 沟道时，通过使固定电位为连接在发光元件的阴极电极上的电源电位，来将施加在发光元件上的电位作为电源电位并形成 EL 元件的不发光期间。

而且，通过使驱动晶体管的特性为 n 沟道，可实现源极跟随器，可进行阳极连接。

此外，可以将驱动晶体管全部 n 沟道化，从而可以导入一般的非晶硅工艺，由此可实现低成本化。

此外，由于第二开关被布置在发光元件与驱动晶体管之间，所以，在不发光期间驱动晶体管内没有电流流动，从而减少了面板的功率消耗。

此外，由于将发光元件阴极一侧的电位，例如第二基准电位用作接地电位，所以面板内部的 TFT 一侧不必有 GND 配线。

此外，由于可以删除面板的 TFT 衬底的 GND 配线，所以面板内的布置（layout）和周边电路部分的布置变得容易。

此外，由于可以删除面板的 TFT 衬底的 GND 配线，所以，周边电路部分的电源电位（第一基准电位）和接地电位（第二基准电位）不需要重叠，从而能够以低电阻来布置 Vcc 线，进而可实现高均匀性。

此外，在信号线写入时间使电源配线侧的第三开关导通，从而使其为低阻抗，由此可在短时间内修正对像素写入的耦合效应，从而能够获得高均匀性的图像质量。

附图说明

图 1 是采用了第一实施方式中的像素电路的有机 EL 显示装置的结构框图；

图 2 是表示在图 1 的有机 EL 显示装置中第一实施方式中的像素电路的具体结构的电路图；

图 3 是第一实施方式中的 Vss（基准电源）配线和 Vcc（电源电压）配线的布置说明图；

图 4 是用于说明图 2 中电路的动作的等效电路图；

图 5 是用于说明图 2 中电路的动作的时序图；

图 6 是采用了第二实施方式中的像素电路的有机 EL 显示装置的结构框图；

图 7 是表示在图 6 的有机 EL 显示装置中第二实施方式中的像素电路的具体结构的电路图；

图 8 是用于说明图 7 中电路的动作的等效电路图；

图 9 是用于说明图 7 中电路的动作的时序图；

图 10 是表示通常的有机 EL 显示装置的结构的框图；

图 11 是表示图 10 中像素电路的一个结构例的电路图；

图 12 是有机 EL 元件的电流一电压 (I-V) 特性随时间变化的示意图；

图 13 是将图 11 的电路的 p 沟道 TFT 置换为 n 沟道 TFT 的像素电路的示意电路图；

图 14 是表示在初始状态中作为驱动晶体管的 TFT 与 EL 元件的动作点的图；

图 15 是表示在随时间变化后作为驱动晶体管的 TFT 与 EL 元件的动作点的图；

图 16 是表示将作为驱动晶体管的 n 沟道 TFT 的源极连接在接地电位上的像素电路的电路图；

图 17 是表示理想的像素电路的一个例子的电路图，在该例中，即使 EL 发光元件的 I-V 特性随时间变化，也可以进行无亮度恶化的源极跟随输出；

图 18 是以往的 Vss (基准电源) 配线和 Vcc (电源电压) 配线的布置说明图。

具体实施方式

以下，参照附图说明本发明的实施方式。

第一实施方式

图 1 是采用了本第一实施方式中的像素电路的有机 EL 显示装置的结构框图。

图 2 是表示在图 1 的有机 EL 显示装置中第一实施方式中的像素电路的具体结构的电路图。

如图 1 及图 2 所示，所述显示装置 100 包括：像素阵列部分 102，其中像素电路 (PXLC) 101 呈 $m \times n$ 矩阵状排列；水平选择器 (HSEL) 103；记录扫描器 (WSCN) 104；驱动扫描器 (DSCN) 105；数据线 DTL 101~DTL 10n，由水平选择器 103 选择，供有与亮度信息相对应的数据信

号；扫描线 WSL 101～WSL 10m，由记录扫描器 104 选择驱动；以及驱动线 DSL 101～DSL 10m，由驱动扫描器 105 选择驱动。

此外，在像素阵列部分 102 中，像素电路 101 呈 $m \times n$ 的矩阵状排列，但是为了使图面简单，在图 2 中只示出了呈 $2 (= m) \times 3 (= n)$ 矩阵状排列的例子。

此外，在图 2 中，同样为了使图面简单，只示出了一个像素电路的具体结构。

如图 2 所示，本第一实施方式中的像素电路 101 包括 n 沟道 TFT 111～TFT 113、电容器 C 111、由有机 EL 元件（OLED：电光元件）构成的发光元件 114、以及节点 ND 111、ND 112。

此外，在图 2 中，DTL 101 表示数据线，WSL 101 表示扫描线、DSL 101 表示驱动线。

在这些构成要素中，TFT 111 构成本发明的场效应晶体管，TFT 112 构成第一开关，TFT 113 构成第二开关，电容器 C 111 构成本发明的像素电容元件。

此外，电源电压 Vcc 的供给线相当于电源电压源，接地电位 GND 相当于基准电位。

在像素电路 101 中，TFT 111 的源极和基准电位（在本实施方式中是接地电位 GND）之间连接有发光元件（OLED）114。具体地说，发光元件 114 的阳极连接在 TFT 的源极上，阴极一侧连接在接地电位 GND 上。发光元件 114 的阳极和 TFT 111 的源极的连接点构成了节点 ND 111。

TFT 111 的源极连接在 TFT 113 的漏极及电容器 C 111 的第一电极上，TFT 111 的栅极连接在节点 ND 112 上。

TFT 113 的源极连接在固定电位（在本实施方式中是被设定为接地电位 GND 的基准电源配线 Vss 线 VSL 101）上，TFT 113 的栅极连接在驱动线 DSL 101 上。此外，电容器 C 111 的第二电极连接在节点 ND 112 上。

在数据线 DTL 101 与节点 ND 112 上分别连接有作为第一开关的 TFT 112 的源极和漏极。并且，TFT 112 的栅极连接在扫描线 WSL 101 上。

这样，本实施方式中的像素电路 101 具有如下结构：即，作为驱动晶

体管的 TFT 111 的栅极-源极间连接有电容器 C 111，TFT 111 的源极电位经由作为开关晶体管的 TFT 113 连接在固定电位上。

如图 3 所示，在本实施方式中，用于像素电路的电源电压 Vcc 线 VCL 101～VCL 10n 从位于含有像素阵列部分 102 的面板的上部的板 106 输入，并且其配线相对于面板纵向布置，即布置在像素排列的每一列上。

此外，Vss 线 VSL 从图中面板的左右的用于阴极 Vss 的板 107、108 中取出并作为 Vss 线 VSLL、VSLR，并设置连接在面板上侧的 Vss 线 VSLU 和连接在面板下侧的 Vss 线 VSLB，如图 2 和图 3 所示，将用于像素电路的 Vss 线 VSL 101～VSL 10n 连接在 Vss 线 VSLU 和 Vss 线 VSLB 之间，并与用于像素电路的电源电压 Vcc 线 VCL 101～VCL 10n 平行地进行布线。

即，将 Vss（基准电源）配线布置在整个像素阵列部分 102 的周围，在图中，在像素阵列部分 102 的上部及下部沿 x 方向布线的 Vss 线 VSLU 和 Vss 线 VSLB 之间，且在像素排列的每一列上布置 Vss 线 VSL 101～VSL 10n。

在本实施方式中，防止了 Vss（基准电源）配线和 Vcc（电源电压源）配线的布线重叠。因此，能够以低于以往的电阻值来布置 Vss 配线。

而且，连接在一根配线上的像素数，在一般的视场角上，纵向（Y 方向）的像素数比横向（x 方向）的少，因此，若线宽相同，则能够以低于以往的电阻值来布置 Vss 配线。

下面，参照图 4 (A)～(F) 及图 5 (A)～(F)，以像素电路的动作作为中心，说明上述结构的动作。

这里，图 5 (A) 表示施加在像素排列的第一行扫描线 WSL 101 上的扫描信号 ws [101]；图 5 (B) 表示施加在像素排列的第二行扫描线 WSL 102 上的扫描信号 ws [102]；图 5 (C) 表示施加在像素排列的第一行驱动线 DSL 101 上的驱动信号 ds [101]；图 5 (D) 表示施加在像素排列的第二行驱动线 DSL 102 上的驱动信号 ds [102]；图 5 (E) 表示 TFT 111 的栅极电位 Vg；图 5 (F) 表示 TFT 111 的源极电位 Vs。

首先，如图 5 (A)～(D) 所示，通常 EL 发光元件 114 处于发光状

态时，给扫描线 WSL 101、WSL 102、… 的扫描信号 ws [101]、ws [102]、… 由记录扫描器 104 选择设定为低电平，给驱动线 DSL 101、DSL 102、… 的驱动信号 ds [101]、ds [102]、… 由驱动扫描器 105 选择设定为低电平。

其结果是，在像素电路 101 中，如图 4 (A) 所示，TFT 112 和 TFT 113 被保持在关断状态。

接下来，如图 5 (A) ~ (D) 所示，EL 发光元件 114 处于不发光状态时，给扫描线 WSL 101、WSL 102、… 的扫描信号 ws [101]、ws [102]、… 由记录扫描器 104 保持在低电平，给驱动线 DSL 101、DSL 102、… 的驱动信号 ds [101]、ds [102]、… 由驱动扫描器 105 选择设定为高电平。

其结果是，在像素电路 101 中，如图 4 (B) 所示，TFT 112 一直保持关断状态，并且 TFT 113 导通。

此时，电流经由 TFT 113 流过，如图 5 (F) 所示，TFT 111 的源极电位 Vs 下降到接地电位 GND。因此，施加在 EL 发光元件 114 上的电压也变为 0V，EL 发光元件 114 变为不发光。

接下来，在 EL 发光元件 114 不发光期间，如图 5 (A) ~ (D) 所示，给驱动线 DSL 101、DSL 102、… 的驱动信号 ds [101]、ds [102]、… 由驱动扫描器 105 一直保持在高电平，给扫描线 WSL 101、WSL 102、… 的扫描信号 ws [101]、ws [102]、… 由记录扫描器 104 选择设定为高电平。

其结果是，在像素电路 101 中，如图 4 (C) 所示，TFT 113 一直保持导通状态，并且 TFT 112 导通。这样，通过水平选择器 103 而传输到数据线 DTL 101 上的输入信号 (Vin) 被写入作为像素电容的电容器 C 111 中。

此时，如图 5 (F) 所示，由于作为驱动晶体管的 TFT 111 的源极电位 Vs 处于接地电位电平 (GND 电平)，所以，如图 5 (E)、(F) 所示，TFT 111 的栅极-源极间的电位差等于输入信号的电压 Vin。

之后，在 EL 发光元件 114 不发光期间，如图 5 (A) ~ (D) 所示，给驱动线 DSL 101、DSL 102、… 的驱动信号 ds [101]、ds [102]、… 由

驱动扫描器 105 一直保持在高电平，给扫描线 WSL 101、WSL 102、… 的扫描信号 ws [101]、ws [102]、… 由记录扫描器 104 选择设定为低电平。

其结果是，在像素电路 101 中，如图 4 (D) 所示，TFT 112 变为关断状态，由此结束向作为像素电容的电容器 C 111 写入输入信号。

然后，如图 5 (A) ~ (D) 所示，给扫描线 WSL 101、WSL 102、… 的扫描信号 ws [101]、ws [102]、… 由记录扫描器 104 保持在低电平，给驱动线 DSL 101、DSL 102、… 的驱动信号 ds [101]、ds [102]、… 由驱动扫描器 105 选择设定为低电平。

其结果是，在像素电路 101 中，如图 4 (E) 所示，TFT 113 关断。

由于 TFT 113 关断，所以，如图 5 (F) 所示，作为驱动晶体管的 TFT 111 的源极电位 Vs 上升，而且 EL 发光元件 114 内也有电流流动。

尽管 TFT 111 的源极电位 Vs 变动，但由于 TFT 111 的栅极-源极间有电容器，所以如图 5 (E)、(F) 所示，栅极-源极电位总是保持在 Vin 上。

此时，因为作为驱动晶体管的 TFT 111 在饱和区域驱动，所以，流过所述 TFT 111 的电流值 Ids 为上述式 1 所示的值，该值由 TFT 111 的栅极-源极电压 Vin 决定。所述电流 Ids 同样流过 EL 发光元件 114，由此 EL 发光元件 114 发光。

由于 EL 发光元件 114 的等效电路如图 4 (F) 所示，所以，此时节点 ND 111 的电位上升到在 EL 发光元件 114 内有电流 Ids 流过的栅极电位。

随着所述电位的上升，通过电容器 111 (像素电容 Cs)，节点 ND 112 的电位也同样上升。这样，如前所述的 TFT 111 的栅极-源极电压被保持在 Vin 上。

这里，在本发明的电路中讨论以往的源极跟随方式中的问题。在本电路中，EL 发光元件同样随着发光时间的变长，其 I-V 特性恶化。因此，即使驱动晶体管使相同的电流值流动，施加在 EL 发光元件上的电位还是会变化，从而节点 ND 111 的电位下降。

但是，在本电路中，由于节点 ND111 的电位在驱动晶体管的栅极-源极间电位保持恒定的情况下下降，所以流过驱动晶体管 (TFT111) 的电流不变化。由此，流过 EL 发光元件的电流也不变化，从而即使 EL 发光元件

的 I-V 特性恶化，也总有与输入电压 Vin 相当的电流持续流动，从而可以解决以往的问题。

如上所述，根据本实施方式，可构成如下结构：即，作为驱动晶体管的 TFT 111 的源极连接在发光元件 114 的阳极上，漏极连接在电源电位 Vcc 上，TFT 111 的栅极-源极间连接有电容器 C 111，TFT 111 的源极电位经由作为开关晶体管的 TFT 113 连接在固定电位上，并且，用于像素电路的 Vss 线 VSL 101～VSL 10n 在 Vss 线 VSLU 和 Vss 线 VSLB 上连接，并与用于像素电路的电源电压 Vcc 线 VCL 101～VCL 10n 平行地布线，因此可获得以下效果。

因为 Vss 配线是纵向布置的，所以，连接在 Vss 线 VSL 101～VSL 10n 上的像素电路的 TFT 113 针对 1H 在 1 个定时内持续导通。因此，进入配线上的波动也少，从而可提高均匀性。

而且，如上所述，像素阵列部分 102 的 Vcc 配线一般是相对于面板平行于 y 方向而布置的。

因此，根据本实施方式，在有效像素部分的配线中，可以平行布置 Vss 配线和 Vcc 配线，从而可防止 Vss 配线与 Vcc 配线的布线重叠。因此，能够以低于以往的电阻值来布置 Vss 配线。而且，连接在一根配线上的像素数，在一般的视场角上，纵向（Y 方向）的像素数比横向（x 方向）的少，因此，若线宽相同，则能够以低于以往的电阻值来布置 Vss 配线。

而且，即使 EL 发光元件的 I-V 特性随时间变化，也可以进行无亮度恶化的源极跟随输出。

可以实现 n 沟道晶体管的源极跟随电路，从而在使用现有的阳极-阴极电极的情况下，就可将 n 沟道晶体管用作 EL 的驱动元件。

此外，还可以只用 n 沟道来构成像素电路的晶体管，从而可以在 TFT 制造中使用 a-Si 工艺。这样，可以降低 TFT 衬底的成本。

第二实施方式

图 6 是采用了本第二实施方式中的像素电路的有机 EL 显示装置的结构框图。

图 7 是表示在图 6 的有机 EL 显示装置中第二实施方式中的像素电路的具体结构的电路图。

如图 6 及图 7 所示，所述显示装置 200 包括：像素阵列部分 202，其中像素电路（PXLC）201 呈 $m \times n$ 矩阵状排列；水平选择器（HSEL）203；第一记录扫描器（WSCN1）204；第二记录扫描器（WSCN2）205；驱动扫描器（DSCN）206；恒定电压源（CVS）（未图示）；数据线 DTL 201～DTL 20n，由水平选择器 203 选择，供有与亮度信息相对应的数据信号；扫描线 WSL 201～WSL 20m，由记录扫描器 204 选择驱动；扫描线 WSL 211～WSL 21m，由记录扫描器 205 选择驱动；以及驱动线 DSL 201～DSL 20m，由驱动扫描器 206 选择驱动。

此外，在像素阵列部分 202 中，像素电路 201 呈 $m \times n$ 的矩阵状排列，但是为了使图面简单，在图 6 中只示出了呈 $2 (= m) \times 3 (= n)$ 矩阵状排列的例子。

此外，在图 7 中，同样为了使图面简单，只示出了一个像素电路的具体结构。

如图 3 所示，所述第二实施方式也和第一实施方式一样，用于像素电路的电源电压 Vcc 线 VCL 201～VCL 20n 从位于包含像素阵列部分 202 的面板的上部的板 106 输入，并且其配线相对于面板纵向布置，即布置在像素排列的每一列上。

此外，Vss 线 VSL 从图中位于面板左右的用于阴极 Vss 的板 107、108 上取出并连到 Vss 线 VSLL、VSLR 上，并设置连接在面板上侧的 Vss 线 VSLU 和连接在面板下侧的 Vss 线 VSLB，如图 7 和图 3 所示，将用于像素电路的 Vss 线 VSL 101～VSL 10n 连接在 Vss 线 VSLU 和 Vss 线 VSLB 之间，并与用于像素电路的电源电压 Vcc 线 VCL 201～VCL 20n 平行地进行布线。

即，将 Vss（基准电源）配线布置在整个像素阵列部分 202 的周围，在图中，在像素阵列部分 202 的上部及下部沿 x 方向布线的 Vss 线 VSLU 和 Vss 线 VSLB 之间，且在像素排列的每一列上布置 Vss 线 VSL 201～VSL 20n。

在本实施方式中，防止了 Vss（基准电源）配线和 Vcc（电源电压源）配线的布线重叠。因此，能够以低于以往的电阻值来布置 Vss 配线。

而且，连接在一跟配线上的像素数，在一般的视场角上，纵向（Y 方向）的像素数比横向（x 方向）的少，因此，若线宽相同，则能够以低于以往的电阻值来布置 Vss 配线。

如图 7 所示，本第二实施方式中的像素电路 201 包括 n 沟道 TFT 211～TFT 214、电容器 C 211、由有机 EL 元件（OLED：电光元件）构成的发光元件 215 以及节点 ND 211、ND 212。

此外，在图 7 中，DTL 201 表示数据线，WSL 201、WSL 211 表示扫描线，DSL 201 表示驱动线。

在这些构成要素中，TFT 211 构成本发明的场效应晶体管，TFT 212 构成第一开关，TFT 213 构成第二开关，TFT 214 构成第三开关，电容器 C 211 构成本发明的像素电容元件。

此外，电源电压 Vcc 的供给线相当于电源电压源，接地电位 GND 相当于基准电位。

在像素电路 201 中，TFT 211 的源极和发光元件 215 的阳极之间分别连接有 TFT 213 的源极和漏极，TFT 211 的漏极连接在电源电位 Vcc 上，发光元件 215 的阴极连接在接地电位 GND 上。即，在电源电位 Vcc 和接地电位 GND 之间串联连接有作为驱动晶体管的 TFT 211、作为开关晶体管的 TFT 213 以及发光元件 215。而且，由 TFT 211 的源极与发光元件 215 的阳极的连接点构成节点 ND 211。

TFT 211 的栅极连接在节点 ND 212 上。而且，在节点 ND 211 与 ND 212 之间，也就是 TFT 211 的栅极和源极之间，连接有作为像素电容 Cs 的电容器 C 211。电容器 C 211 的第一电极连接在节点 ND 211 上，第二电极连接在节点 ND 212 上。

TFT 213 的栅极连接在驱动线 DSL 201 上。此外，在数据线 DTL 201 与节点 ND 212 上分别连接有作为第一开关的 TFT 212 的源极和漏极。而且，TFT 212 的栅极连接在扫描线 WSL 201 上。

此外，TFT 213 的源极（节点 ND 211）和 Vss 线 VSL 201 之间分别连

接有 TFT 214 的源极和漏极，且 TFT 214 的栅极连接在扫描线 WSL 211 上。

这样，本实施方式中的像素电路 201 具有如下结构：即，作为驱动晶体管的 TFT 211 的源极与发光元件 215 的阳极通过作为开关晶体管的 TFT 213 连接，在 TFT 211 的栅极和源极间连接有电容器 C 211，并且，TFT 213 的源极电位经由 TFT 214 连接在作为基准电源配线的 Vss 线 VSL 201（固定电压线）上。

下面，参照图 8 (A) ~ (E) 及图 9 (A) ~ (H)，以像素电路的动作为中心，说明上述结构的动作。

这里，图 9 (A) 表示施加在像素排列的第一行扫描线 WSL 201 上的扫描信号 ws [201]；图 9 (B) 表示施加在像素排列的第二行扫描线 WSL 202 上的扫描信号 ws [202]；图 9 (C) 表示施加在像素排列的第一行扫描线 WSL 211 上的扫描信号 ws [211]；图 9 (D) 表示施加在像素排列的第二行扫描线 WSL 212 上的扫描信号 ws [212]；图 9 (E) 表示施加在像素排列的第一行驱动线 DSL 201 上的驱动信号 ds [201]；图 9 (F) 表示施加在像素排列的第二行驱动线 DSL 202 上的驱动信号 ds [202]；图 9 (G) 表示 TFT 211 的栅极电位 Vg；图 9 (H) 表示 TFT 211 的阳极侧电位，即节点 ND 211 的电位 VND211。

首先，如图 9 (A) ~ (F) 所示，通常 EL 发光元件 215 处于发光状态时，给扫描线 WSL 201、WSL 202、… 的扫描信号 ws [201]、ws [202]、… 由记录扫描器 204 选择设定为低电平，给扫描线 WSL 211、WSL 212、… 的扫描信号 ws [211]、ws [212]、… 由记录扫描器 205 选择设定为低电平，给驱动线 DSL 201、DSL 202、… 的驱动信号 ds [201]、ds [202]、… 由驱动扫描器 206 选择设定为高电平。

其结果是，在像素电路 201 中，如图 8 (A) 所示，TFT 212 和 TFT 214 保持关断状态，TFT 213 保持导通状态。

此时，由于作为驱动晶体管的 TFT 211 在饱和区域被驱动，所以，对应于该栅极-源极间电压 Vgs，电流 Ids 流过 TFT 211 和 EL 发光元件 215。

接下来，如图 9 (A) ~ (F) 所示，在 EL 发光元件 215 不发光期间，给扫描线 WSL 201、WSL 202、… 的扫描信号 ws [201]、ws

[202] 、 … 由记录扫描器 204 保持在低电平，给扫描线 WSL 211、WSL 212、… 的扫描信号 ws [211] 、 ws [212] 、 … 由记录扫描器 205 保持在低电平，给驱动线 DSL 201、DSL 202、… 的驱动信号 ds [201] 、 ds [202] 、 … 由驱动扫描器 206 选择设定为低电平。

其结果是，在像素电路 201 中，如图 8 (B) 所示，TFT 212、TFT 214 一直保持关断状态，并且 TFT 213 关断。

这时，EL 发光元件 215 所保持的电位由于没有供给源而下降，所以 EL 发光元件 215 不发光。该电位将下降到 EL 发光元件 215 的阈值电压 V_{th} 。但是，由于在 EL 发光元件 215 内还有关断电流流动，所以，若不发光期间还在继续，则其电位就会下降到 GND。

另一方面，作为驱动晶体管的 TFT 211 由于其栅极电位高而被保持在导通状态，如图 9 (G) 所示，TFT 211 的源极电位上升到电源电压 V_{cc} 。所述的电压上升在短时间内进行，并在 V_{cc} 电压上升后 TFT 211 中没有电流流动。

即，如上所述，在本第二实施方式的像素电路 201 中，在不发光期间可以不向像素电路供应电流而动作，从而可降低面板的功率消耗。

接下来，如图 9 (A) ~ (F) 所示，在 EL 发光元件 215 不发光期间，给驱动线 DSL 201、DSL 202、… 的驱动信号 ds [201] 、 ds [202] 、 … 由驱动扫描器 206 一直保持在低电平，给扫描线 WSL 201、WSL 202、… 的扫描信号 ws [201] 、 ws [202] 、 … 由记录扫描器 204 选择设定为高电平，给扫描线 WSL 211、WSL 212、… 的扫描信号 ws [211] 、 ws [212] 、 … 由记录扫描器 205 选择设定为高电平。

其结果是，在像素电路 201 中，如图 8 (C) 所示，在 TFT 213 保持关断状态的状态下，TFT 212、TFT 214 导通。这样，由水平选择器 203 传输到数据线 DTL 201 上的输入信号 (V_{in}) 被写入作为像素电容 C_s 的电容器 C 211 中。

在写入所述信号线电压时，重要的是事先导通 TFT 214。在没有 TFT 214 时，若 TFT 212 导通并将图像信号写入像素电容器 C_s ，则耦合将进入 TFT 211 的源极电压中。与此相反，若导通将节点 ND 211 连接到 V_{ss} 线

VSL 101 上的 TFT 214，则由于被连接在低阻抗的配线线路上，所以配线线路的电压值将被写入 TFT 211 的源极电位上。

此时，若将配线线路的电位设为 V_o ，则由于作为驱动晶体管的 TFT 211 的源极电位为 V_o ，所以对于输入信号的电压 V_{in} ，像素电容器 C_s 将保持与 $(V_{in}-V_o)$ 相等的电位。

然后，如图 9 (A) ~ (F) 所示，在 EL 发光元件 215 不发光期间，给驱动线 DSL 201、DSL 202、… 的驱动信号 $ds[201]$ 、 $ds[202]$ 、… 由驱动扫描器 206 一直保持在低电平，给扫描线 WSL 211、WSL 212、… 的扫描信号 $ws[211]$ 、 $ws[212]$ 、… 由记录扫描器 205 一直保持在高电平，给扫描线 WSL 201、WSL 202、… 的扫描信号 $ws[201]$ 、 $ws[202]$ 、… 由记录扫描器 204 选择设定为低电平。

其结果是，在像素电路 201 中，如图 8 (D) 所示，TFT 212 变为关断状态，结束向作为像素电容的电容器 C 211 写入输入信号。

此时，由于 TFT 211 的源极电位需要维持低阻抗，所以，TFT 214 一直导通。

然后，如图 9 (A) ~ (F) 所示，给扫描线 WSL 201、WSL 202、… 的扫描信号 $ws[201]$ 、 $ws[202]$ 、… 由记录扫描器 204 一直保持在低电平，给扫描线 WSL 211、WSL 212、… 的扫描信号 $ws[211]$ 、 $ws[212]$ 、… 由记录扫描器 205 设定为低电平，之后，给驱动线 DSL 201、DSL 202、… 的驱动信号 $ds[201]$ 、 $ds[202]$ 、… 由驱动扫描器 206 选择设定为高电平。

其结果是，在像素电路 201 中，如图 8 (E) 所示，在 TFT 214 关断后，TFT 213 变为导通状态。

随着 TFT 213 的导通，EL 发光元件 215 内有电流流动，且 TFT 211 的源极电位下降。这样，虽然作为驱动晶体管的 TFT 211 的源极电位变动，但由于在 TFT 211 的栅极与 EL 发光元件 215 的阳极之间有电容器，因此 TFT 211 的栅极-源极电位可总是保持在 $(V_{in}-V_o)$ 。

这时，由于作为驱动晶体管的 TFT 211 在饱和区域驱动，所以，流过所述 TFT 211 中的电流值 I_{ds} 为上述式 1 所示的值，该值是驱动晶体管的

栅极-源极电压 V_{gs} , 即为 ($V_{in}-V_o$)。

也就是说流过 TFT 211 的电流量由 V_{in} 确定。

这样, 通过在信号写入期间使 TFT 214 导通从而使 TFT 211 的源极为低阻抗, 可使像素电容器的 TFT 211 的源极侧一直处于固定电位 (V_{ss}), 由此可以在不考虑信号线写入时因为耦合导致图像质量恶化的情况而在短时间内写入信号线电压。而且, 还可以使像素电容增加来应对漏电 (leak) 特性。

根据上述, 即使 EL 发光元件 215 随着发光时间的变长, 其 I-V 特性恶化, 在本第二实施方式中, 也由于在驱动晶体管 TFT 211 的栅极-源极间电位保持恒定的状态下节点 ND 211 的电位下降, 因此流过 TFT 211 的电流不变化。

由此, 流过 EL 发光元件 215 的电流也不变化, 即使 EL 发光元件 215 的 I-V 特性恶化, 也会有与输入电压 V_{in} 相当的电流持续流动, 从而即使 EL 发光元件的 I-V 特性随时间变化, 也可以进行无亮度恶化的源极跟随输出。

而且, 由于 TFT 211 的栅极-源极间除像素电容器 C_s 以外没有晶体管等, 所以, 根本不会像以往那样, 由于阈值 V_{th} 偏移而导致驱动晶体管 TFT 211 的栅极-源极间电压 V_{gs} 变化。

此外, 在图 7 中, 使发光元件 215 的阴极电极的电位为接地电位 GND, 但它是什么样的电位都没关系。索性采用负电源, 这样可以降低 V_{cc} 的电位, 还可以降低输入信号电压的电位。由此, 可以实现不给外部 IC 增加负担的设计。

此外, 像素电路的晶体管不用 n 沟道, 而用 p 沟道 TFT 构成像素电路也可以。此时, EL 发光元件的阳极一侧连接有电源, 阴极一侧连接有作为驱动晶体管的 TFT 211。

而且, 作为开关晶体管的 TFT 212、TFT 213、TFT 214 也可以是与作为驱动晶体管的 TFT 211 极性不同的晶体管。

根据本第二实施方式, 因为 V_{ss} 配线是布置在 y 方向 (纵向) 上的, 所以, 连接在 V_{ss} 线 VSL 201~VSL 20n 上的像素电路的 TFT213 针对 1H

在 1 个定时内持续导通。因此，进入配线的波动也少，从而可提高均匀性。

而且，如上所述，像素阵列部分 202 的 Vcc 配线一般是相对于面板平行于 y 方向而布置的。

因此，根据本实施方式，在有效像素部分的配线中，可以平行布置 Vss 配线和 Vcc 配线，从而可防止 Vss 配线与 Vcc 配线的布线重叠。因此，能够以低于以往的电阻值来布置 Vss 配线。而且，连接在一根配线上的像素数，在一般的视场角上，纵向（Y 方向）的像素数比横向（x 方向）的少，因此，若线宽相同，则能够以低于以往的电阻值来布置 Vss 配线。

而且，即使 EL 发光元件的 I-V 特性随时间变化，也可以进行无亮度恶化的源极跟随输出。

可以实现 n 沟道晶体管的源极跟随电路，从而在使用现有的阳极-阴极电极的情况下，就可将 n 沟道晶体管用作 EL 的驱动元件。

此外，还可以只用 n 沟道来构成像素电路的晶体管，从而可以在 TFT 制造中使用 a-Si 工艺。这样，可以降低 TFT 衬底的成本。

而且，根据第二实施方式，例如即使是黑信号也可以在短时间内写入信号线电压，因此可获得高均匀性的图像质量。同时使信号线电容量增加，可抑制漏电特性。

发明效果

如上所述，根据本发明，连接在基准电源配线上的像素电路在信号采样期间在 1 个定时上持续导通。因此，进入配线的波动少，从而可提高均匀性。

此外，还可以防止基准电源配线与电源电压源配线的布线重叠。因此，能够以低于以往的电阻值来布置基准电源配线。

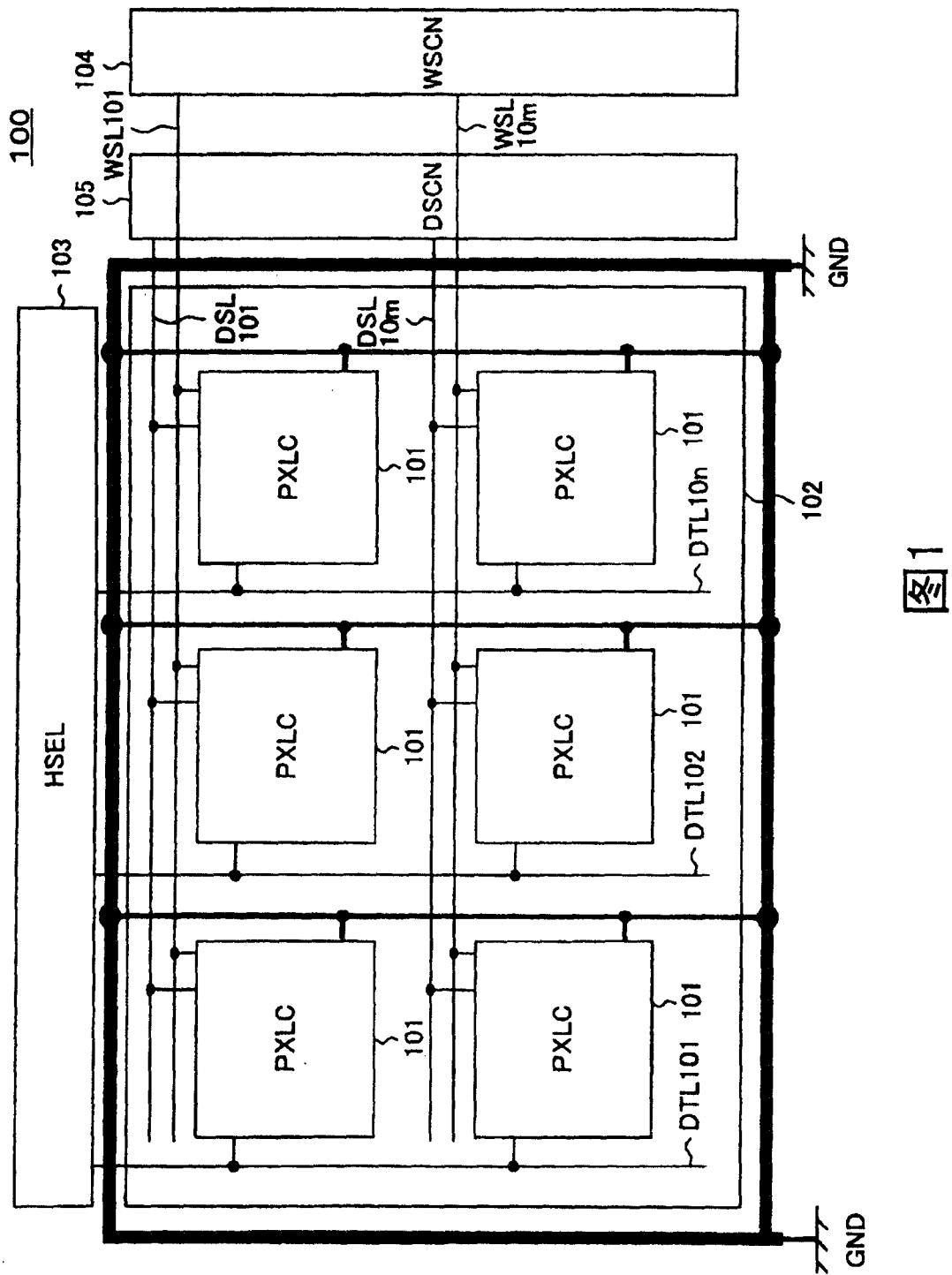
此外，连接在一根配线上的像素数，在一般的视场角上，纵向（Y 方向）的像素数比横向（x 方向）少，因此，若线宽是相同，则能够以低于以往的电阻值来布置 Vss 配线。

而且，即使 EL 发光元件的 I-V 特性随时间变化，也可以进行无亮度恶化的源极跟随输出。

可以实现 n 沟道晶体管的源极跟随电路，从而在使用现有的阳极-阴极

电极的情况下，就可以将 n 沟道晶体管用作 EL 的驱动元件。

此外，还可以只用 n 沟道来构成像素电路的晶体管，从而可以在 TFT 制造中使用 a-Si 工艺。这样，可以降低 TFT 衬底的成本。



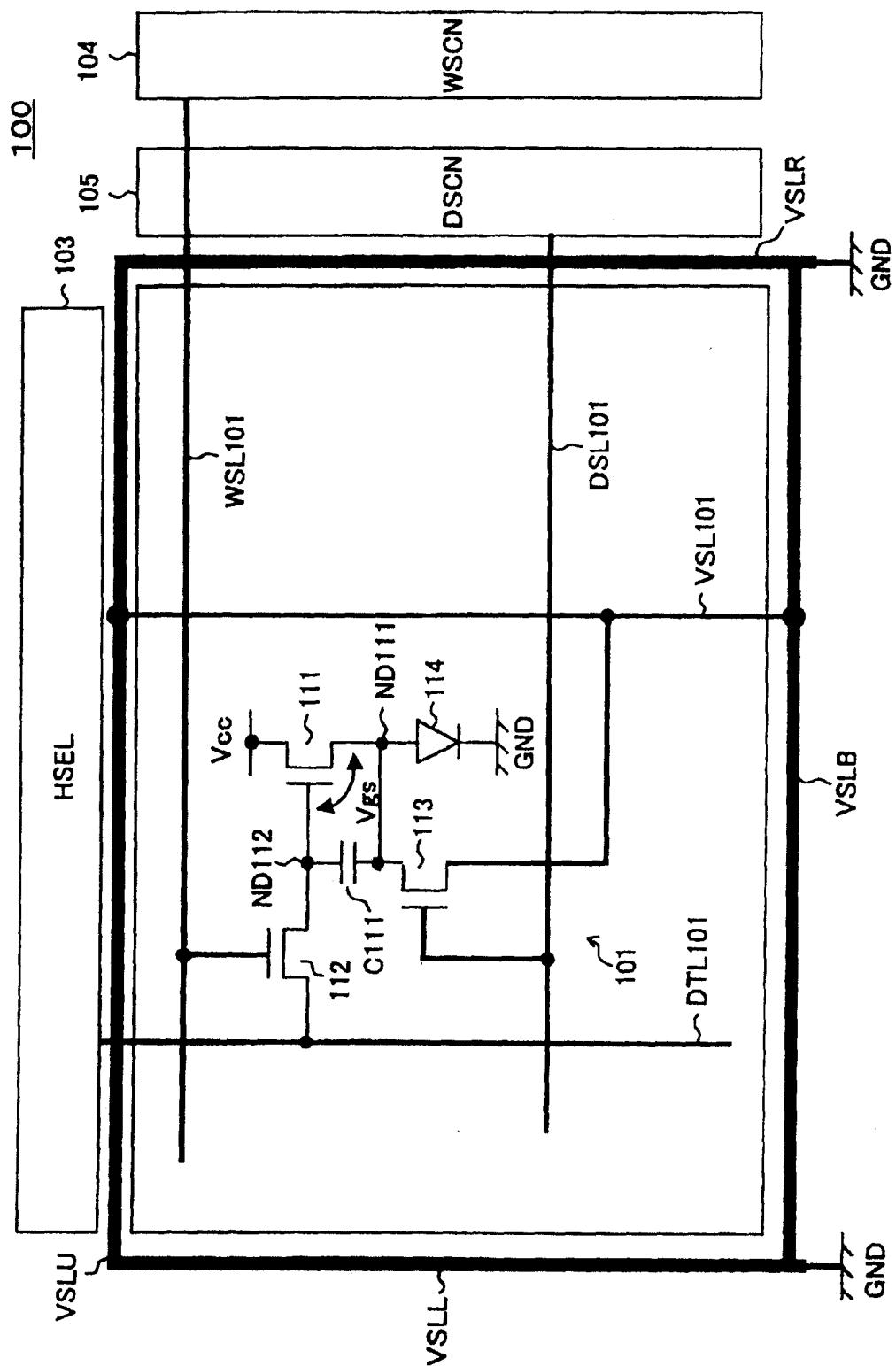


图2

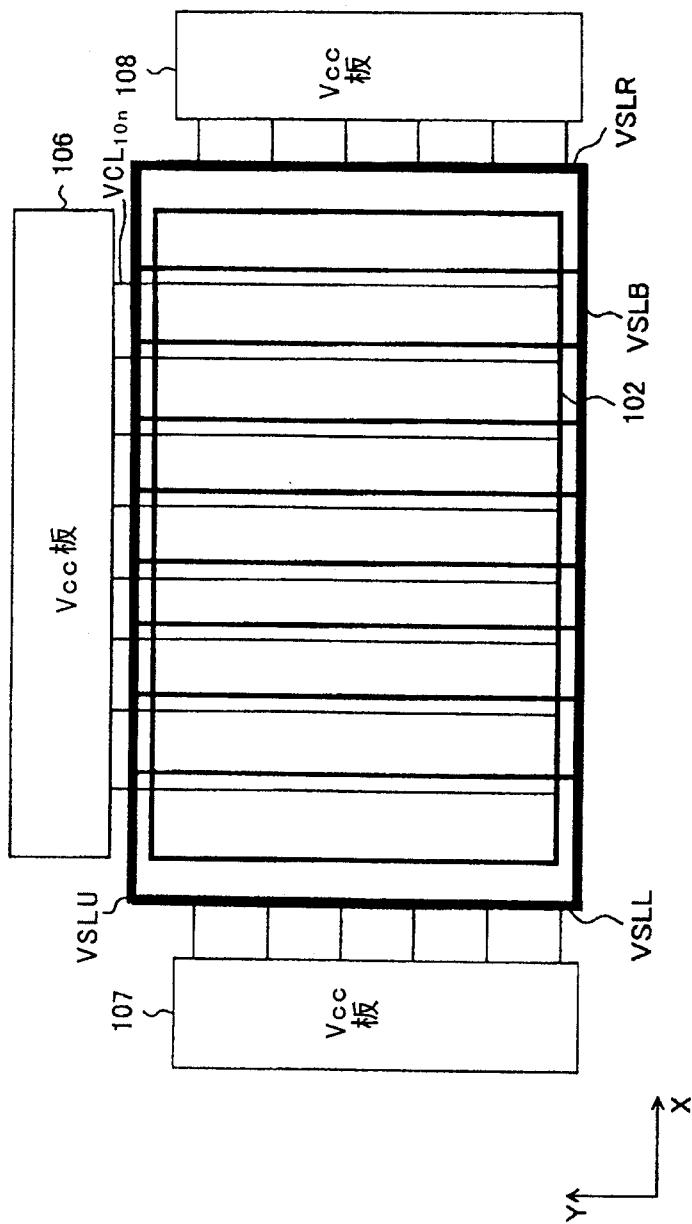


图3

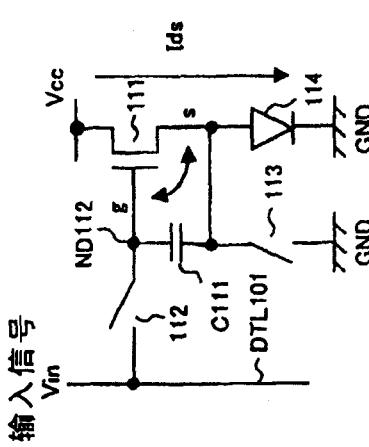


图4 (A)

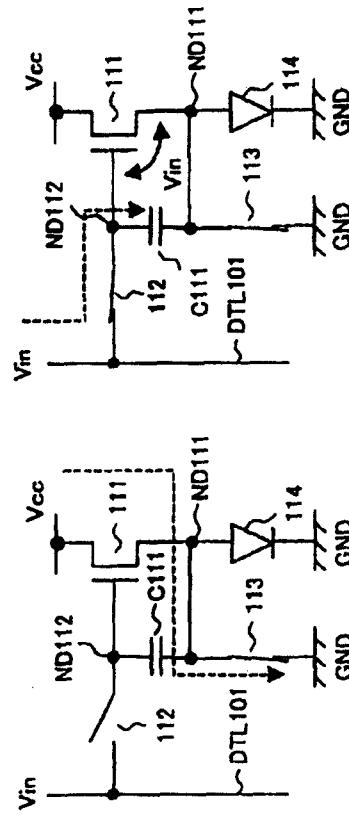


图4 (B)

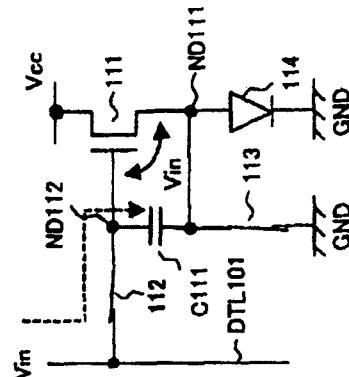


图4 (C)

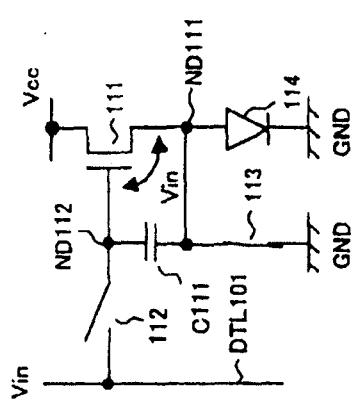


图4 (D)

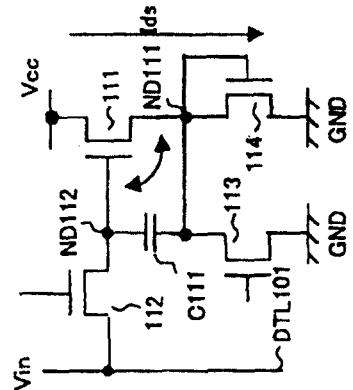


图4 (E)

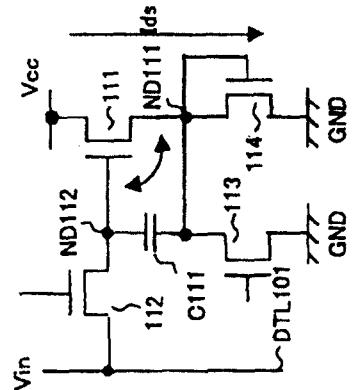


图4 (F)

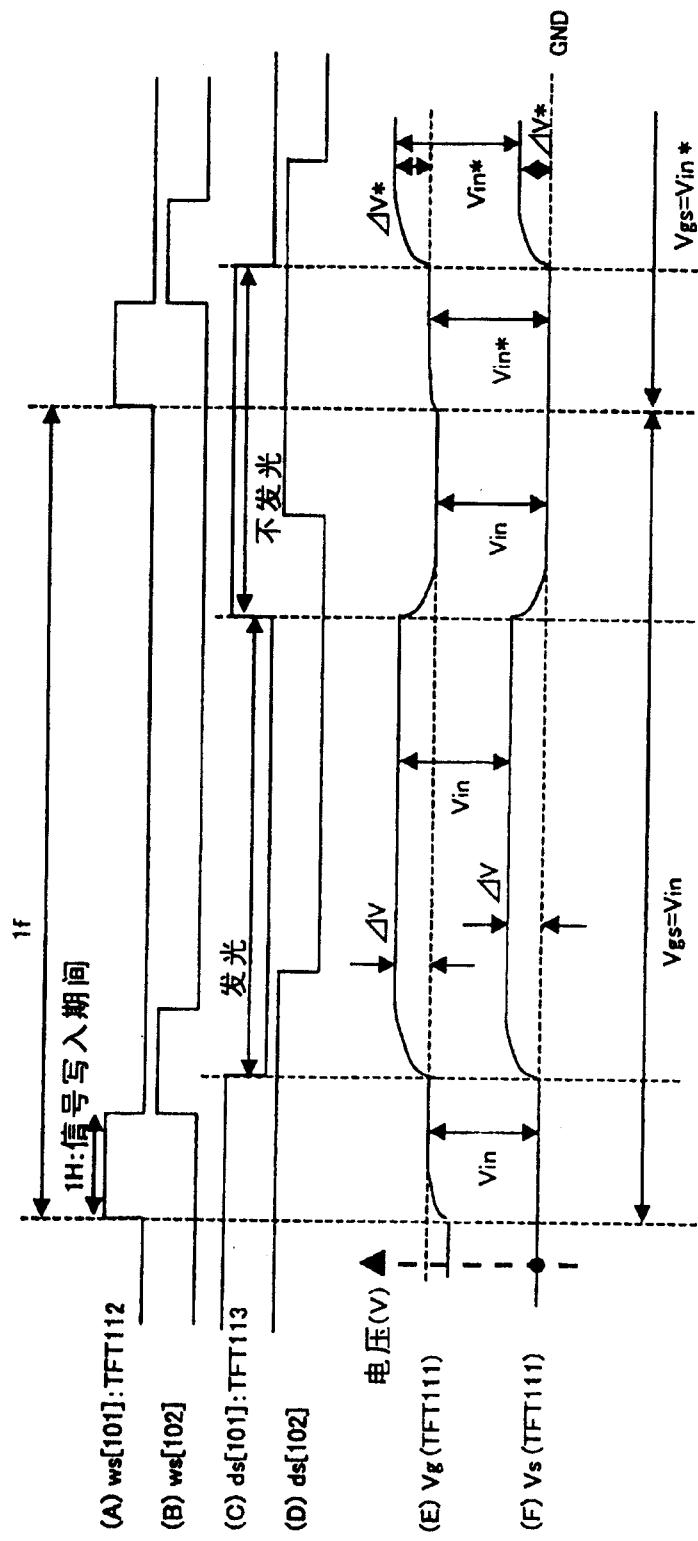


图5

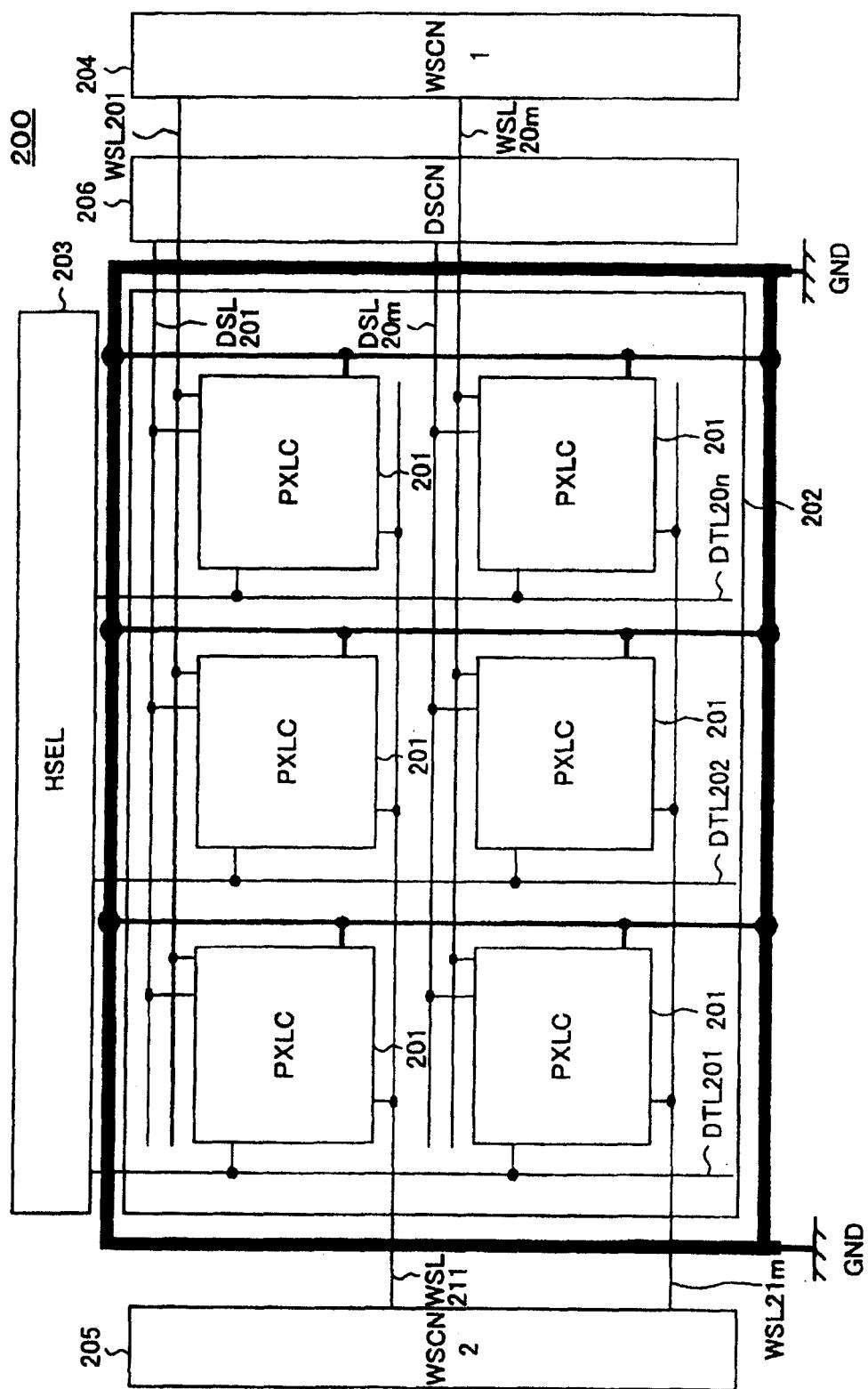


图6

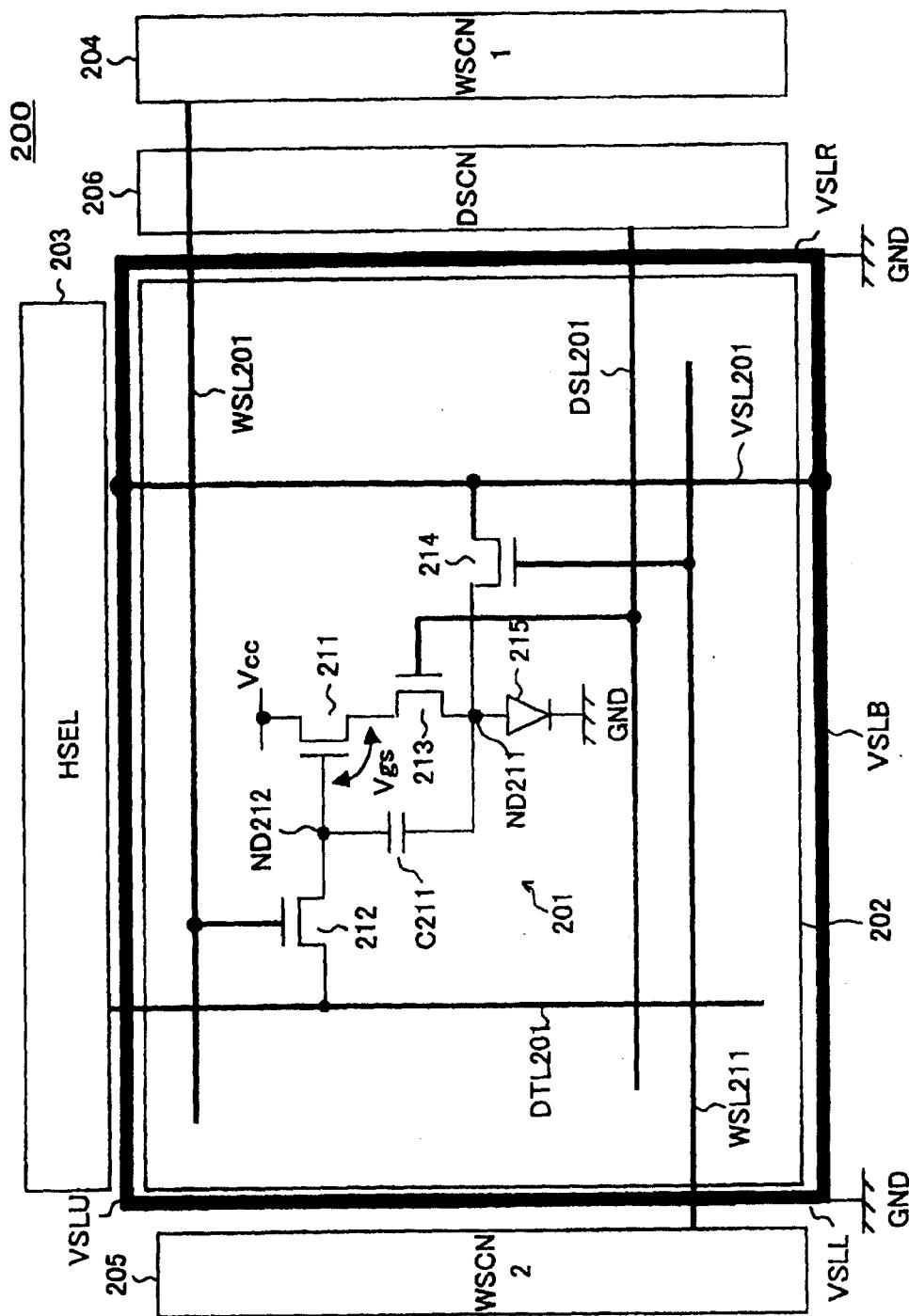


图7

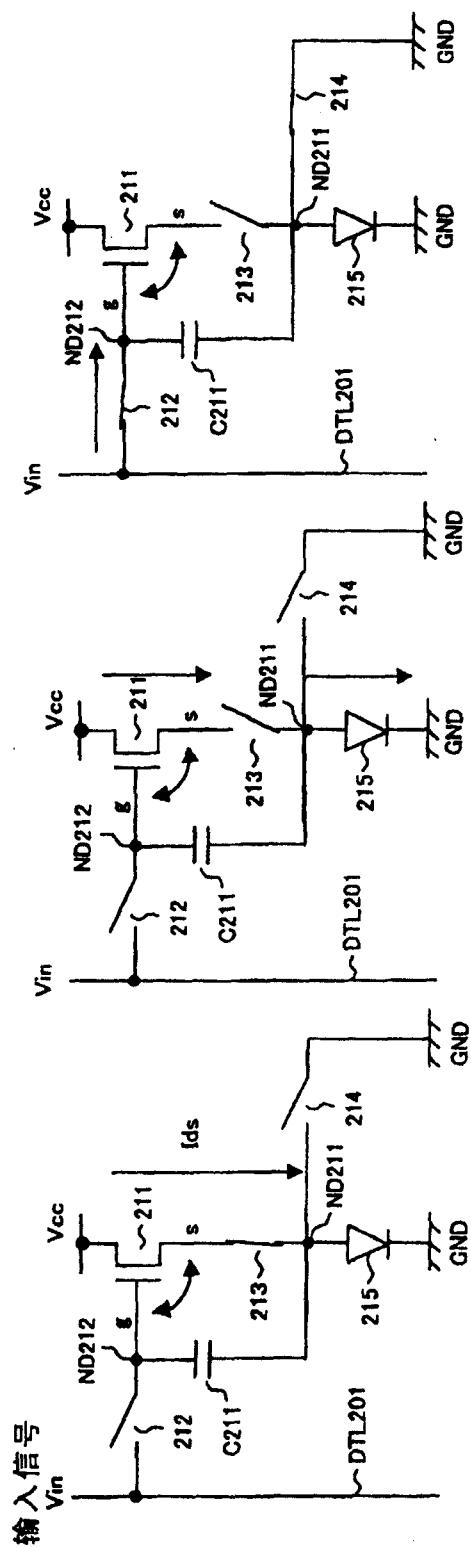
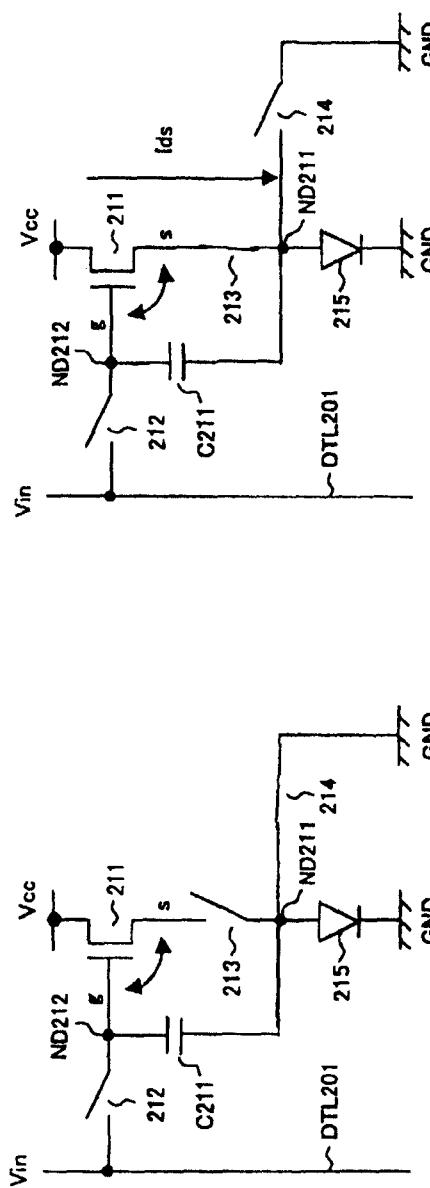


图8 (A) 图8 (B) 图8 (C)



冬8 (D)

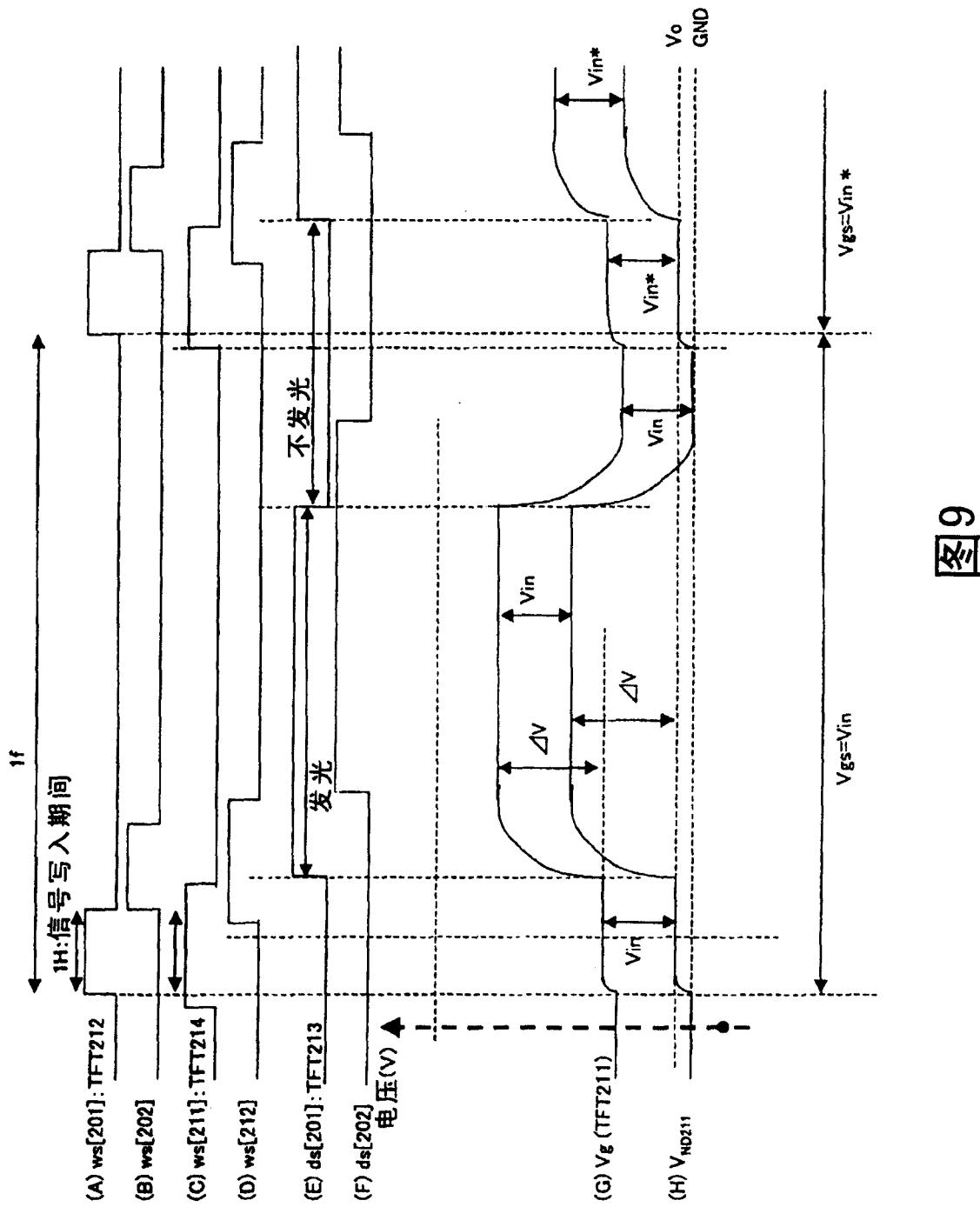


图9

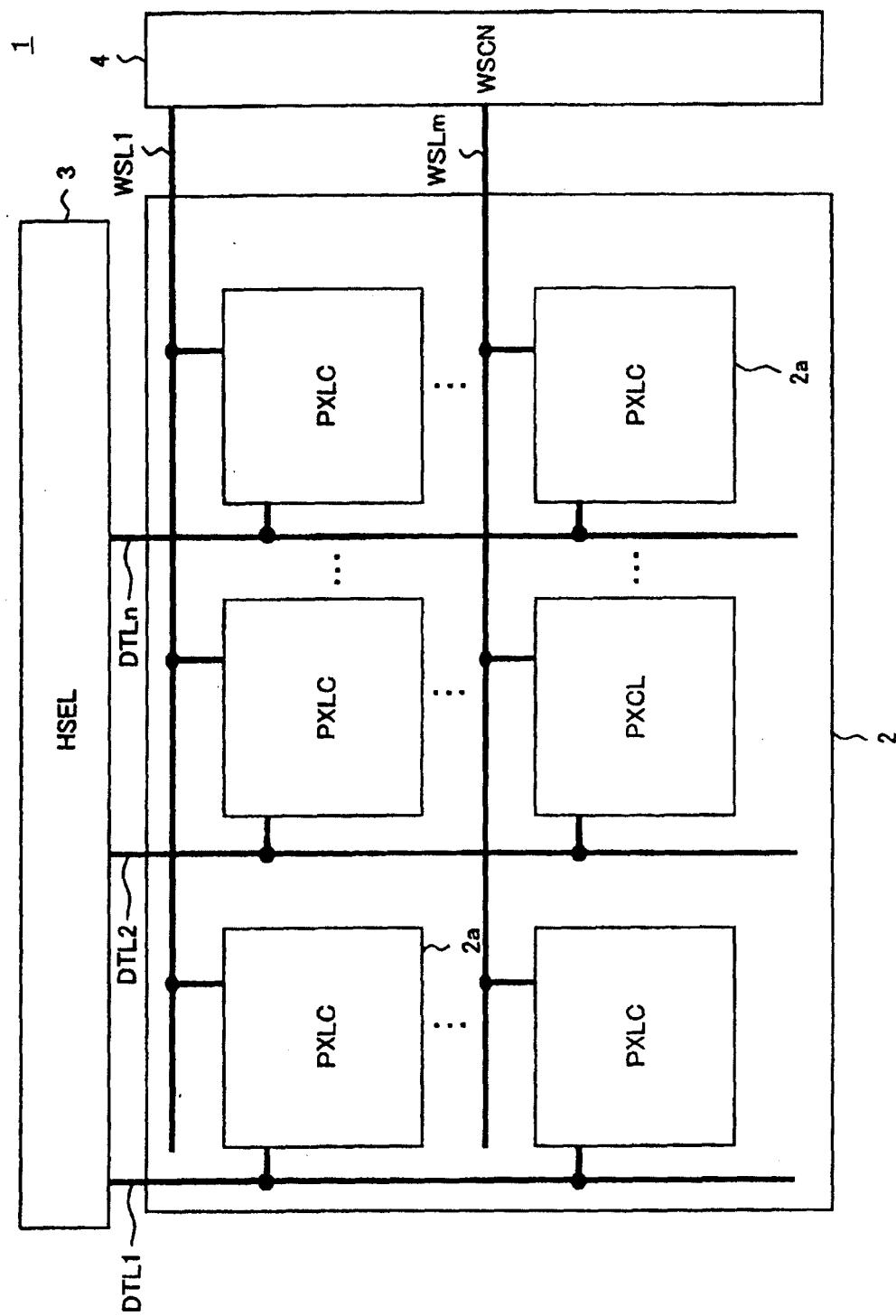


图10

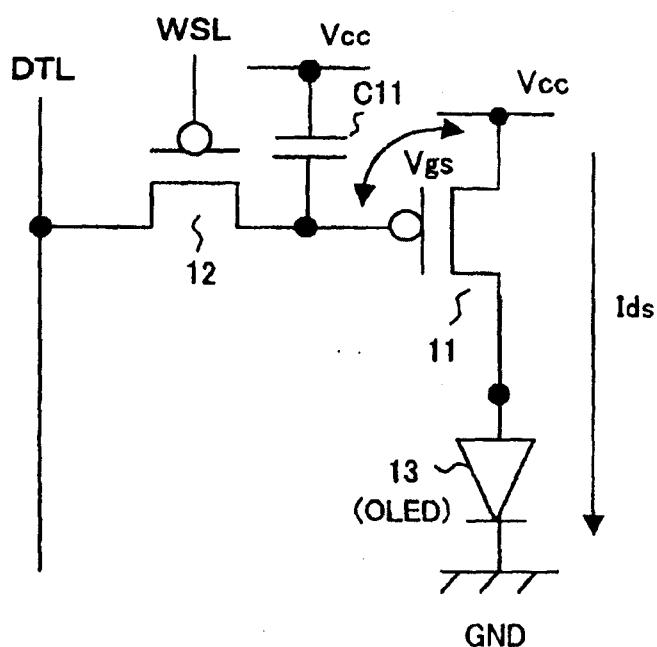
2a

图11

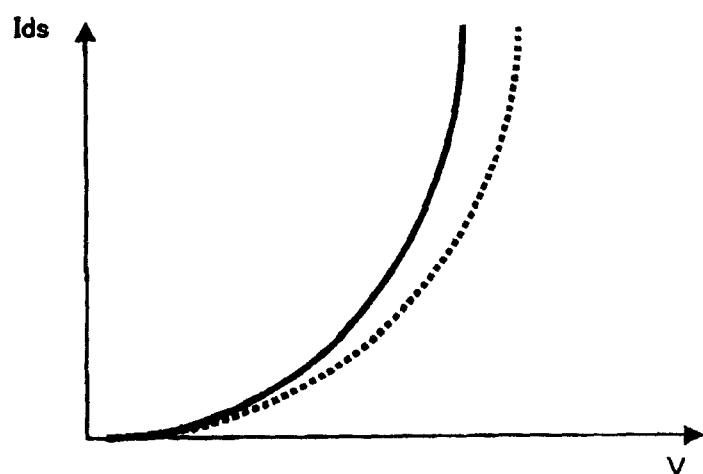


图12

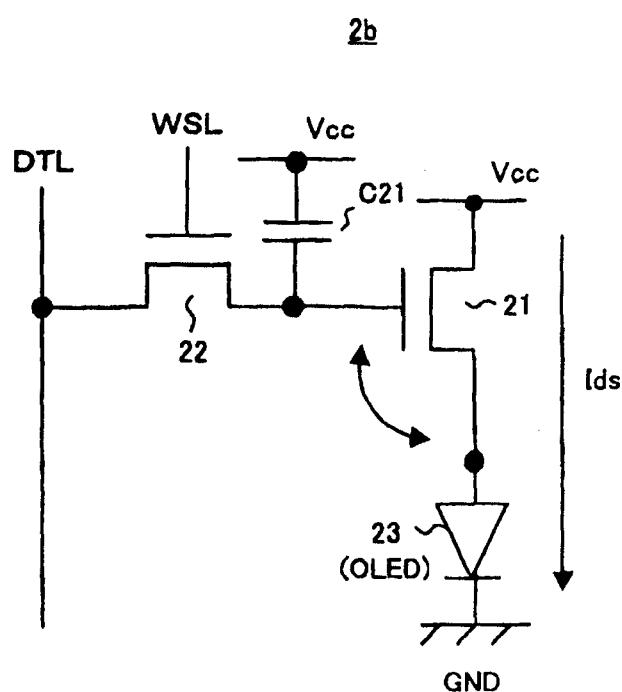


图13

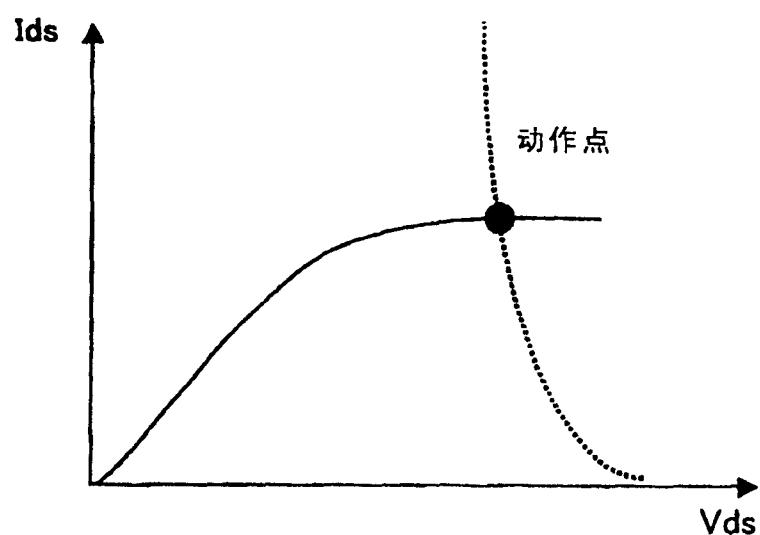


图14

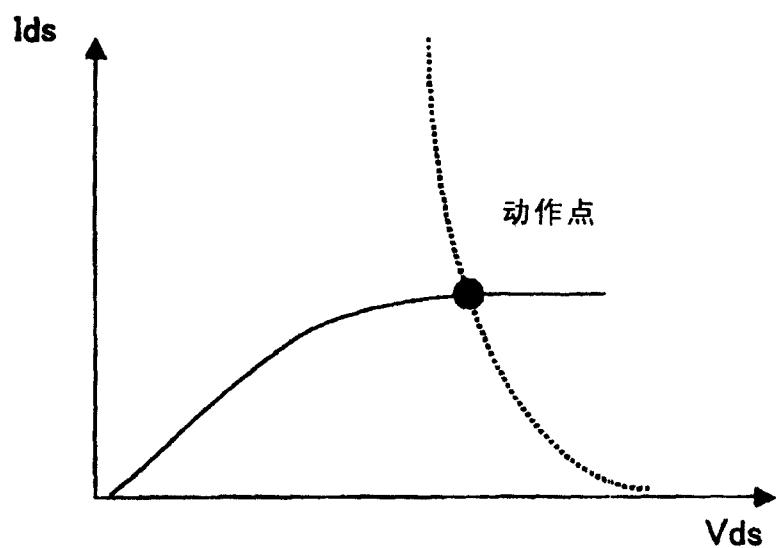


图15

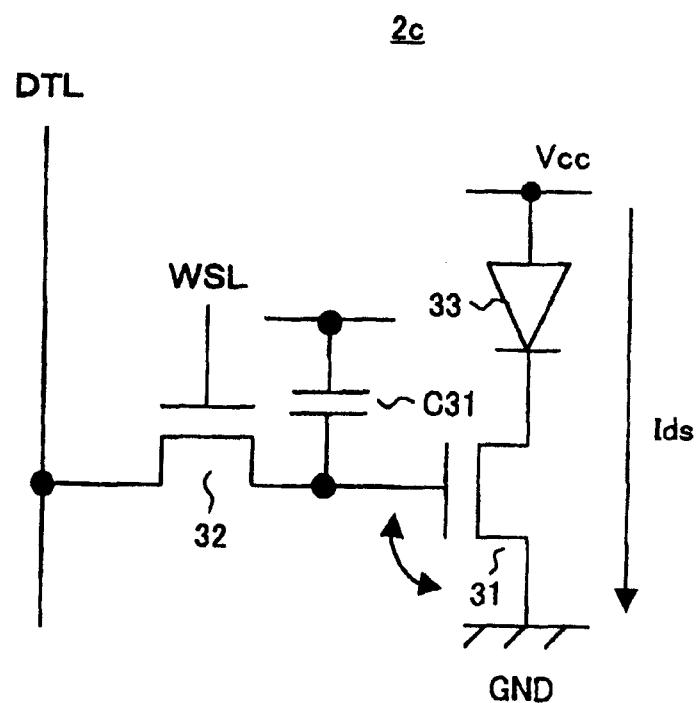


图16

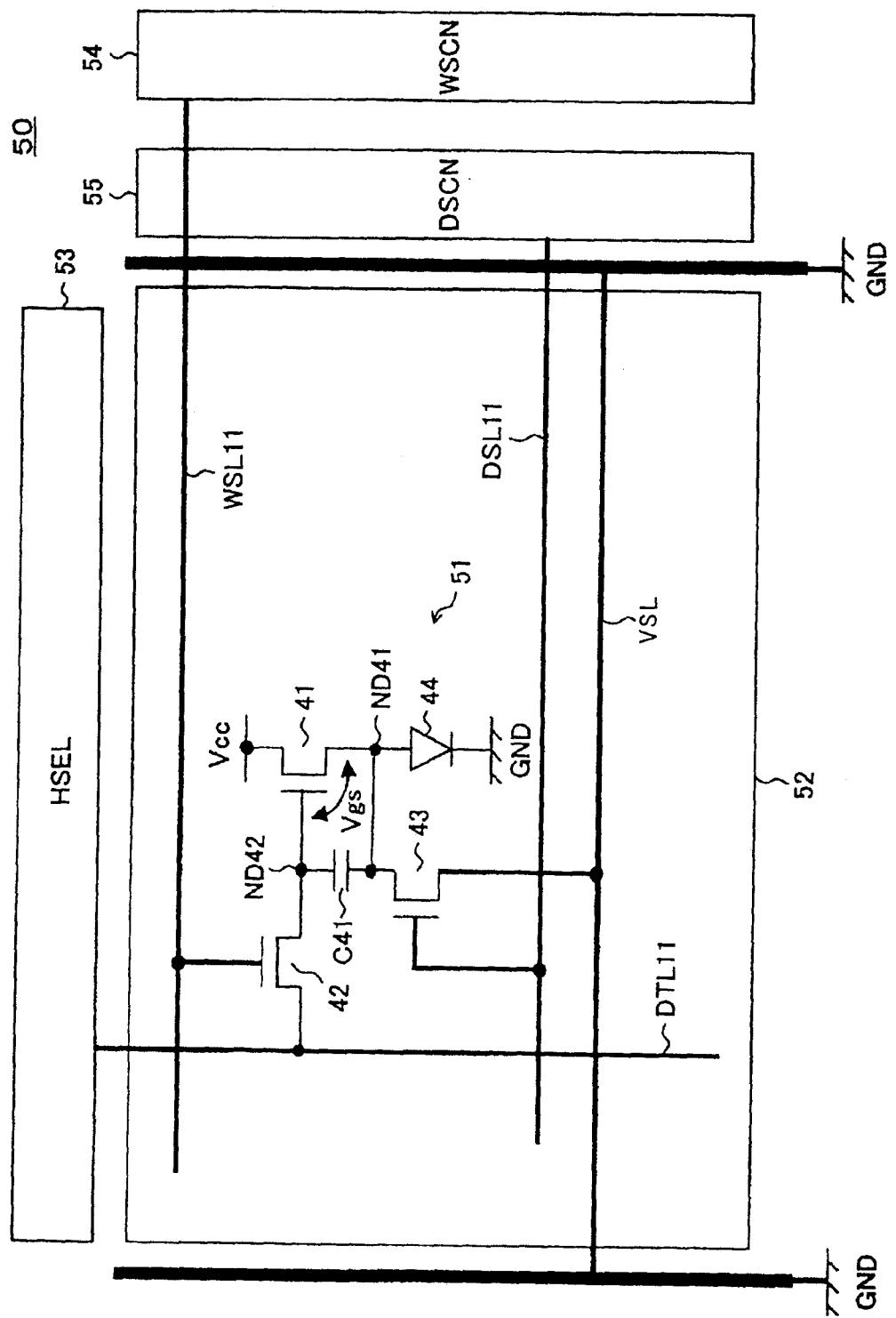


图 17

