(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 29/70

(45) 공고일자 1999년07월01일
(11) 등록번호 10-0205024
(24) 등록일자 1999년03월31일

(21) 출원번호 10-1995-0052693
(22) 출원일자 1995년12월20일
(65) 공개번호 특1997-0054344
(43) 공개일자 1997년07월31일

(73) 특허권자 한국전자통신연구소 양승택
대전광역시 유성구 가정동 161번지
(72) 발명자 염병렬
대전광역시 유성구 가정동 161번지
조덕호
대전광역시 유성구 가정동 161번지
한태현
대전광역시 유성구 가정동 161번지
이수민
대전광역시 유성구 가정동 161번지
편광의
대전광역시 유성구 가정동 161번지
(74) 대리인 김영길, 원혜중, 김영섭

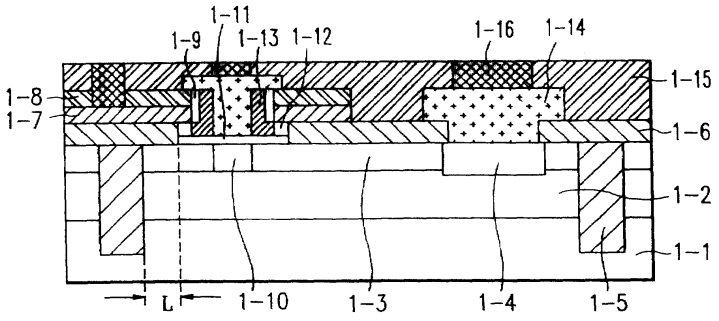
심사관 : 김관식

(54) 초 자기 정렬 바이폴러 트랜지스터의 제조방법

요약

본 발명은 폴리사이드 베이스 전극과 선택적 박막 성장법을 사용한 초자기정렬 바이폴러 트랜지스터 장치 및 제조방법에 관한 것으로서, 특히 선택적 박막 성장을 이용하여 소자 격리를 위한 트랜치를 배제하고 실리사이드 베이스 전극을 사용하므로써, 소자 크기를 최소화하고 공정을 단순화 하면서 소자 특성을 향상시킬 수 있도록 하며, 칩(Chip) 상에 소자 격리 영역을 제거하고 또한 이온 주입 소자격리 등에 따른 단점 등을 제거할 수 있으며, 컬렉터-베이스 간의 기생용량을 작게 조절할 수 있고 또한 베이스-에미터간을 자기 정렬함으로써 에미터-베이스간의 기생용량 및 베이스 기생저항을 크게 감소시켜 소자의 고주파 대역에서의 동작 특성을 개선하는 특징이 있다.

대표도



명세서

[발명의 명칭]

초 자기 정렬 바이폴러 트랜지스터의 제조 방법(Method for manufacturing a super self-aligned bipolar transistor)

[도면의 간단한 설명]

제1도는 종래의 선택적 베이스 박막 성장법을 사용한 초자기정렬 npn 규소/규소 게르마늄 이종접합 바이폴러 소자의 단면도.

제2도는 종래의 다른 방법에 의해 컬렉터 베이스를 자기 정렬한 이종접합 바이폴러 소자의 베이스 박막 성장 후의 단면도.

제3도는 본 발명의 바람직한 실시예에 따라 제작된 초자기 정렬 이종접합 바이폴러 트랜지스터의 단면도.

제4도는 본 발명에 따른 바이폴러 트랜지스터의 제작방법을 순차적으로 설명하기 위한 공정 단면도.

[발명의 상세한 설명]

본 발명은 초자기 정렬 바이폴러 트랜지스터를 제조하는 방법에 관한 것으로서, 특히 폴리사이드 베이스 전극과 선택적 박막 성장법을 사용한 초자기 정렬 이종접합 바이폴러 트랜지스터의 제조방법에 관한 것이다.

일반적으로, 동종접합 바이폴러 트랜지스터(Homojunction Bipolar Transistor)의 크기가 작아지면서 동작속도가 개선되는 잇점이 있지만 에미터(emitter)와 베이스(base)의 불순물(dopant) 농도가 증가되어야 하므로 기존 구조를 이용하여 소자 특성을 향상시키는 데에는 한계가 있었다.

상기 한계점을 극복하기 위하여 안출된 것이 이종접합 바이폴러 소자(Heterojunction biploar device)이다.

이종접합 소자의 구조적 특징은 에미터 에너지 띠 간격(Energy bandgap)이 베이스 에너지 띠 간격보다 크다는 것이다.

이로 인하여 소자의 성능과 설계상에 많은 잇점을 얻을 수 있는데, 기존의 동종접합 바이폴러 소자 공정에서 규소(Si)를 이용한 베이스 층에 게르마늄(Ge)을 첨가하여 에너지 띠 간격을 감소시키는 방법이 최근에 와서 집중 연구 중에 있다.

기존의 이종접합 바이폴러 소자들은 일반적인 동종접합 규소 바이폴러 소자와 같이 다결정 규소(Polysilicon) 박막을 베이스 전극 및 에미터와 에미터 불순물 확산원(Diffusion source)으로 동시에 사용한다.

그렇게 해서 베이스 층에는 규소대신 규소 게르마늄을 사용하여 에미터와 베이스간의 에너지띠 간격 격차를 생기게 하여 에미터 주입효율(Injection efficiency)을 증가시키며, 베이스를 고불순물 농도(High doping concentration) 초미세 박막(Ultra-thin)으로 성장시켜 소자의 전류 증폭이득(Current gain) 및 스위칭 속도를 크게 향상시켜 왔다.

최근에 와서 소자의 구조가 최적화 또는 소형화(Scaling-down)되면서 소자의 활성영역 상에 존재하는 베이스 저항 및 컬렉터-베이스 간의 기생용량 등 각종 기생성분을 최소화 하기 위해 여러 가지 방법이 이용되었다.

그 방법으로는 도랑 소자격리와, 국부 규소 열산화(LOCal Oxidation of Silicon, 이하 LOCOS라고 약칭함)와, 규소 게르마늄(SiGe) 베이스 박막의 선택적 박막 성장(SEG; Selective Epitaxial Growth)과, 규소 에미터만의 선택적 박막 성장 등이 있다.

상기와 같은 방법을 이용하여 베이스-에미터를 자기 정렬하여 베이스 기생저항을 줄이거나, 베이스-에미터간과 컬렉터-베이스간 모두를 자기 정렬한 초자기정렬 규소/규소 게르마늄(Si/SiGe) 이종접합 바이폴러 트랜지스터의 개발이 활발히 진행 중에 있다.

동시에 베이스 전극 물질인 다결정 규소 박막에서 야기되는 베이스 기생저항을 더욱 줄이기 위해 베이스 전극으로 다결정 규소대신 금속성 박막 예를 들면 티타늄 실리사이드($TiSi_2$)를 사용하는 공정에 대해 연구가 활발하게 진행되고 있는 실정이다.

또한 LOCOS도 수직적인 규소 열산화막의 두께만큼 새부리 모양의 열산화막이 수평적으로 형성되어 소자의 등비축소에 한계를 야기시키므로 바람직하지는 않다.

이 중에서 규소 게르마늄 베이스 박막의 선택적 박막 성장을 사용하고 LOCOS를 사용하지 않은 초자기정렬 Si/SiGe 이종접합 바이폴러 트랜지스터의 대표적인 예를 제1도에 나타내었다.

제1도는 종래의 선택적 베이스 박막 성장법을 사용하여 컬렉터-베이스를 자기 정렬한 npn 규소/규소 게르마늄 이종접합 바이폴러 소자는 베이스 박막 성장후의 단면도이다.

제1도를 참조하면, p형 규소 기판(1-1)에 고불순물 농도층인 n^+ 매몰 규소 컬렉터 층(1-2)을 형성하고 그 위에 저불순물 농도층인 n^- 규소 컬렉터 박막(1-3)을 성장시킨다.

그 후에 n형 불순물 이온을 주입하여 컬렉터 연결부(1-4)를 형성하고, 소자간을 격리하기 위하여 규소층의 건식식각으로 도랑(Trench)을 형성하고 그 안에 붕소와 인을 포함한 BPSG(Boron Phosphorous Silica Glass) 절연막(1-5)을 채웠다.

그리고 고압에서 박막(1-5)을 평탄화 시켰다.

그 후에 절연막(1-6)과 p^+ 다결정 규소막(1-7)과 절연막(1-8)과 측면 절연막(1-9)을 도포와 식각으로 제1도와 같이 형성하고 난 다음에 선택적으로 소자의 활성영역에만 이온 주입하여 고전류 영역에서의 소자특성을 향상시키기 위한 n형 컬렉터 영역(1-10)을 형성하였다.

다음으로 기체원 분자선 박막 성장법(Gas Source Molecular Beam)을 사용하여 규소 컬렉터(1-10)와 다결정 규소 베이스 전극(1-7)이 노출된 부분에만 선택적으로 규소 게르마늄 베이스(1-11)를 성장시키고 다시 잔여공간에 다결정 규소 박막(1-12)을 선택적으로 성장시켜 베이스전극용 다결정 규소(1-7)와 규소 게르마늄 베이스(1-11)와의 접속을 이루었다.

따라서, 컬렉터와 베이스간에 형성되는 기생용량 영역은 감광막으로 정의됨 없이 박막(1-12)의 부분만으로 국한되어 작게 할 수 있어서 컬렉터-베이스간이 자기정렬 되었다.

그러나, 상기 다결정 규소 박막(1-12)에 의해 정의되는 기생용량 영역은 상기 절연막(1-6)의 수평적 습식 식각에 의해 정의되기 때문에 균일도나 재현성 면에서 공정의 안정도가 떨어지며 소자성능의 치명적인 열화를 초래할 수 있다.

또한, 성장속도가 극도로 느린 선택적 박막 성장법을 베이스 박막(1-11)과 연결 박막(1-12)의 성장에 두 번이나 적용하고, 박막 종류도 결정 박막(1-11)과 다결정 규소 박막(1-12)으로 다룸으로써 공정의 복잡성이 증가함과 동시에 베이스 박막(1-11) 상에 다결정성 규소 박막(1-12)이 조금이라도 성장되는 경우는 소자에 치명적이므로 공정조절이 용이하지 않다.

그래서, 스루풋(Throughput)과 관련된 경제성과 공정의 용이성과 관련된 재현성 있는 기술이 되기 힘들다는 단점이 있다.

또한, 제1도와 같이 기판 전면에 형성된 n^+ 매몰 컬렉터층(1-2)상에 과 컬렉터 연결부(1-4)가 n^- 컬렉터 박막(1-3)을 통해 소자간에 연결됨을 방지하기 위해서 소자격리 도랑구조를 깊게 형성해야 한다.

그로 인해 절연막(1-5)을 채우기 위한 도랑의 평면면적이 커져서 소자가 커진다는 문제점이 있었다.

제2도는 트랜치를 배제한 종래의 다른 방법에 의해 제작된 규소/규소 게르마늄 이종접합 바이폴러 소자의 베이스 박막 성장후의 단면도이다. 제2도에 도시한 종래예는 트랜치 공정의 사용 없이 베이스 뿐만 아니라 컬렉터 박막까지 선택적 박막 성장법을 사용함으로써 공정 단순화 및 집적화를 기한 것이다.

먼저, P형 규소 기판(2-1)에 n^+형 컬렉터(2-2)를 형성한 후, 그 위에 절연막(2-3) 베이스 전극용 다결정 규소 박막(2-4)을 증착하고 박막(2-4)을 감광막 마스크와 박막(2-4)의 식각으로 베이스 전극 영역을 정의한다.

그 후, 절연막(2-5)을 도포하고 감광막 마스크와 박막(2-5, 2-4, 2-3)의 식각으로 활성영역을 정의한다.

이어서 컬렉터용 N형 규소 박막(2-6)과 베이스용 규소 게르마늄 박막(2-7) 그리고 에미터용 규소 박막(2-8)을 일시에 순차적으로 불순물을 첨가하면서 성장시킨다.

이 때, 박막(2-6, 2-7, 2-8)을 성장시킬 때에 제2도와 같이 측면에 다결정 또는 비정질 규소 박막(2-6-1, 2-7-1, 2-8-1)이 각각 형성된다.

다음으로 컬렉터 금속접촉용 실리사이드 박막(2-9)를 형성하고 최종적으로 금속 전극(2-10)을 형성시켜 소자를 완성한다.

제2도의 소자에서는 (2-8-1)에서 (2-7-1)를 거처 (2-6-1)로 전류가 도통되는 경로가 생기므로 누설전류의 수준이 아닌 컬렉터-에미터간의 단락 현상이 발생될 수 있다는 문제점이 있다.

마찬가지로 (2-8-1)에서 (2-7-1)과 (2-6-1)을 거처 (2-6)으로 전류가 도통되며 또한 (2-6)에서 (2-7-1)과 (2-6-1)을 통해 전류가 도통되므로 사실상 에미터-베이스간과 베이스-컬렉터간의 단락 현상이 발생될 수도 있다는 문제점이 있었다.

상기 문제점 들을 해결하기 위한 본 발명의 목적은 폴리사이드 베이스 전극과 선택적 박막 성장법을 이용하고 소자 격리를 위한 트랜치를 배제하므로써, 소자 크기를 최소화하고, 공정을 단순화 하면서 소자 특성을 향상시킬 수 있는 초자기 정렬 바이폴러 트랜지스터를 제공하는데 있다.

상기 목적을 달성하기 위한 본 발명의 특징은 매몰 컬렉터가 형성된 반도체 기판상에 제1산화막, 베이스용 도전성 박막, 제2산화막을 순차적으로 형성하는 제1단계와, 상기 제2산화막과 도전성 박막을 패터닝한 후 노출된 제2산화막과 도전성 박막의 측벽에 예비 스페이서를 형성하는 제2단계와, 상기 공정을 통하여 노출된 제1산화막을 제거한 후, 정의된 활성영역상에 컬렉터층을 상기 베이스용 박막과 대략 같은 높이로 선택적으로 성장시키고 제2산화막과 예비 스페이서를 소정 두께로 식각하는 제3단계, 상기 컬렉터층을 산화시켜 열산화막을 형성한 후, 상기 예비 스페이서를 제거하는 제4단계와, 결과물 전면에 폴리실리콘을 도포한 후 열산화 공정을 진행하여 제2산화막 상부에는 규소산화막을, 상기 예비 스페이서가 제거된 부위에는 폴리실리콘 스페이서를 형성하는 제5단계와, 상기 베이스용 도전성 박막과 스페이서 및 컬렉터층을 노출시킨 후, SiGe/Si 베이스층을 형성하는 제6단계, 상기 SiGe/Si층 상부에 베이스 전극을 형성하는 제7단계, 베이스 전극을 정의하는 마스크로 상기 제1산화막의 일부를 노출시킨 후, 결과물 전면에 제3산화막을 형성하는 제8단계, 에미터를 정의하는 마스크를 이용하여 상기 SiGe/Si 층 표면을 노출시킨 후, 식각부의 측벽에 절연막 스페이서를 형성한 후, 정의된 에미터 영역에 선택적으로 에미터층을 성장시키고 이 위에 에미터 전극을 형성하는 제9단계 및 금속 배선 공정을 수행하는 제10단계로 이루어진 것을 특징으로 한다.

바람직하게, 상기 반도체 기판은 실리콘 기판이나, Si, SiGe 또는 Ge으로 된 완충층, 및 Ge로 구성된 이종접합 기판이나, Si층 위에 다이아몬드 층이 형성되고 그 위에 Si 또는 Ge 층으로 이루어진 이종접합 기판으로 구성된 것을 특징으로 한다.

바람직하게, 상기 제5단계 대신에 상기 예비 스페이서가 제거된 부위에만 선택적 에피택셜 성장 방법을 이용하여 실리콘을 선택적으로 성장시켜 상기 폴리실리콘 베이스층과 인접한 측별 부위에는 폴리실리콘으로 이루어지고, 상기 컬렉터층(7)에 인접한 측벽에는 단결정 실리콘으로 구성된 이중층 스페이서를 형성하는 단계를 수행하는 것을 특징으로 한다.

또한, 상기 제6단계의 이종접합 구조의 SiGe/Si 층의 계면에 기생전위 발생으로 인한 소자 성능의 열화를 방지하기 위해 불순물이 인-시튜로 도핑된 SiGe 층을 형성하는 공정을 부가하는 것이 바람직하다.

또한, 제7단계의 베이스 전극 물질은 베이스 기생 저항을 최소화 할 수 있도록, 스퍼터링 증착된 실리사이드 금속으로 이루어진 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들 중의 하나를 상세히 설명한다.

제3도는 본 발명에 따른 컬렉터 베이스 에미터를 선택적 박막 성장법으로 형성한 초자기 정렬 바이폴러 소자의 단면도이다.

먼저, 전술한 종래 기술들(제1도 및 제2도 참조)에 비해 본 발명(제3도 참조)의 장점을 요약하면 다음과 같다.

첫째로, 제1도와 같이 기판 전면에 형성된 n^+ 매몰 컬렉터층(1-2)상에 컬렉터 연결부(1-4)가 n^- 컬렉터 박막(1-3)을 통해 소자간에 연결됨을 방지하기 위해서 소자격리 도랑구조를 깊게 형성해야 한다.

그로 인해 절연막(1-5)을 채우기 위한 도랑의 평면면적이 커져서 소자가 커지는 반면, 제2도와 제3도에서는 각각의 컬렉터 박막(2-6, 7)이 절연막(2-3, 3)에 의해 격리되므로 제1도의 도랑격리와 같은 소자간의 격리 공정이 불필요해진다.

또한, 베이스-컬렉터와 에미터-베이스간이 각각 자기정렬 됨으로써 에미터, 베이스, 컬렉터의 면적이 거의 같아져서 상하향 동작모드(에미터와 컬렉터가 바뀌는 경우)가 가능하며 베이스-컬렉터간의 기생용량 뿐만 아니라 에미터-베이스간이 자기 정렬되어 제1도의 초자기정렬의 장점이 본 발명에도 그대로 있다.

소자격리 공정이 제거됨으로써 소자의 면적을 더욱 줄일 수 있으며 동시에 공정도 더욱 단순해졌다.

둘째로, 제2도와 제3도에서는 제1도의 불필요한 영역(길이 L로 표시된 곳)이 제거됨으로 인해 소자가 더욱 작아지므로써 고집적화에 보다 적합하고 동시에 n^+ 매몰 컬렉터와 p형 기판 사이의 기생용량을 감소시켜 소자의 동작속도를 향상시킬 수 있다.

제2도에 비해서 본 발명인 제3도가 갖는 장점에 대해 서술하면 다음과 같다.

제2도의 소자에서는 (2-8-1)에서 (2-7-1)을 거쳐 (2-6-1)로 전류가 도통되는 경로가 생기므로 누설전류의 수준이 아닌 컬렉터-에미터간의 단락 현상이 발생할 수 있다.

마찬가지로 (2-8-1)에서 (2-7-1)과 (2-6-1)을 거쳐 (2-6)으로 전류가 도통되며 또한 (2-6)에서 (2-7-1)과 (2-6-1)을 통해 전류가 도통되므로 사실상 에미터-베이스간과 베이스-컬렉터간의 단락 현상이 발생될 수도 있다.

따라서 제2도의 구조와 공정은 사실상 구현될 수 없다고 사료된다.

그리고, 컬렉터 박막(2-6)을 선택적으로 성장시킬 때에 박막(2-6-1)이 측면에서부터 성장되므로 박막(2-6)의 두께가 커질수록 박막(2-6-1)의 측면에서부터의 성장이 증가되므로 단결정성 박막(2-8, 2-7, 2-6, 2-2)으로 정의 되는 소자의 활성영역의 범위가 명확하게 정의되지 않는다.

또한 이후의 (2-7)과 (2-8)의 성장시에 성장되는 (2-7-1)과 (2-8-1)도 추가되어 사실상 소자의 활성영역의 폭이 박막(2-6, 2-7, 2-8)의 두께에 의해 좌우된다.

반면, 본 발명은 베이스 전극용 다결정 규소 박막(4)과 선택적으로 성장된 컬렉터 규소 박막(7) 사이의 폴리실리콘 측벽 스페이서(9)가 명확하게 마스크로 정의된 소자의 활성영역을 침범하지 않게 형성시키고 박막(7)의 두께에 관계없이 폭이 결정된다.

그리고, 이 이후에 성장되는 베이스 박막(11, 12, 13)이 성장될 때에도 소자의 활성영역이 그대로 유지된다.

따라서, 에미터 영역을 정의하는 감광막 마스크와 측면 절연막(16)으로 에미터 박막(17)이 다결정성 영역과 연결되지 않게 할 수도 있어 제2도와 같이 누설전류의 도통 또는 에미터-베이스-컬렉터간의 단락 현상이 발생되지는 않는다.

둘째로, 제2도의 구조같이 p형 규소 게르마늄 단일층 박막을 베이스로 사용한 경우에 에미터 박막(2-8)을 성장시킬 때에 베이스 박막 내의 p형 불순물이 베이스 바깥쪽인 컬렉터와 성장되고 있는 에미터 박막 쪽으로 확산된다.

그로 인해 규소(2-8)-규소 게르마늄(2-7)-규소(2-6) 에미터-베이스-컬렉터간의 물질 접합면과 npn 불순물 접합면이 불일치하게 된다.

이에 따라 에미터-베이스와 컬렉터-베이스 접합면에 기생전위가 발생하여 에미터로부터 컬렉터로의 전자의 이동이 방해됨으로 인해 전류증폭률과 차단 주파수 등등 소자성능의 열화를 초래한다.

반면에 본 발명에서는(제3도 참조) p형 규소 게르마늄 박막(12)의 아래 위로 각각 규소 게르마늄(11)과 규소 박막(13)을 삽입하여 기생전위의 발생으로 인한 소자성능의 열화를 방지하였다.

셋째로, 고속소자의 경우 보통 컬렉터가 얇게 설계되므로 제2도와 제3도의 베이스 전극막(2-4)과 (4)의 두께가 얇아지게 되어 베이스 전극 박막 자체로부터 오는 기생저항이 커지게 되는 경우가 발생한다.

이 경우를 위해 본 발명에서는 금속성 실리사이드 박막(14)을 삽입하여 베이스 기생저항을 최소화하였다.

넷째로, 제2도의 구조는 규소 게르마늄 박막(2-7)을 성장시킬 때에 선택적 성장공정을 사용하므로 공정의 난이도가 증가하거나 공정시간이 증가하여 생산성이 감소된다.

또한, 베이스 전극 박막(2-4)과 베이스 박막(2-7)과의 접촉이 측면에서 이루어짐에 따라 베이스 기생저항이 증가한다.

반면 제3도는 기판의 표면이 다결정 규소 박막(4)과 단결정 규소 박막(7)의 표면이므로 규소/규소 게르마늄으로 구성된 베이스용 다층 박막을 선택적으로 성장할 필요가 없어져 공정시간이 단축되고 또한 베이스 전극 박막(4) 상에서 베이스용 다층 박막과의 접촉이 이루어지므로 베이스 기생저항의 증가 효과가 없다.

기존에 발표된 이온주입이나 도랑격리를 사용하여 소자간을 격리한 소자구조와는 달리, 칩(Chip) 상에 소자격리 영역을 제거하고 또한 이온주입 소자격리 등에 따른 단점 등을 제거할 수 있으며, 컬렉터-베이스간의 기생용량을 작게 조절할 수 있고 또한 베이스-에미터간을 자기 정렬함으로써 에미터-베이스간의 기생용량 및 베이스 기생저항을 크게 감소시켜 소자의 고주파 대역에서의 동작 특성을 개선하였다.

이하, 본 발명에 의한 초자기 정렬 바이폴라 트랜지스터의 제작 방법을 제4도의 공정 단면도를 참조하여 설명한다.

제4a도에서는 반도체 기판(1)에 규소 산화막을 도포한다.

그리고 나서, 감광막을 마스크로 식각한 다음 감광막을 제거하여 규소 산화막을 마스크로 불순물 이온주입과 열처리로 매몰 컬렉터(2)를 형성시킨다.

그 다음, 마스크로 사용된 규소 산화막을 제거하고 다시 규소 산화막(3)을 도포한다.

이어서 인-시츄(in-situ)로 불순물을 첨가하면서 화학기상 증착하거나 혹은 증착후의 불순물 이온 주입하여 p^+ 형 다결정 규소, 규소 게르마늄 혹은 게르마늄으로 이루어진 베이스 전극용 박막(4)을 형성한다.

그리고 나서, 다시 제2산화막(5)을 도포한다.

이 때, 상기 반도체 기판(1)은 Si 기판이나, Si 위에 SiGe 혹은 Ge로 이루어진 완충층과 Ge 층이 순차적으로 적층된 이종접합 기판, 또는 Si 위에 다이아몬드층이 형성되고 그 위에 Si나 SiGe 층이 형성된 이종접합 기판이 사용될 수 있다.

제4b도를 참조하면, 소자의 활성영역을 정의하는 감광막 마스크로 제2산화막(5)을 식각한 후에 감광막을 제거한다.

이어서 박막(4)을 식각하고 질화 규소막을 도포한다.

그 다음, 비등방성 건식식각으로 상기 제2산화막(5)과 베이스용 박막(4)의 양측벽에 예비스페이서(6)를 형성한다.

제4c도를 참조하여, 상기 공정을 통하여 정의된 활성영역상의 노출된 제1산화막(3)을 식각하고(이 때, 제2산화막(5)도 제1산화막(3)이 식각되는 두께만큼 식각된다), 컬렉터용 단결정 규소 혹은 게르마늄 박막(7)을 노출된 매몰 컬렉터(2) 표면상에만 선택적으로 성장시킨다.

이 때, 상기 컬렉터용 박막(7)의 도핑은 인-시츄로 박막을 성장시킬 때에 n형 불순물을 첨가하거나 혹은 박막 성장 후 이온주입과 열처리를 한다.

그 다음으로, 예정된 두께만큼 제2산화막(5)과 예비 스페이서(6)를 식각하고, 컬렉터층(7)을 열산화하여 열산화막(8)을 형성한다.

제4d도를 참조하면, 상기 예비 스페이서(6)를 식각으로 제거하고 다결정 규소 박막(9)을 증착한다.

이어, 열산화 공정을 수행하면, 제4E도에 도시한 바와 같이, 상기 제2산화막(5) 상부의 폴리실리콘은 열산화막(10)으로, 예비 스페이서(6)가 제거된 부위는 폴리실리콘이 그대로 남아 제1 스페이서(9)가 형성된다.

여기서, 제4e도와 같이 실리콘의 선택적 박막 성장법을 이용하여 다결정성 박막과 단결정성 박막의 이중구조로 이루어진 스페이서를 형성할 수도 있다. 이 때 폴리실리콘층(4)과 인접한 측벽 부위에는 폴리실리콘으로 이루어진 스페이서(9-1)가 형성되며, 상기 컬렉터층(7)에 인접한 측벽에는 단결정 실리콘으로 이루어진 스페이서(9-2)가 형성되는 다층 구조의 스페이서를 구성한다.

제4g도를 참조하면, 상기 제2산화막(5)과 열산화막(10)을 제거하여 드러난 베이스 전극용 박막(4)과 폴리실리콘 스페이서(9)상에 규소 게르마늄 박막(11)과 인-시츄로 p형 불순물이 도핑된 규소 게르마늄 박막(12)과 규소 박막(13)을 성장시킨다.

이 때, SiGe 층(11)에는 불순물 첨가를 안하거나 혹은 n형 불순물을 인-시츄로 박막 성장시 첨가하며, 상기 Si 층(13)에는 불순물 첨가를 안하거나 혹은 n형과 p형 둘 중의 어느 형으로 불순물을 첨가할 수 있다.

또한 규소 게르마늄 박막(11, 12)만을 혹은 박막(11, 12, 13) 모두를 인-시츄로 도핑된 p형 규소 박막으로 대치할 수 도 있다.

그리고 박막(4, 9)상에는 다결정성 박막이 성장되는 반면 단결정 박막(7)상에는 단결정성 박막이 성장된다.

다음으로 금속이나 혹은 금속성 실리사이드로서 한 예로 티타늄 실리사이드 $TiSi_2.x$(x=0 내지 9)를 스퍼터링하여 박막(14)을 도포하고 베이스 전극을 정의하는 감광막을 마스크로 박막(14, 13, 12, 11, 4)를 식각하고 감광막을 제거하고 제3산화막(15)을 도포한다.

제4h도에서는 에미터를 정의하는 감광막 마스크로 제3산화막(15)과 실리사이드층(14)의 일부를 박막(15)을 식각한다.

이어, 식각 부위의 양측벽에 예를 들면, 산화 규소막 질화 규소막 등을 도포하고 비등방성 식각으로 절연막 스페이서(16)를 측면에만 형성한다.

그 후, 노출된 규소 박막(13) 상에 인-시츄로 n형 규소로 이루어진 에미터층(17)을 선택적으로 성장시킨다.

이 때, 제4i도에 도시한 바와 같이, 결과물 전면에 에미터층(17)을 비선택적으로 증착시킬 수도 있다.

제4j도를 참조하면, 인-시츄로 n형 불순물을 첨가하면서 다결정 규소 박막(18)을 증착하거나 혹은 제4k'도와 같이 다결정 규소를 증착한 후, n형 불순물을 이온 주입하여 에미터 전극용 다결정 규소 박막(18)을 형성한다.

제4l도에서는 에미터 전극을 정의하는 감광막 마스크로 다결정 규소를 식각하여 에미터 전극(18)을 형성한 후, 결과물 전면에 제4산화막(19)을 도포한다.

최종적으로, 금속 접촉창을 정의하는 감광막 마스크로 제4산화막(19)을 패터닝 한 후, 금속 박막(예를 들면 Al-1%Si/TiW의 2중층 구조 금속 박막)의 금속배선(20)을 형성하면, 제4m도에 도시한 바와 같이, 소자의 제작을 완료한다.

그러므로, 상술한 바와 같은 본 발명은 바이폴러 트랜지스터의 동작 속도를 규소/규소 게르마늄 이종접합의 박막 구조를 사용하여 증가시키는 동시에 소자의 기생용량 및 기생저항을 최소화하고 더 나아가 소자 크기를 감소시킴으로써 보다 더 고속화 고집적화, 그리고 저전력화를 이룰 수 있으며, 고속 소자인 경우에 컬렉터의 두께가 작아짐에 따른 컬렉터-베이스 컬렉터-에미터 항복 전압의 감소 효과를 최소화 하여, 공정을 간단화 함으로써 공정수가 줄어들어 소자의 생산성 향상을 도모할 수 있다는 데에 그 효과가 있다.

상기에서는 일실시예의 제조공정을 설명하였으나 본 발명의 사상에 벗어남이 없이 다르게 실시할 수도 있음은 이 분야에 통상적인 지식을 가진 자는 쉽게 알 수 있을 것이다.

(57) 청구의 범위

청구항 1

매몰 컬렉터가 형성된 반도체 기판상에 제1산화막, 베이스용 도전성 박막, 제2산화막을 순차적으로 형성하는 제1단계와; 상기 제2산화막과 도전성 박막을 패터닝 한 후 노출된 제2산화막과 도전성 박막의 측벽에 예비 스페이서를 형성하는 제2단계와; 상기 공정을 통하여 노출된 제1산화막을 제거한 후, 정의된 활성영역상에 컬렉터층을 상기 베이스용 박막과 대략 같은 높이로 선택적으로 성장시키고 제2산화막과 예비 스페이서를 소정 두께로 식각하는 제3단계와; 상기 컬렉터층을 산화시켜 열산화막을 형성한 후, 상기 예비 스페이서를 제거하는 제4단계와; 결과물 전면에 폴리실리콘을 도포한 후 열산화 공정을 진행하여 제2산화막 상부에는 규소 산화막을, 상기 예비 스페이서가 제거된 부위에는 폴리실리콘 스페이서를 형성하는 제5단계와; 상기 베이스용 박막과 스페이서 및 컬렉터층을 노출시킨 후, SiGe/Si 베이스층을 형성하는 제6단계와; 상기 SiGe/Si 층 상부에 베이스 전극을 형성하는 제7단계와; 베이스 전극을 정의하는 마스크로 상기 제1산화막의 일부를 노출시킨 후, 결과물 전면에 제3산화막을 형성하는 제8단계와; 에미터를 정의하는 마스크를 이용하여 상기 SiGe/Si 층 표면을 노출시킨 후, 식각부의 측벽에 절연막 스페이서를 형성한 후, 정의된 에미터 영역에 선택적으로 에미터층을 성장시키고 이 위에 에미터 전극을 형성시키는 제9단계와; 금속배선 공정을 수행하는 제10단계로 이루어진 것을 특징으로 하는 초자기 정렬 바이폴라 트랜지스터의 제조방법.

청구항 2

제1항에 있어서, 상기 반도체 기판은 실리콘 기판인 것을 특징으로 하는 초자기 정렬 바이폴러 트랜지스터의 제조방법.

청구항 3

제1항에 있어서, 상기 반도체 기판은 Si, SiGe 또는 Ge으로 된 완충층, 및 Ge으로 구성된 이종접합 기판인 것을 특징으로 하는 초자기 정렬 바이폴러 트랜지스터의 제조방법.

청구항 4

제1항에 있어서, 상기 반도체 기판은 Si층 위에 다이아몬드 층이 형성되고 그 위에 Si 또는 Ge층으로 이루어진 이종접합 기판인 것을 특징으로 하는 초자기 정렬 바이폴러 트랜지스터의 제조방법.

청구항 5

제1항에 있어서, 상기 제1단계의 베이스용 도전성 박막이 인-시츄(in-situ)로 불순물이 첨가된 폴리실리콘, SiGe, 또는 Ge으로 이루어진 것을 특징으로 하는 초자기 정렬 바이폴러 트랜지스터의 제조방법.

청구항 6

제1항에 있어서, 상기 제5단계 대신에 상기 예비 스페이서가 제거된 부위에만 Si의 선택적 에피택셜 성장 방법을 이용하여 상기 다결정성 도전성 박막과 인접한 측벽 부위에는 폴리실리콘으로 구성되고, 상기 컬렉터층에 인접한 측벽에는 단결정 실리콘으로 규성된 이중층 스페이서를 형성하는 단계를 수행하는 것을 특징으로 하는 초자기 정렬 바이폴러 트랜지스터의 제조방법.

청구항 7

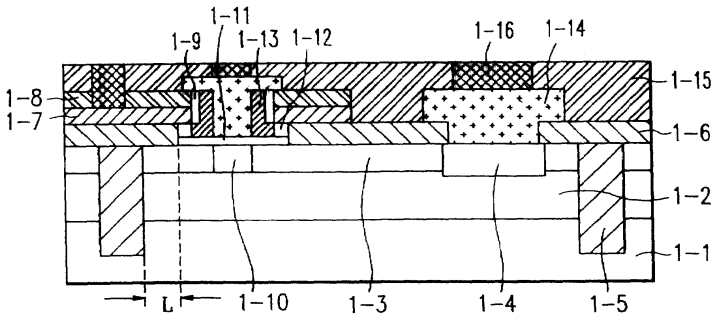
제1항에 있어서, 상기 제6단계의 이종접합 구조의 SiGe/Si 베이스층의 계면이 기생전위 발생으로 인한 소자 성증의 열화를 방지하기 위해 SiGe층을 형성하는 공정을 부가한 것을 특징으로 하는 초자기 정렬 바이폴러 트랜지스터의 제조방법.

청구항 8

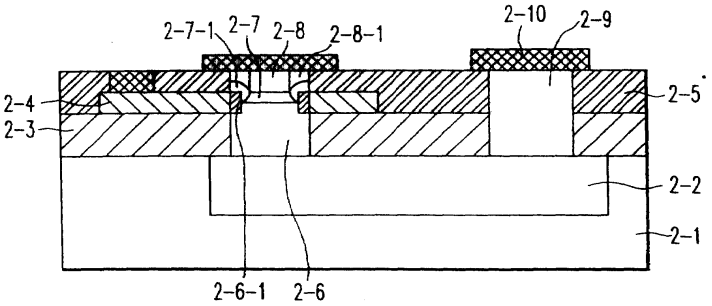
제1항에 있어서, 상기 제7단계의 베이스 전극물질은 베이스 기생 저항을 최소화 할 수 있도록, 스퍼터링 증착된 실리사이드 금속으로 이루어진 것을 특징으로 하는 초자기 정렬 바이폴러 트랜지스터의 제조방법.

도면

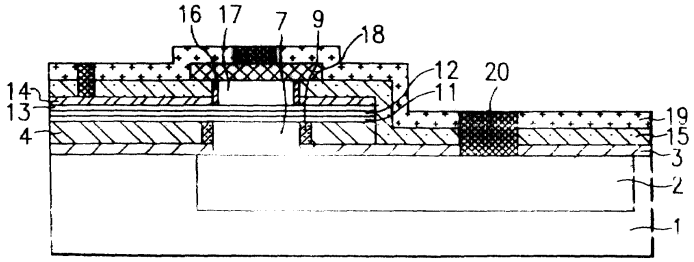
도면1



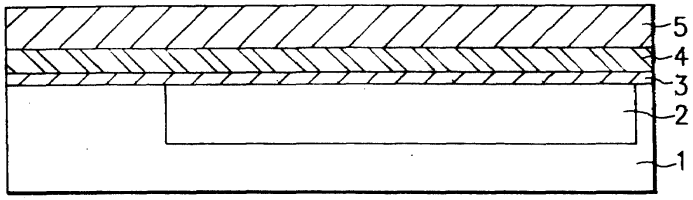
도면2



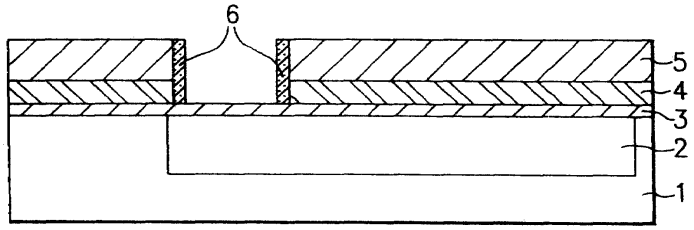
도면3



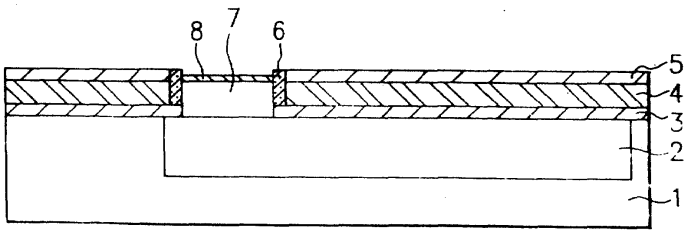
도면4a



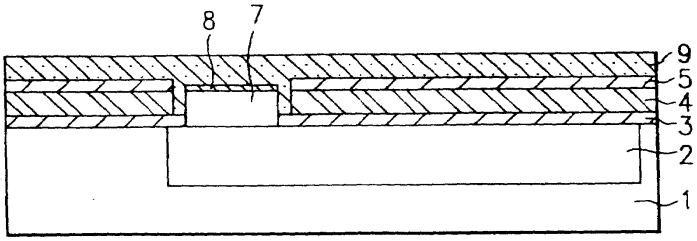
도면4b



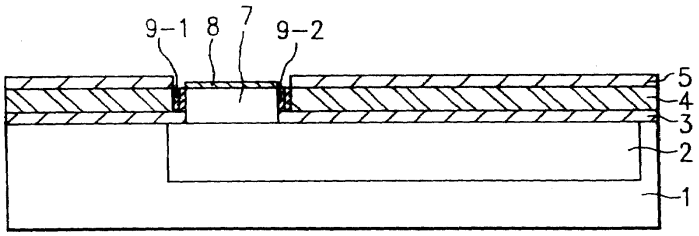
도면4c



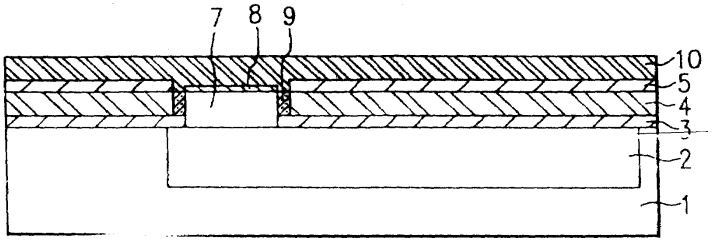
도면4d



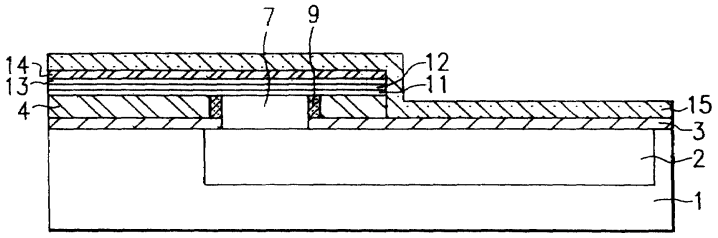
도면4e



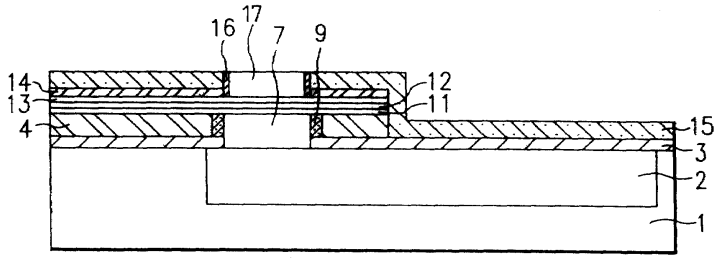
도면4f



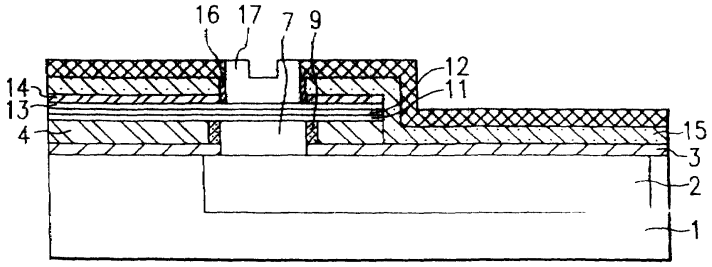
도면4g



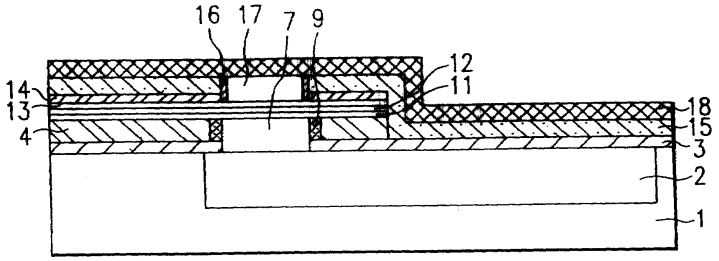
도면4h



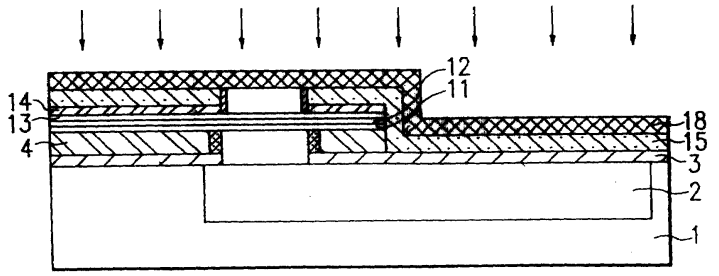
도면4i



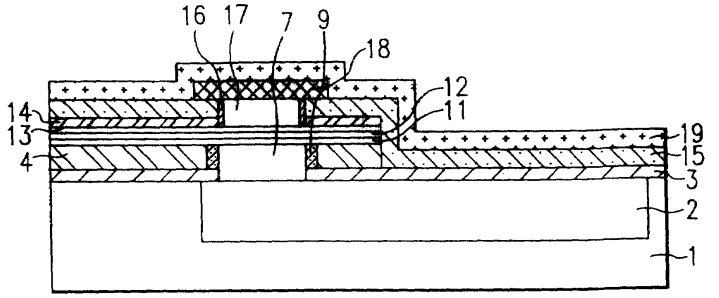
도면4j



도면4k



도면4l



도면4m

