

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4457577号
(P4457577)

(45) 発行日 平成22年4月28日(2010.4.28)

(24) 登録日 平成22年2月19日(2010.2.19)

(51) Int.Cl.

F I

G O 6 F 11/00 (2006.01)

G O 6 F 12/08 (2006.01)

G O 6 F 9/06 6 3 0 C

G O 6 F 12/08 5 3 1 B

G O 6 F 12/08 5 4 1 Z

G O 6 F 12/08 5 6 5

請求項の数 9 (全 13 頁)

(21) 出願番号 特願2003-140538 (P2003-140538)
 (22) 出願日 平成15年5月19日(2003.5.19)
 (65) 公開番号 特開2004-342014 (P2004-342014A)
 (43) 公開日 平成16年12月2日(2004.12.2)
 審査請求日 平成18年4月14日(2006.4.14)

(73) 特許権者 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (74) 代理人 110000121
 アイアット国際特許業務法人
 (72) 発明者 堀川 隆
 東京都港区芝五丁目7番1号 日本電気株
 式会社内

審査官 漆原 孝治

(56) 参考文献 特開平07-200281 (JP, A)
 特開昭62-113238 (JP, A)

最終頁に続く

(54) 【発明の名称】 マルチプロセッサシステム

(57) 【特許請求の範囲】

【請求項1】

複数のプロセッサと、この複数のプロセッサが共有する主メモリとを備え、
 この主メモリには、プログラム記憶領域とデータ記憶領域とを備え、
 前記複数のプロセッサは、これらの記憶領域を参照してプログラムを実行する手段を備え、

前記主メモリと前記複数のプロセッサの間には、各プロセッサ毎にそれぞれ命令キャッシュを備え、前記命令キャッシュの保持する命令に対して自プロセッサおよび他のプロセッサから前記主メモリに書き込みが行われた場合でもその内容が反映されないマルチプロセッサシステムにおいて、

一つのプロセッサが前記プログラムの実行停止を指示する情報を前記データ記憶領域中に設定された他の各プロセッサ停止指示用のデータ領域に書き込むことにより他のプロセッサに対して前記プログラムの実行停止を指示する手段と、

前記一つのプロセッサ以外の各プロセッサが、自プロセッサが処理すべきプロセスが存在しないときに自プロセッサの前記停止指示用のデータ領域を読み取り、読み取った値が前記プログラムの実行停止を指示する情報の場合には、前記プログラムの実行停止を指示したプロセッサに対して前記プログラムの実行を停止状態としたことを通知する手段と、

前記各プロセッサが、前記プログラムの実行停止指示が解除されるまで各プロセッサの前記停止指示用のデータ領域を監視する手段と、

前記各プロセッサが、前記プログラムの実行停止指示が解除されると、前記データ記憶

領域中に設定された各プロセッサの停止状態用のデータ領域に自プロセッサが停止状態でないことを示す値を書き込むと共に、前記各プロセッサ毎に備えられた命令キャッシュの内容をクリアする手段と

を備えたことを特徴とするマルチプロセッサシステム。

【請求項 2】

前記一つのプロセッサは、前記主メモリ中の命令コードの書き換えを行うものであり、当該書き換えに際して前記プログラムの実行停止を指示する手段により他プロセッサにプログラムの実行停止を指示する手段と、

前記通知する手段による他プロセッサからのプログラムの実行停止通知を受け取った後に前記主メモリ中の命令コードの書き換えを行う手段と

を備えた請求項 1 記載のマルチプロセッサシステム。

【請求項 3】

前記プログラムの実行停止を指示する手段により他のすべてのプロセッサに対してプログラムの実行停止を指示した前記一つのプロセッサは当該指示が不要になったときには当該指示を解除する指示を他のすべてのプロセッサに対して行うプログラムの実行停止解除指示手段を備え、

前記プログラムの実行停止指示を受けてプログラムの実行を停止していたプロセッサは、前記プログラムの実行停止解除指示手段によるプログラムの実行停止解除指示を受け取ると自己に関わる前記命令キャッシュの内容をクリアしてからプログラム実行を再開する手段を備えた

請求項 1 または 2 記載のマルチプロセッサシステム。

【請求項 4】

複数のプロセッサと、この複数のプロセッサが共有する主メモリとを備え、

この主メモリには、プログラム記憶領域とデータ記憶領域とを備え、

前記複数のプロセッサは、これらの記憶領域を参照してプログラムを実行する手段とを備え、

前記主メモリと前記複数のプロセッサの間には、各プロセッサ毎にそれぞれ命令キャッシュを備え、

前記命令キャッシュの保持する命令に対して自プロセッサおよび他のプロセッサから前記主メモリに書き込みが行われた場合でもその内容が反映されないマルチプロセッサシステムに適用される前記主メモリにおいて、

前記プログラム記憶領域には、

一つのプロセッサが前記プログラムの実行停止を指示する情報を前記データ記憶領域中に設定された他の各プロセッサ停止指示用のデータ領域に書き込むことにより他のプロセッサに対して前記プログラムの実行停止を指示するプログラムと、

前記一つのプロセッサ以外の各プロセッサが、自プロセッサが処理すべきプロセスが存在しないときに自プロセッサの前記停止指示用のデータ領域を読み取り、読み取った値が前記プログラムの実行停止を指示する情報の場合には、前記プログラムの実行停止を指示されたプロセッサが当該実行停止を指示したプロセッサに対して前記プログラムの実行を停止状態としたことを通知するプログラムと、

前記各プロセッサが、前記プログラムの実行停止指示が解除されるまで各プロセッサの前記停止指示用のデータ領域を監視するプログラムと、

前記各プロセッサが、前記プログラムの実行停止指示が解除されると、前記データ記憶領域中に設定された各プロセッサの停止状態用のデータ領域に自プロセッサが停止状態でないことを示す値を書き込むと共に、前記各プロセッサ毎に備えられた命令キャッシュの内容をクリアするプログラムと

が書き込まれたことを特徴とする主メモリ。

【請求項 5】

前記一つのプロセッサは、前記主メモリ中の命令コードの書き換えを行うものであり、前記プログラム記憶領域には、

前記一つのプロセッサが当該書き換えに際して前記プログラムの実行停止を指示するプログラムにより他プロセッサにプログラムの実行停止を指示するプログラムと、

前記通知するプログラムによる他プロセッサからのプログラムの実行停止通知を受け取った後に前記主メモリ中の命令コードの書き換えを行うプログラムと

が書き込まれた請求項 4 記載の主メモリ。

【請求項 6】

前記プログラム記憶領域には、

前記プログラムの実行停止を指示するプログラムにより他プロセッサに対してプログラムの実行停止を指示した前記一つのプロセッサが当該指示が不要になったときには当該指示を解除する指示を他プロセッサに対して行うプログラムの実行停止解除指示プログラムと、

前記プログラムの実行停止指示を受けてプログラムの実行を停止していたプロセッサがプログラムの実行停止解除指示を受け取ると当該プロセッサに関わる前記命令キャッシュの内容をクリアしてからプログラム実行を再開するプログラムと

が書き込まれた請求項 4 記載の主メモリ。

【請求項 7】

複数のプロセッサと、

この複数のプロセッサが共有する主メモリと、

この主メモリに備えられたプログラム記憶領域とデータ記憶領域と、

前記主メモリと前記複数のプロセッサの間には、各プロセッサ毎にそれぞれ命令キャッシュと、を備え、

自プロセッサおよび他のプロセッサから前記主メモリに書き込みが行われた場合でも前記命令キャッシュの保持する命令に対してその内容が反映されないアーキテクチャを採用した情報処理装置を、

前記複数のプロセッサが、前記プログラム記憶領域と前記データ記憶領域を参照してプログラムを実行する手段と、

一つのプロセッサが前記プログラムの実行停止を指示する情報を前記データ記憶領域中に設定された他の各プロセッサ停止指示用のデータ領域に書き込むことにより他のプロセッサに対して前記プログラムの実行停止を指示する手段と、

前記一つのプロセッサ以外の各プロセッサが、自プロセッサが処理すべきプロセスが存在しないときに自プロセッサの前記停止指示用のデータ領域を読み取り、読み取った値が前記プログラムの実行停止を指示する情報の場合には、前記プログラムの実行停止を指示されたプロセッサが当該実行停止を指示したプロセッサに対して前記プログラムの実行を停止状態としたことを通知する手段と、

前記各プロセッサが、前記プログラムの実行停止指示が解除されるまで各プロセッサの前記停止指示用のデータ領域を監視する手段と、

前記各プロセッサが、前記プログラムの実行停止指示が解除されると、前記データ記憶領域中に設定された各プロセッサの停止状態用のデータ領域に自プロセッサが停止状態でないことを示す値を書き込むと共に、前記各プロセッサ毎に備えられた命令キャッシュの内容をクリアする手段、

として機能させるためのプログラム。

【請求項 8】

前記一つのプロセッサは、前記主メモリ中の命令コードの書き換えを行うものであり、前記情報処理装置を、更に

前記一つのプロセッサが当該書き換えに際して前記プログラムの実行停止を指示する手段により他プロセッサに前記プログラムの実行停止が指示されると、前記通知する手段による他プロセッサからの前記プログラムの実行停止通知を受け取った後に前記主メモリ中の命令コードの書き換えを行う手段、

として機能させるための請求項 7 記載のプログラム。

【請求項 9】

前記情報処理装置を、更に

前記プログラムの実行停止を指示する手段により他プロセッサに対して前記プログラムの実行停止を指示した前記一つのプロセッサは当該指示が不要になったときには当該指示を解除する指示を他プロセッサに対して行うプログラムの実行停止解除指示手段と、

前記プログラムの実行停止指示を受けて前記プログラムの実行を停止していたプロセッサが前記プログラムの実行停止解除指示を受け取ると当該プロセッサに関わる前記命令キャッシュの内容をクリアしてから前記プログラムの実行を再開する手段、

として機能させるための請求項7記載のプログラム。

【発明の詳細な説明】**【0001】**

10

【発明の属する技術分野】

本発明は、主メモリを複数のプロセッサで共用したマルチプロセッサシステムに利用する。特に、命令コードの書き換え処理技術に関する。

【0002】**【従来の技術】**

プログラムの実行中に、主メモリ中の命令を書き換えることにより、プログラム実行が特定の命令コードに到達した際に性能測定やデバッグを目的として設置された処理部（関数）に制御を移すことのできるシステムの一例が、例えば特許文献1に記載されている。これは、システムがプログラム実行のために有するプロセッサ数が1の場合、すなわち、単一プロセッサシステムの場合に有効に機能する。

20

【0003】**【特許文献1】**

特開平10-214203号公報

【特許文献2】

特開平2-25965号公報

【特許文献3】

特開平6-35866号公報

【特許文献4】

特開平2-140847号公報

【0004】

30

【発明が解決しようとする課題】

しかし、この従来技術をマルチプロセッサシステムにそのまま適用した場合には、次のような問題点がある。

【0005】

第一の問題点は、複数のプロセッサが異なるプログラムを並行して実行するマルチプロセッサシステムにおいて、複数の命令を書き換える場合、書き換え操作を行っている以外のプロセッサが書き換え途中状態の命令系列を実行してしまう可能性を排除できないということである。

【0006】

その理由は、命令書き換えを行っているプロセッサから他プロセッサの命令実行を制御する手段が存在していないためである。

40

【0007】

第二の問題点は、各プロセッサが命令キャッシュを有しており、かつ、それらの命令キャッシュは保持する命令に対して自分および他のプロセッサから主メモリに書き込みが行われた場合でも、その内容は反映されないアーキテクチャの場合、命令書き換えによる変更内容を反映することができないことである。

【0008】

その理由は、命令書き換え操作を行っている以外のプロセッサが、書き換え処理の完了を検出できないため、書き換え内容を命令キャッシュに反映させる処理（命令キャッシュのクリア）を起動する契機を検出できないためである。

50

【 0 0 0 9 】

本発明は、このような背景に行われたものであって、命令書き換えを行う際、他プロセッサが実行途中の命令を書き換えてしまうという事態を回避し、安全な命令書き換えが行えるマルチプロセッサシステムを提供することを目的とする。

【 0 0 1 0 】

【課題を解決するための手段】

本発明は、複数のプロセッサがメモリを共有してプログラムを実行するマルチプロセッサシステムにおいて、プログラムの一部を安全に書き換えられる技術を提供する。具体的には、他プロセッサに停止指示を行うための停止指示通知機能、プロセッサが停止状態にあることを他プロセッサに通知するための停止状態通知機能を持たせる。命令書き換え手順は、命令書き換えを行うプロセッサが 1) 停止指示通知機能を介して他プロセッサに停止指示を通知する、2) 他プロセッサは、停止指示を受けると停止状態通知機能に自分が停止状態になったことを設定し、停止指示通知機能により停止解除を通知されるまで停止状態となる、3) 命令書き換えを行うプロセッサは、停止状態通知機能を調べ他プロセッサが全部停止状態になったことを確認した後、命令書き換えを行う、4) 命令書き換えを完了したプロセッサは、停止指示通知機能を介して他プロセッサに停止解除を通知する、5) 他プロセッサは停止指示通知機能により停止解除を通知されると、停止状態通知機能に自分が停止状態を解除したことを設定し、設定停止状態を解除する。

【 0 0 1 1 】

このようにして、命令書き換えを行うプロセッサに対し、1) 他プロセッサに対して停止指示を送る、2) 他プロセッサが実際に停止したことを確認する、の二点を可能とする。これにより、他プロセッサに停止指示を送り、それらが停止していることを確認した上で命令書き換えを実行することを可能にする。

【 0 0 1 2 】

これにより、マルチプロセッサシステムにおいて、プログラム中の命令を書き換える操作を行っている最中に、その命令コードを他プロセッサが実行してしまい、プログラム実行が異常な状況に陥る事態を完全に防止することができることにある。

【 0 0 1 3 】

その理由は、プログラム中の命令を書き換えるプロセッサが他プロセッサに停止指示を行った後、他プロセッサが停止したことを確認してから命令書き換えを行うためである。

【 0 0 1 4 】

また、各プロセッサが命令キャッシュを待つマルチプロセッサシステムであり、各命令キャッシュは保持する命令に対して自分および他のプロセッサから主メモリに書き込みが行われた場合でもその内容は反映されないアーキテクチャであっても、命令書き換えによる変更内容を反映することができることになる。

【 0 0 1 5 】

その理由は、書き込み操作を行っているプロセッサによる他プロセッサの停止解除の際、それらのプロセッサは命令キャッシュをクリアする処理を行ってから処理を再開するように制御できるためである。

【 0 0 1 6 】

なお、例えば、特許文献 2 および特許文献 3 には、単に、一つのプロセッサが他のプロセッサのプログラム実行を停止させる技術は開示されているが、当該技術は、命令コードの書き換えという観点から開発された技術ではなく、プログラム実行停止の指示を受け取った他プロセッサがプログラム実行停止の実行をプログラム実行停止指示を行ったプロセッサに通知するステップや命令コード書き換え後にプログラムの実行を停止している他プロセッサに対してプログラム実行停止解除の指示を行うといったステップが記されていないので、本発明とは、根本的に異なる。

【 0 0 1 7 】

また、例えば、特許文献 4 には、自命令キャッシュへの格納対象となっているデータの書き換えが行われたときだけ、ライトアドレスのチェックと無効化が行われる技術が開示さ

10

20

30

40

50

れているが、本発明では、各命令キャッシュは保持する命令に対して自分および他のプロセッサから主メモリに書き込みが行われた場合でもその内容は反映されないアーキテクチャであっても、プログラムの実行停止後の再開時に、命令キャッシュをクリアするので、確実な命令更新を行うことができる。

【0018】

すなわち、本発明の第一の観点は、複数のプロセッサと、この複数のプロセッサが共有する主メモリとを備え、この主メモリには、プログラム記憶領域とデータ記憶領域とを備え、前記複数のプロセッサは、これらの記憶領域を参照してプログラムを実行する手段を備えたマルチプロセッサシステムである。

【0019】

ここで、本発明の特徴とするところは、一つのプロセッサから他のプロセッサに対してプログラムの実行停止を指示する手段と、この指示する手段によりプログラムの実行停止を指示されたプロセッサは当該実行停止を指示したプロセッサに対してプログラムの実行を停止状態としたことを通知する手段とを備えたところにある。

【0020】

前記主メモリ中の命令コードの書き換えを行うプロセッサは、当該書き換えに際して前記プログラムの実行停止を指示する手段により他プロセッサにプログラムの実行停止を指示する手段と、前記通知する手段による他プロセッサからのプログラムの実行停止通知を受け取った後に前記主メモリ中の命令コードの書き換えを行う手段とを備えることができる。

【0021】

また、前記主メモリと前記複数のプロセッサとの間には、各プロセッサ毎にそれぞれ命令キャッシュを備え、前記プログラムの実行停止を指示する手段により他プロセッサに対してプログラムの実行停止を指示したプロセッサは当該指示が不要になったときには当該指示を解除する指示を他プロセッサに対して行うプログラムの実行停止解除指示手段を備え、前記プログラムの実行停止指示を受けてプログラムの実行を停止していたプロセッサは、前記プログラムの実行停止解除指示手段によるプログラムの実行停止解除指示を受け取ると自己に関わる前記命令キャッシュの内容をクリアしてからプログラム実行を再開する手段を備えることができる。

【0022】

本発明の第二の観点は、複数のプロセッサと、この複数のプロセッサが共有する主メモリとを備え、この主メモリには、プログラム記憶領域とデータ記憶領域とを備え、前記複数のプロセッサは、これらの記憶領域を参照してプログラムを実行する手段を備えたマルチプロセッサシステムに適用される前記主メモリである。

【0023】

ここで、本発明の特徴とするところは、前記プログラム記憶領域には、一つのプロセッサから他のプロセッサに対してプログラムの実行停止を指示するプログラムと、プログラムの実行停止を指示されたプロセッサが当該実行停止を指示したプロセッサに対してプログラムの実行を停止状態としたことを通知するプログラムとが書き込まれたところにある。

【0024】

前記プログラム領域には、前記主メモリ中の命令コードの書き換えを行うプロセッサが当該書き換えに際して前記プログラムの実行停止を指示するプログラムにより他プロセッサにプログラムの実行停止を指示するプログラムと、前記通知するプログラムによる他プロセッサからのプログラムの実行停止通知を受け取った後に前記主メモリ中の命令コードの書き換えを行うプログラムとが書き込まれることができる。

【0025】

また、前記プログラム領域には、前記プログラムの実行停止を指示するプログラムにより他プロセッサに対してプログラムの実行停止を指示したプロセッサが当該指示が不要になったときには当該指示を解除する指示を他プロセッサに対して行うプログラムの実行停止解除指示プログラムと、前記プログラムの実行停止指示を受けてプログラムの実行を停止

10

20

30

40

50

していたプロセッサがプログラムの実行停止解除指示を受け取ると当該プロセッサに関わる前記命令キャッシュの内容をクリアしてからプログラム実行を再開するプロセッサとが書き込まれることができる。

【0026】

本発明の第三の観点は、情報処理装置にインストールすることにより、その情報処理装置に、複数のプロセッサと、この複数のプロセッサが共有する主メモリとを備え、この主メモリには、プログラム記憶領域とデータ記憶領域とを備え、前記複数のプロセッサは、これらの記憶領域を参照してプログラムを実行する手段を備えたマルチプロセッサシステムに適用される前記主メモリに相応する機能を実現させる前記情報処理装置のセットアップ用プログラムである。

10

【0027】

ここで、本発明の特徴とするところは、前記プログラム記憶領域には、一つのプロセッサから他のプロセッサに対してプログラムの実行停止を指示するプログラムと、プログラムの実行停止を指示されたプロセッサが当該実行停止を指示したプロセッサに対してプログラムの実行を停止状態としたことを通知するプログラムとを書き込む機能を実現させるところにある。

【0028】

前記プログラム領域には、前記主メモリ中の命令コードの書き換えを行うプロセッサが当該書き換えに際して前記プログラムの実行停止を指示するプログラムにより他プロセッサにプログラムの実行停止を指示するプログラムと、前記通知するプログラムによる他プロセッサからのプログラムの実行停止通知を受け取った後に前記主メモリ中の命令コードの書き換えを行うプログラムとを書き込む機能を実現させることができる。

20

【0029】

また、前記プログラム領域には、前記プログラムの実行停止を指示するプログラムにより他プロセッサに対してプログラムの実行停止を指示したプロセッサが当該指示が不要になったときには当該指示を解除する指示を他プロセッサに対して行うプログラムの実行停止解除指示プログラムと、前記プログラムの実行停止指示を受けてプログラムの実行を停止していたプロセッサがプログラムの実行停止解除指示を受け取ると当該プロセッサに関わる前記命令キャッシュの内容をクリアしてからプログラム実行を再開するプロセッサとを書き込む機能を実現させることができる。

30

【0030】

本発明の第四の観点は、本発明のプログラムが記録された前記情報処理装置読取可能な記録媒体である。本発明のプログラムは本発明の記録媒体に記録されることにより、前記情報処理装置は、この記録媒体を用いて本発明のプログラムをインストールすることができる。あるいは、本発明のプログラムを保持するサーバからネットワークを介して直接前記情報処理装置に本発明のプログラムをインストールすることもできる。

【0031】

これにより、情報処理装置を用いて、命令書き換えを行う際、他プロセッサが実行途中の命令を書き換えてしまうという事態を回避し、安全な命令書き換えを行えるマルチプロセッサシステムを実現することができる。

40

【0032】

【発明の実施の形態】

本発明実施形態のマルチプロセッサシステムを図1を参照して説明する。図1は本実施形態のマルチプロセッサシステムの構成図である。

【0033】

本実施形態は、図1に示すように、複数のプロセッサ#1～#nと、この複数のプロセッサ#1～#nが共有する主メモリ1とを備え、この主メモリ1には、プログラム記憶領域2とデータ記憶領域3とを備え、複数のプロセッサ#1～#nは、これらの記憶領域を参照してプログラムを実行する手段を備えたマルチプロセッサシステムである。

【0034】

50

ここで、本実施形態の特徴とするところは、一つのプロセッサから他のプロセッサに対してプログラムの実行停止を指示する停止指示通知手段 12 を備え、この停止指示通知手段 12 によりプログラムの実行停止を指示されたプロセッサは当該実行停止を指示したプロセッサに対してプログラムの実行を停止状態としたことを通知する停止状態通知手段 9 を備えたところにある。

【0035】

また、主メモリ 1 中の命令コードの書き換えを行うプロセッサは、当該書き換えに際して停止指示通知手段 12 により他プロセッサにプログラムの実行停止を指示する命令書き換え手段 14 を備え、この命令書き換え手段 14 は、停止状態通知手段 9 による他プロセッサからのプログラムの実行停止通知を受け取った後に主メモリ 1 中の命令コードの書き換えを行う。

10

【0036】

また、主メモリ 1 と複数のプロセッサ #1 ~ #n との間には、各プロセッサ毎にそれぞれ命令キャッシュ #1 ~ #n を備え、停止指示通知手段 12 は、他プロセッサに対してプログラムの実行停止を指示した後に、当該指示が不要になったときには当該指示を解除する指示を他プロセッサに対して行い、前記プログラムの実行停止指示を受けてプログラムの実行を停止していたプロセッサは、前記プログラムの実行停止解除指示を受け取ると自己に関わる命令キャッシュの内容をクリアしてからプログラム実行を再開する命令キャッシュクリア手段 17 を備える。

【0037】

20

また、命令書き換え処理部 15 の停止状態監視手段 13 は、停止状態通知手段 9 からのプログラム停止状態通知を監視する。停止処理部 11 の停止指示監視手段 10 は、停止指示通知手段 12 からのプログラム停止指示を監視する。idle 処理部 8 の停止指示監視手段 6 は、停止指示通知手段 12 からのプログラム停止指示を監視する。停止処理起動手手段 7 は、プログラム停止指示を受けて実際のプログラム停止処理を実行する。

【0038】

本発明は、汎用の情報処理装置にインストールすることにより、上述のマルチプロセッサシステムの主メモリ 1 として機能させるセットアップ用プログラムとして実現することができる。このセットアップ用プログラムは、記録媒体に記録されて情報処理装置にインストールされ、あるいは通信回線を介して情報処理装置にインストールされることにより当該情報処理装置を主メモリ 1 として機能させることができる。

30

【0039】

以下では、本実施形態をさらに詳細に説明する。

【0040】

図 1 を参照すると、本発明のマルチプロセッサシステムにおける命令書き換え方法の一実施例は、プログラムを実行するプロセッサ #1 ~ #n (複数) と、プログラムおよびデータを格納する主メモリ 1 から構成される。各プロセッサ #1 ~ #n は命令キャッシュ #1 ~ #n を持つと共に、命令キャッシュ #1 ~ #n の内容をクリアする手段を備えているものとする。さらに、その命令キャッシュ #1 ~ #n は、保持する命令に対して自分および他のプロセッサから主メモリ 1 に書き込みが行われた場合でも、その内容は反映されないものとする。

40

【0041】

主メモリ 1 の内、データ記憶領域 3 には、停止指示用データ領域 4 (停止指示通知機能) と停止状態用データ領域 5 (停止状態通知機能) とを持ち、プログラム記憶領域 2 内には、1) 停止指示監視手段 6 と停止処理起動手手段 7 とを持つ idle 処理部 8、2) 停止状態通知手段 9 と停止指示監視手段 10 と命令キャッシュクリア手段 17 とを持つ停止処理部 11、3) 停止指示通知手段 12 と停止状態監視手段 13 と命令書き換え手段 14 とを持つ命令書き換え処理部 15 を持つ。

【0042】

これらの処理部の概略は次のとおりである。idle 処理部 8 は、プロセッサで処理すべ

50

き仕事（オペレーティング・システムの用語でプロセス）が存在しない場合に実行される。停止処理部 11 は、停止指示を受けたプロセッサにより実行される。命令書き換え処理 15 は、プログラム内の命令を書き換える目的でオペレータが起動する命令書き換えプログラムから呼び出されたときに実行される。

【0043】

次に、図 2、図 3、図 4、図 5 のフローチャートを参照して本実施形態の全体の動作について詳細に説明する。まず、図 2 に示すように、本実施形態の各プロセッサ #1 ~ #n は、一般のオペレーティング・システムと同様、実行すべきプロセスがある場合は（ステップ 1）、そのプロセスを実行し（ステップ 2）、実行すべきプロセスが存在しない場合は（ステップ 1）、idle 処理を実行し続けるようになっている。idle 処理の内部では、停止指示監視手段 6 により停止指示用データ領域内の自プロセッサに対する停止指示を監視し（ステップ 3）、停止指示がなければ実行すべきプロセスが存在しているかを調べるステップに戻る（ステップ 4）。停止指示がある場合は停止処理部 11 を呼び出す（ステップ 5）。

10

【0044】

図 3 に示すように、停止処理部 11 では、まず停止状態通知手段 9 により、自プロセッサが停止状態であることを示す値を停止状態用データ領域 5 に設定した後（ステップ 1）、停止指示用データ領域 4 内の自プロセッサに対する停止指示を監視し（ステップ 2）、停止指示が解除されるまで監視を繰り返す（ステップ 3）。停止指示が解除されると、自プロセッサが停止状態でないことを示す値を停止状態用データ領域 5 に設定した後（ステップ 4）、命令キャッシュクリア手段 17 により命令キャッシュの内容を無効化する（ステップ 5）。

20

【0045】

図 4 は、このような本発明の特徴である構成および手段を備えたマルチプロセッサにおいて、プログラム内容の命令を書き換える手順である。図 4 に示すとおり、オペレータが起動する命令書き換えプログラムは、オペレータ等により予め設定された書き換え内容、すなわち書き換え対象アドレスと分岐先アドレスの組（複数）を書き換え表 16 に設定した後（ステップ 1）、命令書き換え処理部 15 を起動し（ステップ 2）、実行結果が失敗であった場合は書き換え失敗を示すメッセージを出力する（ステップ 3、4）。

【0046】

30

図 5 に示すように、命令書き換え処理部 15 では、まず、停止指示通知手段 12 により停止指示用データ領域 4 内の自プロセッサ以外の全プロセッサに対する領域に停止指示を示す値を設定し（ステップ 1）、その時刻を記録する（ステップ 2）。次に、停止状態監視手段 13 により停止状態用データ領域 5 内の自プロセッサ以外の全プロセッサに関する停止状態を監視する（ステップ 3）。全プロセッサが停止していない場合は、現在時刻と停止指示時刻との差として経過時間を求める（ステップ 7）。これが予め設定されている時間よりも小さい場合は、停止確認を行うステップに戻って処理を繰り返す。経過時間が予め設定されている時間よりも大きい場合には、命令書き換え処理結果は失敗として、この処理を終える。すなわち、停止指示用データ領域 4 に停止解除を示す値を書き込む（ステップ 8）。

40

【0047】

停止確認を行うステップにおいて全プロセッサが停止したことを確認できた場合は（ステップ 3）、次に示すとおり書き換え表に示された内容に従ってプログラム領域中の命令を書き換えた後（ステップ 4）、命令キャッシュクリア手段 17 により命令キャッシュの内容を無効化し（ステップ 5）、命令書き換え処理結果は成功として、この処理を終える。すなわち、停止指示用データ領域 4 に停止解除を示す値を書き込む（ステップ 6）。

【0048】

書き換え表 16 の各行について行う書き換え処理では、1) 書き換え表 16 の命令アドレスで示されるアドレスに存在する命令（図 6 の命令 1）を、書き換え表 16 の分岐先アドレスを予め決められた特定のレジスタに設定する命令に書き換え、2) その次の命令（図

50

6の命令2)を、前記予め決められた特定のレジスタに格納されたアドレスに分岐する命令に書き換える。なお、書き換え操作は、シングルプロセッサに関しては従来技術で実現されているのと同様に、図6における書き換え後の状態のプログラムが正常に動作するよう、オペレータもしくは外部プログラムの制御の元で行われる。すなわち、プロセッサが実行する命令が、図6の書き換え前、および、書き換え後のどちらであってもプログラム実行は正常に行われる。反面、万一、図6の書き換え途中状態のプログラムを実行した場合は、プログラム実行が異常な状態に陥ってしまう。

【0049】

他プロセッサを停止させずに命令書き換えを実行した場合は、他プロセッサが図6の書き換え途中状態にあるプログラムを実行してしまう可能性を排除できなかったが、本発明に示す方法による命令書き換え操作では、他のプロセッサが図6に示す書き換え途中の状態にあるプログラムを実行する可能性を排除できるので、他プロセッサのプログラム実行が異常な状態に陥る事態を完全に防止することができる。

10

【0050】

【発明の効果】

以上説明したように、本発明によれば、命令書き換えを行う際、他プロセッサが実行途中の命令を書き換えてしまうという事態を回避し、安全な命令書き換えを行えるマルチプロセッサシステムを提供することができる。

【図面の簡単な説明】

【図1】本発明実施形態のマルチプロセッサシステムの構成図。

20

【図2】idle処理部の動作を示すフローチャート。

【図3】停止処理部の動作を示すフローチャート。

【図4】命令書き換え手順を示すフローチャート。

【図5】命令書き換え処理部の動作を示すフローチャート。

【図6】命令の書き換えによる書き換え表の遷移を説明するための図。

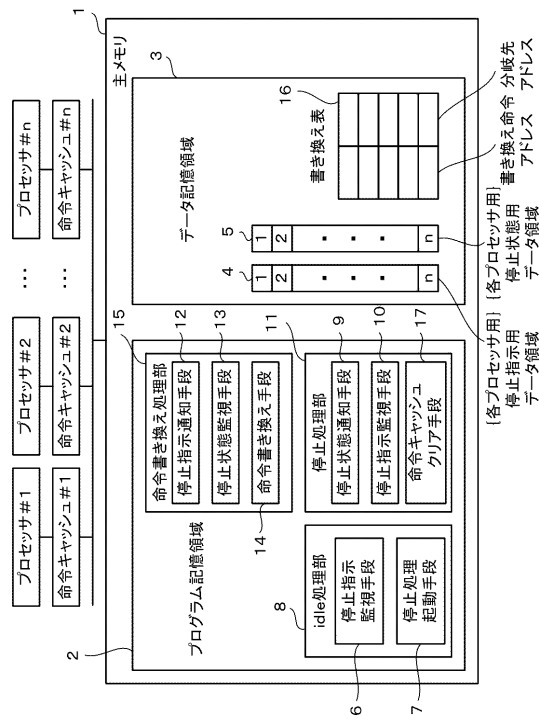
【符号の説明】

- 1 主メモリ
- 2 プログラム記憶領域
- 3 データ記憶領域
- 4 停止指示用データ領域
- 5 停止状態用データ領域
- 6、10 停止指示監視手段
- 7 停止処理起動手段
- 8 idle処理部
- 9 停止状態通知手段
- 11 停止処理部
- 12 停止指示通知手段
- 13 停止状態監視手段
- 14 命令書き換え手段
- 15 命令書き換え処理部
- 16 書き換え表
- 17 命令キャッシュクリア手段

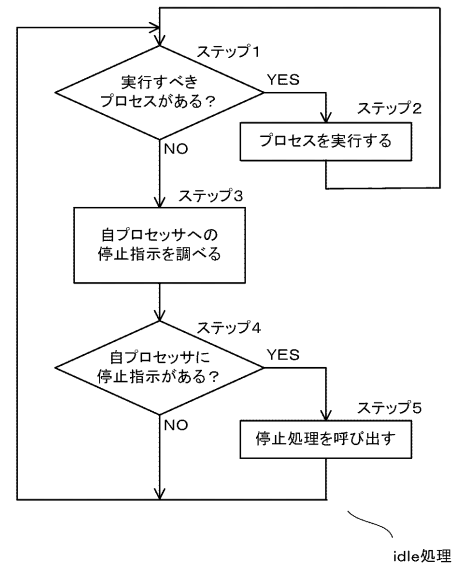
30

40

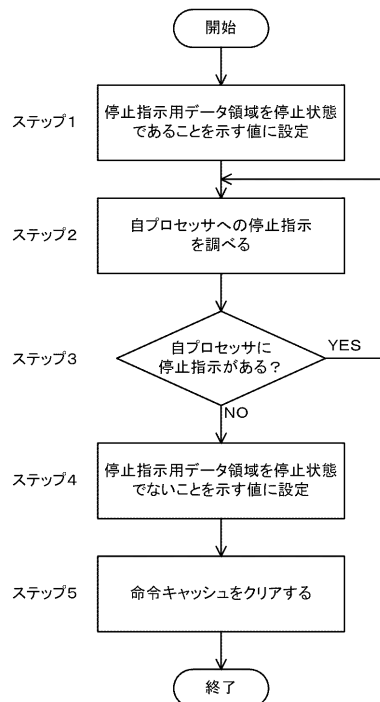
【図 1】



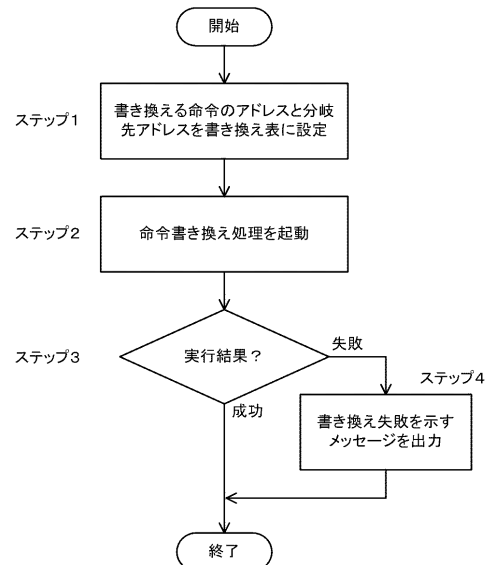
【図 2】



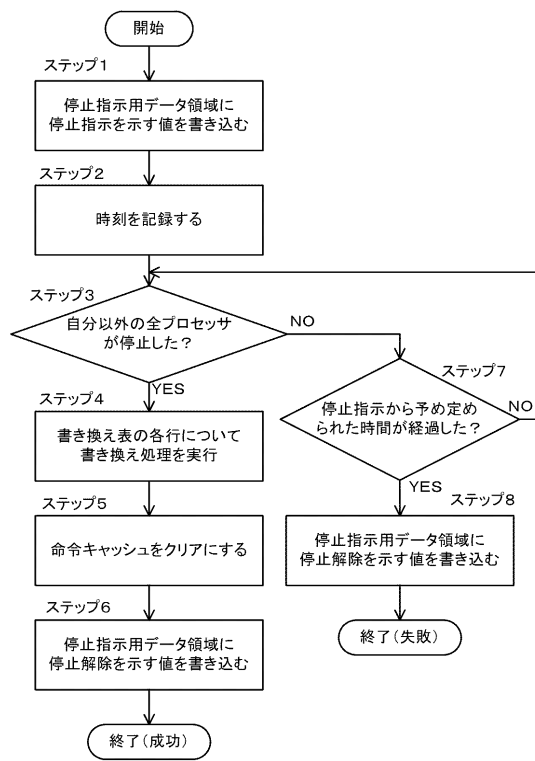
【図 3】



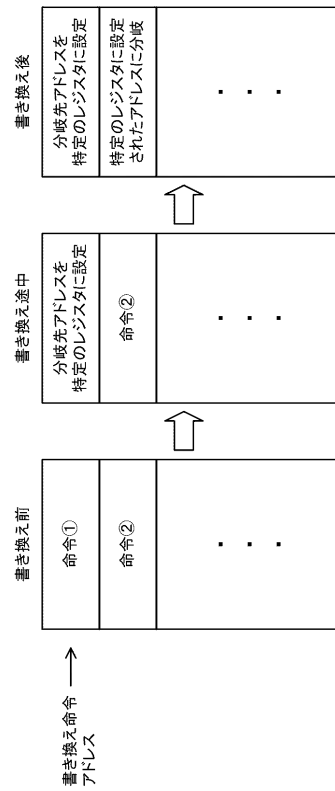
【図 4】



【図 5】



【図 6】



フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

G06F 11/00

G06F 12/08