

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5891023号  
(P5891023)

(45) 発行日 平成28年3月22日(2016.3.22)

(24) 登録日 平成28年2月26日(2016.2.26)

(51) Int.Cl.

F 1

HO1L 29/78	(2006.01)	HO1L 29/78	652K
HO1L 21/76	(2006.01)	HO1L 29/78	652R
HO1L 29/739	(2006.01)	HO1L 29/78	652J
HO1L 21/336	(2006.01)	HO1L 29/78	653A
		HO1L 29/78	655G

請求項の数 9 (全 26 頁) 最終頁に続く

(21) 出願番号

特願2011-267449 (P2011-267449)

(22) 出願日

平成23年12月7日(2011.12.7)

(65) 公開番号

特開2013-120809 (P2013-120809A)

(43) 公開日

平成25年6月17日(2013.6.17)

審査請求日

平成26年8月8日(2014.8.8)

(73) 特許権者 000233273

株式会社 日立パワーデバイス

茨城県日立市大みか町五丁目2番2号

(74) 代理人 100100310

弁理士 井上 学

(72) 発明者 豊田 善章

茨城県日立市大みか町七丁目1番1号

株式会社 日立製作

所 日立研究所内

(72) 発明者 坂野 順一

茨城県日立市大みか町七丁目1番1号

株式会社 日立製作

所 日立研究所内

最終頁に続く

(54) 【発明の名称】半導体装置及びそれを用いた電力変換装置

## (57) 【特許請求の範囲】

## 【請求項 1】

半導体基板内に形成された第1導電型の第1半導体層と、前記第1半導体層に接する前記第1導電型の第2半導体層と、前記第2半導体層に接する第2導電型の第3半導体層と、前記半導体基板において互いに隣接する第1領域及び第2領域と、を備え、

前記第1領域において、前記第1導電型の第5半導体層と、前記第5半導体層を取り囲むように形成された前記第2導電型の第6半導体層と、前記第1半導体層と前記第6半導体層との間に形成された前記第1導電型の第7半導体層と、を備え、

前記第2領域において、前記第1半導体層と接する前記第2導電型の第4半導体層を備え、

前記第1領域内において、前記第5半導体層、前記第6半導体層及び前記第7半導体層の各表面上に設けられる第1トレンチゲートと、

前記第1領域と前記第2領域との間に設けられる第2トレンチゲートと、

前記第3半導体層に電気的に接続される第1電極と、

前記第5半導体層及び前記第6半導体層に電気的に接続される第2電極と、を備え、

前記第2トレンチゲートは、前記第2電極と電気的に接続されており、

前記第2トレンチゲートと前記第4半導体層とは互いに離れていることを特徴とする半導体装置。

## 【請求項 2】

10

20

前記第2領域の幅は、前記第1領域の幅よりも広いことを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記第2領域の幅は、前記第1領域の幅よりも狭いことを特徴とする請求項1に記載の半導体装置。

【請求項4】

前記第2トレンチゲートの幅は、前記第1トレンチゲートの幅よりも広いことを特徴とする請求項1に記載の半導体装置。

【請求項5】

前記第2トレンチゲートのゲート絶縁膜は、前記第1トレンチゲートのゲート絶縁膜よりも厚い 10

ことを特徴とする請求項1に記載の半導体装置。

【請求項6】

前記第7半導体層の不純物濃度は、前記第2トレンチゲートから前記第1トレンチゲートに向けて低くなることを特徴とする請求項1に記載の半導体装置。

【請求項7】

前記第2トレンチゲートのゲート電極が前記第2領域上に延在しており、前記第2領域上において前記ゲート電極と前記第2電極が電気的に接続されている 20

ことを特徴とする請求項1に記載の半導体装置。

【請求項8】

前記第2トレンチゲートは、前記第1トレンチゲートよりも深いことを特徴とする請求項1に記載の半導体装置。

【請求項9】

スイッチング素子を直列に接続した接続点を交流端子とし、前記直列接続の両端を直流端子とする電力変換装置であって、

前記スイッチング素子が請求項1～8のいずれか1項に記載された半導体装置で構成される

ことを特徴とする電力変換装置。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、半導体装置とそれを用いた電力変換装置に係り、特に電力用半導体装置の安定動作に好適な半導体素子構造に関する。

【背景技術】

【0002】

絶縁ゲートバイポーラトランジスタ（IGBT）は、ゲート電極に加える電圧でコレクタ電極とエミッタ電極の間に流す電流を制御するスイッチング素子である。制御できる電力は数十ワットから数十万ワットに及び、スイッチング周波数も数十ヘルツから百ヘルツ超と幅広い。この特徴を生かして、エアコンや電子レンジなどの家庭用の省電力機器から、電気自動車や鉄道、製鉄所用のインバータまで広く使われている。 40

【0003】

図19は、特許文献1に記載されている従来のIGBT断面構造を示す。コレクタ電極COLに接してホールエミッタ層PEが形成され、さらにn型バッファ層NBとn型ドリフト層NDが順次形成されている。n型ドリフト層ND内にトレンチゲートTGが形成されており、このトレンチゲートTGによってメインセルMRとダミーセルDRが区分けされている。メインセルMRのトレンチゲートの間にはエミッタ電極EMTと接してp型ベース層PBが形成されており、ダミーセルDRのトレンチゲートの間にはp型ウェル層PWが形成されている。表面は絶縁膜によって被膜されているが、p型ウェル層PWの電位を固定する目的から、図19に示されない位置で、p型ウェル層PWにもエミッタ電極EMT 50

MTが配設されている。ただし、p型ウェル層PW上に配設されるエミッタ電極EMTの密度は十分小さく、p型ウェル層PWとエミッタ電極EMTとの間の抵抗は等価的に十分大きくなっている。このようなIGBTでは、コレクタ電極COLからエミッタ電極EMTに向かうホールに対し、メインセルMRが十分に狭い電流通路を形成する。このため、エミッタ電極EMTへのホールの排出が制限され、これによりエミッタ電極EMTからn型ドリフト層NDへの電子の注入効率が向上し、n型ドリフト層NDの伝導度変調が促進され、低オン電圧を実現できる。

【0004】

図20は特許文献2に記載されているIGBTの断面構造を示す。このIGBTの特徴は、n型ドリフト層ND内にトレンチゲートTG及びダミーゲートDGが形成されており、ダミーゲートDGにエミッタ電極EMTが接続されていることである。この構造では、出力容量や帰還容量の変動量の低減が図られている。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2004-153112号公報

【特許文献2】特開2009-277792号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

20

図19に示したIGBTではスイッチングの際、p型ウェル層PWに蓄積されたホールによりp型ウェル層PWの電位が変動するため、コレクタ・エミッタ間の電圧変化率( $dV/dt$ )が大きく、過大なスイッチングノイズが発生するという不都合が生じる。また、図20に示したIGBTでは、スイッチング時にp型ウェル層PWの電位が変動してもダミーゲートDGがトレンチゲートTG周辺の電位を固定するため、スイッチングノイズを低減できるが、ダミーゲートDGの本数が多いため、製造途中で異物などが発生すると歩留まりが大幅に低下するという不都合が生じる。

【0007】

本発明は、上記のような課題に鑑みてなされたものであって、その目的は、スイッチングノイズを低減でき、歩留まりの低下を抑制できる半導体装置を提供することである。

30

【課題を解決するための手段】

【0008】

上記課題を解決するための手段は次のとおりである。

(1) 本発明の半導体装置は、半導体基板内に形成された第1導電型の第1半導体層と、前記第1半導体層に接する前記第1導電型の第2半導体層と、前記第2半導体層に接する第2導電型の第3半導体層と、前記半導体基板において互いに隣接する第1領域及び第2領域と、を備え、前記第1領域において、前記第1導電型の第5半導体層と、前記第5半導体層を取り囲むように形成された前記第2導電型の第6半導体層と、前記第1半導体層と前記第6半導体層との間に形成された前記第1導電型の第7半導体層と、を備え、前記第2領域において、前記第1半導体層と接する前記第2導電型の第4半導体層を備え、前記第1領域内において、前記第5半導体層、前記第6半導体層及び前記第7半導体層の各表面上に設けられる第1トレンチゲートと、前記第1領域と前記第2領域との間に設けられる第2トレンチゲートと、前記第3半導体層に電気的に接続される第1電極と、前記第5半導体層及び前記第6半導体層に電気的に接続される第2電極と、を備え、前記第2トレンチゲートは、前記第2電極と電気的に接続されており、前記第2トレンチゲートと前記第4半導体層とは互いに離れている。

40

(2) (1)において、前記第2領域の幅を前記第1領域の幅よりも広くする。

(3) (1)において、前記第2領域の幅を前記第1領域の幅よりも狭くする。

(4) (1)において、前記第2トレンチゲートの幅を前記第1トレンチゲートの幅よりも広くする。

50

(5)(1)において、前記第2トレンチゲートのゲート絶縁膜の厚さを、前記第1トレンチゲートのゲート絶縁膜よりも厚くする。

(6)(1)において、前記第7半導体層の不純物濃度を、前記第2トレンチゲートから前記第1トレンチゲートに向けて低くなるようにする。

(7)(1)において、前記第2トレンチゲートのゲート電極が前記第2領域上に延在させ、前記第2領域上において前記ゲート電極と前記第2電極を電気的に接続する。

(8)(1)において、前記第2トレンチゲートの深さを前記第1トレンチゲートよりも深くする。

(9)本発明の半導体装置は、半導体基板内に形成された第1導電型の第1半導体層と、前記第1半導体層に接する前記第1導電型の第2半導体層と、前記第2半導体層に接する第2導電型の第3半導体層と、前記半導体基板において互いに隣接する第1領域及び第2領域と、を備え、前記第1領域において、前記第1導電型の第5半導体層と、前記第5半導体層を取り囲むように形成された前記第2導電型の第6半導体層と、前記第1半導体層と前記第6半導体層との間に形成された前記第1導電型の第7半導体層と、を備え、前記第2領域において、前記第1半導体層と接する前記第2導電型の第4半導体層を備え、前記第1領域内において、前記第5半導体層、前記第6半導体層及び前記第7半導体層の各表面上に設けられる一対の第1トレンチゲートと、前記第1領域と前記第2領域との間に設けられる第2トレンチゲートと、前記第3半導体層に電気的に接続される第1電極と、前記第5半導体層及び前記第6半導体層に電気的に接続される第2電極と、を備え、前記第2トレンチゲートは、前記第2電極よりも高い電位に固定される。

(10)(9)において、前記第1トレンチゲートと前記第2トレンチゲートとの間に、前記第1半導体層の少なくとも一部が位置している。

#### 【0009】

なお、上記した以外の本発明の特徴は、本願明細書全体の記載または図面から明らかにされる。

#### 【発明の効果】

#### 【0010】

本発明によれば、ダミーゲートとなる第2トレンチゲートが第1トレンチゲート周辺の電位を固定するためスイッチングノイズを低減できる。さらに、ダミーゲート本数を低減できるので、製造歩留まりの低下を抑制できる。

#### 【0011】

本発明のその他の効果については、明細書全体の記載から明らかにされる。

#### 【図面の簡単な説明】

#### 【0012】

【図1】本発明の実施例1に係る半導体装置の要部構成を示す断面図である。

【図2】本発明の実施例1に係る半導体装置の平面図である。

【図3】本発明の実施例1に係る半導体装置の製造工程を示す断面図である。

【図4】本発明の実施例2に係る半導体装置の要部構成を示す断面図である。

【図5】本発明の実施例3に係る半導体装置の要部構成を示す断面図である。

【図6】本発明の実施例4に係る半導体装置の要部構成を示す断面図である。

【図7】本発明の実施例4に係る半導体装置の不純物濃度分布の一例を示すグラフである。

【図8】本発明の実施例4に係る半導体装置の製造工程を示す断面図である。

【図9】本発明の実施例5に係る半導体装置の要部構成を示す断面図である。

【図10】本発明の実施例6に係る半導体装置の要部構成を示す断面図である。

【図11】本発明の実施例6に係る半導体装置の製造工程を示す断面図である。

【図12】本発明の実施例7に係る半導体装置の平面図である。

【図13】本発明の実施例7に係る半導体装置の要部構成を示す断面図である。

【図14】本発明の実施例8に係る半導体装置の平面図である。

【図15】本発明の実施例8に係る半導体装置の要部構成を示す断面図である。

10

20

30

40

50

【図16】本発明の実施例8に係る半導体装置の製造工程を示す断面図である。

【図17】本発明の実施例9に係る電力変換装置の回路構成図である。

【図18】本発明の実施例10に係る半導体装置の要部構成を示す断面図である。

【図19】第1の従来型半導体装置の要部構成を示す断面図である。

【図20】第2の従来型半導体装置の要部構成を示す断面図である。

【発明を実施するための形態】

【0013】

本発明の実施例について図面を参照しながら説明する。なお、各図および各実施例において、同一または類似の構成要素には同じ符号を付し、説明を省略する。

【実施例1】

【0014】

図2は本発明の実施例1に係る半導体装置(IGBT)の平面図を示す。一つのセルCELが上下左右に規則的に配置されており、セル内にトレンチゲートTG及びトレンチゲートTGを挟む一対のダミーゲートDGが形成されている。一つのセルはダミーゲートDGによって2つの領域、すなわちトレンチゲートTGを含む第1領域と、トレンチゲートを含まない第2領域に区分けされており、第1領域の幅をWM、第2領域の幅をWDとすると、 $WM < WD$ の関係が成立する。トレンチゲートTGはゲート線GLと接続され、ダミーゲートDGはセルの上下端においてコンタクトホールCNTを介してエミッタ電極と接続されている。

【0015】

図1は図2中A-A断面図を示す。コレクタ電極COLに接してホールエミッタ層PEが形成されており、さらに、ホールエミッタ層PEよりも低不純物濃度のn型バッファ層NBと、n型バッファ層NBよりも低不純物濃度のn型ドリフト層NDが順次形成されている。n型ドリフト層ND内にトレンチゲートTG及びトレンチゲートTGを挟むように一対のダミーゲートDGが形成されており、ゲート酸化膜GOXを介してゲート電極が埋め込まれている。一つのセルはダミーゲートDGによって第1領域と第2領域に区分けされる。第1領域においては、トレンチゲートTGとダミーゲートDGとの間にエミッタ電極EMTと接して、n型ドリフト層NDよりも高不純物濃度のp型ベース層PB、及びp型ベース層PBよりも高不純物濃度のn型ソース層NSが形成されている。さらに、p型ベース層PBとn型ドリフト層NDの間に、p型ベース層PBよりも低不純物濃度でありn型ドリフト層NDよりも高不純物濃度のn型電荷障壁層HBが形成されている。第2領域においては、ダミーゲートDGの間に、n型ドリフト層NDよりも高不純物濃度のp型ウェル層PWが形成されており、層間絶縁膜INTによってエミッタ電極EMTと絶縁されている。ここで、n型電荷障壁層HBは、ホールエミッタ層PEからn型ドリフト層NDに注入されたホールが、p型ベース層PBを通ってエミッタ電極EMTへ排出されることを抑制し、n型ドリフト層ND内におけるホールの蓄積を促進する。これにより、IGBTのオン電圧が低減される。

【0016】

図3を用いて実施例1の半導体装置の製造方法を説明する。まず始めに、公知のイオン打ち込みによりSi基板(厚さ約350nm)の一方の表面にリンイオンを打ち込み深さ約20μmのn型バッファ層NBを形成し、Si基板の他方の表面にボロンイオンを打ち込み深さ約10μmのp型ウェル層PWを形成する(図3(a))。次に、公知のドライエッチング法により深さ約5μmの溝を形成し、公知の熱アニールによりゲート絶縁膜(膜厚約100nm)を形成する。その後、公知のCVD(Chemical Vapor Deposition)法によりポリシリコン膜を埋め込み、トレンチゲートTG及びダミーゲートDGを形成する(図3(b))。公知のイオン打ち込みにより、リンイオン、ボロンイオンを順次打ち込み、n型電荷障壁層HB(層厚約2μm)及びp型ベース層PB(層厚約3μm)を形成し、さらにヒ素イオンを打ち込み深さ約1μmのn型ソース層NSを形成する(図3(c))。酸化シリコン膜からなる層間絶縁膜INT(膜厚約1μm)を形成した後、公知のホトエッチング法によりコンタクトホールを形成する(図3(d))。公知のイオン打

10

20

30

40

50

ち込みによりホールエミッタ層 P E を形成した後、エミッタ電極 E M T 及びコレクタ電極 C O L を形成し図 1 の構造を得る。

【 0 0 1 7 】

本実施例に依れば、ダミーゲート D G がトレンチゲート T G を挟むように形成されており、スイッチング時に p 型ウェル層 P W の電位が変動してもダミーゲート D G がトレンチゲート T G 周辺の電位を固定するためスイッチングノイズを低減できる。さらにダミーゲート D G の本数は 1 セルあたりのゲートの本数は、トレンチゲートとダミーゲートを合わせて 3 本しかないため、製造途中の異物などによる歩留まりの低下を抑制できる。本実施例に依れば、第 1 領域の幅 W M は、第 2 領域の幅 W D よりも狭いため、飽和電流を小さくでき十分な短絡耐量を確保できる。また、本実施例では、深さ約 5  $\mu\text{m}$  のダミーゲート D G に対し、深さ約 10  $\mu\text{m}$  の p 型ウェル層 P W を形成しているため、ダミーゲート底部の電界集中を緩和できる。これにより、耐圧やゲート酸化膜の信頼性、宇宙線耐量を向上できる。

【 実施例 2 】

【 0 0 1 8 】

本発明の第 2 の実施例における半導体装置 ( I G B T ) の平面図は図 2 と同様である。本実施例における図 2 中 A - A 断面図を図 4 に示す。図 4 が図 1 と異なるのは、耐圧を大きく低下させない程度に p 型ウェル層 P W をダミーゲート D G から離してあり、ダミーゲート D G の側面は主に n 型ドリフト層 N D と接している点である。本実施例に依れば、p 型ウェル層 P W がダミーゲート D G から離れているため、ダミーゲート D G の電位が p 型ウェル層 P W の電位の影響を受けにくくなり、トレンチゲート T G の電位が安定しスイッチングノイズを更に低減できる。また、本実施例に依れば、ダミーゲート D G の側面は主に n 型ドリフト層 N D と接しているため、ダミーゲート D G - コレクタ電極 C O L 間の容量が大きい。このため、スイッチング時にリングングが発生した場合、コレクタ電極 C O L からダミーゲート D G を介してエミッタ電極 E M T に流れる電流成分が大きくなる。ダミーゲート D G はポリシリコンで形成されているため、その抵抗によりリングングの減衰時間を短くできる。

【 実施例 3 】

【 0 0 1 9 】

本発明の第 3 の実施例における半導体装置 ( I G B T ) の平面図は図 2 と同様である。本実施例における図 2 中 A - A 断面図を図 5 に示す。図 5 では、トレンチゲート T G とダミーゲート D G との間隔を図 1 よりも狭くしている。これにより、n 型電荷障壁層 H B を形成しなくても n 型ドリフト層 N D の伝導度変調を促進でき、低オン電圧を実現できる。伝導度変調を促進させるために、トレンチゲート T G とダミーゲート D G との間隔は 1.5  $\mu\text{m}$  以下とすることが望ましい。これにより、n 型電荷障壁層 H B と同様に、ホールの蓄積が促進される。また、本実施例では、n 型電荷障壁層 H B を形成しないため p 型ベース層 P B の不純物濃度の制御が容易となり、しきい値電圧のばらつきを低減できる。

【 実施例 4 】

【 0 0 2 0 】

本発明の第 4 の実施例における半導体装置 ( I G B T ) の平面図は図 2 と同様である。本実施例における図 2 中 A - A 断面図を図 6 に示す。図 6 が図 1 と異なるのは、ダミーゲート D G の幅がトレンチゲート T G の幅よりも広い点と、n 型電荷障壁層 H B がダミーゲート D G からの拡散により形成してある点である。図 7 は、図 6 中 X - X 断面での n 型電荷障壁層 H B の不純物濃度分布を示す。不純物濃度はダミーゲート D G の近傍で  $1 \times 10^{18} \text{ cm}^{-3}$  、トレンチゲート T G の近傍で  $1 \times 10^{15} \text{ cm}^{-3}$  である。

【 0 0 2 1 】

図 8 を用いて実施例 4 の半導体装置の製造方法を説明する。まず始めに、公知のイオン打ち込みにより S i 基板 ( 厚さ約 350 nm ) の一方の表面にリンイオンを打ち込み深さ約 20  $\mu\text{m}$  の n 型バッファ層 N B を形成し、S i 基板の他方の表面にボロンイオンを打ち込み深さ約 10  $\mu\text{m}$  の p 型ウェル層 P W を形成する ( 図 8 ( a ) )。次に、公知のドライ

10

20

30

40

50

エッティング法により深さ約5μmの溝TRを形成する。この時、ダミーゲート部の幅はトレンチゲート部の幅よりも広くする(図8(b))。公知の熱アニールによりゲート絶縁膜(膜厚約100nm)を形成した後、イオン打ち込みによりダミーゲートの底部にリンイオンを打ち込む。さらに熱アニールによりリンイオンをトレンチゲート部に拡散させn型電荷障壁層HBを形成する(図8(c))。公知のCVD法によりポリシリコン膜を埋め込み、トレンチゲートTG及びダミーゲートDGを形成した後、公知のイオン打ち込みにより、ボロンイオン、ヒ素イオンを順次打ち込み、深さ約3μmのp型ベース層PB及び深さ約1μmのn型ソース層NSを形成する(図8(d))。その後は、実施例1と同様に、酸化シリコン膜からなる層間絶縁膜INT(膜厚約1μm)、ホールエミッタ層PE、エミッタ電極EMT及びコレクタ電極COLを形成し図6の構造を得る。

10

#### 【0022】

本実施例に依れば、ダミーゲートDGからの拡散によりn型電荷障壁層HBを形成するため、ダミーゲートDG近傍におけるn型電荷障壁層HBの不純物濃度を高くでき、トレンチゲートTG近傍におけるn型電荷障壁層HBの不純物濃度を低くできる。これにより、伝導度変調を損なうことなく帰還容量を低減できる。帰還容量低減のため、トレンチゲート近傍のn型電荷障壁層HBの不純物濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 以下であることが望ましい。本実施例に依れば、ダミーゲートDGの幅をトレンチゲートTGの幅よりも広くしており、マスクの合わせずれが起こってもp型ウェル層PWをダミーゲートDGに接触させやすく、耐圧を安定させることができる。さらに、本実施例ではp型ウェル層PWがダミーゲートDGの底部にも形成されているため、より耐圧を安定させることができる。

20

#### 【実施例5】

#### 【0023】

本発明の第5の実施例における半導体装置(IGBT)の平面図は図2と同様である。本実施例における図2中A-A断面図を図9に示す。図9は図6と類似の構造であり、ダミーゲートDGがトレンチゲートTGよりも深い点が異なる。本実施例に依れば、ダミーゲートDGがトレンチゲートTGよりも深いため、n型電荷障壁層HBはトレンチゲートTGの下方に形成される。このため、実施例4よりも帰還容量を低減できる。なお、本実施例では、トレンチゲート近傍のn型電荷障壁層HBの不純物濃度を $5 \times 10^{16} \text{ cm}^{-3}$ 以下としても帰還容量の低減効果を得ることができる。

#### 【実施例6】

30

#### 【0024】

本発明の第6の実施例における半導体装置(IGBT)の平面図は図2と同様である。本実施例における図2中A-A断面図を図10に示す。図10が図1と異なるのは、ダミーゲートのゲート酸化膜DOXがトレンチゲートのゲート酸化膜GOXよりも厚い点である。

#### 【0025】

図11を用いて実施例6の半導体装置の製造方法を説明する。まず始めに、公知のイオン打ち込みによりSi基板(厚さ約350nm)の一方の表面にリンイオンを打ち込み深さ約20μmのn型バッファ層NBを形成し、Si基板の他方の表面にボロンイオンを打ち込み深さ約10μmのp型ウェル層PWを形成する(図11(a))。次に、公知のドライエッティング法により深さ約5μmの溝TRを形成し、公知の熱アニールによりゲート絶縁膜(膜厚約100nm)を形成する。さらに、公知のホトエッティング法により、トレンチゲート部のゲート絶縁膜を除去する(図11(b))。その後、公知の熱アニールによりトレンチゲート部には膜厚約100nmのゲート酸化膜GOX、ダミーゲート部には膜厚約200nmのゲート酸化膜DOXを形成する(図11(c))。公知のCVD法によりポリシリコン膜を埋め込み、トレンチゲートTG及びダミーゲートDGを形成する。その後、公知のイオン打ち込みにより、リンイオン、ボロンイオンを順次打ち込み、n型電荷障壁層HB(層厚約2μm)及びp型ベース層PB(層厚約3μm)を形成し、さらにヒ素イオンを打ち込み深さ約1μmのn型ソース層NSを形成する(図11(d))。その後は、実施例1と同様に、酸化シリコン膜からなる層間絶縁膜INT(膜厚約1μm)

40

50

)、ホールエミッタ層P E、エミッタ電極E M T及びコレクタ電極C O Lを形成し図10の構造を得る。

【0026】

本実施例に依れば、ダミーゲートのゲート酸化膜D O Xがトレンチゲートのゲート酸化膜G O Xよりも厚い。このため、スイッチング時にp型ウェル層P Wの電位が変動し、ダミーゲートのゲート酸化膜D O Xに過電圧が印加された場合においても、ゲート酸化膜が絶縁破壊を起こすことはなく、半導体装置の信頼性を向上させることができる。

【実施例7】

【0027】

本発明の実施例7に係る半導体装置(I G B T)の平面図を図12に示す。図12が図2と異なるのは、ダミーゲートD Gとエミッタ電極E M TとのコンタクトホールC N Tが第2領域上に形成されている点である。本実施例における図12中B-B断面図を図13に示す。ダミーゲート内のポリシリコン膜が第2領域に延在しており、第2領域上において、エミッタ電極E M Tと接触している。本実施例に依れば、セルの上下端においてダミーゲートD Gとエミッタ電極E M Tが接続される場合よりもポリシリコン膜の抵抗を小さくできる。これにより、p型ウェル層P Wの電位が変動してもダミーゲートD Gの電位は変動しにくくなり、トレンチゲートT Gの電位が安定しスイッチングノイズを低減できる。

【実施例8】

【0028】

本発明の実施8に係る半導体装置の平面図を図14に示す。一つのセルC E Lが上下左右に規則的に配置されており、セル内に一対のトレンチゲートT G及びトレンチゲートT Gを挟む一対のダミーゲートD Gが形成されている。一つのセルはダミーゲートD Gによって2つの領域、すなわちトレンチゲートT Gを含む第1領域と、トレンチゲートを含まない第2領域に区分けされており、第1領域の幅をW M、第2領域の幅をW Dとすると、W M > W Dの関係が成立する。トレンチゲートT Gはセルの上下端においてコンタクトホールC N Tを介してエミッタ電極と接続され、ダミーゲートD Gはゲート線G Lと接続され+15Vの電位に固定されている。

【0029】

図15は図14中C-C断面図を示す。コレクタ電極C O Lに接してホールエミッタ層P Eが形成されており、さらにn型バッファ層N Bとn型ドリフト層N Dが順次形成されている。n型ドリフト層N D内に一対のトレンチゲートT G及び、一対のトレンチゲートT Gを挟むように一対のダミーゲートD Gが形成されており、ゲート酸化膜G O Xを介してゲート電極が埋め込まれている。一つのセルはダミーゲートD Gによって第1領域と第2領域に区分けされる。第1領域においては、一対のトレンチゲートT Gの間にエミッタ電極E M Tと接してp型ベース層P B及びn型ソース層N Sが形成されている。第2領域においては、ダミーゲートD Gの間にp型ウェル層P Wが形成されており、層間絶縁膜I N Tによってエミッタ電極E M Tと絶縁されている。

【0030】

図16を用いて実施例8の半導体装置の製造方法を説明する。まず始めに、公知のイオン打ち込みによりSi基板(厚さ約350nm)の一方の表面にリンイオンを打ち込み深さ約20μmのn型バッファ層N Bを形成し、Si基板の他方の表面にボロンイオンを打ち込み深さ約10μmのp型ウェル層P Wを形成する(図16(a))。次に、公知のドライエッティング法により深さ約5μmの溝を形成し、公知の熱アニールによりゲート絶縁膜(膜厚約100nm)を形成する。その後、公知のCVD法によりポリシリコン膜を埋め込み、トレンチゲートT G及びダミーゲートD Gを形成する(図16(b))。公知のイオン打ち込みにより、ボロンイオン、ヒ素イオンを順次打ち込み、深さ約3μmのp型ベース層P B及び深さ約1μmのn型ソース層N Sを形成する(図16(c))。酸化シリコン膜からなる層間絶縁膜I N T(膜厚約1μm)を形成した後、公知のホトエッティング法によりコンタクトホールを形成する(図16(d))。公知のイオン打ち込みにより

10

20

30

40

50

ホールエミッタ層 P E を形成した後、エミッタ電極 E M T 及びコレクタ電極 C O L を形成し図 15 の構造を得る。

【0031】

本実施例に依れば、ダミーゲートの電位を +15 V に固定してあるため、スイッチング時に、p 型ウェル層 P W の電位が変動しても、ダミーゲートのゲート絶縁膜に過電圧が印加されることはなく、半導体装置の信頼性を向上させることができる。また、本実施例では、トレンチゲート T G とダミーゲート D G との間には、主に n 型ドリフト層 N D が形成されており、p 型ウェル層 P W の電位が変動してもトレンチゲート T G がその影響を受けにくいため、スイッチングノイズを低減できる。

【実施例 9】

10

【0032】

図 17 は上記いずれかの実施例である半導体装置を電力変換装置に適用した一例を示す。なお、後述する各実施例の半導体装置を適用しても良い。

【0033】

本実施例の電力変換装置は、一対の直流端子である P 端子 200、N 端子 201 と、交流出力の相数と同数の交流端子である U 端子 210、V 端子 211、W 端子 212 と、前記一対の直流端子間に接続され、それぞれ電力スイッチング素子である IGBT (101 ~ 106) と、逆極性のダイオード (111 ~ 116) の並列回路を 2 個直列接続した構成からなる。本実施例では、実施例 1 から実施例 8 の IGBT を用いることができ、スイッチングノイズの低減によりモータの絶縁破壊が起こりにくいため、信頼性の高い電力変換装置を提供できる。

20

【実施例 10】

【0034】

実施例 4 において、n 型電荷障壁層 H B は図 18 に示すようにトレンチゲート T G の底部に形成されていても良い。この場合、トレンチゲート T G およびダミーゲート D G を形成したマスクを用いてイオン打ち込みを行うことができ、製造工程を簡略化できる。

【実施例 11】

【0035】

実施例 1 から 7 において、第 2 領域の幅 W D は、第 1 領域の幅 W M よりも広くしているが、第 2 領域の幅 W D を狭くして W D < W M としてもよい。この場合、半導体装置のセル密度を高くでき、オン電圧を低くできる。

30

【実施例 12】

【0036】

実施例 1 から 7 において、Si 基板の厚さは約 350 nm としたがこれに限るものではなく、電力容量に応じて任意の厚さを選ぶことができる。また、n 型バッファ層 N B は 20 μm より深くしてもよいし、浅くしてもよい。20 μm より深くした場合、ターンオフ時により多くのホールがコレクタ側に残存するため発振を抑制できる。また、20 μm より浅くした場合、n 型ドリフト層 N D を厚くできるため耐圧が向上する。

【実施例 13】

【0037】

40

実施例 1、2、6、7 のいずれかにおいて、n 型電荷障壁層 H B を形成する不純物イオンは、ヒ素イオンであってもよい。ヒ素イオンはリンイオンよりも拡散長が短いため、トレンチ深さを浅くでき、トレンチゲート形成の処理時間の短縮によりスループットが向上する。

【符号の説明】

【0038】

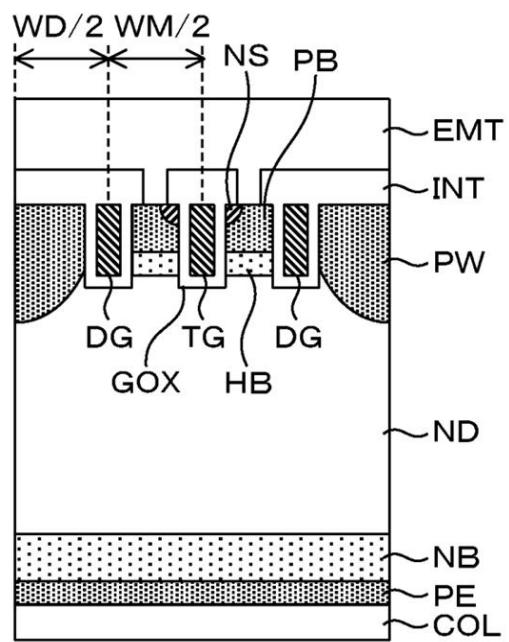
101 ~ 106 IGBT  
111 ~ 116 ダイオード  
121 ~ 126 ゲート回路  
200 P 端子

50

2 0 1	N 端子	
2 1 0	U 端子	
2 1 1	V 端子	
2 1 2	W 端子	
3 0 0	モータ	
N D	n 型ドリフト層	
N B	n 型バッファ層	
N S	n 型ソース層	
P E	ホールエミッタ層	10
P B	p 型ベース層	
P W	p 型ウェル層	
H B	n 型電荷障壁層	
T G	トレンチゲート	
D G	ダミーゲート	
T R	溝	
G O X、D O X	ゲート酸化膜	
I N T	層間絶縁膜	
E M T	エミッタ電極	
C O L	コレクタ電極	20
G L	ゲート線	
C N T	コンタクトホール	
C E L	セル	
W M	第1領域の幅	
W D	第2領域の幅	
M R	メインセル	
D R	ダミーセル	

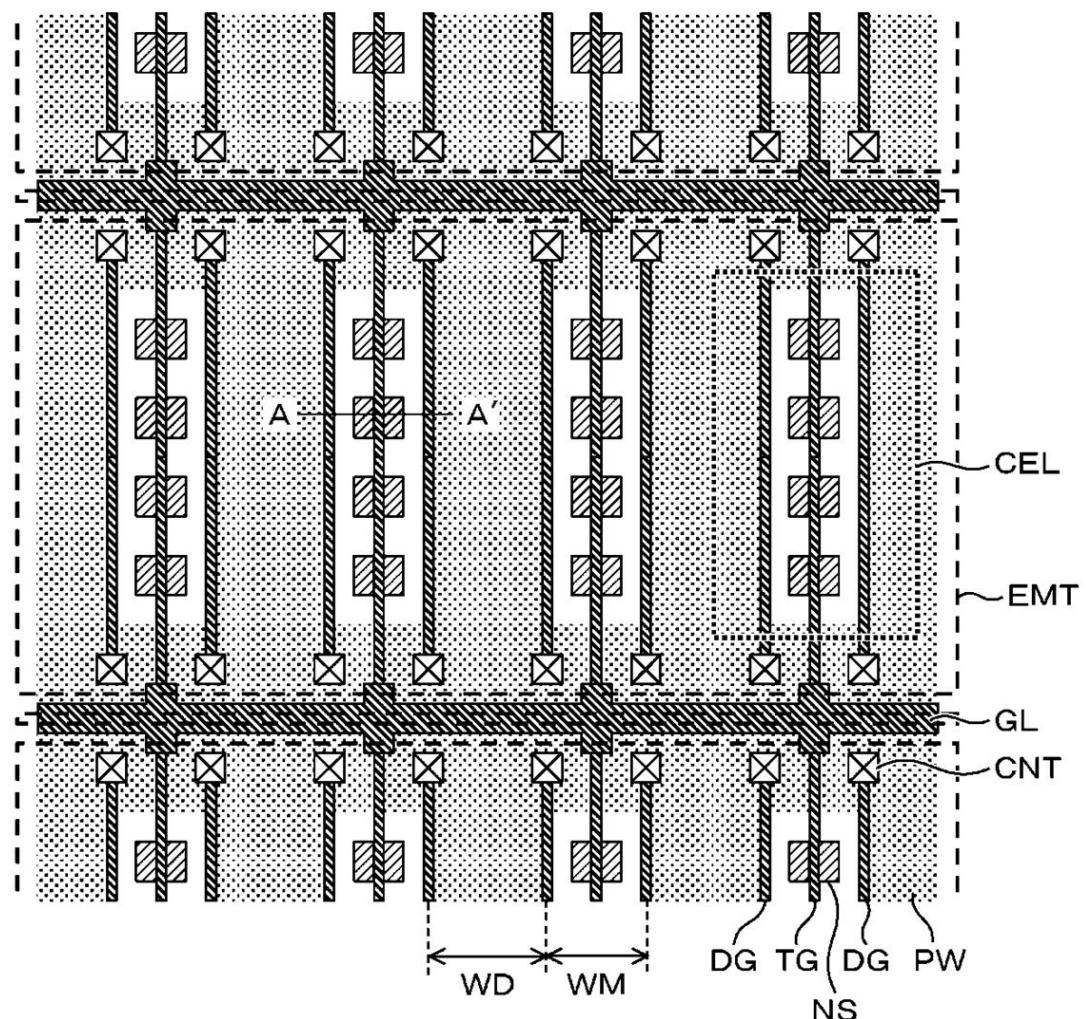
【図1】

図 1



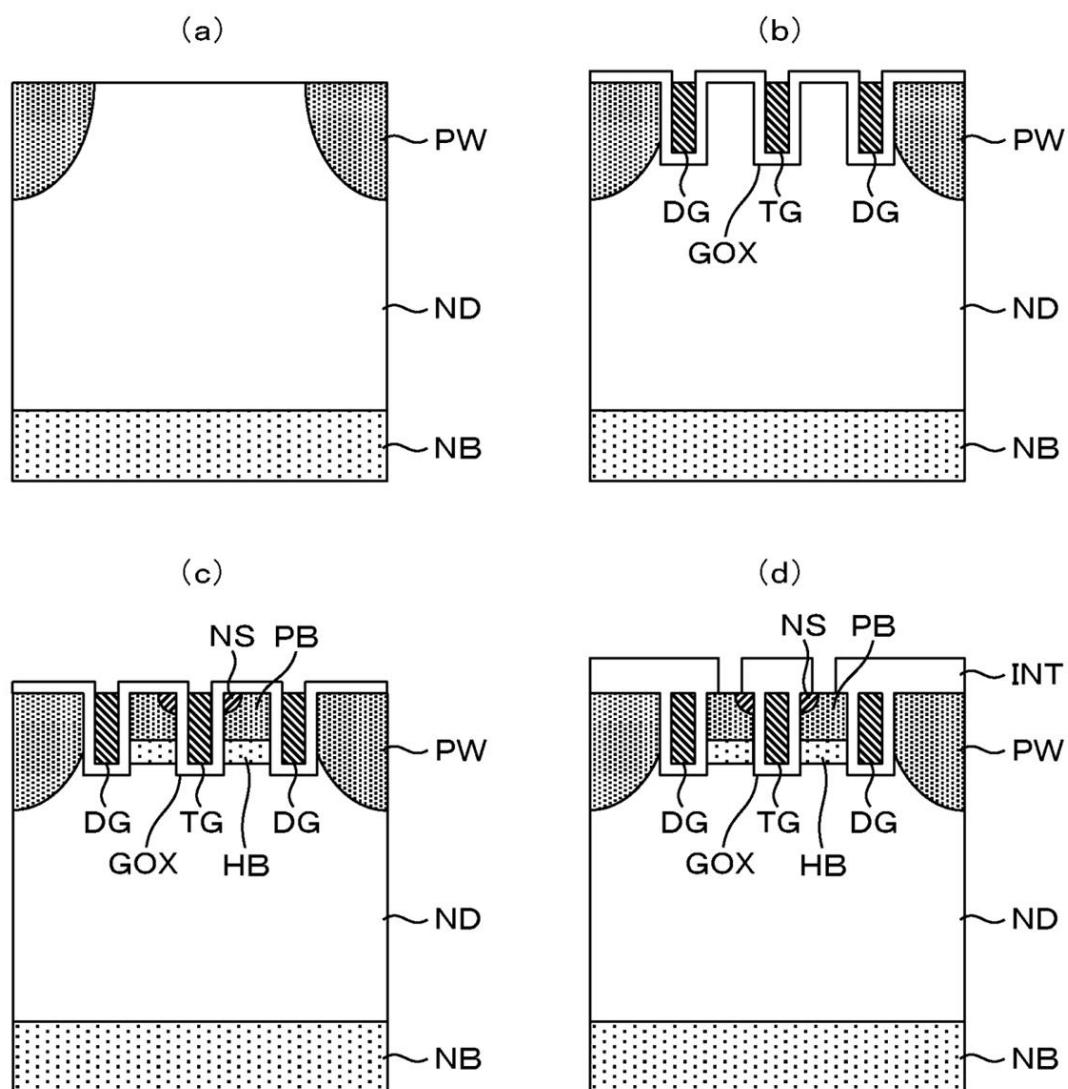
【図2】

図 2



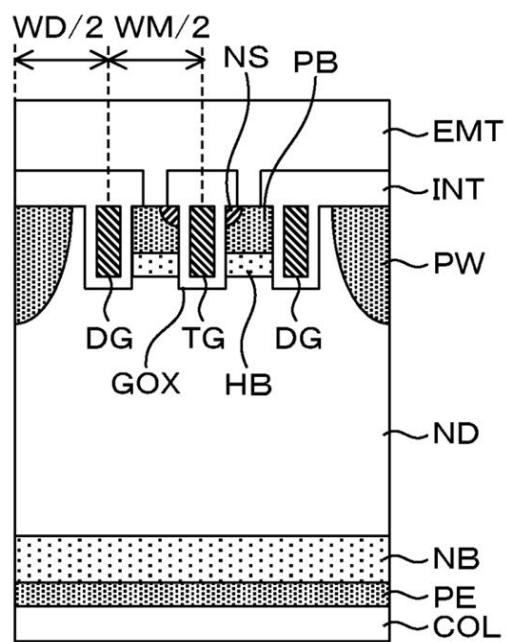
【図3】

図 3



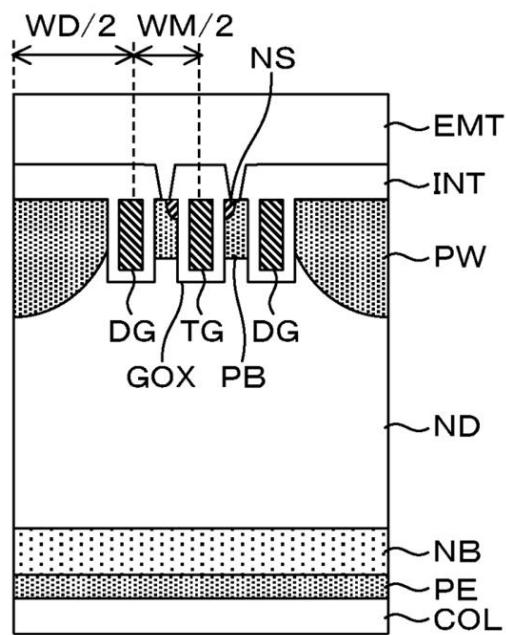
【図4】

図 4



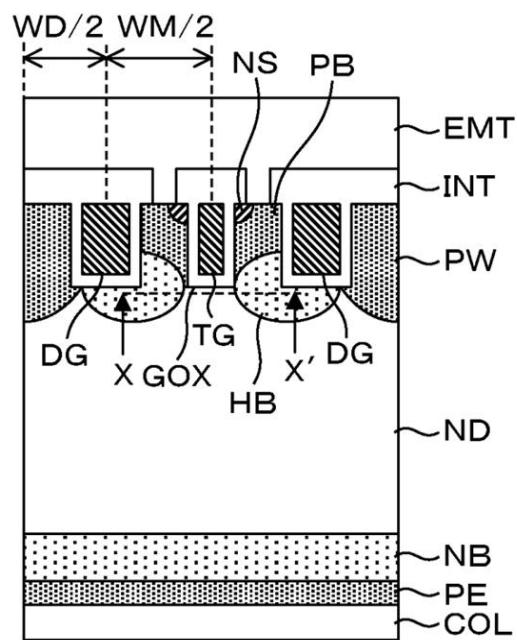
【図5】

図 5



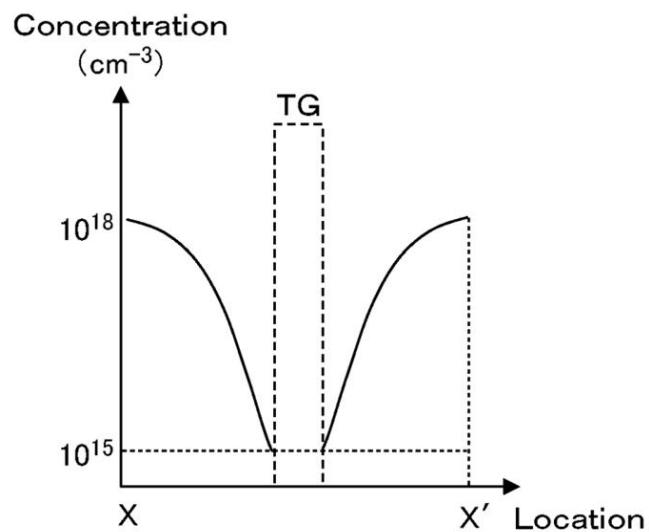
【図6】

図 6



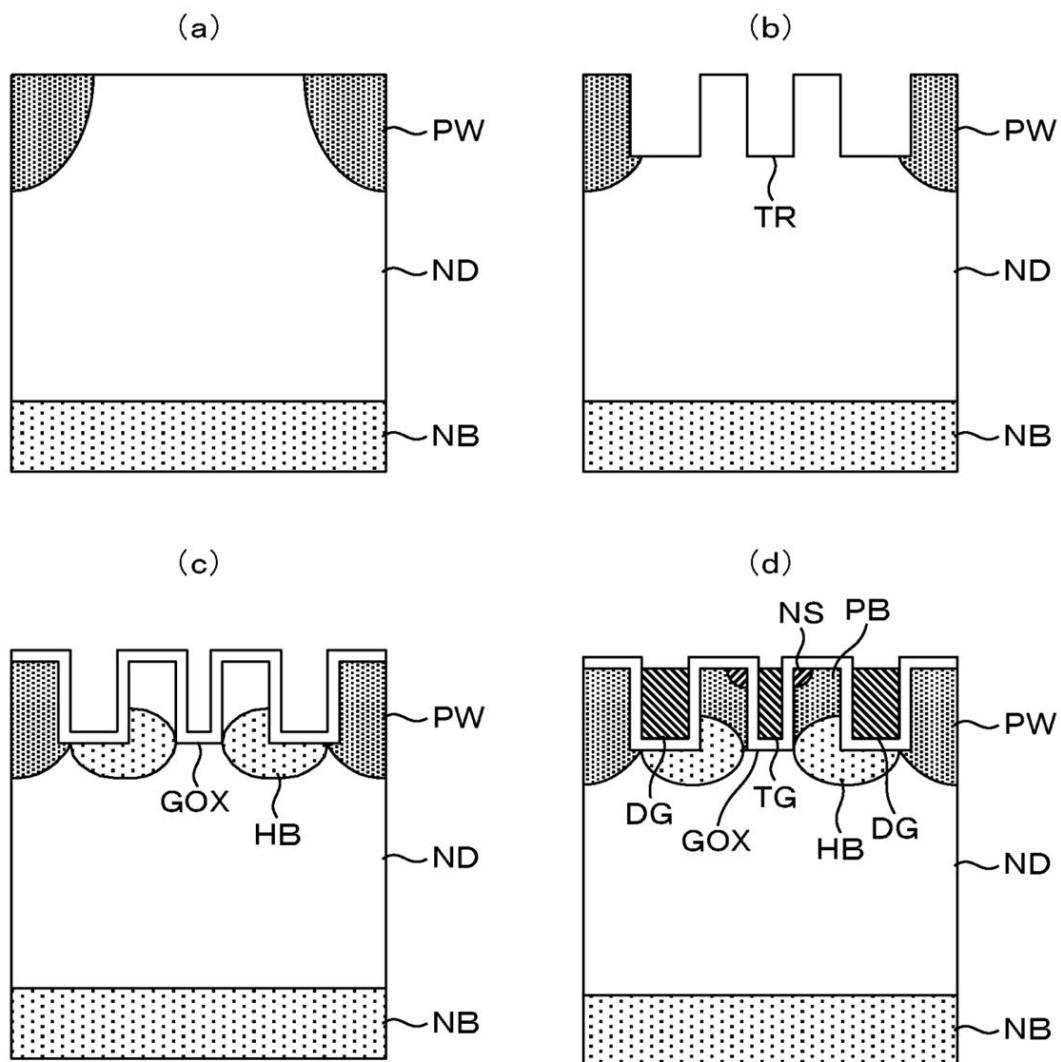
【図7】

図 7



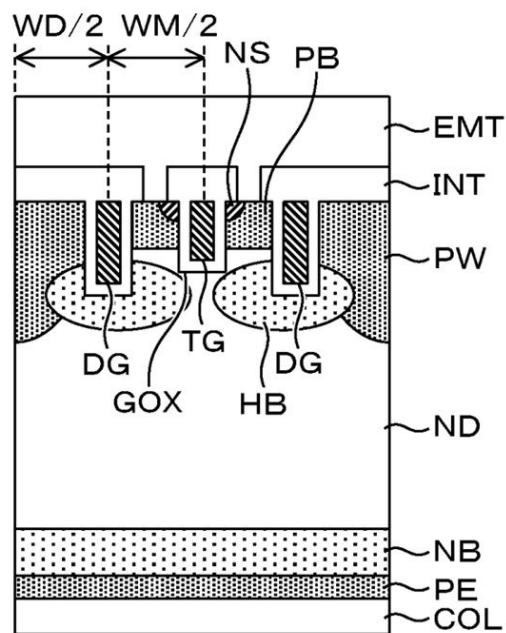
【図8】

図 8



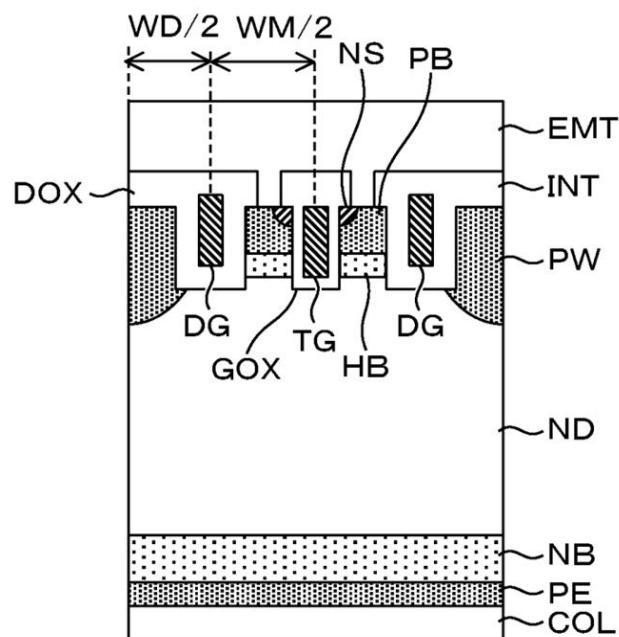
【図9】

図 9



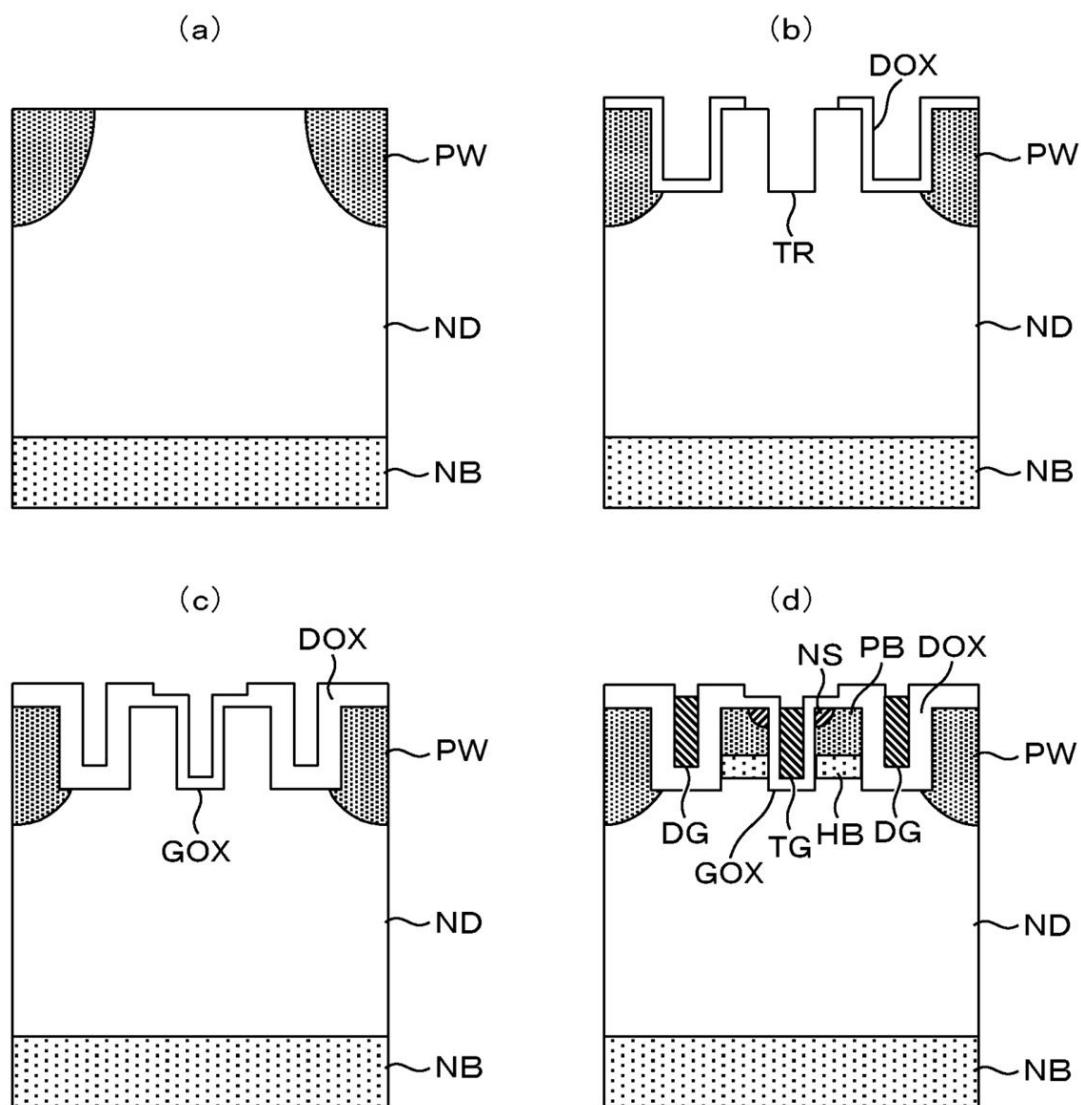
【図10】

図 10



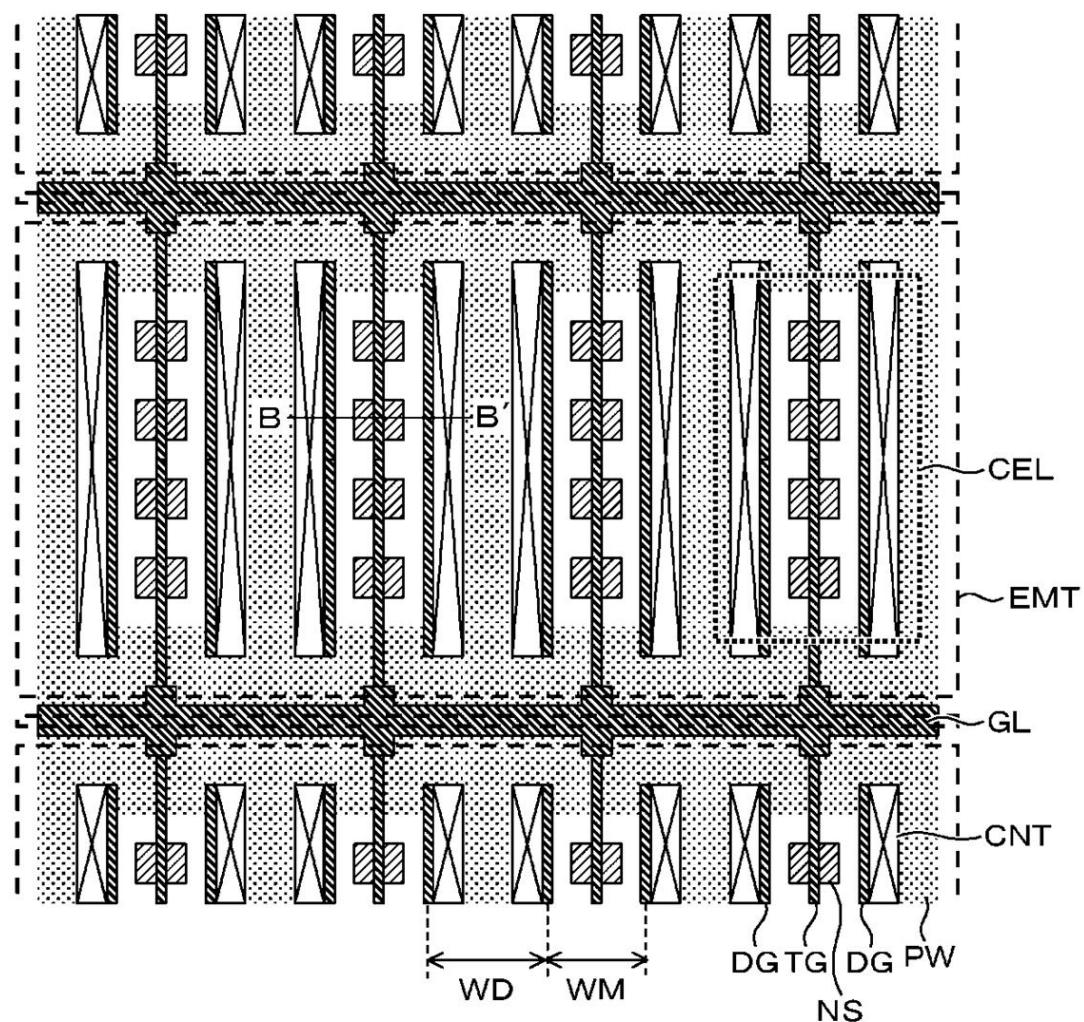
【図 11】

図 11



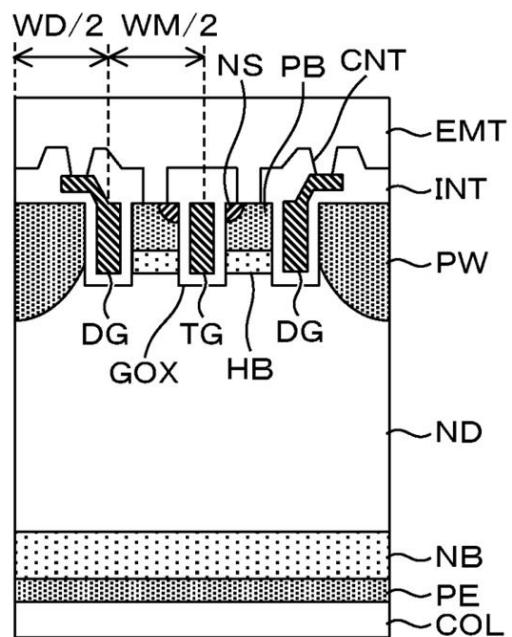
【図12】

図 12



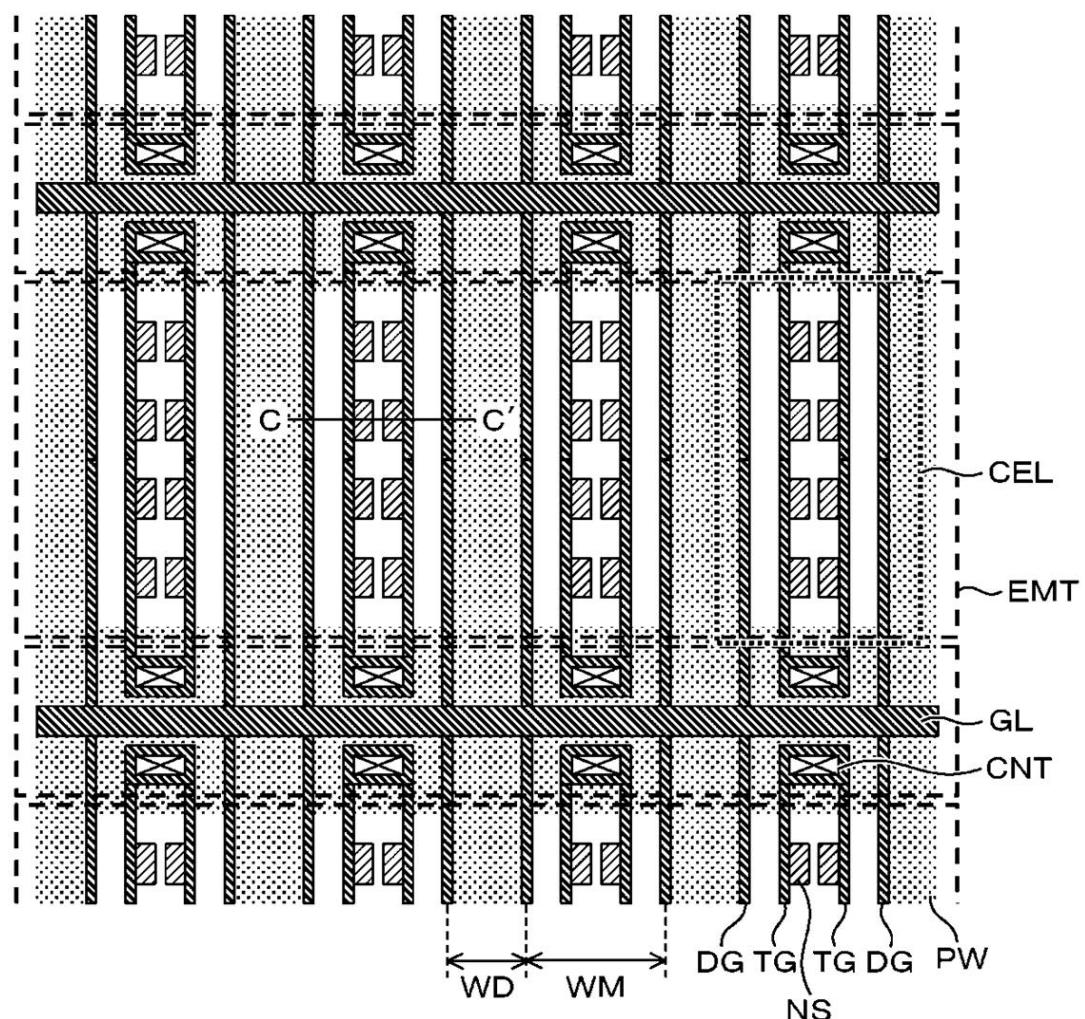
【図 13】

図 13



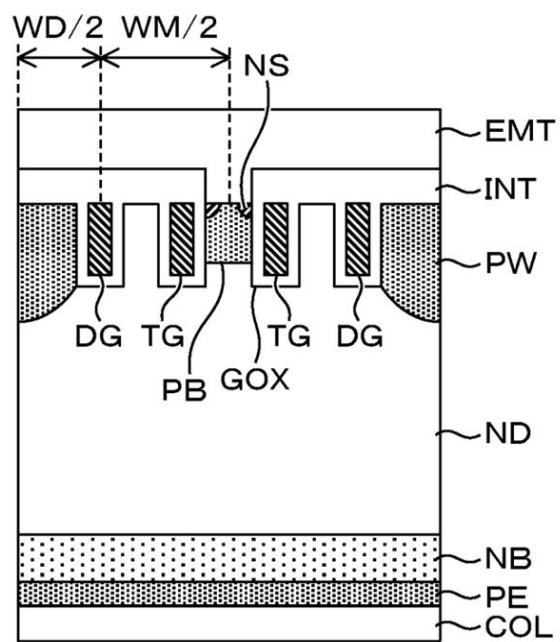
【図14】

図 14



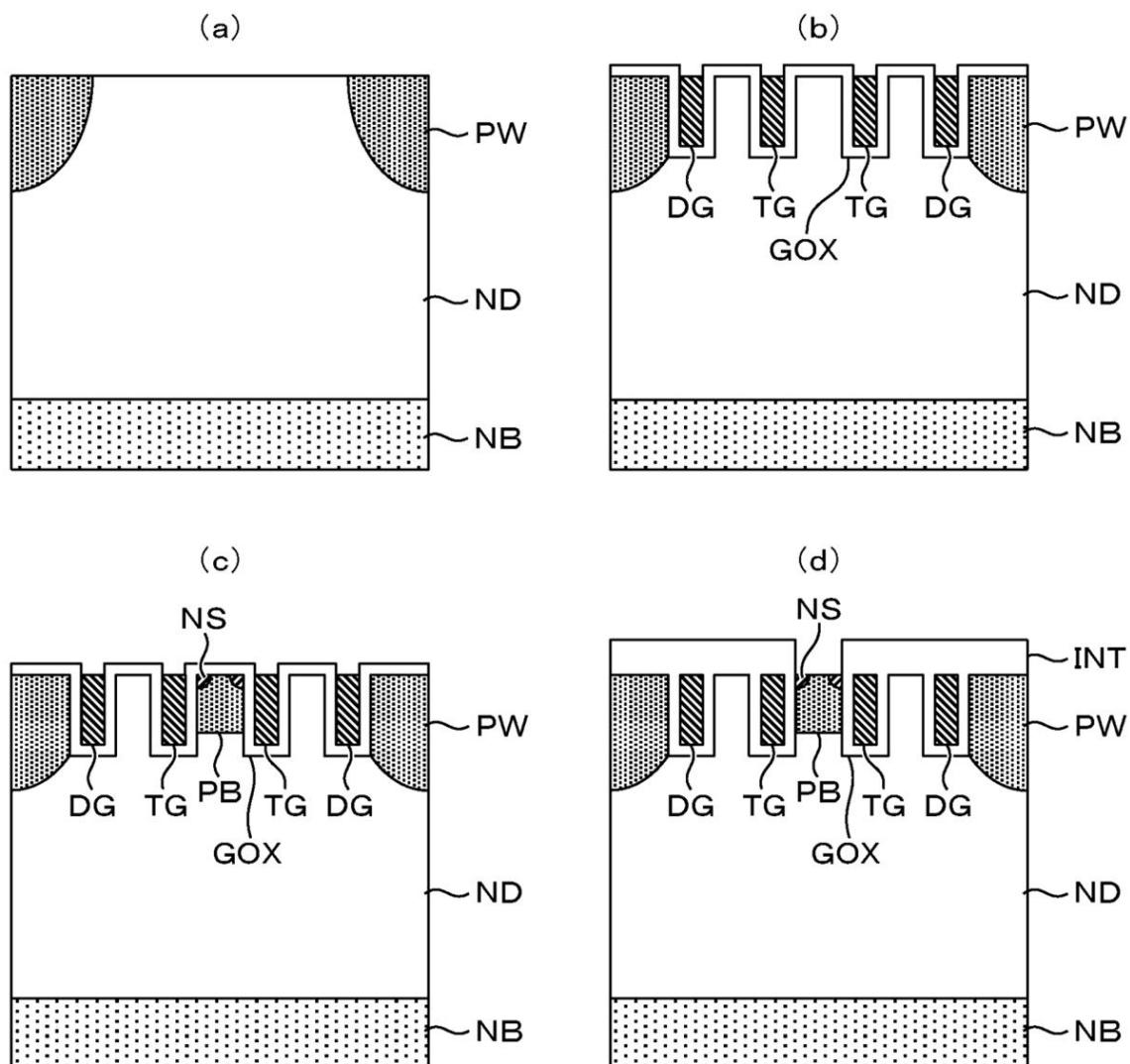
【図15】

図 15



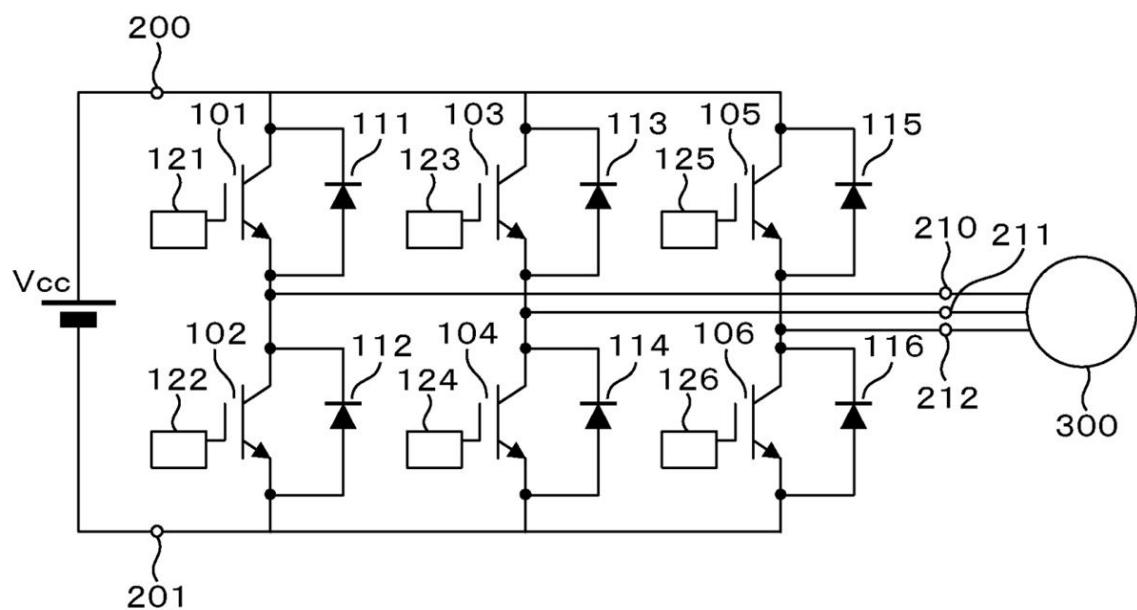
【図16】

図 16



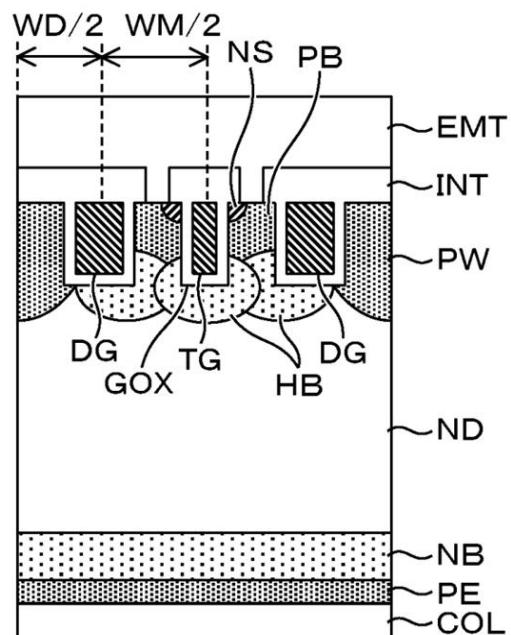
【図17】

図 17



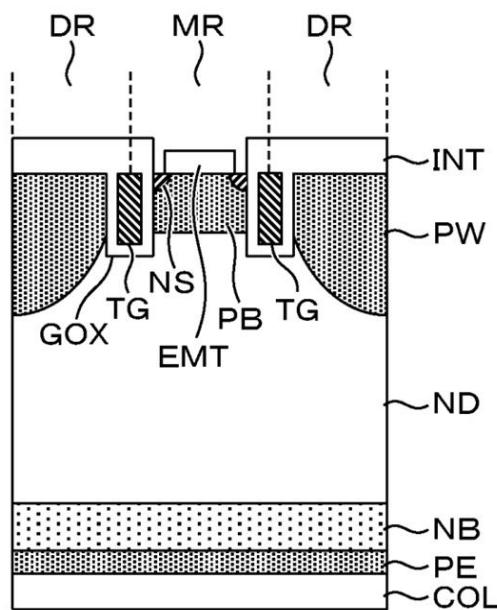
【図18】

図 18



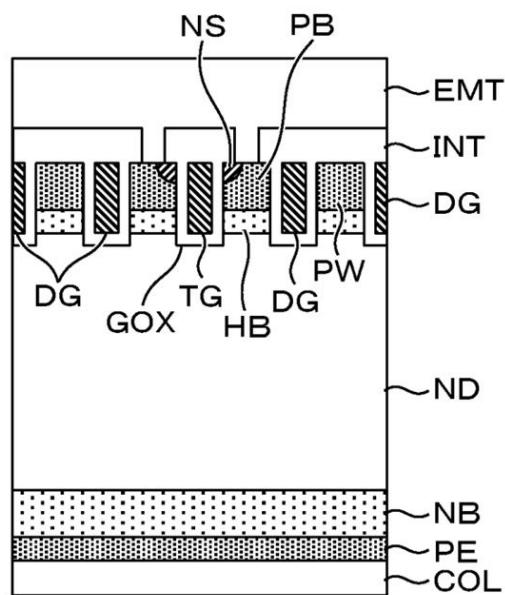
【図19】

図 19



【図20】

図 20



---

フロントページの続き

(51)Int.Cl.

F I

H 01L 29/78 655A  
H 01L 29/78 658G

(72)発明者 若木 政利

茨城県日立市大みか町七丁目1番1号  
所内

株式会社 日立製作所 日立研究

審査官 須原 宏光

(56)参考文献 特開2011-204803 (JP, A)

特開2011-165971 (JP, A)

特開2004-228172 (JP, A)

特開2006-245477 (JP, A)

特開2005-347289 (JP, A)

特開平11-330466 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01L 29 / 78