

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5557354号
(P5557354)

(45) 発行日 平成26年7月23日(2014.7.23)

(24) 登録日 平成26年6月13日(2014.6.13)

(51) Int. Cl.		F I	
GO 1 C	19/5755 (2012.01)	GO 1 C	19/56 2 5 5
B 8 1 B	7/02 (2006.01)	B 8 1 B	7/02
GO 1 C	19/5726 (2012.01)	GO 1 C	19/56 2 2 6
HO 3 H	9/24 (2006.01)	HO 3 H	9/24 Z
HO 3 H	11/04 (2006.01)	HO 3 H	11/04 G

請求項の数 5 (全 15 頁)

(21) 出願番号	特願2012-504695 (P2012-504695)	(73) 特許権者	504199127
(86) (22) 出願日	平成22年3月23日(2010.3.23)		フリースケール セミコンダクター イン コーポレイテッド
(65) 公表番号	特表2012-523565 (P2012-523565A)		アメリカ合衆国 テキサス州 78735 オースティン ウィリアム キャノン
(43) 公表日	平成24年10月4日(2012.10.4)		ドライブ ウェスト 6501
(86) 国際出願番号	PCT/US2010/028282	(74) 代理人	100142907
(87) 国際公開番号	W02010/117615		弁理士 本田 淳
(87) 国際公開日	平成22年10月14日(2010.10.14)	(72) 発明者	ピアン、デイビッド イー。
審査請求日	平成25年3月22日(2013.3.22)		アメリカ合衆国 85304 アリゾナ州 グレンデール ダブリュ. ショー ユート ドライブ 5773
(31) 優先権主張番号	12/421, 513		
(32) 優先日	平成21年4月9日(2009.4.9)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 寄生容量により誘導される誤差が減少されたセンサデバイス

(57) 【特許請求の範囲】

【請求項 1】

デバイスであって、

第 1 駆動ノードおよび第 1 感知ノードを有するセンサ素子であって、第 1 駆動信号が前記第 1 駆動ノードに印加された時に、第 1 寄生電流が前記第 1 駆動ノードと前記第 1 感知ノードとの間に存在する、センサ素子と、

電圧源に接続された第 1 入力および前記第 1 感知ノードに接続された第 1 出力を有する容量性ネットワークであって、前記第 1 駆動信号と逆位相の第 2 駆動信号が前記第 1 入力に印加された時に、前記第 1 寄生電流を実質的に打ち消す容量性ネットワークと、を備えたデバイス。

【請求項 2】

前記容量性ネットワークは第 1 容量性ネットワークであり、

前記センサ素子が第 2 駆動ノードおよび第 2 感知ノードを含み、前記第 1 駆動信号が前記第 1 駆動ノードと前記第 2 駆動ノードとの間に印加された時に、第 2 寄生電流が前記第 2 駆動ノードと前記第 2 感知ノードとの間に存在し、

前記第 1 容量性ネットワークの前記第 1 入力は前記第 2 駆動ノードに接続され、

前記デバイスが、前記第 1 駆動ノードに接続された第 2 入力および前記第 2 感知ノードに接続された第 2 出力を有する第 2 容量性ネットワークをさらに備え、前記第 2 容量性ネットワークが前記第 2 寄生電流を実質的に打ち消す、請求項 1 記載のデバイス。

10

20

【請求項 3】

前記第 1 駆動ノードと前記第 1 感知ノードとの間に第 1 寄生容量が存在し、前記第 2 駆動ノードと前記第 2 感知ノードとの間に第 2 寄生容量が存在し、

前記第 1 容量性ネットワークは、前記第 1 寄生容量と実質的に等しい第 1 有効容量を供給するための第 1 調整可能容量性ネットワークであり、

前記第 2 容量性ネットワークは、前記第 2 寄生容量と実質的に等しい第 2 有効容量を提供するための第 2 調整可能容量性ネットワークである、

請求項 2 記載のデバイス。

【請求項 4】

前記第 1 寄生容量が前記第 2 寄生容量と異なり、前記第 1 調整可能容量性ネットワークおよび前記第 2 調整可能容量性ネットワークは、前記第 1 有効容量および前記第 2 有効容量を取得すべく、別々に調整される、

請求項 3 記載のデバイス。

【請求項 5】

デバイスにおける寄生電流を実質的に打ち消す方法において、該デバイスが、

第 1 駆動ノード、第 2 駆動ノード、第 1 感知ノード、および第 2 感知ノードを有するセンサ素子、

前記第 2 駆動ノードに接続された第 1 入力および前記第 1 感知ノードに接続された第 1 出力を有する第 1 容量性ネットワーク、および

前記第 1 駆動ノードに接続された第 2 入力および前記第 2 感知ノードに接続された第 2 出力を有する第 2 容量性ネットワークを備え、前記方法が、

前記第 1 駆動ノードと前記第 1 感知ノードとの間の第 1 の決定された寄生容量と実質的に等しい第 1 有効容量を供給するために前記第 1 容量性ネットワークを調整するステップであって、駆動信号を前記センサ素子に印加すると、前記第 1 寄生容量が第 1 寄生電流を発生するステップと、

前記第 2 駆動ノードと前記第 2 感知ノードとの間の第 2 の決定された寄生容量と実質的に等しい第 2 有効容量を供給するために前記第 2 容量性ネットワークを調整するステップであって、前記駆動信号を前記センサ素子に印加すると、前記第 2 寄生容量が第 2 寄生電流を発生するステップと、

前記センサ素子を駆動するために、前記第 1 駆動ノードと前記第 2 駆動ノードに前記駆動信号を印加するステップであって、前記第 1 寄生電流および前記第 2 寄生電流が実質的に打ち消されるように、前記第 1 容量性ネットワークを通り、第 1 寄生電流と実質的に等しく、第 1 寄生電流と位相が逆である第 1 補正電流を形成するために、かつ前記第 2 容量性ネットワークを通り、第 2 寄生電流と実質的に等しく、第 2 寄生電流と位相が逆である第 2 補正電流を形成するために、前記駆動信号が同時に第 1 および第 2 容量性ネットワークに印加されるステップと、

を含む方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般的にはセンサに関するものであり、さらに詳しくは寄生容量により誘導される誤差が減少されたセンサデバイスに関するものである。

【背景技術】

【0002】

微小電気機械システム(MEMS)技術は、微小機械構造を生成し、そのような微小機械構造を従来バッチ半導体処理技術を用いて単一基板上で電気デバイスと共に集積する方法を提供することによって、近年ますます一般的な様式になってきている。MEMSの1つの通常な応用はセンサデバイスの設計および製造である。デバイスの電気機械部分が感知能力を提供するが、電子部分が電気機械部分によって取得された情報を処理する。MEMSの1つの例はMEMSジャイロスコープセンサである。

10

20

30

40

50

【 0 0 0 3 】

代わりに「ジャイロスコープ」、「ジャイロメータ」、「角速度センサ」、または「ヨーレートセンサ」とも呼ばれるジャイロスコープセンサは、1つまたは複数の軸周りの角速度を感知する。1つのタイプのMEMSジャイロスコープが、コリオリ力または加速度の検出を介して角速度を感知するための振動素子を用いる。振動素子は基板と平行なX軸（駆動平面）に沿って振動運動状態に置かれる。一旦振動素子が運動状態に置かれると、振動素子は、基板をZ軸周りに回転されることによって誘導された角速度を検出することが可能である。コリオリの加速度はX軸およびZ軸の両方に垂直なY軸（感知平面）で起こる。コリオリの加速度は、基板の回転角速度に比例する振幅を有する動作を生じる。

【 0 0 0 4 】

電気回路において、寄生容量は、電子部品または回路の部分が、一部の理由としては互いに近接して存在するために、電子部品または回路の部分との間に存在する不回避かつ通常好ましくない容量である。さらに、インダクター、ダイオード、トランジスタのようなすべての回路素子が内部寄生容量を有し、かかる回路素子の挙動が理想的回路素子の挙動から離脱し得る。寄生容量は、例えばワイヤまたはプリント回路基板トレース等の密集した導体の間にも存在する。寄生容量はMEMSセンサまたは関連したパッケージングおよびボンディングの配置に固有であり、したがって、寄生容量値は異なるセンサ実行に変化し得るだけでなく、寄生容量値は製造における装置ごとに変化し得る。

【 0 0 0 5 】

MEMSジャイロスコープセンサは、デバイスの駆動ノードと感知ノードとの間に寄生容量を有し、該寄生容量が、センサ位置に相当する信号に誤差を生じさせる。寄生容量が、所望センサ位置信号に対して直交な電流を生じるため、駆動ノードと感知ノードとの間の寄生容量は特に厄介である。したがって、振動素子の位置が誤って決定されるように、感知ノードで決定された信号に誤差が生成される。

【 0 0 0 6 】

幾つかの方法が、各キャパシタと直列に接続されたスイッチを介して並列に直接的に接続されたキャパシタを組み合わせ、変化可能容量を有する1つのポート容量性ネットワークを生成することを含む。あいにくスイッチにおける寄生容量と共にMEMSセンサ実行におけるキャパシタの最小物理サイズのおかげで、スイッチを含む素子の最小容量はゼロに達しない。また、このような1つのポート容量性ネットワークにおいて、スイッチを含むキャパシタの数が増加するほど、最小の達成可能な容量も増加し得る。キャパシタの最小物理サイズの制限およびスイッチを含む素子の数が増加するにつれての最小の達成可能な容量は、約0.5~50フェムトファラドの範囲の寄生容量値のMEMSジャイロスコープセンサに非常に望ましくない。

【 図面の簡単な説明 】

【 0 0 0 7 】

【図1】寄生容量の存在を例示する微小電気機械システム(MEMS)センサの回路図である。

【図2】寄生容量により図1のMEMSセンサに導入された寄生容量により誘導される誤差を例示する波形のチャートである。

【図3】代表的MEMSセンサの斜視図である。

【図4】本発明の実施形態による、寄生容量により誘導される誤差を減少すべく実施された2つのポートの容量性ネットワークを有する図3のMEMSセンサの回路図である。

【図5】2つのポートの容量ネットワークをMEMSセンサで実施した結果としての誤差の減少を例示する波形のチャートである。

【図6】本発明の別の実施形態による、2つのポートの容量ネットワークである。

【図7】2つポートの容量性ネットワークで実施された1つの複数の容量性回路の回路モデルである。

【図8】2つポートの容量性ネットワークにおける容量性回路の各々に達成可能な有効容量 C_{eff} を決定するための方程式を提供する図7の回路モデルに相当するチャートである

10

20

30

40

50

。【図9】容量性回路内の複数のキャパシタの代表的容量値および得られた有効なネットワーク容量の表を示す。

【発明を実施するための形態】

【0008】

本発明の実施形態は、寄生容量により誘導される誤差が減少された微小電気機械システム(MEMS)センサおよびMEMSセンサにおける寄生容量により誘導される誤差を減少させる方法を包含する。寄生容量により誘導される誤差電流を打ち消すための正しい位相の逆電流を生成すべく、有効容量の調整を可能にする2つのポートを備えた容量性ネットワーク(以下、2つのポートの容量性ネットワーク)が、MEMSセンサに実装される。2つのポートの容量性ネットワークは広範囲の容量に亘って調整可能であり、有効容量を必要に応じて小さくすることが可能である(例えば、最小オン・チップ部品または寄生容量以下)。

10

【0009】

以下に記載されたMEMSセンサは、寄生容量により誘導される誤差が減少されたMEMSジャイロスコープセンサを形成するための適切な回路および構造を有する慣性センサである。しかしながら、以下に記載された寄生容量により誘導される誤差の減少をもたらす原理は、MEMS加速度計、MEMS圧力センサ等のような他のタイプのデバイスに代替的に適用されてもよい。また、この原理は非MEMSデバイスまたは汎用集積回路に適用し得る。したがって、MEMSジャイロスコープのような特定タイプの慣性センサの説明は例示的なものに過ぎず、様々な実施形態の範囲を限定することを意図したものではない。

20

【0010】

図1は、寄生容量22および24の存在を例示する微小電気機械システム(MEMS)ジャイロスコープセンサ20の回路図を示す。一般に、MEMSセンサ20は、共振器素子26のようなセンサ素子と、感知回路28とを備えている。共振器素子26は、典型的に試験質量(プルーフマス)と呼ばれる1つまたは複数の可動素子を含む。これらの可動素子は、それらの移動を可能にする様々な機械的結合およびバネにより、下にある基板(図示しない)に接続される。様々な実施形態が、例えば、駆動質量または感知質量として構成可能な1つまたは複数の可動素子を含み得る。簡潔のために、1つまたは複数の可動素子は、単一構造素子(すなわち、単一試験質量30)により表わされている。

30

【0011】

共振器素子26は、一对の駆動ノード34、36に電気接続された駆動構造32を備える。駆動ノード34と36との間に、交流(AC)電圧源38が接続される。共振器素子26は、一对の感知ノード42および44に電気接続された感知構造40をさらに備える。感知ノード42および44は感知回路28の感知増幅器46と電気通信している。

【0012】

駆動構造32は、試験質量30から延びる複数の移動駆動フィンガー48(そのうちの1つが示される)および下にある基板(図示しない)に固定された複数の固定駆動フィンガー50(そのうちの2つが示される)を備え、該固定駆動フィンガー50は移動駆動フィンガー48に対して非可動である。さらに、移動駆動フィンガー48は一对の固定駆動フィンガー50と交互に配置される。

40

【0013】

感知構造40は、試験質量30から延びる複数の移動感知フィンガー52(そのうちの1つが示される)および下にある基板(図示しない)に固定された固定感知フィンガー54(そのうちの2つが示される)を備え、固定感知フィンガー54は、移動感知フィンガー52に対して非可動である。さらに、移動感知フィンガー52は一对の固定感知フィンガー54と交互に配置される。

【0014】

試験質量30、駆動構造32、感知構造40の構成は図解のために提供されていること

50

を注意されるべきである。試験質量 30、駆動構造 32 の構成要素、感知構造 40 の構成要素、等のサイズ、形、量、および材料は、MEMS センサ 20 の所望の感度、安定度、および範囲を達成するために公知の機械設計原理にしたがって選択されてもよい。同様に、試験質量 30 を吊る機械的結合およびバネ（図示せず）の形、サイズ、材料、およびバネ定数は、試験質量 30 の所望の動きを達成するために選択されてもよい。

【0015】

一実施形態において、MEMS センサ 20 は容量型ジャイロ스코ープとして実施される。すなわち、試験質量 30 の振動直線運動 58 ($x(t)$ で示す) を引き起こすために、固定駆動フィンガー 50 と駆動ノード 34, 36 の電氣的接続により、駆動信号、例えば、電圧源 38 からの正弦波駆動電圧 56 が、固定駆動フィンガー 50 間に印加される。MEMS センサ 20 が角速度における変化を受け、振動直線運動 58 をしている場合、試験質量 30 が移動する。すなわち、MEMS センサ 20 の回転が、コリオリ力（コリオリ加速度とも呼ばれる）を角速度と比例している試験質量 30 に加えて、試験質量 30 の速度ベクトルに対する角速度ベクトルの向きに依存する。コリオリ加速度、角速度ベクトルおよび質量速度ベクトルは互いに直交である。例えば、駆動軸（すなわち、X 軸 60）に沿って印加された振動直線運動 58 および頁外に延びる Z 軸の周りに入力された角速度の相互作用から得られるコリオリ加速度は、試験質量 30 に沿って移動感知フィンガー 52 へと送られる。

【0016】

固定感知フィンガー 54 および隣接する移動感知フィンガー 52 が、共に可変差動キャパシタを形成する。したがって、MEMS センサ 20 が Z 軸周りに角速度変化を受ける時、各移動感知フィンガー 52 が感知軸（すなわち、Y 軸 62）に沿って移動して、隣接する固定感知フィンガー 54 の 1 つに向い、別の隣接する固定感知フィンガー 54 から離れる。移動感知フィンガー 52 の移動距離が、固定感知フィンガー 52 と移動感知フィンガー 54 との間の容量 64 ($C(t)$ で示す) の比例変化を生じる。容量 64 の変化は感知電流 66 ($I(t)$ で示す) を生じさせる。感知電流 66 は、感知ノード 42, 44 を介した感知増幅器 46 への出力であり、感知増幅器 46 にて感知電流 66 は増幅され、角速度と比例する出力電圧 68 ($V_{out}(t)$ で示す) へと変換される。

【0017】

寄生容量 22 (C_{p1} で示す) は駆動ノード 34 と感知ノード 42 との間に存在し、駆動ノード 34 と感知ノード 42 の各々は、駆動電圧 56 が駆動ノード 34 と 36 との間に印加される時、同一極性である。寄生容量 22 が、駆動ノード 34 と感知ノード 42 との間に寄生電流 70 ($I_{p1}(t)$ で示す) を生成する。同様に、寄生容量 24 (C_{p2} で示す) は駆動ノード 36 と感知ノード 44 との間に存在し、駆動ノード 36 と感知ノード 44 の各々は、駆動電圧 56 が駆動ノード 34 および 36 との間に印加される時、同一極性である。寄生容量 24 が、駆動ノード 36 と感知ノード 44 との間に寄生電流 72 ($I_{p2}(t)$ で示す) を生成する。明確さのために種々のノードを区別するために、適合する極性を示すように駆動ノード 34 を以下に第 1 駆動ノード 34 と称し、感知ノード 42 を以下に第 1 感知ノード 42 と称する。同様に、適合する極性を示すように駆動ノード 36 を以下に第 2 駆動ノード 36 と称し、感知ノード 44 を以下に第 2 感知ノード 42 と称する。寄生容量 22 および 24 は MEMS センサ 20 内の物理的構成要素ではない。したがって、駆動ノード 34 および 36 ならびに相当する感知ノード 42 および 44 との寄生容量 22 および 24 の相互接続は破線で表される。

【0018】

寄生電流 70 および 72 は、感知電流 66 と組み合わせられ、よって第 1 ノード 42 および第 2 ノード 44 を介して増幅器 46 へ出力される。寄生電流 70 および 72 は次に所望信号（すなわち、感知電流 66）を用いて増幅され、感知増幅器 46 で出力電圧 68 に変換し得る。したがって、得られる出力電圧 68 は、感知された角速度に悪影響を及ぼす寄生容量により誘導される誤差を有する。

【0019】

10

20

30

40

50

図1に関して図2を参照すると、図2は、MEMSジャイロスコープセンサ20に導入された寄生容量22および24により誘導される誤差を例示する波形のチャート74を示す。チャート74は、駆動ノード34および36に印加された電圧源38からのAC駆動電圧56を表す波形76を含む。別の波形78は、駆動電圧56に応答した試験質量30から延びる移動感知フィンガー48の位置または振動を表す。次の波形80は、移動感知フィンガー52と固定感知フィンガー54との間の時間で変化する容量64を表す。時間変化する容量64を表す波形80は、移動感知フィンガー48の位置を表す波形78と同位相である。

【0020】

次の波形82は、時間変化する容量64に関する感知電流66を表す。変化している感知電流66を表す波形82は、駆動電圧56を表す波形76と同位相である。次の波形84は、相当する寄生容量22および24から得られる組み合わされた寄生電流70および72を表す。組み合わされた寄生電流70および72を表す波形84は、感知電流66を表す波形80と位相がずれている。したがって、次の波形86(実線)が、寄生容量により誘導される誤差88によって悪影響を受ける出力電圧68を表す。別の波形90(破線)が波形86に重なり、寄生容量により誘導される誤差88を有しない所望出力電圧92($V_{DES}(t)$)で示す)を表す。

【0021】

このように、時間変化する寄生容量22および24は、試験質量30の位置、したがって角速度に相当する出力電圧68に、寄生容量により誘導される誤差88を生じさせる。寄生電流貢献(すなわち、寄生電流70および72)は感知電流66に対して位相がずれるので、第1駆動ノード34と第1感知ノード42との間の寄生容量22および第2駆動ノード36と第2感知ノード44との間の寄生容量24が出力電圧68で位相誤差を引き起こす。当然ながら、この位相誤差はMEMSセンサ20の精度に悪影響を及ぼす。さらに、寄生容量22および24は、所望出力電圧92に対して直交である電流を生じる。したがって、波形94が、感知ノード42および44において決定された直交信号96を表し、直交信号96にも寄生容量によって誘導される誤差88が存在する。

【0022】

本発明の一実施形態は、寄生電流70および72を大幅に打ち消し、それにより出力電圧68における寄生容量によって誘導される誤差88およびそれに対応して直交信号96における寄生容量によって誘導される誤差88を実質的に減少する、2つのポートの容量性ネットワークを含む。

【0023】

図3は代表的MEMSデバイス98の斜視図を示す。MEMSデバイス98は通常、感知能力を提供する電気機械部分100と、電気機械部分100によって取得された情報を処理する混合信号集積回路(MSIC)型の電子部分102とを含む。電気機械部分100および電子部分102の両方は、適切な入力トレースおよび出力トレース106および適切な相互接続トレース108を有する単一基板上に形成されてもよい。

【0024】

一実施形態において、電気機械部分100には共振器素子26(図1)が実装されてもよい。電子部分102には感知回路28(図1)、容量性ネットワーク(以下に記載される)、および/または他の回路機構が実装されてもよい。このようなMEMSデバイス98を用いて、例えば、小型フォームファクタと組み合わされたセンサ精度が必要とされる、エアバッグ展開システム、自動ヨー(yaw)制御デバイス、安全機構、携帯電話、ラップトップおよびノートパソコン、カメラ、ゲームコントローラ等の種々のモニタおよび/または制御機能を実行し得る。MEMSデバイス98は図解のために提供されていることを注意されるべきである。当業者には、MEMSデバイス98が、様々な構成を有する可能性があり、より多いまたは少ない構成要素を有し得ることが理解される。

【0025】

図4が、本発明の実施形態による、寄生容量により誘導される誤差88を減少すべくM

10

20

30

40

50

MEMSセンサ110に実装された2つのポートの容量性ネットワーク112および114を有するMEMSセンサ110の回路図を示す。実際には、MEMSセンサ110はMEMS98を形成するように一般に構成されてもよい(図3)。簡潔のために、2つのポートの容量性ネットワーク112および114は、図1に関して記載されたようにMEMSセンサ構成に集積することに関連して説明される。したがって、図1に利用された符号は同一部品を参照するために図4にも利用される。しかしながら、上述記載されたように、特定MEMSセンサは代替実施形態において、様々な構造型をとってもよい。

【0026】

したがって、MEMSセンサ110は、それぞれの第1駆動ノード34および第2駆動ノード36に電気接続された駆動構造32と、それぞれの第1ノード42および第2ノード44に電気接続された感知構造40とを有する共振器素子26を備えている。したがって、詳しく上述したように、第1駆動ノード34と第1感知ノード42との間には寄生容量22が存在し、第1駆動ノード34と第1感知ノード42との間で位相シフトされた寄生容量70を生成する。同様に、第2駆動ノード36と第2感知ノード44との間には寄生容量24が存在し、第2駆動ノード36と第2感知ノード44との間で位相シフトされた寄生電流72を生成する。MEMSセンサ110に関連して記載されたが、容量性ネットワーク112および114は他のタイプのMEMSデバイス、非MEMSデバイス、および/または寄生容量によって誘導される誤差88(図2)の減少が必要とされる汎用集積回路に代替的に適用されてもよい。

【0027】

一実施形態によれば、容量性ネットワーク112は、第2駆動ノード36に接続された入力116および接地に接続された別の入力118を有する。さらに、容量性112は、第1感知ノード42に接続された出力120および接地に接続された別の出力122を有する。同様に、容量性ネットワーク114は、第1駆動ノード34に接続された入力124および接地に接続された別の入力126を有する。また、容量性ネットワーク114は、第2感知ノード44に接続された出力128および接地に接続された別の出力130を有する。

【0028】

一般に、2つのポートのネットワークは2対の端子(すなわち、回路が2つの双極子に接続する)を有する電気回路である。2つの端子がポート条件と呼ばれる要件、すなわち同一電流がポートを出入りしなければならないことを満たすなら、2つの端子がポートを形成する。以下に詳しく説明するように、容量性ネットワーク112が、寄生容量22と実質的に等しい有効容量132(C_{eff1} で示す)を生じる。したがって、駆動電圧156が入力116に印加された場合、寄生電流70の位相と実質的に等しく、位相がずれた補正電流134($I_{C1}(t)$ で示す)が容量性ネットワーク112を介して形成される。したがって、感知ノード42における補正電流134は感知ノード42における寄生電流70を打ち消す。

【0029】

同様に、容量性ネットワーク114は、寄生容量24と実質的に等しい有効容量136(C_{EFF2} で示す)を生じる。したがって、駆動電圧56は入力124に印加された時、寄生電流72の位相と実質的に等しく位相がずれた補正電流138($I_{C2}(t)$ で示す)が容量性ネットワーク114を介して形成される。したがって、感知ノード44における補正電流138が感知ノード44における寄生電流72を打ち消す。

【0030】

一実施形態において、容量性ネットワーク112および114の各々は広範囲、例えば約0.2~50フェムトファラドの範囲に亘ってデジタル処理で調整し得る。このような調整範囲は、0.5~50フェムトファラドの範囲に寄生容量22および24が存在する可能性が高いMEMSセンサ110に有利である。寄生容量22および24を同一にする必要はない。したがって、有効容量132および136の適切な値を取得するために容量性ネットワーク112および114が個別に調整または同調されるように、容量性ネット

10

20

30

40

50

ワーク 1 1 2 および 1 1 4 は独立的に調整され得る。

【 0 0 3 1 】

図 4 を開して図 5 を参照すると、図 5 は、容量性ネットワーク 1 1 2 および 1 1 4 を MEMS センサ 1 1 0 で実施した結果としての寄生容量によって誘導される誤差 8 8 (図 2) の減少を示す波形のチャート 1 4 0 を示す。チャート 7 4 (図 2) と同様に、チャート 1 4 0 は、駆動ノード 3 4 および 3 6 に印加された電圧源 3 8 からの AC 駆動電圧 5 6 を表す波形 7 6、および駆動電圧 5 6 に応答して試験質量 3 0 から延びる移動感知フィンガー 4 8 の振動直線運動 5 8 を表す波形 7 8 を含む。さらに、チャート 1 4 0 は、移動感知フィンガー 5 2 と固定感知フィンガー 5 4 との間の時間変化する容量 6 4 を表す波形 8 0 および変化する感知電流 6 6 を表す波形 8 2 を含む。

10

【 0 0 3 2 】

チャート 1 4 0 は、対応する補正電流 1 3 4 および 1 3 8 によって実質的に打ち消された寄生電流 7 0 および 7 2 を表す波形 1 4 2 をさらに含む。したがって、波形 1 4 2 は、寄生電流 7 0 および 7 2 と、対応する補正電流 1 3 4 および 1 3 8 とから得られた合計電流が実質的にゼロであることを示す。したがって、次の波形 1 4 4 は、寄生容量によって誘導される誤差 8 8 (図 2) がかなり減少された出力電圧 6 8 を表す。同様に、別の波形 1 4 8 は、寄生容量によって誘導される誤差 8 8 がかなり減少された、感知ノード 4 2 および 4 4 で決定された直交信号 9 6 を表す。すなわち、図 2 に示すように、波形 1 4 4 および 1 4 8 の各々において所望信号からの位相シフトは概ね存在しない。よって、MEMS センサ 1 1 0 で実施された容量性ネットワーク 1 1 2 および 1 1 4 は寄生電流 7 0 および 7 2 を大幅に打消し、出力電圧 8 6 および対応する直交信号 9 6 での寄生容量によって誘導される誤差 8 8 を実質的に減少する。

20

【 0 0 3 3 】

図 6 は、一実施形態による、2つの容量性ネットワーク 1 1 2 の回路図を示す。容量性ネットワーク 1 1 2 は、一般化された2つのポートの容量性ネットワークモデルを表し、該一般化された2つのポートの容量性ネットワークモデルと共にキャパシタ値の適切な選択およびキャパシタ回路(以下に記載される)の適切な選択により、寄生電流 7 0 (図 4) を実質的に打ち消す補正電流 1 3 4 を生成する有効容量 1 3 2 が生じる。図 6 は容量性ネットワーク 1 1 2 に関して記載されているが、以下の説明は、有効容量 1 3 6 (図 4) および寄生電流 7 2 (図 4) を実質的に打ち消す補正電流 1 3 8 (図 4) を生成する容量性ネットワーク 1 1 4 (図 4) に等しく適用される。

30

【 0 0 3 4 】

容量性ネットワーク 1 1 2 は、並列に接続された複数の容量性回路 1 5 0 を含む。容量性回路 1 5 0 の各々が、容量性ネットワーク 1 1 2 の入力 1 1 6 に接続された対応する入力 1 5 2 と、容量性ネットワーク 1 1 2 の出力 1 2 0 に接続された対応する出力 1 5 4 とを有する。容量性回路 1 5 0 の各々が回路容量 1 5 6 (C_{eff1} 、 $C_{eff2} \sim C_{eff8}$ で示す) を生じる。当該技術分野では周知であるように、各キャパシタに印加される同一駆動電圧において、各キャパシタに同じ駆動電圧が加えられた状態では、並列に接続された2つまたは複数のキャパシタの合計容量は、並列に接続された個別キャパシタの容量値の総和である。したがって、有効容量 1 3 2 (すなわち C_{EFF1}) は回路容量 1 5 6 (すなわち、 C_{eff1} 、 $C_{eff2} \sim C_{eff8}$) の総和である。回路容量 1 5 6 に関して用いられた小文字命名で示す「 eff 」は、容量の総和(すなわち C_{EFF1} で示される有効容量 1 3 2) から個別回路容量 1 5 6 を区別するために用いられる。

40

【 0 0 3 5 】

図示された実施形態では、容量性ネットワーク 1 1 2 は 8 つの容量性回路 1 5 0 を含む。よって、容量性回路 1 5 0 内の個別部品の 8 つの装置の命名が示される(例えば、 C_{n1} 、 D_{n2} 、 C_{n3} 、 C_{n4} 、 C_{n5} 、および S_n 、ここで n は 1 ~ 8 の数である)。容量性ネットワーク 1 1 2 は 8 つの容量性回路 1 5 0 を有するものとして記載されているが、有効容量 1 3 2 の所望範囲の値および/または容量性ネットワーク 1 1 2 の調整ステップの分解能に依存して、容量性ネットワークは 8 つより多くまたは少ない容量性回路を含

50

むよう適合可能である。簡潔のために、3つの容量性回路150のみが図6に示されているが、5つの追加の容量性回路150を表す省略符号が提供されている。

【0036】

一実施形態において、容量性回路150は、MEMSセンサ110のデジタル制御機能158によって個別に制御される。そのため、MEMSセンサ110は複数の制御回路162（その各々を破線の囲みで描く）を含み、制御回路162の1つずつは容量性回路150の1つずつに接続される。制御回路162の各々はスイッチ素子164を含み、いくつかの実施形態において、該スイッチ素子は金属酸化膜半導体（MOS）トランジスタである。各スイッチ素子164が、その対応する容量性回路150と接地との間に配置され得る。

10

【0037】

デジタル制御機能158は、複数のデジタル制御素子すなわち論理ゲート166を含む。図示された実施形態では、デジタル制御機能158がデジタル制御の8つのビット168を与え、各論理ゲート166が単一ビット168を与える。各論理ゲート166は、その対応する制御回路162への制御入力として機能する制御回路162の1つに接続されたゲート端子160を備える。よって、各論理ゲート166は、1つのビット168のデジタル制御をその関連するスイッチ素子164に与える。個別論理ゲート166は符号1から8まで付され、図を簡潔にするために3つの論理ゲート166のみをそれぞれの容量性回路150に関連して示している。5つの追加の論理ゲート166を表すために省略符号が提供されている。

20

【0038】

当該技術分野で周知のように、論理ゲートが1つまたは複数の論理入力に論理動作を実行し、単一論理出力（すなわち、第1状態170または第2状態172を有するビット168）を生じる。例として、デジタル制御機能158から命令されると、論理ゲート166が、論理ゲート166が接続された制御回路162の関連するスイッチ素子164の閉鎖に影響する第1状態170または関連するスイッチ素子164の開放に影響する第2状態172におけるビット168を与えてもよい。

【0039】

代表的なシナリオにおいて、スイッチ素子164が閉鎖されると、接地への短絡が形成される。したがって、スイッチ素子164が特定の容量性回路150のために閉じられると、容量性回路150の出力には電流が存在せず、よって、回路容量156は有効にゼロである。しかしながら、スイッチ素子164が開放されると、接地への短絡が除去され、特定容量性回路150が回路容量156を与え、したがって、容量性回路150の出力154に回路電流174（ I_{eff1} 、 I_{eff2} から I_{eff8} で示す）を与える。当然ながら、回路電流174の総和が第1感知ノード42で補正電流134をもたらす（ $I_{c1}(t)$ で示す）。デジタル制御を介して特定スイッチ素子164を選択的に開放または閉鎖することによって、所望有効容量132が生じ、寄生電流70（図4）を実質的に打ち消す第1感知ノード42における所望補正電流134をもたらす。回路電流174に関して小文字命名で示される「 eff 」は、個別回路容量156に用いられたのと同じ命名に対応するように用いられる。

30

40

【0040】

図7および8を参照すると、図7は、容量性ネットワーク112および114のいずれで実施される複数の容量性回路150のうちの1つの回路モデル176を示し、図8は、容量性ネットワーク112および114（図4）における容量性回路150の各々で達成可能な回路容量156、 C_{EFF} を決定するための方程式を提供する回路モデル176に相当するチャート178を示す。容量性ネットワーク112および114の容量性回路150の各々は図7に示すように構成されている。しかしながら、特定の容量性回路150内の容量値の異なる値の組み合わせは、容量性回路150の出力154で異なる回路容量156を生成する。回路モデル176が、1つの容量性回路150の回路容量156を決定するための手段を提供する。

50

【 0 0 4 1 】

上述されるように、MEMSセンサ（例えば、MEMSセンサ20及びMEMSセンサ110）における駆動ノード34、36と対応する感知ノード42、44との間の寄生容量22、24（図1）は、恐らく0.5～50フェムトファラドの範囲で存在する。寄生容量70、72（図1）を有効に打ち消すために、1フェムトファラド未満の分解能のフェムトファラド範囲の有効容量132および136（図4）をそれぞれの容量性ネットワーク112および114に生成することが不可欠である。各容量性ネットワーク112および114が複数の個別に制御された容量性回路150を有し、実際のオン・チップ部品サイズを用いて非常に小さな値の同調可能なキャパシタをエミュレートする。

【 0 0 4 2 】

モデル176で表されるように、容量性回路150は、直列に接続された容量性素子180（C5で示す）、容量性素子182（C3で示す）、および容量性素子184（C1で示す）を含む。容量性素子180は、容量性回路150の入力152に接続された端部181を有し、容量性素子184は、容量性回路150の出力154に接続された端部185を有する。容量性回路150は、容量性素子186（C4で示す）および容量性素子188（C2を示す）をさらに含む。容量性素子186は、容量性素子180と182との間の端部190および接地に接続された別の端部192を有する。同様に、容量性素子188が、容量性素子182と184との間の端部194および接地に接続された別の端部196を有する。

【 0 0 4 3 】

図6を手短に参照すると、容量性180は容量性回路150の部品Cn5（例えば、C15、C25からC85まで）を表す。同様に、容量性素子182は、容量性回路150の部品Cn3（例えば、C13、C23からC83まで）を表す。容量性素子184は、容量性回路150の部品Cn1（例えば、C11、C21からC81まで）を表す。容量性素子186は、相当するスイッチ素子164の両端のスイッチ容量Cswで加算された容量性回路150の部品Cn4（例えば、C14、C24からC84まで）を表す。容量性素子188は、容量性回路150の部品Dn2（例えば、D12、D22からD82まで）を表す。より詳細には、容量性素子188は、ダイオード（D12、D22からD82まで）で存在する容量を表す。容量性素子180、182、184、186、および188は、集積回路（IC）キャパシタ、容量性キャパシタ、または逆バイアスダイオードまたは開スイッチ等のキャパシタとして実質的に動作する素子であってよい。

【 0 0 4 4 】

また図7および8を参照すると、感知増幅器46（図1）が容量性素子180、182、184、186、および188の組み合わせのインピーダンス未満の低いインピーダンスを出力154で維持すると仮定すると、入力152における駆動電圧56との間の関係は、容量性素子180、182、184、186、および188の組み合わせのインピーダンスによって全体的に決定される。この関係はチャート178における方程式198によって表される。

【 0 0 4 5 】

容量性回路150の回路モデル176を分析し、その関係を比較すると、容量性回路150の有効容量（すなわち、回路容量156）はチャート178に示された方程式200によって表される可能性がある。一般に、容量性素子180、182、184、186および188の各々の値は、所定必要な回路容量156にしたがって選択され得る。さらに、スイッチ164は、スイッチ164が閉じた時に容量性素子186（C4で示す）が短絡するように構成される。したがって、スイッチ164が閉じた時、容量性素子186における有効容量は無限である。このようなシナリオにおいて、回路容量154はゼロである。代替実施形態において、スイッチ（図示せず）は容量性素子188と並行に配置され得る。したがって、容量性素子188の両端のスイッチが閉じた時、容量性素子188における有効容量は無限であり、したがって、ゼロの回路容量154を生成する。

【 0 0 4 6 】

10

20

30

40

50

図9は、容量性回路150(図6)内の複数の容量性素子180、182、184、186および188の代表的なキャパシタ値および得られる有効なネットワーク容量の表202を示す。表202の各行204が、所望回路容量165を取得するための、1つの容量性回路150に対する容量性素子180、182、184、186および188の各々の値を提供する。スイッチ素子164(図6)の関連された1つが開いている時(すなわち、容量回路150がオン)、容量回路150の各々の回路容量154は表202の列206に示される。図解のために、表202の各行204も、容量性素子180、182、184、186、および188の各々の値を問わず、関連された1つのスイッチ素子164が閉じた時(すなわち、容量性回路150がオフ)、列208で表される回路容量がゼロであることを示す。

10

【0047】

容量性回路150の並列構成のおかげで、有効容量132および134(図4)の各々は、オンにした容量性回路150の列206で示される回路容量154の各々を加算することによって決定されることが留意されるべきである。さらに、容量性素子180、182、184、186および188の各々の選択された値により、容量性回路150が互いに異なる回路容量154を有する。したがって、この図示された実施形態において、最も低い有効容量132または134は0フェムトファラドであり、最も高い有効容量132または134は51フェムトファラド(全ての回路容量154を加算)である。したがって、表202にしたがった容量性素子180、182、184、186、および188の値を有する容量性ネットワーク112および114は、1フェムトファラド未満の分解能(例えば、0.2、0.4、0.8フェムトファラド)を有する広い有効容量性範囲(例えば、0~51フェムトファラド)を生成する。

20

【0048】

また図7を手短かに参照すると、容量性回路150の入力における端子インピーダンス210(Z_{11} で示す)および出力における端子インピーダンス212(Z_{22} で示す)は、容量性ネットワーク112または114がスイッチされたときに、許容範囲内に残るのが望ましいことが注意されるべきである。つまり、入力152および出力154は短絡されず、過度に大きな等価容量を示さないべきであるが、その理由は、これが駆動ノード34および36および/または感知ノード42および44(図4)の過度な負荷によりシステム動作に干渉し得るためである。実際に、過度な負荷は安定性の問題を生じさせ、信号レベルを望ましいレベル以下に減少させ、および/または他の性能の問題を招く可能性がある。

30

【0049】

戻って図9を参照すると、端子インピーダンス210(図7)は端子容量214に変換され(C_{11} で示す)、端子インピーダンス212(図7)が端子容量216に変換される(C_{22} で示す)。列218の値は、容量性素子180、182、184、186、および188の各組み合わせに対する端子容量214を表し、関連したスイッチ素子164(図6)の一つが開けられた時(すなわち、容量性回路150がオン)、該端子容量214は所望回路容量154となる。列220の値は、関連したスイッチ素子164(図6)の一つが閉じられた時(すなわち、容量性回路150がオフ)の端子容量214を表す。同様に、列222の値は、関連したスイッチ素子164(図6)の一つが開けられた時(すなわち、容量性回路150がオン)の端子容量214を表し、列224の値は、関連したスイッチ素子164(図6)の一つが閉じられた時(すなわち、容量性回路150がオフ)の端子容量216を表す。

40

【0050】

容量性素子180、182、184、186および188の各組み合わせにおける端子容量214および216を参照すると、スイッチ素子164の閉鎖位置と開放位置との間には容量変化が少ししかない。また、駆動ノード34および36および/または感知ノード42および44が過度に負荷されないように端子容量214および216の大きさは、容量性素子180、182、184、186、および188の値と同様である。

50

【 0 0 5 1 】

実際に、MEMSセンサ110(図4)における寄生電流70および72(図4)を実質的に打ち消す方法は、上記に詳細に説明したように、適切な駆動ノード34および36と感知ノード42および44との間にキャパシタネットワーク112および114を提供することを含む。駆動ノード34と感知ノード42との間の同一極性を有する寄生容量22と、同様に駆動ノード36と感知ノード44との間の寄生容量24とに対し、決定がなされる。この決定は、MEMSセンサ110の製造後の試験および補正に関連して実行され得る。容量性ネットワーク112および114の各々は、それぞれの有効容量132および136(図4)を生成するために、上述されるように、特定容量性回路150(図6)を選択的に含む(すなわち、作動または停止する)ようにデジタル制御を介して別々に調整され得る。

10

【 0 0 5 2 】

したがって、移動駆動フィンガーの振動直線運動58を引き起こすために駆動電圧56(図4)が駆動ノード34および36との間に印加される時、駆動電圧58が容量性ネットワーク112および114に同時に印加される。容量性ネットワーク112を介して得られた補正電流134(図4)は、寄生電流70(図4)と実質的に等しい大きさで、かつ寄生電流70と位相が逆であり、したがって、感知ノード42における寄生電流70を打ち消す。同様に、容量性ネットワーク114を介して得られた補正電流136(図4)は、寄生電流72と実質的に等しい大きさで、かつ寄生電流72と位相がずれており、よって感知ノード44における寄生電流72を打ち消す。寄生電流70および72の打ち消しが寄生容量によって誘導される誤差88(図2)を大幅に減少し、感知された角速度を表す、より正確な出力電圧68(図4)を生成する。

20

【 0 0 5 3 】

本発明の実施形態を、差動センサシステムで実施された2つの容量性ネットワークに関連して説明してきた。しかしながら、このような構成は制限ではない。むしろ、単一容量性ネットワーク、例えば、容量性ネットワーク112(図4)、はシングルエンドセンサシステムで実施されてもよい。このような構成において、共振器素子のような素子は単一駆動ノードおよび単一感知ノードを有し、電圧源から駆動電圧を駆動ノードに印加された時の寄生電流は該単一駆動ノードと単一感知ノードとの間に存在する。一実施形態において、容量性ネットワーク112の入力116は別の電圧源に接続され、容量性ネットワークの出力120は単一感知ノードに接続される。電圧源は、寄生電流を実質的に打ち消す補正電流134を生成するよう別の逆位相の駆動電圧を容量性ネットワーク112に印加するために用いられてもよい。

30

【 0 0 5 4 】

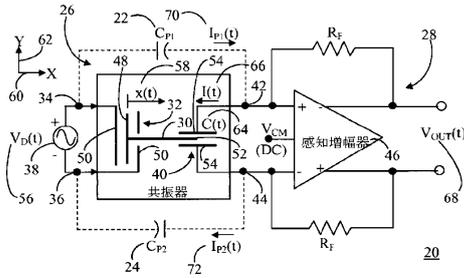
本発明の実施形態は、寄生容量によって誘導される誤差が減少されたジャイロスコープセンサのような微細電気機械システム(MEMS)センサと、MEMSセンサに寄生容量によって誘導される誤差を減少する方法とを含む。2つのポートの容量性ネットワークはMEMSセンサで実施され、寄生容量によって誘導される誤差電流を打ち消すために正しい位相の逆位相を生成するように有効容量の調整することを可能にする。この2つのポートの容量性ネットワークは、広幅の容量を亘ってデジタル的に調整可能であり、必要に応じて有効容量を小さくすることを可能にする(例えば、最小オン・チップ部品または寄生容量以下)。寄生容量によって誘導された電流の打消しが、MEMSセンサの精度を向上させる。

40

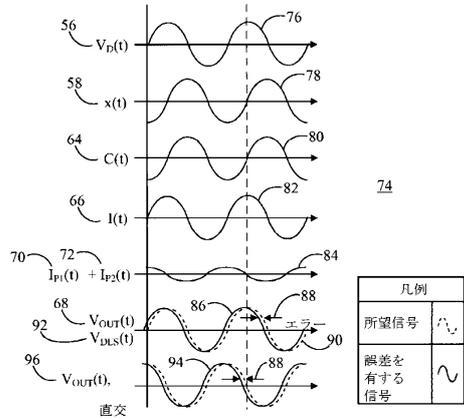
【 0 0 5 5 】

本発明の好適な実施形態を詳しく図で示すと共に説明してきたが、当業者であれば、添付の特許請求の範囲の趣旨及び範囲から逸脱することなく、種々の変更が可能であることが容易に理解される。

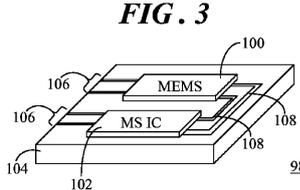
【図1】



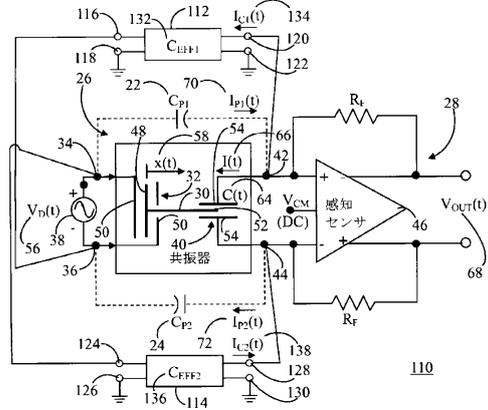
【図2】



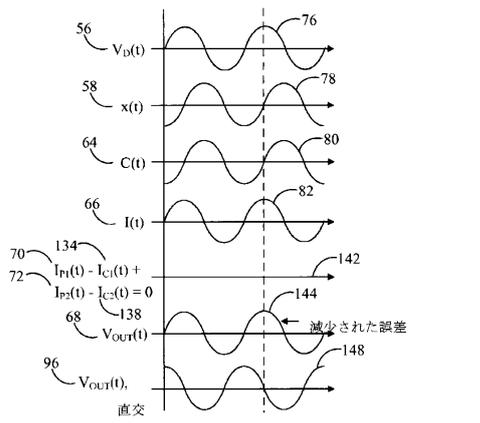
【図3】



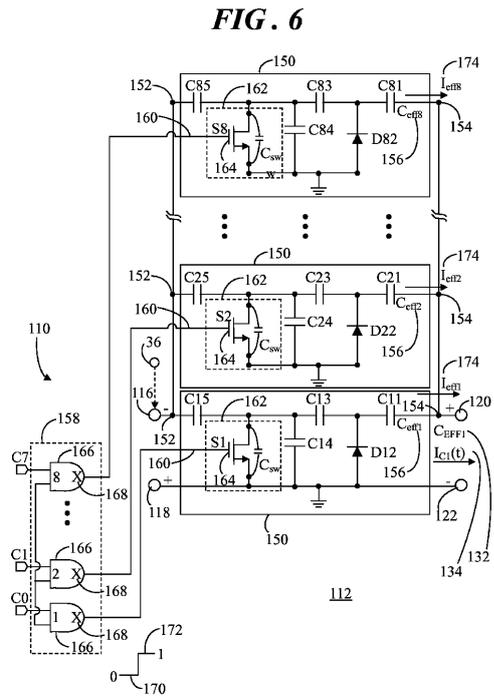
【図4】



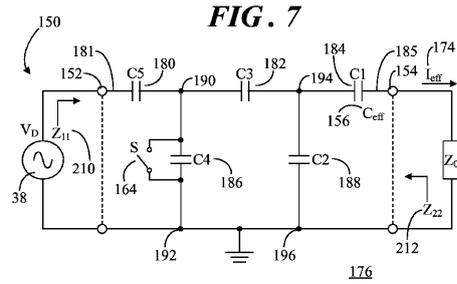
【図5】



【図6】



【 図 7 】



【 図 8 】

$$\frac{I_{\text{eff}}}{V_D} = j2\pi f C_{\text{eff}} \quad (198)$$

$$C_{\text{EFF}} = \frac{C1(C3)(C5)}{C1(C3) + C3(C5) + C1(C5) + C2(C3 + C5) + C4(C1 + C3) + C2(C4)} \quad (200)$$

ここで：
 j = 仮想ユニット ($j^2 = -1$)
 f = V_D (Hz) の周波数
 C 4 = $C_{N4} + C_{sw}$
 C 2 = ダイオード (DN 2) で見られる容量

【 図 9 】

有効なネットワーク容量で得られたキャパシタ値
(フェムトファラド)

C 1	C 3	C 5	C 2	C 4	C _{eff} オン	C _{eff} オフ	C11 オン	C11 オフ	C22 オン	C22 オフ
18.3	18.3	18.3	6.5	681	0.2	0	17.8	18.3	10.4	10.5
20.1	18.3	18.3	6.5	346	0.4	0	17.4	18.3	10.9	11.1
24.7	24.7	24.7	6.5	299	0.8	0	22.9	24.7	13.4	13.8
26.7	26.7	26.7	6.5	117	1.6	0	23.1	26.7	14.1	14.8
31.9	31.9	31.9	6.5	95	3.2	0	24.8	31.9	16	17.4
43.7	43.7	43.7	6.5	71	6.4	0	29.9	43.7	20.4	23.4
77.4	77.4	77.4	6.5	107	12.8	0	50.7	77.4	34.1	40.3
122	122	122	6.5	99	25.6	0	69.5	122	50.1	62.6

184 182 180 188 186 206 208 218 220 222 224
 154 154 214 214 216 216

フロントページの続き

(72)発明者 ミジュスコビック、デジャン
アメリカ合衆国 85286 アリゾナ州 チャンドラー ダブリュ． スパロー プレイス 8
19

審査官 中川 康文

(56)参考文献 特開平10-300475(JP,A)
特開2000-081335(JP,A)
特開2002-162228(JP,A)
特開2002-267450(JP,A)
特開2004-294405(JP,A)
特開2005-300202(JP,A)
特表2006-501483(JP,A)
特表2007-520716(JP,A)
米国特許出願公開第2008/0295596(US,A1)

(58)調査した分野(Int.Cl., DB名)

B81B 1/00-7/04
B81C 1/00-99/00
G01C 19/00-19/72
H03H 3/007-3/06; 9/00-9/135;
9/15-9/24; 9/30-9/40;
9/46-9/62; 9/66; 9/70; 9/74
H03H 11/00-11/54