

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5201791号
(P5201791)

(45) 発行日 平成25年6月5日(2013.6.5)

(24) 登録日 平成25年2月22日(2013.2.22)

(51) Int.Cl.	F 1	
G09F 9/30	(2006.01)	G09F 9/30 3 3 8
G09G 3/20	(2006.01)	G09G 3/20 6 2 4 B
G09G 3/30	(2006.01)	G09G 3/20 6 8 0 H
H01L 27/32	(2006.01)	G09G 3/30 J
H01L 51/50	(2006.01)	G09G 3/20 6 1 1 H

請求項の数 7 (全 62 頁) 最終頁に続く

(21) 出願番号	特願2005-351497 (P2005-351497)	(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成17年12月6日 (2005.12.6)	(72) 発明者	吉田 泰則 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(65) 公開番号	特開2006-189814 (P2006-189814A)	(72) 発明者	木村 肇 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日	平成18年7月20日 (2006.7.20)	(72) 発明者	前川 慎志 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
審査請求日	平成20年12月5日 (2008.12.5)	(72) 発明者	中村 理 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(31) 優先権主張番号	特願2004-353457 (P2004-353457)		
(32) 優先日	平成16年12月6日 (2004.12.6)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】表示装置及び電子機器

(57) 【特許請求の範囲】

【請求項 1】

発光素子を有するマトリクス状の複数の画素と、
第1の画素列に対して、近接して配置されている複数のソース信号線と、
前記第1の画素列に対して配置されている第1の電源供給線と、
第1の画素行に対して配置されている第2の電源供給線と、を有し、
前記第1の電源供給線は、前記第2の電源供給線と電気的に接続され、
前記第1の画素列の各画素のそれぞれは、前記複数のソース信号線のいずれか一に電気的に接続され、且つ前記複数のソース信号線のそれぞれは、前記第1の画素列の各画素の少なくとも一に電気的に接続され、

前記第1の画素列の各画素のそれぞれは、前記第1の電源供給線に電気的に接続され、
前記複数のソース信号線、前記第1の電源供給線及び前記第2の電源供給線は、液滴吐出法または印刷法によって同一工程で選択的に設けられ、
前記複数のソース信号線は、下部に第1の絶縁膜が設けられた領域を有するソース信号線と、下部に前記第1の絶縁膜と同層には前記第1の絶縁膜を含む一切の絶縁膜が設けられない領域を有するソース信号線とが交互に隣接するように配置されることを特徴とする表示装置。

【請求項 2】

発光素子を有するマトリクス状の複数の画素と、

第1の画素列に対して、近接して配置されている複数のソース信号線と、

10

20

前記第1の画素列に対して配置されている第1の電源供給線と、
 第1の画素行に対して、近接して配置されている複数の第2の電源供給線と、を有し、
 前記第1の画素列の各画素のそれぞれは、前記複数のソース信号線のいずれか一と電気的に接続され、且つ前記複数のソース信号線のそれぞれは、前記第1の画素列の各画素の少なくともいずれか一に電気的に接続され、

前記第1の電源供給線は、前記複数の第2の電源供給線のいずれか一と電気的に接続され、

前記第1の画素列の各画素のそれぞれは、前記第1の電源供給線と電気的に接続され、
 前記複数のソース信号線、前記第1の電源供給線及び前記複数の第2の電源供給線は、
 それぞれ液滴吐出法または印刷法によって同一工程で選択的に設けられ、

前記複数のソース信号線は、下部に第1の絶縁膜が設けられた領域を有するソース信号線と、下部に前記第1の絶縁膜と同層には前記第1の絶縁膜を含む一切の絶縁膜が設けられていない領域を有するソース信号線とが交互に隣接するように配置され、

前記複数の第2の電源供給線は、下部に前記第1の絶縁膜が設けられた領域を有する第2の電源供給線と、下部に前記第1の絶縁膜と同層には前記第1の絶縁膜を含む一切の絶縁膜が設けられていない領域を有する第2の電源供給線とが交互に隣接するように配置されることを特徴とする表示装置。

【請求項3】

発光素子を有するマトリクス状の複数の画素と、
 第1の画素列に対して配置されている第1の電源供給線と、
 第2の画素列に対して配置されている第2の電源供給線と、
 第3の画素列に対して配置されている第3の電源供給線と、
 前記第1乃至前記第3の画素列に対して、近接して配置されている複数のソース信号線と、

第1の画素行に対して配置されている第4の電源供給線と、
 第2の画素行に対して配置されている第5の電源供給線と、
 第3の画素行に対して配置されている第6の電源供給線と、を有し、
 前記第1の電源供給線は、前記第4の電源供給線と電気的に接続され、
 前記第2の電源供給線は、前記第5の電源供給線と電気的に接続され、
 前記第3の電源供給線は、前記第6の電源供給線と電気的に接続され、

前記第1の画素列の各画素のそれぞれは、前記第1の画素列に対して配置されている複数のソース信号線のいずれか一に電気的に接続され、且つ前記第1の画素列に対して配置されている複数のソース信号線のそれぞれは、前記第1の画素列の各画素の少なくともいずれか一に電気的に接続され、

前記第2の画素列の各画素のそれぞれは、前記第2の画素列に対して配置されている複数のソース信号線のいずれか一に電気的に接続され、且つ前記第2の画素列に対して配置されている複数のソース信号線のそれぞれは、前記第2の画素列の各画素の少なくともいずれか一に電気的に接続され、

前記第3の画素列の各画素のそれぞれは、前記第3の画素列に対して配置されている複数のソース信号線のいずれか一に電気的に接続され、且つ前記第3の画素列に対して配置されている複数のソース信号線のそれぞれは、前記第3の画素列の各画素の少なくともいずれか一に電気的に接続され、

前記第1の画素列の各画素のそれぞれは、前記第1の電源供給線に電気的に接続され、
 前記第2の画素列の各画素のそれぞれは、前記第2の電源供給線に電気的に接続され、
 前記第3の画素列の各画素のそれぞれは、前記第3の電源供給線に電気的に接続され、
 前記複数のソース信号線及び前記第1乃至前記第6の電源供給線は、それぞれ液滴吐出法または印刷法によって同一工程で選択的に設けられ、

前記複数のソース信号線は、下部に第1の絶縁膜が設けられた領域を有するソース信号線と、下部に前記第1の絶縁膜と同層には前記第1の絶縁膜を含む一切の絶縁膜が設けられていない領域を有するソース信号線とが交互に隣接するように配置されることを特徴と

する表示装置。

【請求項 4】

請求項 3 において、

前記第 1 の画素列のそれぞれの画素は赤色の発光を示す発光素子を有し、

前記第 2 の画素列のそれぞれの画素は緑色の発光を示す発光素子を有し、

前記第 3 の画素列のそれぞれの画素は青色の発光を示す発光素子を有し、

前記第 1 乃至前記第 3 の電源供給線はそれぞれ異なった電圧が供給されていることを特徴とする表示装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、

10

前記ソース線または前記電源供給線は、減圧下で液滴吐出法によって形成されていることを特徴とする表示装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一に記載の表示装置を用いることを特徴とする電子機器。

【請求項 7】

請求項 6 に記載の電子機器は、パーソナルコンピュータ、テレビ受像器、カメラ、画像表示装置、ヘッドマウントディスプレイ、または携帯情報端末であることを特徴とする電子機器。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は EL (エレクトロルミネッセンス) 素子を基板上に作り込んで形成された電子ディスプレイ (電気光学装置) に関する。特に半導体素子 (半導体薄膜を用いた素子) を用いた表示装置に関する。また EL 表示装置を表示部に用いた電子機器に関する。

【背景技術】

【0002】

近年、基板上に薄膜トランジスタ (以下、本明細書中では TFT と表記する) を形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコンなどの多結晶半導体膜を用いた TFT は、従来のアモルファスシリコン等の非晶質半導体膜を用いた TFT よりも電界効果移動度 (モビリティともいう) が高いので、高速動作が可能である。そのため、従来、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

30

【0003】

このような多結晶半導体膜を用いたアクティブマトリクス型表示装置では、同一基板上に、様々な回路や素子を作り込むことが可能であり、製造コストの低減、表示装置の小型化、歩留まりの上昇、スループットの改善など、様々な利点が得られる。

【0004】

そしてさらに、自発光型素子として EL 素子を有したアクティブマトリクス型の EL 表示装置の研究が活発化している。EL 表示装置は、有機 EL ディスプレイ (OLED : Organic EL Display) 又は有機ライトエミッティングダイオード (OLED : Organic Light Emitting Diode) とも呼ばれている。

40

【0005】

EL 素子は一対の電極 (陽極と陰極) 間に EL 層が挟まれた構造となっているが、EL 層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーの Tangらが提案した「正孔輸送層、発光層、電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められている EL 表示装置はほとんどこの構造を採用している。

50

【0006】

また他にも、陽極上に正孔注入層、正孔輸送層、発光層、電子輸送層、または正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【0007】

本明細書において、陰極と陽極との間に設けられる全ての層を総称してEL層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全てEL層に含まれる。

【0008】

そして、上記構造でなるEL層に、一対の電極から所定の電圧をかけると、発光層においてキャリアの再結合が起こって発光する。なお本明細書においてEL素子が発光することを、EL素子が駆動すると呼ぶ。また、本明細書中では、陽極、EL層及び陰極で形成される発光素子をEL素子と呼ぶ。

10

【0009】

なお、本明細書中において、EL素子とは、一重項励起状態からの発光（蛍光）を利用するものと、三重項励起状態からの発光（燐光）を利用するものの両方を含むものとする。

【0010】

EL表示装置の駆動方法として、アナログ方式の駆動方法（アナログ駆動）と、デジタル方式の駆動方法（デジタル駆動）が挙げられる。まず、EL表示装置のアナログ駆動について、図1及び図2を用いて説明する。

20

【0011】

図1に、アナログ駆動のEL表示装置の画素部100の構造を示す。ゲート信号線駆動回路からの選択信号を入力するゲート信号線（G1～Gy）は、各画素が有するスイッチング用TFT101のゲート電極に接続されている。また各画素の有するスイッチング用TFT101のソース領域とドレイン領域は、一方がアナログのビデオ信号を入力するソース信号線（データ信号線ともいう）（S1～Sx）に、もう一方が各画素が有する駆動用TFT104のゲート電極及び各画素が有する保持容量108にそれぞれ接続されている。

【0012】

30

各画素が有する駆動用TFT104のソース領域とドレイン領域はそれぞれ、一方は電源供給線（V1～Vx）に、もう一方はEL素子106に接続されている。電源供給線（V1～Vx）の電位を電源電位と呼ぶ。また電源供給線（V1～Vx）は、各画素が有する保持容量108に接続されている。

【0013】

EL素子106は、陽極と、陰極と、陽極と陰極との間に設けられたEL層とを有する。EL素子106の陽極が駆動用TFT104のソース領域またはドレイン領域と接続している場合、EL素子106の陽極が画素電極、陰極が対向電極となる。逆にEL素子106の陰極が駆動用TFT104のソース領域またはドレイン領域と接続している場合、EL素子106の陽極が対向電極、陰極が画素電極となる。

40

【0014】

なお本明細書において、対向電極の電位を対向電位と呼ぶ。なお対向電極に対向電位を与える電源を対向電源と呼ぶ。画素電極の電位と対向電極の電位の電位差がEL駆動電圧であり、このEL駆動電圧がEL層にかかる。

【0015】

図1で示したEL表示装置を、アナログ方式で駆動させた場合のタイミングチャートを図2に示す。1つのゲート信号線が選択されてから、その次に別のゲート信号線が選択されるまでの期間を1ライン期間（L）と呼ぶ。また1つの画像が表示されてから次の画像が表示されるまでの期間が1フレーム期間（F）に相当する。図1のEL表示装置の場合、ゲート信号線はy本あるので、1フレーム期間中にy個のライン期間（L1～Ly）が

50

設けられている。

【0016】

まず電源供給線（V1～Vx）は一定の電源電位に保たれている。そして対向電極の電位である対向電位も一定の電位に保たれている。対向電位は、EL素子が発光する程度に電源電位との間に電位差を有している。

【0017】

第1のライン期間（L1）において、ゲート信号線G1には、ゲート信号線駆動回路からの選択信号が入力される。そして、ソース信号線（S1～Sx）に順にアナログのビデオ信号が入力される。ゲート信号線G1に接続された全てのスイッチング用TFTはオンの状態になるので、ソース信号線に入力されたアナログのビデオ信号は、スイッチング用TFTを介して駆動用TFTのゲート電極に入力される。

10

【0018】

駆動用TFTのチャネル形成領域を流れる電流の量は、そのゲート電圧によって制御される。

【0019】

ここで、駆動用TFTのソース領域が電源供給線に接続され、ドレイン領域がEL素子に接続されている場合を例に説明する。

【0020】

駆動用TFTのソース領域は、電源供給線に接続されているため、画素部の各画素に同じ電位が入力されている。このとき、ソース信号線にアナログの信号が入力されると、この信号電圧の電位と、駆動用TFTのソース領域の電位との差がゲート電圧になる。EL素子に流れる電流は、駆動用TFTのゲート電圧によって決まる。ここで、EL素子の発光輝度は、EL素子の両電極間を流れる電流に比例する。こうしてEL素子はアナログのビデオ信号の電圧に制御されて発光を行う。

20

【0021】

上述した動作を繰り返し、ソース信号線（S1～Sx）へのアナログのビデオ信号の入力が終了すると、第1のライン期間（L1）が終了する。なお、ソース信号線（S1～Sx）への、アナログのビデオ信号の入力が終了するまでの期間と水平帰線期間とを合わせて1つのライン期間としても良い。次に第2のライン期間（L2）となりゲート信号線G2に選択信号が入力される。第1のライン期間（L1）と同様に、ソース信号線（S1～Sx）に順にアナログのビデオ信号が入力される。

30

【0022】

全てのゲート信号線（G1～Gy）に選択信号が入力されると、全てのライン期間（L1～Ly）が終了する。全てのライン期間（L1～Ly）が終了すると、1フレーム期間が終了する。1フレーム期間中において全ての画素が表示を行い、1つの画像が形成される。なお全てのライン期間（L1～Ly）と垂直帰線期間とを合わせて1フレーム期間としても良い。

30

【0023】

以上のように、アナログのビデオ信号によってEL素子の発光量が制御され、その発光量の制御によって階調表示がなされる。この方式は、いわゆるアナログ駆動方法と呼ばれる駆動方式であり、ソース信号線に入力されるアナログのビデオ信号の電圧の変化で階調表示が行われる。

40

【0024】

次に、EL表示装置のデジタル駆動について説明する。デジタル階調方式では、EL駆動用TFT104のゲート・ソース間電圧Vgは、EL素子106に全く電流が流れない範囲（点灯開始電圧以下）か、あるいは最大電流が流れる範囲（輝度飽和電圧以上）の2段階でのみ動作する。すなわちEL素子は、点灯状態と消灯状態のみをとる。

【0025】

ELディスプレイにおいては、TFTのしきい値等の特性のばらつきが表示に影響しにくいデジタル階調方式が主に用いられる。しかし、デジタル階調方式の場合、そのままで

50

は2階調表示しか出来ないため、別的方式と組み合わせて、多階調化を図る技術が複数提案されている。

【0026】

そのうちの1つは、面積階調方式とデジタル階調方式を組み合わせる方式である。面積階調方式とは、点灯している部分の面積を制御して、階調を出す方式である。つまり、1つの画素を複数のサブ画素に分割し、点灯しているサブ画素の数や面積を制御して、階調を表現している。この方式の欠点としては、サブ画素の数を多くすることが出来ないため、高解像度化や、多階調化が難しいことである。面積階調方式については、非特許文献1、非特許文献2などに報告がされている。

【0027】

もう1つの多階調化を図る方式として、時間階調方式とデジタル階調方式を組み合わせる方式がある。時間階調方式とは、点灯している時間の差を利用して、階調を出す方式である。つまり、1フレーム期間を、複数のサブフレーム期間に分割し、点灯しているサブフレーム期間の数や長さを制御して、階調を表現している。（特許文献1参照）

【0028】

デジタル階調方式と面積階調方式と時間階調方式を組み合わせた場合については、非特許文献3に報告されている。

【0029】

次に、デジタル階調を用いて階調表示する場合の、定電流駆動と定電圧駆動について説明する。

【0030】

定電流駆動とは、EL素子106の点灯時に駆動用TFT104を飽和領域で動作させ、全ての画素で一定の電流を供給する駆動方法である。この駆動方法は、EL素子106が劣化して電圧-電流特性が変化しても、一定の電流をEL素子106に供給できるため、EL表示装置の寿命を長くすることが出来るという利点がある。

【0031】

一方、定電圧駆動とは、EL素子106の点灯時に駆動用TFT104を線形領域で動作させ、全ての画素で一定の電圧を供給する駆動方法である。この駆動方法は、駆動用TFT104の特性がばらついても、全ての画素で一定の電圧をEL素子106に供給できるため、画素間の輝度にムラがなく、高い表示品位が得られるという利点がある。

【非特許文献1】Euro Display 99 Late News : P71 : "TFT - LEPD with Image Uniformity by Area Ratio Gray Scale"

【非特許文献2】IEDM 99 : P107 : "Technology for Active Matrix Light Emitting Polymer Displays"

【非特許文献3】IDW'99 : P171 : "Low-Temperature Poly-Si TFT Driven Light-Emitting-Polymer Displays and Digital Gray Scale for Uniformity"

【特許文献1】特開平2001-324958号公報

【発明の開示】

【発明が解決しようとする課題】

【0032】

本発明の目的は、歩留まりよく、かつ低成本で作製できる、大型で解像度の高いEL表示装置を提供することである。そのためには、以下に挙げるような問題点が存在する。

【0033】

まず、EL表示装置の駆動方法として、デジタル階調と時間階調を組み合わせた場合の問題点について述べる。デジタル階調と時間階調を組み合わせた場合、多階調を表現するために、1フレーム期間を、複数のサブフレーム期間に分割し、点灯しているサブフレー

10

20

30

40

50

ム期間の数や長さを制御して、階調を表現している。つまり、アナログ階調で1枚の画像を表示させるのにかけることの出来る時間に比べて、デジタル階調と時間階調を組み合わせた場合には、1枚の絵を表示させるのにかけることの出来るのはサブフレーム数分の1となり、アナログ階調に比べて、駆動回路を非常に高速に動作させなければならない。

【0034】

また、駆動回路の動作周波数には限界があり、サブフレームをあまり多くしたり、解像度が高くなったりすると、書き込み時間が不足する。すなわち、表示装置の駆動方法として、デジタル階調と時間階調を組み合わせた場合の問題点の一つは、書き込み時間の不足である。本発明における目的を達成するためには、書き込み時間を出来るだけ長く出来るようにしなければならない。

10

【0035】

次に、寄生容量の増大の問題について述べる。大型で解像度の高い表示装置ほど、画素部における配線は長くなり、またその配線と交差する配線の数も多くなるため、画素部における配線につく寄生容量は大きくなる。

【0036】

寄生容量が大きくなると、その配線に伝わる電気信号の波形のなまりの増大を引き起こす。波形のなまりは、信号の正しい伝達を妨げ、表示品位の低下をもたらす。すなわち、大型で解像度の高いEL表示装置を得るための問題点の一つは、寄生容量の増大である。本発明における目的を達成するためには、寄生容量を出来るだけ小さくしなければならない。

20

【0037】

次に、低成本で作製するための問題点について述べる。現在、TFT及びそれを用いた電子回路は、半導体、絶縁体及び導電体などの各種薄膜を基板上に積層し、適宜フォトリソグラフィ技術により所定のパターンを形成して製造されるのが一般的である。フォトリソグラフィ技術とは、フォトマスクと呼ばれる透明な平板面上に光を通さない材料で形成した回路等のパターンを、光を利用して目的とする基板上に転写する技術であり、半導体集積回路等の製造工程において広く用いられている。

【0038】

フォトリソグラフィ技術を用いた製造工程は、フォトレジストと呼ばれる感光性の有機樹脂材料を用いて形成されるマスクパターンの取り扱いだけでも、露光、現像、焼成、剥離といった多段階の工程が必要になる。従って、フォトリソグラフィ工程の回数が増える程、製造コストは必然的に上がってしまうことになる。

30

【0039】

次に、配線抵抗の問題点について述べる。まず、EL表示装置の駆動方法として、アナログ駆動を用いた場合について述べる。

【0040】

図3は、飽和領域 ($V_{ds} > V_g - V_{th}$) における駆動用TFTの特性を示すグラフである。ここで、 V_{ds} はソース-ドレイン間電圧、 V_g はゲート-ソース間電圧、 V_{th} は閾値電圧である。301は $I_d - V_g$ 特性(又は $I_d - V_g$ 曲線)と呼ばれている。ここで I_d はドレイン電流である。このグラフにより任意のゲート電圧に対して流れる電流量を知ることができる。

40

【0041】

アナログ方式の駆動方法では、駆動用TFTにおいて、飽和領域を用い、そのゲート電圧を変化させることによってドレイン電流を変化させる。

【0042】

スイッチング用TFTがオンとなり、画素内に、ソース信号線より入力されたアナログのビデオ信号は、駆動用TFTのゲート電極に印加される。こうして、駆動用TFTのゲート電圧が変化する。このとき、図3に示した $I_d - V_g$ 特性に従い、ゲート電圧に対してドレイン電流が1対1で決まる。こうして、駆動用TFTのゲート電極に入力されるアナログのビデオ信号の電圧に対応して、所定のドレイン電流がEL素子に流れ、その電流

50

量に対応した発光量で前記 E L 素子が発光する。

【 0 0 4 3 】

以上のように、アナログのビデオ信号によって E L 素子の発光量が制御され、その発光量の制御によって階調表示がなされる。

【 0 0 4 4 】

ここで、各画素の駆動用 T F T のゲート電圧は、たとえソース信号線から同じ信号が入力されても、駆動用 T F T のソース領域の電位が変化すると変化してしまう。ここで、駆動用 T F T のソース領域の電位は、電源供給線から与えられている。しかし、電源供給線の電位は、配線抵抗による電位降下のために、画素部内部の位置によって変化する。

【 0 0 4 5 】

また、電源供給線の配線抵抗が小さな場合や、表示装置が、比較的小さな場合、また、電源供給線に流れる電流が比較的小さな場合は、それほど問題とならないが、そうでない場合、特に表示装置が比較的大きな場合は、この配線抵抗による電源供給線の電位の変化が大きくなる。

【 0 0 4 6 】

特に、表示装置が大きくなるほど、外部入力端子から画素部の各電源供給線までの距離のばらつきが大きくなるため、電源供給線引き回し部の配線の長さのばらつきが大きくなる。そのため、電源供給線引き回し部の電位降下による電源供給線の電位の変化が大きくなる。

【 0 0 4 7 】

これらの要因による電源供給線の電位ばらつきは、各画素の E L 素子の発光輝度に影響を与え、表示輝度を変化させるため表示ムラの原因となる。

【 0 0 4 8 】

以下に、電源供給線の電位のばらつきの具体的な例を示す。

【 0 0 4 9 】

図 4 に示すように、表示画面中に白または黒のボックスを表示させたときには、クロストークと呼ばれる現象が発生していた。これはボックスの上方または下方にボックスの横方向と輝度の違いが発生する現象である。

【 0 0 5 0 】

クロストークは、ボックスの上方、下方と、横方向それぞれの画素において、駆動用 T F T 1 0 4 に流れる電流に、差分を生じることから起こるものである。この差分の原因は、電源供給線 V 1 、 V 2 がソース信号線 S 1 、 S 2 に平行に配置されているために起こる。

【 0 0 5 1 】

例えば図 4 のように、表示画面の一部に白いボックスを表示した場合、このボックス表示をする画素に対応する電源供給線において、ボックス表示画素の駆動用 T F T のソースとドレインの間を介して E L 素子に電流が流れる分、この電源供給線の配線抵抗による電位降下は、ボックスを表示しない画素のみにしか電源を供給しない電源供給線と比べて、大きくなる。そのため、ボックスの上下で、ボックス表示をしない他の画素より暗い部分が発生する。

ここで、表示装置の表示画面のサイズが小さい場合には、それでも、問題は発生しなかつたが、表示装置の表示画面のサイズが大きくなると、表示画面の面積に比例して、 E L 素子に流れる電流の総和が増加する。

【 0 0 5 2 】

例えば、対角 4 インチの表示画面を有する表示装置と、対角 2 0 インチの表示画面を有する表示装置における E L 素子に流れる電流の総和を比較すると、後者の表示画面の面積は前者の 2 5 倍であるので、 E L 素子に流れる電流の総和も、およそ 2 5 倍となる。

【 0 0 5 3 】

そのため、表示画面のサイズが大きい表示装置では、前述の電位降下の問題が大きな課題となる。

10

20

30

40

50

【0054】

例えば、20インチの表示装置において、配線長は700mm、配線幅10mm、シート抵抗0.1オームとしても、電流が1A程度流れるとき電位降下は10Vになってしまい、正常な表示が不可能となる。

【0055】

次に、EL表示装置の駆動方法として、デジタル駆動で定電圧駆動を用いた場合の配線抵抗の問題点について述べる。

【0056】

定電圧駆動を用いると、EL素子106に供給される電圧が各画素で一定となるため、各画素の輝度は駆動用TFT104の特性ばらつきの影響を受けず、非常に高い画質の表示能力を備えるEL表示装置を得ることが出来る。しかしながら、配線抵抗が大きいと、EL素子106に供給される電圧が各画素で一定であるという定電圧駆動を行うための必要な条件を満たすことが出来なくなる。このことについて、図5(A)、(B)を用いて説明する。

10

【0057】

図5の(A)は、全画素数に対し3分の1の画素が同時に点灯しているときを表している。図5の(B)は、全画素数に対し3分の2の画素が同時に点灯しているときを表している。

【0058】

図5の(A)と図5の(B)とでは、同時に点灯している画素数が違うので、点灯時に画素部の電源供給線(V1~Vx)に流れる電流値は、図5の(A)のときと図5の(B)のときで異なる。ここで、画素部の電源供給線(V1~Vx)に配線抵抗が存在すると、電流値の大きさにしたがって、電圧が降下する。つまり、電流値の異なる図5の(A)と図5の(B)とでは、1画素あたりに供給される電圧が異なっている。供給される電圧が異なっているということは、EL素子の輝度が図5の(A)のように表示するときと、図5の(B)のように表示するときとで異なってしまうということである。

20

【0059】

このように表示画像の点灯率によって1画素あたりの輝度が変化することは、時間階調によって階調を表示するときに、悪影響を及ぼす。たとえば、図5の(A)と図5の(B)を連続的に同じ時間表示して3つの階調を表示するときを考える。このとき、表示領域503では階調0、表示領域504では階調2、表示領域505では階調1、が表示されるはずである。しかし、配線抵抗が存在すると、図5の(A)と図5の(B)では1画素あたりの輝度が図5の(A)のほうが大きいので、領域505に表示される階調は1よりも小さくなる。このように、配線抵抗が存在すると、デジタル駆動で定電圧駆動用いた場合に、意図した階調が得られない。

30

【0060】

この輝度の差は、電源供給線(V1~Vx)の配線抵抗が大きいほど大きくなる。そして、表示装置が大型になるほど電源供給線が長くなるので、配線抵抗は大きくなる。すなわち、大型で解像度の高いEL表示装置を得るための問題点の一つは、配線抵抗の増大である。本発明における目的を達成するためには、配線抵抗を出来るだけ小さくしなければならない。

40

【0061】

本発明は、上記問題点を鑑みてなされたものであり、鮮明な多階調カラー表示の可能なアクティブマトリクス型のEL表示装置を提供することを課題とする。そして、そのようなアクティブマトリクス型EL表示装置を用いた高性能な電子機器(電子デバイス)を提供することを課題とする。

【課題を解決するための手段】

【0062】

本発明の目的は、歩留まりよく、かつ低コストで作製できる、大型で解像度の高いEL表示装置を提供することである。そのための手段として、以下に、本発明の構成について

50

記載する。

【0063】

本発明の構成は、複数のソース信号線と、複数のゲート信号線と、行方向の複数の電源供給線と列方向の複数の電源供給線とマトリクス状の複数の画素を有し、複数の画素のそれぞれは、スイッチング用薄膜トランジスタと、駆動用薄膜トランジスタと、発光素子とを有し、複数の画素のそれぞれは、行方向の複数の電源供給線のうちの1つ及び列方向の複数の電源供給線のうちの1つに接続され、絶縁性を有する薄膜が、複数のソース信号線、複数のゲート信号線、行方向の複数の電源供給線、列方向の複数の電源供給線のうちの少なくとも1つの下の一部に形成されていることを特徴とする。

【0064】

また、上記発明において、スイッチング用薄膜トランジスタの電極又は駆動用薄膜トランジスタの電極は、液滴吐出法又は印刷法によって形成してもよい。また、複数のソース信号線、複数のゲート信号線、行方向の複数の電源供給線、列方向の複数の電源供給線のいずれか一は、液滴吐出法又は印刷法によって形成してもよく、スパッタリング法又はCVD法によって形成してもよい。ここでCVD法とは、プラズマCVD法（RFプラズマCVD法、マイクロ波CVD法、電子サイクロトロン共鳴CVD法、熱フィラメントCVD法等）、LPCVD法、熱CVD法を含むものとする。

【0065】

また、絶縁性を有する薄膜は、液滴吐出法又は印刷法によって形成しても良い。

【0066】

また、本発明の他の構成は、複数のソース信号線を形成し、複数のゲート信号線を形成し、マトリクス状の複数の画素を形成し、前記複数の画素のそれぞれはスイッチング用薄膜トランジスタと、駆動用トランジスタと、発光素子を有し、行方向の複数の電源供給線を形成し、列方向の複数の電源供給線を形成し、複数の画素のそれぞれは、液滴吐出法又は印刷法によって、行方向の複数の電源供給線のうちの1つ及び列方向の複数の電源供給線のうちの1つに接続することを特徴とする。

【0067】

また、上記発明において、絶縁性を有する薄膜を、液滴吐出法又は印刷法によって、ソース信号線、ゲート信号線、行方向の複数の電源供給線、列方向の複数の電源供給線のうちの少なくとも1つの下の一部に形成してもよい。また、複数のソース信号線、複数のゲート信号線、行方向の複数の電源供給線、前記列方向の複数の電源供給線のいずれか一を、液滴吐出法又は印刷法で形成してもよく、スパッタリング法又はCVD法によって形成してもよい。

【0068】

また、本発明の他の構成は、ソース信号線を形成し、ゲート信号線を形成し、電源供給線を形成し、スイッチング用薄膜トランジスタ、駆動用薄膜トランジスタ、発光素子を含む画素を形成し、絶縁性を有する薄膜を、ソース信号線、ゲート信号線、電源供給線のうちの少なくとも1つの下の一部に形成することを特徴とする。

【0069】

また、上記発明において、絶縁性を有する薄膜は、液滴吐出法又は印刷法によって形成しても良い。また、ソース信号線、ゲート信号線、電源供給線のいずれか一は、液滴吐出法又は印刷法で形成しても良く、スパッタリング法又はCVD法で形成してもよい。

【0070】

また、本発明は、上記発明に記載の表示装置を用いたパーソナルコンピュータ、テレビ受像器、カメラ、画像表示装置、ヘッドマウントディスプレイ、携帯情報端末である。

【発明の効果】

【0071】

本発明によれば、歩留まりよく、かつ低コストで作製できる、大型で解像度の高いEL表示装置を提供することができる。また、信号書き込み時間を多くとれるので、正確な信号を画素へ入力することができ、きれいな画像を表示できる。また、配線抵抗の影響を小

10

20

30

40

50

さくできるので、配線抵抗による画質不良を低減することができる。

【発明を実施するための最良の形態】

【0072】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々なに変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0073】

なお、本発明において、適用可能なトランジスタの種類に限定はなく、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ(TFT)、半導体基板やSOI(Silicon On Insulator)基板を用いて形成されるMOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。また、トランジスタが配置されている基板の種類に限定はなく、単結晶基板、SOI基板、ガラス基板などに配置することが出来る。

【0074】

(実施の形態1)

本発明の実施の形態について、図13、図14、図15、図16、図8及び図6を用いて説明する。まず、本発明においては低コストでEL表示装置を作製するのが克服すべき課題の一つである。低コスト化を実現するために、フォトリソグラフィ工程を削減してTFTを製造することが試みられている。

【0075】

フォトリソグラフィ工程を削減する方法として、配線層若しくは電極を形成する導電層や、所定のパターンを形成するためのマスク層など表示パネルを作製するために必要なパターンのうち、少なくとも一つ若しくはそれ以上を、選択的にパターンを形成可能な方法により形成して、表示装置を作製する方法を考案した。選択的にパターンを形成可能な方法として、特定の目的に調合された組成物の液滴を選択的に吐出して所定のパターンを形成することが可能な、液滴吐出法(その方式によっては、インクジェット法とも呼ばれる)を考案した。また、パターンが転写、または描写できる方法、例えば印刷法(スクリーン印刷やオフセット印刷などパターンが形成される方法)なども用いることで、低コスト化を実現できる。すなわち、低コストでEL表示装置を得るための問題点の一つは、フォトリソグラフィ工程回数の多さである。本発明における目的を達成するためには、フォトリソグラフィ工程回数を出来るだけ少なくしなければならない。その方法として、選択的にパターン形成が可能な方法が有効である。

【0076】

したがって、本実施の形態では、以下に説明する、選択的にパターン形成が可能なEL表示装置の作製方法の一つである、液滴吐出法によってEL表示装置を作製するものとする。ただし、これは一例であって、本実施の形態はこの方法のみに限定されるものではない。

【0077】

まず、ゲート電極とソース又はドレイン配線の作製に密着性を向上する手段を適用した、チャネル保護型の薄膜トランジスタを有する表示装置の作製方法について、図13、図14を用いて説明する。

【0078】

基板800の上に、下地前処理として密着性を向上させる下地膜801を形成する。基板800は、バリウムホウケイ酸ガラス、アルミニノホウケイ酸ガラス等からなるガラス基板、石英基板、シリコン基板、金属基板、ステンレス基板又は本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板を用いる。また、基板800の表面が平坦化され

10

20

30

40

50

るよう CMP (Chemical Mechanical Polishing) 法などによって、研磨しても良い。なお、基板 800 上に、絶縁層を形成してもよい。絶縁層は、CVD 法、プラズマ CVD 法、スパッタリング法、スピンドル法等の公知の方法により、珪素を含む酸化物材料、窒化物材料を用いて、単層又は積層して形成される。この絶縁層は、形成しなくても良いが、基板 800 からの汚染物質などを遮断する効果がある。ガラス基板よりの汚染を防ぐための下地層を形成する場合は、その上に液滴吐出法によつて形成する導電層 802、803 の前処理として下地膜 801 を形成する。

【0079】

パターンの形成に用いる液滴吐出装置の一態様は図 15 に示されている。液滴吐出手段 903 の個々のヘッド 905 は制御手段 907 に接続され、それがコンピュータ 910 で制御することにより予めプログラミングされたパターンを描画することができる。描画するタイミングは、例えば、基板 900 上に形成されたマーカー 911 を基準に行えば良い。或いは、基板 900 の縁を基準にして基準点を確定させても良い。これを CCD などの撮像手段 904 で検出し、画像処理手段 909 にてデジタル信号に変換したものをコンピュータ 910 で認識して制御信号を発生させて制御手段 907 に送る。勿論、基板 900 上に形成されるべきパターンの情報は記憶媒体 908 に格納されたものであり、この情報を基にして制御手段 907 に制御信号を送り、液滴吐出手段 903 の個々のヘッド 905 を個別に制御することができる。一つのヘッドで、導電材料や有機、無機材料などをそれぞれ吐出し、描画することができ、層間膜のような広領域に描画する場合は、スループットを向上させるため複数のノズルより同材料を同時に吐出し、描画することができる。大型基板を用いる場合、ヘッド 905 は基板上を、自在に走査し、描画する領域を自由に設定することができ、同じパターンを一枚の基板に複数描画することができる。

【0080】

本実施の形態では、密着性を向上させる機能を有する下地膜として、光触媒の機能を有する物質を用いる。光触媒物質は、ゾルゲル法のディップコーティング法、スピンドル法、液滴吐出法、イオンプレーティング法、イオンビーム法、CVD 法、スパッタリング法、RF マグネットロンスパッタリング法、プラズマ溶射法、プラズマスプレー法、又は陽極酸化法により形成することができる。また物質は、その形成方法により膜としての連続性を有さなくても良い。複数の金属を含む酸化物半導体からなる光触媒物質の場合、構成元素の塩を混合、融解して形成することができる。ディップコーティング法、スピンドル法等の塗布法により光触媒物質を形成する場合、溶媒を除去する必要があるとき、焼成したり、乾燥すればよい。具体的には、所定の温度（例えば、300 以上）で加熱すればよく、好ましくは酸素を有する雰囲気で行う。例えば、導電ペーストとして Ag を用い、酸素及び窒素を有する雰囲気で焼成を行うと、熱硬化性樹脂などの有機物が分解されるため、有機物を含まない Ag を得ることができる。その結果、Ag 表面の平坦性を高めることができる。

【0081】

この加熱処理により、光触媒物質は所定の結晶構造を有することができる。例えば、アナターゼ型やルチル - アナターゼ混合型を有する。低温相ではアナターゼ型が優先的に形成される。そのため光触媒物質が所定の結晶構造を有していない場合も加熱すればよい。また塗布法により形成する場合、所定の膜厚を得るために複数回にわたって光触媒物質を形成することもできる。

【0082】

本実施の形態では、光触媒物質としてスパッタリング法により所定の結晶構造を有する TiO_x (代表としては TiO_2) 結晶を形成する場合を説明する。ターゲットには金属チタンチューブを用い、アルゴンガスと酸素を用いてスパッタリングを行う。更に He ガスを導入してもよい。光触媒活性の高い TiO_x を形成するためには、酸素を多く含む雰囲気とし、形成圧力を高めにする。更に成膜室又は処理物が設けられた基板を加熱しながら TiO_x を形成すると好ましい。

【0083】

10

20

30

40

50

このように形成されるTiOXは非常に薄膜(1nm~1μm程度)であっても光触媒機能を有する。

【0084】

また他の下地前処理として、スパッタリング法や蒸着法などの方法により、Ti(チタン)、W(タンクスチル)、Cr(クロム)、Ta(タンタル)、Ni(ニッケル)、Mo(モリブデン)などの金属材料若しくはその酸化物で形成される下地膜801を形成することが好ましい。

【0085】

下地膜801は0.01~10nmの厚さで形成すれば良いが、極薄く形成すれば良いので、必ずしも層構造を持っていなくても良い。下地膜として、高融点金属材料を用いる場合、ゲート電極層となる導電層802、803を形成した後、表面に露出している下地膜を下記の2つの工程のうちどちらかの工程を行って処理することが望ましい。

【0086】

第1の方法としては、導電層802、803と重ならない下地膜801を絶縁化して、絶縁層を形成する工程である。つまり、導電層802、803と重ならない下地膜801を酸化して絶縁化する。このように、下地膜801を酸化して絶縁化する場合には、当該下地膜801を0.01~10nmの厚さで形成しておくことが好適であり、そうすると容易に酸化させることができる。なお、酸化する方法としては、酸素雰囲気下に晒す方法を用いてもよいし、熱処理を行う方法を用いてもよい。

【0087】

第2の方法としては、導電層802、803をマスクとして、下地膜801をエッチングして除去する工程である。この工程を用いる場合には下地膜801の厚さに制約はない。

【0088】

また、下地前処理の他の方法として、形成領域(被形成面)に対してプラズマ処理を行う方法がある。プラズマ処理の条件は、空気、酸素又は窒素を処理ガスとして用い、圧力を数十Torr~1000Torr(133000Pa)、好ましくは100(13300Pa)~1000Torr(133000Pa)、より好ましくは700Torr(93100Pa)~800Torr(106400Pa)、つまり大気圧又は大気圧近傍の圧力となる状態で、パルス電圧を印加する。このとき、プラズマ密度は、 $1 \times 10^{10} \sim 1 \times 10^{14} \text{ m}^{-3}$ 、所謂コロナ放電やグロー放電の状態となるようにする。空気、酸素又は窒素の処理ガスを用いプラズマ処理を用いることにより、材質依存性なく、表面改質を行うことができる。その結果、あらゆる材料に対して表面改質を行うことができる。

【0089】

また、他の方法として、液滴吐出法によるパターンのその形成領域との密着性を上げるために、接着材として機能するような有機材料系の物質を形成してもよい。有機材料(有機樹脂材料)(ポリイミド、アクリル)やシロキサンを用いても良い。なお、シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【0090】

次に、導電性材料を含む組成物を吐出して、後にゲート電極として機能する導電層802、803を形成する。

【0091】

液滴吐出手段とは、組成物の吐出口を有するノズルや、1つ又は複数のノズルを具備したヘッド等の液滴を吐出する手段を有するものの総称とする。液滴吐出手段が具備するノズルの径は、0.02~100μm(好適には30μm以下)に設定し、該ノズルから吐出される組成物の吐出量は0.001pl~100pl(好適には10pl以下)に設定する。吐出量は、ノズルの径の大きさに比例して増加する。また、被処理物とノズルの吐

10

20

30

40

50

出口との距離は、所望の箇所に滴下するために、出来る限り近づけておくことが好ましく、好適には0.1~3mm(好適には1mm以下)程度に設定する。

【0092】

吐出口から吐出する組成物は、導電性材料を溶媒に溶解又は分散させたものを用いる。導電性材料とは、Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al等の金属、Cd、Znの金属硫化物、Fe、Ti、Zr、Baなどの酸化物、ハロゲン化銀の微粒子又は分散性ナノ粒子に相当する。SiやGeの酸化物を含んでいても良い。また、透明導電膜として用いられるインジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、有機インジウム、有機スズ、酸化亜鉛、窒化チタン等に相当する。但し、吐出口から吐出する組成物は、比抵抗値を考慮して、金、銀、銅のいずれかの材料を溶媒に溶解又は分散させたものを用いることが好適であり、より好適には、低抵抗な銀、銅を用いるとよい。但し、銀、銅を用いる場合には、不純物対策のため、合わせてバリア膜を設けるとよい。バリア膜としては、窒化珪素膜やニッケルボロン(NiB)を用いることができる。

【0093】

また、導電性材料の周りに他の導電性材料がコーティングされ、複数の層になっている粒子でも良い。例えば、銅の周りにニッケルボロン(NiB)がコーティングされ、その周囲に銀がコーティングされている3層構造の粒子などを用いても良い。溶媒は、酢酸ブチル、酢酸エチル等のエステル類、イソプロピルアルコール、エチルアルコール等のアルコール類、メチルエチルケトン、アセトン等の有機溶剤等を用いる。組成物の粘度は50mPa·s(cps)以下が好適であり、これは、乾燥が起こることを防止したり、吐出口から組成物を円滑に吐出できるようにしたりするためである。また、組成物の表面張力は、40mN/m以下が好適である。但し、用いる溶媒や、用途に合わせて、組成物の粘度等は適宜調整するとよい。一例として、ITOや、有機インジウム、有機スズを溶媒に溶解又は分散させた組成物の粘度は5~50mPa·s、銀を溶媒に溶解又は分散させた組成物の粘度は5~20mPa·s、金を溶媒に溶解又は分散させた組成物の粘度は10~20mPa·sに設定するとよい。

【0094】

また、導電層は、複数の導電性材料を積層しても良い。また、始めに導電性材料として銀を用いて、液滴吐出法で導電層を形成した後、銅などでめっきを行ってもよい。めっきは電気めっきや化学(無電界)めっき法で行えばよい。めっきは、めっきの材料を有する溶液を満たした容器に基板表面を浸してもよいが、基板を斜め(または垂直)に立てて設置し、めっきする材料を有する溶液を、基板表面に流すように塗布してもよい。基板を立てて溶液を塗布するようにめっきを行うと、工程装置が小型化する利点がある。

【0095】

各ノズルの径や所望のパターン形状などに依存するが、ノズルの目詰まり防止や高精細なパターンの作製のため、導電体の粒子の径はなるべく小さい方が好ましく、好適には粒径0.1μm以下が好ましい。組成物は、電解法、アトマイズ法又は湿式還元法等の公知の方法で形成されるものであり、その粒子サイズは、一般的に約0.01~10μmである。但し、ガス中蒸発法で形成すると、分散剤で保護されたナノ分子は約7nmと微細であり、またこのナノ粒子は、被覆剤を用いて各粒子の表面を覆うと、溶剤中に凝集がなく、室温で安定に分散し、液体とほぼ同じ挙動を示す。従って、被覆剤を用いることが好ましい。

【0096】

組成物を吐出する工程は、減圧下で行うと、組成物を吐出して被処理物に着弾するまでの間に、該組成物の溶媒が揮発し、後の乾燥と焼成の工程を省略することができる。また、減圧下で行うと、導電体の表面に酸化膜などが形成されないため好ましい。また、組成物を吐出後、乾燥と焼成の一方又は両方の工程を行う。乾燥と焼成の工程は、両工程とも加熱処理の工程であるが、例えば、乾燥は100度で3分間、焼成は200~350度で15分間~30分間で行うもので、その目的、温度と時間が異なるものである。乾燥の工

10

20

30

40

50

程、焼成の工程は、常圧下又は減圧下で、レーザ光の照射や瞬間熱アニール、加熱炉などにより行う。なお、この加熱処理を行うタイミングは特に限定されない。乾燥と焼成の工程を良好に行うためには、基板を加熱しておいてもよく、そのときの温度は、基板等の材質に依存するが、一般的には100～800度（好ましくは200～350度）とする。本工程により、組成物中の溶媒の揮発、又は化学的に分散剤を除去するとともに、周囲の樹脂が硬化収縮することで、ナノ粒子間を接触させ、融合と融着を加速する。

【0097】

レーザ光の照射は、連続発振またはパルス発振の気体レーザ又は固体レーザを用いれば良い。前者の気体レーザとしては、エキシマレーザ等が挙げられ、後者の固体レーザとしては、Cr、Nd等がドーピングされたYAG、YVO₄等の結晶を使ったレーザ等が挙げられる。なお、レーザ光の吸収率の関係から、連続発振のレーザを用いることが好ましい。また、パルス発振と連続発振を組み合わせた所謂ハイブリッドのレーザ照射方法を用いてもよい。但し、基板800の耐熱性に依っては、レーザ光の照射による加熱処理は、該基板800が破壊しないように、数マイクロ秒から数十秒の間で瞬間的に行うとよい。瞬間熱アニール（RTA）は、不活性ガスの雰囲気下で、紫外光乃至赤外光を照射する赤外ランプやハロゲンランプなどを用いて、急激に温度を上昇させ、数分～数マイクロ秒の間で瞬間的に熱を加えて行う。この処理は瞬間的に行うために、実質的に最表面の薄膜のみを加熱することができ、下層の膜には影響を与えない。つまり、プラスチック基板等の耐熱性が弱い基板にも影響を与えない。

【0098】

また、液滴吐出法を用いて形成する導電層の下地前処理として、前述した下地膜801を形成する工程を行ったが、この処理工程は、導電層を形成した後にも行っても良い。

【0099】

次に、導電層802、803の上にゲート絶縁層を形成する（図13（A）参照）。ゲート絶縁層としては、珪素の酸化物材料又は窒化物材料等の公知の材料で形成すればよく、積層でも単層でもよい。例えば、窒化珪素膜、酸化珪素膜、窒化珪素膜3層の積層でも、またそれらや、酸化窒化珪素膜の単層、2層からなる積層でも良い。本実施の形態では、絶縁層804に窒化珪素膜を、ゲート絶縁層805に窒化酸化珪素膜を用いる。好適には、緻密な膜質を有する窒化珪素膜を用いるとよい。また、液滴吐出法で形成される導電層に銀や銅などを用いる場合、その上にバリア膜として窒化珪素膜やNiB膜を形成すると、不純物の拡散を防ぎ、表面を平坦化する効果がある。なお、低い成膜温度でゲートリーケ電流の少ない緻密な絶縁膜を形成するには、アルゴンなどの希ガス元素を反応ガスに含ませ、形成される絶縁膜中に混入させると良い。

【0100】

続いて、ゲート絶縁膜上に選択的に、導電性材料を含む組成物を吐出して、導電層（第1の電極ともいう）806を形成する（図13（B）参照。）。導電層806は、基板800側から光を放射する場合、または透過型のEL表示パネルを作製する場合には、インジウム錫酸化物（ITO）、酸化珪素を含むインジウム錡酸化物（ITSO）、酸化亜鉛（ZnO）、酸化スズ（SnO₂）などを含む組成物により所定のパターンを形成し、焼成によって形成しても良い。

【0101】

また、好ましくは、スパッタリング法によりインジウム錡酸化物（ITO）、酸化珪素を含むインジウム錡酸化物（ITSO）、酸化亜鉛（ZnO）などで形成する。より好ましくは、ITOに酸化珪素が2～10重量%含まれたターゲットを用いてスパッタリング法で形成した、酸化珪素を含む酸化インジウムスズを用いる。この他、酸化珪素を含んだ酸化インジウムに2～20重量%の酸化亜鉛（ZnO）を混合したターゲットを用いて形成された酸化物導電性材料を用いても良い。スパッタリング法で導電層（第1の電極）806を形成した後は、液滴吐出法を用いてマスク層を形成しエッチングにより、所望のパターンに形成すれば良い。本実施の形態では、導電層806は、透光性を有する導電性材料により液滴吐出法を用いて形成し、具体的には、インジウム錡酸化物、ITOと酸化珪

10

20

30

40

50

素から構成されるITOを用いて形成する。図示しないが、導電層806を形成する領域に導電層802、803を形成する時と同様に、光触媒物質を形成してもよい。光触媒物質によって、密着性が向上し、所望なパターンに細線化して導電層806を形成する事ができる。この導電層806は画素電極として機能する第1の電極となる。

【0102】

本実施の形態では、ゲート絶縁層は窒化珪素からなる窒化珪素膜、酸化窒化珪素膜(酸化珪素膜)、窒化珪素膜の3層の例を前述した。好ましい構成として、酸化珪素を含む酸化インジウムスズで形成される導電層(第1の電極)806は、ゲート絶縁層805に含まれる窒化珪素からなる絶縁層と密接して形成され、それにより電界発光層で発光した光が外部に放射される割合を高めることが出来る。

10

【0103】

また、発光した光を基板800側とは反対側に放射させる構造とする場合には、反射型のEL表示パネルを作製する場合には、Ag(銀)、Au(金)、Cu(銅)、W(タンゲステン)、Al(アルミニウム)等の金属の粒子を主成分とした組成物を用いることができる。他の方法としては、スパッタリング法により透明導電膜若しくは光反射性の導電膜を形成して、液滴吐出法によりマスクパターンを形成し、エッティング加工を組み合わせて第1の電極層を形成しても良い。

【0104】

導電層(第1の電極)806は、その表面が平坦化されるように、CMP法、ポリビニルアルコール系の多孔質体で拭净し、研磨しても良い。またCMP法を用いた研磨後に、導電層(第1の電極)806の表面に紫外線照射、酸素プラズマ処理などを行ってもよい。

20

【0105】

半導体層は公知の手段(スパッタ法、LP(Low Pressure)CVD法、またはプラズマCVD法等)により成膜すればよい。半導体層の材料に限定はないが、好ましくはシリコン又はシリコンゲルマニウム(SiGe)合金などで形成すると良い。

【0106】

半導体層は、アモルファス半導体(代表的には水素化アモルファスシリコン)、結晶性半導体(代表的にはポリシリコン)を素材として用いている。ポリシリコンには、800以上のプロセス温度を経て形成される多結晶シリコンを主材料として用いた所謂高温ポリシリコンや、600以下のプロセス温度で形成される多結晶シリコンを主材料として用いた所謂低温ポリシリコン、また結晶化を促進する元素などを添加し結晶化させた結晶シリコンなどを含んでいる。

30

【0107】

また、他の物質として、セミアモルファス半導体又は半導体層の一部に結晶相を含む半導体を用いることもできる。セミアモルファス半導体とは、非晶質と結晶構造(単結晶、多結晶を含む)の中間的な構造の半導体であり、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものである。典型的にはシリコンを主成分として含み、格子歪みを伴って、ラマンスペクトルが 520 cm^{-1} よりも低波数側にシフトしている半導体層である。また、未結合手(ダングリングボンド)を終端させるために、水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。ここでは、このような半導体をセミアモルファス半導体(以下「SAS」と呼ぶ。)と呼ぶ。このSASは所謂微結晶(マイクロクリスタル)半導体(代表的には微結晶シリコン)とも呼ばれている。

40

【0108】

このSASは珪化物気体をグロー放電分解(プラズマCVD)することにより得ることができる。代表的な珪化物気体としては、SiH₄であり、その他にもSi₂H₆、SiH₂Cl₂、SiHCl₃、SiCl₄、SiF₄などを用いることができる。また、GeF₄、F₂を混合してもよい。この珪化物気体を水素、若しくは水素とヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種又は複数種の希ガス元素で希釈して用いるこ

50

とでSASの形成を容易なものとすることができます。珪化物気体に対する水素の希釈率は、例えば流量比で2倍～1000倍とすることが好ましい。勿論、グロー放電分解によるSASの形成は、減圧下で行うことが好ましいが、大気圧における放電を利用して形成することができる。代表的には、0.1Pa～133Paの圧力範囲で行えば良い。グロー放電を形成するための電源周波数は1MHz～120MHz、好ましくは13MHz～60MHzである。高周波電力は適宜設定すれば良い。基板加熱温度は300以下が好ましく、100～200の基板加熱温度でも形成可能である。ここで、主に成膜時に取り込まれる不純物元素として、酸素、窒素、炭素などの大気成分に由来する不純物は $1 \times 10^{20} \text{ cm}^{-3}$ 以下とすることが望ましく、特に、酸素濃度は $5 \times 10^{19} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{19} \text{ cm}^{-3}$ 以下となるようにすることが好ましい。また、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで安定性が増し良好なSASが得られる。また半導体層としてフッ素系ガスより形成されるSAS層に水素系ガスより形成されるSAS層を積層してもよい。10

【0109】

半導体層に、結晶性半導体層を用いる場合、その結晶性半導体層の作製方法は、公知の方法（レーザー結晶化法、熱結晶化法、またはニッケルなどの結晶化を助長する元素を用いた熱結晶化法等）を用いれば良い。結晶化を助長する元素を導入しない場合は、非晶質珪素膜にレーザ光を照射する前に、窒素雰囲気下500で1時間加熱することによって非晶質珪素膜の含有水素濃度を $1 \times 10^{20} \text{ atoms/cm}^3$ 以下にまで放出させる。これは水素を多く含んだ非晶質珪素膜にレーザ光を照射すると膜が破壊されてしまうからである。20

【0110】

非晶質半導体層への金属元素の導入の仕方としては、当該金属元素を非晶質半導体層の表面又はその内部に存在させ得る手法であれば特に限定はなく、例えばスパッタ法、CVD法、プラズマ処理法（プラズマCVD法も含む）、吸着法、金属塩の溶液を塗布する方法を使用することができる。このうち溶液を用いる方法は簡便であり、金属元素の濃度調整が容易であるという点で有用である。また、このとき非晶質半導体層の表面の濡れ性を改善し、非晶質半導体層の表面全体に水溶液を行き渡らせるため、酸素雰囲気中のUV光の照射、熱酸化法、ヒドロキシラジカルを含むオゾン水又は過酸化水素による処理等により、酸化膜を成膜することが望ましい。30

【0111】

また、非晶質半導体層の結晶化は、熱処理とレーザ光照射による結晶化を組み合わせてもよく、熱処理やレーザ光照射を単独で、複数回行っても良い。

【0112】

半導体として、有機材料を用いる有機半導体を用いてもよい。有機半導体としては、低分子材料、高分子材料などが用いられ、有機色素、導電性高分子材料などの材料も用いることが出来る。

【0113】

本実施の形態では、半導体として、非晶質半導体を用いる。非晶質半導体層である半導体層807を形成し、チャネル保護膜809、810を形成するため、例えば、プラズマCVD法により絶縁膜を形成し、所望の領域に、所望の形状となるように選択的にエッチングする。このとき、ゲート電極をマスクとして基板の裏面から露光することにより、チャネル保護膜809、810を形成することができる。またチャネル保護膜は、液滴吐出法を用いてポリイミド又はポリビニルアルコール等を滴下してもよい。その結果、露光工程を省略することができる。その後、プラズマCVD法等により一導電型を有する半導体層、例えばN型非晶質半導体層を用いてN型半導体層808を形成する（図13（C）参照）。一導電型を有する半導体層は必要に応じて形成すればよい。40

【0114】

チャネル保護膜としては、無機材料（酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素など）、感光性または非感光性の有機材料（有機樹脂材料）（ポリイミド、アクリル、50

ポリアミド、ポリイミドアミド、レジスト、ベンゾシクロブテンなど)、低誘電率であるLow-k材料などの一種、もしくは複数種からなる膜、またはこれらの膜の積層などを用いることができる。また、シリコン(Si)と酸素(O)との結合で骨格構造が構成され、置換基に少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)を用いても良い。置換基としては、フルオロ基を用いても良いし、少なくとも水素を含む有機基とフルオロ基とを用いてもよい。チャネル保護膜として無機材料を用いる場合の作製法としては、プラズマCVD法や熱CVD法などの気相成長法やスパッタリング法を用いることができる。また、有機材料を用いる場合には液滴吐出法や、印刷法(スクリーン印刷やオフセット印刷などパターンが形成される方法)を用いることもできる。塗布法で得られる絶縁膜やSOG膜などもチャネル保護膜として用いることができる。

10

【0115】

続いて、レジストやポリイミド等の絶縁体からなるマスク層811、812を形成し、該マスク層811、812を用いて、半導体層807、N型半導体層808を同時にパターン加工する。

【0116】

次に、レジストやポリイミド等の絶縁体からなるマスク層813、814を液滴吐出法を用いて形成する(図13(D)参照)。そのマスク層813、814を用いて、エッチング加工によりゲート絶縁層805、804の一部に貫通孔818を形成して、その下側に配置されているゲート電極層として機能する導電層803の一部を露出させる。エッチング加工はプラズマエッティング(ドライエッティング)又はウェットエッティングのどちらを採用しても良いが、大面積基板を処理するにはプラズマエッティングが適している。エッティングガスとしては、CF₄、NF₃、Cl₂、BCl₃、などのフッ素系又は塩素系のガスを用い、HeやArなどの不活性ガスを適宜加えても良い。また、大気圧放電のエッティング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスク層を形成する必要はない。

20

【0117】

マスク層813、814を除去した後、導電性材料を含む組成物を吐出して、導電層815、816、817を形成し、該導電層815、816、817をマスクとして、N型半導体層をパターン加工して、N型半導体層を形成する(図14(A)参照)。導電層815、816、817は配線層として機能する。なお、図示しないが、導電層815、816、817を形成する前に、導電層815、816、817がゲート絶縁層805と接する部分に選択的に光触媒物質などを形成する、前述の下地前処理工程を行っても良い。そうすると、導電層は密着性よく形成できる。

30

【0118】

また、液滴吐出法を用いて形成する導電層の下地前処理として、前述した下地膜を形成する工程を行い、かつ、この処理工程は、導電層を形成した後にも行っても良い。この工程により、層間の密着性が向上するため、表示装置の信頼性も向上することができる。

【0119】

導電層817は、ソース、ドレイン配線層として機能し、前に形成された第1の電極に電気的に接続するように形成される。また、ゲート絶縁層805に形成した貫通孔818において、ソース又はドレイン配線層である導電層816とゲート電極層である導電層803とを電気的に接続させる。この配線層を形成する導電性材料としては、Ag(銀)、Au(金)、Cu(銅)、W(タンクステン)、Al(アルミニウム)等の金属の粒子を主成分とした組成物を用いることができる。また、透光性を有するインジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、有機インジウム、有機スズ、酸化亜鉛、窒化チタンなどを組み合わせても良い。

40

【0120】

ゲート絶縁層805、804の一部に貫通孔818を形成する工程を、導電層815、816、817形成後に、該導電層815、816、817をマスクとして用いて貫通孔818を形成してもよい。そして貫通孔818に導電層を形成し導電層816とゲート電

50

極層である導電層 803 を電気的に接続する。この場合、工程が簡略化する利点がある。

【0121】

続いて、隔壁となる絶縁層 820 を形成する。また、図示しないが、絶縁層 820 の下に薄膜トランジスタを覆うように全面に窒化珪素若しくは窒化酸化珪素の保護層を形成してもよい。絶縁層 820 は、スピンコート法やディップ法により全面に絶縁層を形成した後、エッティング加工によって図 14 (B) に示すように開孔を形成する。また、液滴吐出法により絶縁層 820 を形成すれば、エッティング加工は必ずしも必要ない。液滴吐出法を用いて、絶縁層 820 など広領域に形成する場合、液滴吐出装置の複数のノズル吐出口から組成物を吐出し、複数の線が重なるように描画し形成すると、スループットが向上する。

10

【0122】

絶縁層 820 は、第 1 の電極である導電層 806 に対応して画素が形成される位置に合わせて貫通孔の開口部を備えて形成される。この絶縁層 820 は、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド (polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール (polybenzimidazole) などの耐熱性高分子、又はシロキサン系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうち Si-O-Si 結合を含む無機シロキサン、珪素上の水素がメチルやフェニルのような有機基によって置換された有機シロキサン系の絶縁材料で形成することができる。アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成すると、その側面は曲率半径が連続的に変化する形状となり、上層の薄膜が段切れせずに形成されるため好ましい。

20

【0123】

以上の工程により、基板 800 上にボトムゲート型 (逆スタガ型ともいう。) のチャネル保護型 TFT と第 1 の電極 (第 1 電極層) が接続された EL 表示パネル用の TFT 基板が完成する。

【0124】

電界発光層 821 を形成する前に、大気圧中で 200 °C の熱処理を行い絶縁層 820 中若しくはその表面に吸着している水分を除去する。また、減圧下で 200 ~ 400 °C 、好ましくは 250 ~ 350 °C に熱処理を行い、そのまま大気に晒さずに電界発光層 821 を真空蒸着法や、減圧下の液滴吐出法で形成することができるため好ましい。

30

【0125】

電界発光層 821 として、赤色 (R)、緑色 (G)、青色 (B) の発光を示す材料を、それぞれ蒸着マスクを用いた蒸着法等によって選択的に形成する。赤色 (R)、緑色 (G)、青色 (B) の発光を示す材料はカラーフィルター同様、液滴吐出法により形成することもでき (低分子または高分子材料など)、この場合マスクを用いずとも、RGB の塗り分けを行うことができるため好ましい。電界発光層 821 上に第 2 の電極である導電層 822 を積層形成して、発光素子を用いた表示機能を有する表示装置が完成する (図 14 (B) 参照)。

【0126】

40

図示しないが、第 2 の電極を覆うようにしてパッシベーション膜を設けることは有効である。パッシベーション膜としては、窒化珪素 (SiN)、酸化珪素 (SiO₂)、酸化窒化珪素 (SiO_xN_y : x > y > 0)、窒化酸化珪素 (SiN_xO_y : x > y > 0)、窒化アルミニウム (AlN)、酸化窒化アルミニウム (AlO_xN_y : x > y > 0)、窒素含有量が酸素含有量よりも多い窒化酸化アルミニウム (AlN_xO_y : x > y > 0) または酸化アルミニウム、ダイアモンドライクカーボン (DLC)、窒素含有炭素膜 (CN_x) を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層を用いることができる。例えば窒素含有炭素膜 (CN_x) と窒化珪素 (SiN) のような積層、また有機材料を用いることも出来、スチレンポリマーなど高分子の積層でもよい。また、シロキサン樹脂を用いることもできる。シロキサンは、シリコン (Si) と酸素 (O) との結合で骨

50

格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【0127】

この際、カバレッジの良い膜をパッシベーション膜として用いることが好ましく、炭素膜、特にDLC膜を用いることは有効である。DLC膜は室温から100以下の温度範囲で成膜可能であるため、耐熱性の低い電界発光層の上方にも容易に成膜することができる。DLC膜は、プラズマCVD法（代表的には、RFプラズマCVD法、マイクロ波CVD法、電子サイクロトロン共鳴（ECR）CVD法、熱フィラメントCVD法など）、燃焼炎法、スパッタ法、イオンビーム蒸着法、レーザ蒸着法などで形成することができる。成膜に用いる反応ガスは、水素ガスと、炭化水素系のガス（例えばCH₄、C₂H₂、C₆H₆など）とを用い、グロー放電によりイオン化し、負の自己バイアスがかかったカソードにイオンを加速衝突させて成膜する。また、CN膜は反応ガスとしてC₂H₄ガスとN₂ガスとを用いて形成すればよい。DLC膜は酸素に対するプロッキング効果が高く、電界発光層の酸化を抑制することが可能である。そのため、この後に続く封止工程を行う間に電界発光層が酸化するといった問題を防止できる。

【0128】

本実施の形態の表示装置の画素部上面図を図16(A)に、回路図を(B)に示す。1001、1002はTFT、1003は発光素子、1004は容量素子、1005はソース信号線、1006はゲート信号線、1007は電源供給線である。TFT1001は信号線との接続状態を制御するトランジスタ（以下「スイッチング用トランジスタ」又は「スイッチング用TFT」ともいう。）であり、TFT1002は発光素子へ流れる電流を制御するトランジスタ（以下「駆動用トランジスタ」又は「駆動用TFT」ともいう。）であり、駆動用TFTが発光素子と直列に接続されている。容量素子1004は駆動用TFTであるTFT1002のソース、ゲート間の電圧を保持する。

【0129】

本実施の形態の表示装置の詳細な図17に示す。スイッチング用TFT1001と、発光素子1003に接続する駆動用TFTであるTFT1002を有する基板800は、シール材851によって封止基板850と固着されている。基板800上に形成された各回路に供給される各種信号は、端子部で供給される。

【0130】

端子部には、導電層802、803と同工程でゲート配線層860が形成される。勿論、ゲート配線層860の形成領域にも、導電層802、803と同様、光触媒物質が形成されており、液滴吐出法によって形成する際、ゲート配線層860の下地の形成領域との密着性を向上させることができる。ゲート配線層860を剥き出しにするエッチングは、ゲート絶縁層805に貫通孔818を形成する際、同時に用うことができる。ゲート配線層860に、異方性導電層861によってフレキシブル配線基板（FPC）862を接続することができる。

【0131】

なお、上記表示装置では、ガラス基板で発光素子1003を封止した場合を示すが、封止の処理とは、発光素子を水分から保護するための処理であり、カバー材で機械的に封入する方法、熱硬化性樹脂又は紫外光硬化性樹脂で封入する方法、金属酸化物や窒化物等のバリア能力が高い薄膜により封止する方法のいずれかを用いる。カバー材としては、ガラス、セラミックス、プラスチックもしくは金属を用いることができるが、カバー材側に光を放射する場合は透光性でなければならない。また、カバー材と上記発光素子が形成された基板とは熱硬化性樹脂又は紫外光硬化性樹脂等のシール材を用いて貼り合わせられ、熱処理又は紫外光照射処理によって樹脂を硬化させて密閉空間を形成する。この密閉空間の中に酸化バリウムに代表される吸湿材を設けることも有効である。この吸湿材は、シール材の上に接して設けても良いし、発光素子よりの光を妨げないような、隔壁の上や周辺部に設けても良い。さらに、カバー材と発光素子の形成された基板との空間を熱硬化性樹

10

20

30

40

50

脂若しくは紫外光硬化性樹脂で充填することも可能である。この場合、熱硬化性樹脂若しくは紫外光硬化性樹脂の中に酸化バリウムに代表される吸湿材を添加しておくことは有効である。

【0132】

以上示したように、本実施の形態では、フォトマスクを利用した光露光工程を用いないことにより、工程を省略することができる。また、液滴吐出法を用いて基板上に直接的に各種のパターンを形成することにより、1辺が1000mmを超える第5世代以降のガラス基板を用いても、容易にEL表示パネルを製造することができる。

【0133】

また、密着性、耐剥離性が向上した信頼性の高い表示装置を作製することができる。

10

【0134】

本実施の形態における画素部全体の回路図を、図8と図16に示す。本実施の形態では、縦の画素1列に対し複数のソース信号線を有していることを特徴とする。図8では、縦の画素1列に対し3本のソース信号線を有している場合を例にとって説明する。

【0135】

なお、ソース信号線は3本に限定されず、何本でもよい。

【0136】

図8において、各画素の回路である854は、図16に示した回路であるとして説明する。しかし、これは一例であり、各画素の回路は図16に限定されない。

【0137】

画素部の1行1列目の画素は、ゲート信号線G1と、3本のソース信号線のうちの一つであるS1aと、電源供給線V1と、スイッチング用TFT1001と、駆動用TFT1002と、EL素子1003と、容量素子1004と、を有している。

20

【0138】

画素の回路との接続を説明する。ゲート信号線G1はスイッチング用TFT1001のゲート電極に接続され、3本のソース信号線のうちの一つであるS1aはスイッチング用TFT1001のソースまたはドレイン電極に接続され、電源供給線V1は駆動用TFT1002のソースまたはドレイン電極および容量素子1004の一方の電極に接続され、容量素子1004のもう一方の電極はスイッチング用TFT1001のもう一方のソースまたはドレイン電極および駆動用TFT1002のゲート電極に接続され、駆動用TFT1002のもう一方のソースまたはドレイン電極はEL素子1003に接続されている。

30

【0139】

また、画素部の2行1列目の画素は、ゲート信号線G2と、3本のソース信号線のうちの一つであるS1bと、電源供給線V1と、スイッチング用TFT1001と、駆動用TFT1002と、EL素子1003と、容量素子1004と、を有している。

【0140】

画素部の2行1列目の画素は、上記1行1列目の画素の構成のうち、G1をG2に、S1aをS1bに置き換えた構成であることを特徴とする。

【0141】

画素部の3行1列目の画素は、ゲート信号線G3と、3本のソース信号線のうちの一つであるS1cと、電源供給線V1と、スイッチング用TFT1001と、駆動用TFT1002と、EL素子1003と、容量素子1004と、を有している。

40

【0142】

画素部の3行1列目の画素は、上記1行1列目の画素の構成のうち、G1をG3に、S1aをS1cに置き換えた構成であることを特徴とする。

【0143】

また、上記3行の画素列において、G1、G2、G3は電気的に接続されている。

【0144】

また、1列目の画素列は、上記構成の繰り返しであることを特徴とする。

【0145】

50

また、2列目の画素列は、上記構成のうち、V1をV2に、S1aをS2aに、S1bをS2bに、S1cをS2cに、置き換えた接続であることを特徴とする。

【0146】

また、n列目の画素列は、上記構成のうち、V1をVnに、S1aをSn aに、S1bをSn bに、S1cをSn cに、置き換えた接続であることを特徴とする。

【0147】

また、V1～Vnは、すべて互いに電気的に接続されていることを特徴とする。

【0148】

次に、図8の回路をどのように動作させるかを説明する。まず、ゲート信号線G1、G2、G3を同時にオンする。ゲート信号線G1、G2、G3がオンしている間に、ソース信号線S1a、S1b、S1c、～、Sn a、Sn b、Sn cにより、画素に信号を書き込む。その次に、ゲート信号線G4、G5、G6を同時にオンする。ゲート信号線G4、G5、G6がオンしている間に、ソース信号線S1a、S1b、S1c、～、Sn a、Sn b、Sn cにより、画素に信号を書き込む。この動作をゲート信号線Gm-2、Gm-1、Gmまで繰り返す。ここまで動作で、一つの画像の信号書き込みが完了する。

【0149】

このように動作させると、ゲート信号線は3本一組で動作するため、信号線が1本の回路に比べて、ゲート信号線がオンしている時間は3倍になる。すなわち、本発明の克服すべき課題の一つである、書き込み時間を出来るだけ長く出来るようにしなければならない、という課題を克服することが出来る。

【0150】

しかし、ただ図8のように接続した場合、配線間の寄生容量が増大することがある。

【0151】

そのために、本実施の形態では、図8の構成に加えて、選択的にパターン形成できる作成方法の利点を生かした、プロセス上の工夫を行ってもよい。これを説明するために、線分855で示す部分の断面を表した図として、図6を用いる。

【0152】

図6は、先に述べたTFT作成工程で、ゲート絶縁層805を成膜した状態(図13(A))からのプロセスを示している。上記断面には、半導体層は存在しないため、ゲート絶縁層605の形成後は、通常導電層を成膜する(図6(A))。しかし、本実施の形態では、ゲート絶縁層605の成膜後、3本のソース信号線が配置される場所の一部の絶縁層をさらに液滴吐出法により選択的にパターン形成を行う(図6(B))。その後は、先に述べた方法どおりに、導電層を成膜して(図6(C))パターン形成する。

【0153】

このようなプロセスを行うことにより、絶縁層606が下部に存在するソース信号線616と、絶縁層606が下部に存在しないソース信号線615、617の3本のソース信号線が形成される。この構造は、絶縁層606がないときと比べて、配線同士の間の距離が長くなり、配線間の寄生容量を小さくすることが出来る。すなわち、寄生容量は出来るだけ小さくしなければならない、という課題を克服することが出来る。また、本実施の形態の構成は、配線が長いほど効果は大きくなる。

【0154】

なお、本実施の形態において、絶縁層を形成する場所、数、形状などはいろいろな様態を取りうるが、同層の配線間の距離を大きくとるために選択的に絶縁層を形成するという趣旨から逸脱しない限り、どのようなものでもよい。

また、選択的に形成された絶縁層上の配線はソース信号線に限られない。ゲート信号線や電源供給線についても同様の方法で絶縁層を形成することができ、寄生容量を低減することができる。

【0155】

(実施の形態2)

10

20

30

40

50

本発明の実施の形態について、図9と図16を用いて説明する。

【0156】

図9において、各画素の回路である954は、図16に示した回路であるとして説明する。しかし、これは一例であり、各画素の回路は図16に限定されない。

【0157】

画素部の1行1列目の画素は、ゲート信号線G1と、ソース信号線S1と、電源供給線Vx1と、電源供給線Vy1と、スイッチング用TFT1001と、駆動用TFT1002と、EL素子1003と、容量素子1004と、を有している。

【0158】

画素の回路との接続を説明する。ゲート信号線G1はスイッチング用TFT1001のゲート電極に接続され、ソース信号線S1はスイッチング用TFT1001のソースまたはドレイン電極に接続され、電源供給線Vx1は駆動用TFT1002のソースまたはドレイン電極および容量素子1004の一方の電極に接続され、電源供給線Vy1は電源供給線Vx1と接続され、容量素子1004のもう一方の電極はスイッチング用TFT1001のもう一方のソースまたはドレイン電極および駆動用TFT1002のゲート電極に接続され、駆動用TFT1002のもう一方のソースまたはドレイン電極はEL素子1003に接続されている。

【0159】

また、画素部の2行1列目の画素は、ゲート信号線G2と、ソース信号線S1と、電源供給線Vx1と、電源供給線Vy2と、スイッチング用TFT1001と、駆動用TFT1002と、EL素子1003と、容量素子1004と、を有している。

【0160】

画素部の2行1列目の画素は、上記1行1列目の画素の構成のうち、G1をG2に、Vy1をVy2に置き換えた構成であることを特徴とする。

【0161】

また、画素部のm行1列目の画素は、ゲート信号線Gmと、ソース信号線S1と、電源供給線Vx1と、電源供給線Vymと、スイッチング用TFT1001と、駆動用TFT1002と、EL素子1003と、容量素子1004と、を有している。

【0162】

また、画素部の1行n列目の画素は、上記1行1列目の画素の構成のうちS1をSnに、Vx1をVxnに置き換えた構成であることを特徴とする。

【0163】

また、画素部のm行n列目の画素は、上記1行1列目の画素の構成のうちS1をSnに、Vx1をVxnに、G1をGmに、Vy1をVymに置き換えた構成であることを特徴とする。

【0164】

また、Vx1～Vxn、Vy1～Vynは、すべて互いに電気的に接続されていることを特徴とする。

【0165】

本実施の形態では、図9において、画素部の電源供給線はソース信号線(S1～Sn)と平行に配置されている配線(Vx1～Vxn)だけでなく、垂直方向もしくはほぼ垂直方向にも配置(Vy1～Vym)されて、それぞれの方向から画素の駆動用TFT1002のソース領域もしくはドレイン領域に電圧が供給されている。また、垂直方向もしくはほぼ垂直方向に配置(Vy1～Vym)されている電源供給線は、それぞれ電源供給線(Vx1～Vxn)と各画素ごとに接続され、電源供給線はマトリックス状に配置されている。これによって、EL素子1003を流れる電流は、ソース信号線(S1～Sn)と平行方向からだけでなく、垂直方向からも供給されるので、本発明の克服すべき課題の一つである、配線抵抗を出来るだけ小さくしなければならない、という課題を克服することが出来る。

【0166】

10

20

30

40

50

配線抵抗を小さくすることが出来るので、EL表示装置をアナログ駆動させたときのクロストークが軽減する。また、デジタル駆動と定電圧駆動を組み合わせてEL表示装置を動作させるときの、階調表示不良が軽減する。

【0167】

ただし、本実施の形態も、実施の形態1と同じように、低成本でEL表示装置を作製するのが克服すべき課題の一つであるので、選択的にパターン形成が可能なEL表示装置の作製方法の一つである、液滴吐出法によるEL表示装置作製プロセスにより作製してもよい。

【0168】

ここで、EL表示装置の作製方法として、低成本化のために液滴吐出法を用いる場合の問題点について述べる。

【0169】

図7は、液滴吐出法を用いて配線として導電層を形成したときの上面図((A)、(B))と断面図((C)、(D))である。導電性材料を含む組成物を吐出して、導電層を形成するとき、吐出される導電性材料の特性、下地の撥水性、吐出位置の誤差などにより、意図した場所、形状に形成されない場合がある(図7(B)、(D))。

【0170】

ここで、配線の抵抗は、導電性材料が同じ物ならば、配線の長さ、断面積に依存する。図7(B)、(D)のように、意図した形状にならない場合、その配線の抵抗値は、設計値よりも大きくなってしまう。つまり、液滴吐出法で形成された配線は、フォトリソグラフィで形成された配線に比べて、配線抵抗のばらつきが大きい。

【0171】

配線抵抗値が大きいと、アナログ駆動の場合はクロストークをもたらし、デジタル駆動で定電圧駆動を用いた場合は階調表示不良をもたらすことはすでに述べたとおりであるが、配線抵抗値のばらつきは、これらの表示不良の程度が画素の電源供給線によって異なるということである。これは、表示のムラとして容易に観察され得る。

【0172】

すなわち、低成本化のために液滴吐出法を用いる場合の問題点の一つは、配線抵抗のばらつきである。本発明における目的を達成するためには、配線抵抗のばらつきを出来るだけ小さくしなければならない。

【0173】

ここで、本実施の形態をとることで、液滴吐出法による配線抵抗のばらつきも軽減することが出来ることを説明する。

【0174】

これは、電源供給線がマトリックス状に配置されている場合は、配線の抵抗は全て並列に接続されているとみなすことで説明することができる。すなわち、並列に接続されれば、ある画素までの電源供給線の抵抗は、全ての電源供給線の抵抗値に依存し、マトリックス状でない場合に存在した抵抗の位置依存性が小さくなるからである。

【0175】

すなわち、本実施の形態によれば、電源供給線の配線抵抗を低減するだけでなく、液滴吐出法を用いた場合の配線抵抗のばらつきを出来るだけ小さくしなければならない、という課題をも克服することができる。

【0176】

なお、本実施の形態において、配線は互いに平行である必要はなく、どんな方向でもよい。また、電源供給線は各画素につき1本である必要はなく、何本でもよい。また、画素部全体で電源供給線がマトリックス状になっている必要はなく、一部分でもよい。

【0177】

また、本実施の形態は、実施の形態1と自由に組み合わせることができる。

【0178】

(実施の形態3)

10

20

30

40

50

本発明の実施の形態について、図10と図16を用いて説明する。

【0179】

図10において、各画素の回路である1054は、図16に示した回路であるとして説明する。しかし、これは一例であり、各画素の回路は図16に限定されない。

【0180】

画素部の1行1列目の画素は、ゲート信号線G1と、ソース信号線S1と、電源供給線Vx1と、電源供給線Vy1Rと、スイッチング用TFT1001と、駆動用TFT1002と、EL素子1003と、容量素子1004と、を有している。

【0181】

画素の回路との接続を説明する。ゲート信号線G1はスイッチング用TFT1001のゲート電極に接続され、ソース信号線S1はスイッチング用TFT1001のソースまたはドレイン電極に接続され、電源供給線Vx1は駆動用TFT1002のソースまたはドレイン電極および容量素子1004の一方の電極に接続され、電源供給線Vy1Rは電源供給線Vx1と接続され、容量素子1004のもう一方の電極はスイッチング用TFT1001のもう一方のソースまたはドレイン電極および駆動用TFT1002のゲート電極に接続され、駆動用TFT1002のもう一方のソースまたはドレイン電極はEL素子1003に接続されている。

【0182】

また、画素部の2行1列目の画素は、ゲート信号線G2と、ソース信号線S1と、電源供給線Vx1と、電源供給線Vy2Rと、スイッチング用TFT1001と、駆動用TFT1002と、EL素子1003と、容量素子1004と、を有している。

【0183】

2行1列目の画素は、上記1行1列目の画素の構成のうちG1をG2に、Vy1RをVy2Rに置き換えた構成であることを特徴とする。

【0184】

また、画素部の3行1列目の画素は、上記1行1列目の画素の構成のうちG1をG3に、Vy1RをVy3Rに置き換えた構成であることを特徴とする。

【0185】

また、画素部の1列目の画素は、上記3行の構成を繰り返した構成であることを特徴とする。

【0186】

また、画素部の1行2列目の画素は、上記1行1列目の画素の構成のうちS1をS2に、Vx1をVx2に、Vy1RをVy1Gに置き換えた構成であることを特徴とする。

【0187】

また、画素部の2行2列目の画素は、上記1行2列目の画素の構成のうちG1をG2に、Vy1GをVy2Gに置き換えた構成であることを特徴とする。

【0188】

また、画素部の3行2列目の画素は、上記1行2列目の画素の構成のうちG1をG3に、Vy1GをVy3Gに置き換えた構成であることを特徴とする。

【0189】

また、画素部の2列目の画素は、上記3行の構成を繰り返した構成であることを特徴とする。

【0190】

また、画素部の1行3列目の画素は、上記1行1列目の画素の構成のうちS1をS3に、Vx1をVx3に、Vy1RをVy1Bに置き換えた構成であることを特徴とする。

【0191】

また、画素部の2行3列目の画素は、上記1行3列目の画素の構成のうちG1をG2に、Vy1BをVy2Bに置き換えた構成であることを特徴とする。

【0192】

また、画素部の3行3列目の画素は、上記1行3列目の画素の構成のうちG1をG3に

10

20

30

40

50

、V y 1 B を V y 3 B に置き換えた構成であることを特徴とする。

【0193】

また、画素部の3列目の画素は、上記3行の構成を繰り返した構成であることを特徴とする。

【0194】

また、V y 1 R ~ V y m R は全て互いに電気的に接続されていることを特徴とする。

【0195】

また、V y 1 G ~ V y m G は全て互いに電気的に接続されていることを特徴とする。

【0196】

また、V y 1 B ~ V y m B は全て互いに電気的に接続されていることを特徴とする。

【0197】

本実施の形態では、画素部の電源供給線はソース信号線 (S 1 ~ S n) と平行に配置されている配線 (V x 1 ~ V x n) だけでなく、垂直方向もしくはほぼ垂直方向にも配置 (V y 1 R ~ V y m B) されて、それぞれの方向から R、G、B 画素それぞれの駆動用 T F T 1 0 0 2 のソース領域もしくはドレイン領域に電圧が供給されている。また、垂直方向もしくはほぼ垂直方向に配置 (V y 1 ~ V y m) されている電源供給線は、それぞれ電源供給線 (V x 1 ~ V x n) と R、G、B 画素ごとに接続され、電源供給線はマトリックス状に配置されている。これによって、E L 素子 1 0 0 3 を流れる電流は、ソース信号線 (S 1 ~ S n) と平行方向からだけでなく、垂直方向からも供給されるので、本発明の克服すべき課題の一つである、配線抵抗を出来るだけ小さくしなければならない、という課題を克服することが出来る。また、R、G、B ごとに接続されているので、R、G、B ごとに供給する電圧を変えてよい。

【0198】

配線抵抗を小さくすることが出来るので、E L 表示装置をアナログ駆動させたときのクロストークが軽減する。また、デジタル駆動と定電圧駆動を組み合わせて E L 表示装置を動作させるときの、階調表示不良が軽減する。

【0199】

ただし、本実施の形態も、実施の形態 1 や実施の形態 2 と同じように、低成本で E L 表示装置を作製するのが克服すべき課題の一つであるので、選択的にパターン形成が可能な E L 表示装置の作製方法の一つである、液滴吐出法による E L 表示装置作製プロセスにより作製してもよい。

【0200】

液滴吐出法により配線を形成する場合に、配線抵抗のばらつきが発生する問題が存在することはすでに述べたとおりである。本実施の形態をとることで、液滴吐出法による配線抵抗のばらつきも軽減することが出来る。

【0201】

これは、電源供給線がマトリックス状に配置されている場合は、配線の抵抗は全て並列に接続されているとみなすことで説明することができる。すなわち、並列に接続されれば、ある画素までの電源供給線の抵抗は、全ての電源供給線の抵抗値に依存し、マトリックス状でない場合に存在した抵抗の位置依存性が小さくなるからである。

【0202】

すなわち、本実施の形態によれば、電源供給線の配線抵抗を低減するだけでなく、液滴吐出法を用いた場合の配線抵抗のばらつきを出来るだけ小さくしなければならない、という課題をも克服することが出来る。

【0203】

なお、本実施の形態において、配線は互いに平行である必要はなく、どんな方向でもよい。また、電源供給線は各画素につき 1 本である必要はなく、何本でもよい。また、画素部全体で電源供給線がマトリックス状になっている必要はなく、一部分でもよい。

【0204】

また、本実施の形態は、実施の形態 1、実施の形態 2 と自由に組み合わせることができ

10

20

30

40

50

る。

【0205】

(実施の形態4)

本発明の実施の形態について、図11と図16を用いて説明する。

【0206】

図11において、各画素の回路である1154は、図16に示した回路であるとして説明する。しかし、これは一例であり、各画素の回路は図16に限定されない。

【0207】

画素部の1行1列目の画素は、ゲート信号線G1と、ソース信号線S1と、電源供給線Vx1と、電源供給線Vy1と、スイッチング用TFT1001と、駆動用TFT1002と、EL素子1003と、容量素子1004と、を有している。

【0208】

画素の回路との接続を説明する。ゲート信号線G1はスイッチング用TFT1001のゲート電極に接続され、ソース信号線S1はスイッチング用TFT1001のソースまたはドレイン電極に接続され、電源供給線Vx1は駆動用TFT1002のソースまたはドレイン電極および容量素子1004の一方の電極に接続され、電源供給線Vy1は電源供給線Vx1と接続され、容量素子1004のもう一方の電極はスイッチング用TFT1001のもう一方のソースまたはドレイン電極および駆動用TFT1002のゲート電極に接続され、駆動用TFT1002のもう一方のソースまたはドレイン電極はEL素子1003に接続されている。

【0209】

また、画素部の2行1列目の画素は、上記1行1列目の画素の構成のうちG1をG2に置き換えた構成であり、RGBごとに電源供給線を電気的に分離するために、Vx1をもう一つの電源供給線に接続しない構成であってもよい。

【0210】

また、画素部の3行1列目の画素は、上記1行1列目の画素の構成のうちG1をG3に置き換えた構成であり、RGBごとに電源供給線を電気的に分離するために、Vx1をもう一つの電源供給線に接続しない構成であってもよい。

【0211】

また、画素部の4行1列目の画素は、上記1行1列目の画素の構成のうちG1をG4に、Vy1をVy4に置き換えた構成であることを特徴とする。

【0212】

また、画素部の5行1列目の画素は、上記4行1列目の画素の構成のうちG4をG5に置き換えた構成であり、RGBごとに電源供給線を電気的に分離するために、Vx1をもう一つの電源供給線に接続しない構成であってもよい。

【0213】

また、画素部の6行1列目の画素は、上記4行1列目の画素の構成のうちG4をG6に置き換えた構成であり、RGBごとに電源供給線を電気的に分離するために、Vx1をもう一つの電源供給線に接続しない構成であってもよい。

【0214】

また、画素部の1列目の画素は、上記3行分の構成を繰り返した構成であることを特徴とする。

【0215】

また、画素部の1行2列目の画素は、上記1行1列目の画素の構成のうちS1をS2に、Vx1をVx2に置き換えた構成であり、RGBごとに電源供給線を電気的に分離するために、Vx2をもう一つの電源供給線に接続しない構成であってもよい。

【0216】

また、画素部の2行2列目の画素は、上記1行2列目の画素の構成のうちG1をG2に置き換えた構成であり、Vx2をもう一つの電源供給線Vy2に接続する構成であることを特徴とする。

10

20

30

40

50

【0217】

また、画素部の3行2列目の画素は、上記1行2列目の画素の構成のうちG1をG3に置き換えた構成であり、RGBごとに電源供給線を電気的に分離するために、Vx2をもう一つの電源供給線に接続しない構成であってもよい。

【0218】

また、画素部の2列目の画素は、上記3行分の構成を繰り返した構成であることを特徴とする。

【0219】

また、画素部の1行3列目の画素は、上記1行1列目の画素の構成のうちS1をS3に、Vx1をVx3に置き換えた構成であり、RGBごとに電源供給線を電気的に分離するために、Vx3をもう一つの電源供給線に接続しない構成であってもよい。10

【0220】

また、画素部の2行3列目の画素は、上記1行3列目の画素の構成のうちG1をG2に置き換えた構成であり、Vx3をもう一つの電源供給線に接続しない構成であることを特徴とする。

【0221】

また、画素部の3行3列目の画素は、上記1行3列目の画素の構成のうちG1をG3に置き換えた構成であり、RGBごとに電源供給線を電気的に分離するために、Vx3をもう一つの電源供給線Vy3に接続する構成であってもよい。

【0222】

また、画素部の3列目の画素は、上記3行分の構成を繰り返した構成であることを特徴とする。20

【0223】

また、画素部の残りの列は、上記1～3列目の構成を繰り返した構成であることを特徴とする。

【0224】

また、Vx1、Vx4、…、Vx(3i-2)、Vy1、Vy4、…、Vy(3j-2)は、すべて互いに電気的に接続されていることを特徴とする(i、jは自然数)。

【0225】

また、Vx2、Vx5、…、Vx(3i-1)、Vy2、Vy5、…、Vy(3j-1)は、すべて互いに電気的に接続されていることを特徴とする(i、jは自然数)。30

【0226】

また、Vx3、Vx6、…、Vx(3i)、Vy3、Vy6、…、Vy(3j)は、すべて互いに電気的に接続されていることを特徴とする(i、jは自然数)。

【0227】

本実施の形態では、画素部の電源供給線はソース信号線(S1～Sn)と平行に配置されている配線(Vx1～Vxn)だけでなく、垂直方向もしくはほぼ垂直方向にも配置(Vy1～Vym)されて、それぞれの方向からR、G、B画素それぞれの駆動用TFT1002のソース領域もしくはドレイン領域に電圧が供給されている。また、垂直方向もしくはほぼ垂直方向に配置(Vy1～Vym)されている電源供給線は、それぞれ電源供給線(Vx1～Vxn)とR、G、B画素ごとに接続され、電源供給線はマトリックス状に配置されている。これによって、EL素子1003を流れる電流は、ソース信号線(S1～Sn)と平行方向からだけでなく、垂直方向からも供給されるので、本発明の克服すべき課題の一つである、配線抵抗を出来るだけ小さくしなければならない、という課題を克服することが出来る。また、R、G、Bごとに接続されているので、R、G、Bごとに供給する電圧を変えてよい。40

【0228】

また、各画素におけるゲート信号線と平行方向の電源供給線は1本なので、大幅な開口50

率の低下や配線間の寄生容量を増やすことなく、配線抵抗を小さくすることが出来る。

【0229】

配線抵抗を小さくすることが出来るので、EL表示装置をアナログ駆動させたときのクロストークが軽減する。また、デジタル駆動と定電圧駆動を組み合わせてEL表示装置を動作させるときの、階調表示不良が軽減する。

【0230】

ただし、本実施の形態も、実施の形態1や実施の形態2や実施の形態3と同じように、低コストでEL表示装置を作製するのが克服すべき課題の一つであるので、選択的にパターン形成が可能なEL表示装置の作製方法の一つである、液滴吐出法によるEL表示装置作製プロセスにより作製するものとする。

10

【0231】

液滴吐出法により配線を形成する場合に、配線抵抗のばらつきが発生する問題が存在することはすでに述べたとおりである。本実施の形態をとることで、液滴吐出法による配線抵抗のばらつきも軽減することが出来る。

【0232】

これは、電源供給線がマトリックス状に配置されている場合は、配線の抵抗は全て並列に接続されているとみなすことと説明することが出来る。すなわち、並列に接続されれば、ある画素までの電源供給線の抵抗は、全ての電源供給線の抵抗値に依存し、マトリックス状でない場合に存在した抵抗の位置依存性が小さくなるからである。

20

【0233】

すなわち、本実施の形態によれば、電源供給線の配線抵抗を低減するだけでなく、液滴吐出法を用いた場合の配線抵抗のばらつきを出来るだけ小さくしなければならない、という課題をも克服することが出来る。

【0234】

なお、本実施の形態において、配線は互いに平行である必要はなく、どのような方向でもよい。また、電源供給線は各画素につき1本である必要はなく、何本でもよい。また、画素部全体で電源供給線がマトリックス状になっている必要はなく、一部分でもよい。

【0235】

また、本実施の形態は、実施の形態1、実施の形態2、実施の形態3と自由に組み合わせができる。

30

【0236】

(実施の形態5)

本実施の形態は、実施の形態1と、実施の形態2または実施の形態3または実施の形態4を組み合わせたものである。このときの構成を、図12と図16を用いて説明する。

【0237】

本実施の形態における画素部全体の回路図を、図12と図16に示す。本実施の形態では、縦の画素1列に対し複数のソース信号線を有していることを特徴とする。図8では、縦の画素1列に対し3本のソース信号線を有している場合を例にとって説明する。

【0238】

なお、ソース信号線は3本に限定されず、何本でもよい。

40

【0239】

図12において、各画素の回路である1254は、図16に示した回路であるとして説明する。しかし、これは一例であり、各画素の回路は図16に限定されない。

【0240】

画素部の1行1列目の画素は、ゲート信号線G1と、3本のソース信号線のうちの一つであるS1aと、電源供給線Vx1と、電源供給線Vy1Rと、スイッチング用TFT1001と、駆動用TFT1002と、EL素子1003と、容量素子1004と、を有している。

【0241】

画素の回路との接続を説明する。ゲート信号線G1はスイッチング用TFT1001の

50

ゲート電極に接続され、3本のソース信号線のうちの一つであるS1aはスイッチング用TFT1001のソースまたはドレイン電極に接続され、電源供給線Vx1は駆動用TFT1002のソースまたはドレイン電極および容量素子1004の一方の電極に接続され、電源供給線Vy1Rは電源供給線Vx1と接続され、容量素子1004のもう一方の電極はスイッチング用TFT1001のもう一方のソースまたはドレイン電極および駆動用TFT1002のゲート電極に接続され、駆動用TFT1002のもう一方のソースまたはドレイン電極はEL素子1003に接続されている。

【0242】

また、画素部の2行1列目の画素は、ゲート信号線G2と、3本のソース信号線のうちの一つであるS1bと、電源供給線Vx1と、電源供給線Vy2Rと、スイッチング用TFT1001と、駆動用TFT1002と、EL素子1003と、容量素子1004と、を有している。

【0243】

画素部の2行1列目の画素は、上記1行1列目の画素の構成のうち、G1をG2に、S1aをS1bに、Vy1RをVy2Rに置き換えた構成であることを特徴とする。

【0244】

画素部の3行1列目の画素は、ゲート信号線G3と、3本のソース信号線のうちの一つであるS1cと、電源供給線Vx1と、電源供給線Vy3Rと、スイッチング用TFT1001と、駆動用TFT1002と、EL素子1003と、容量素子1004と、を有している。

【0245】

画素部の3行1列目の画素は、上記1行1列目の画素の構成のうち、G1をG3に、S1aをS1cに、Vy1RをVy3Rに置き換えた構成であることを特徴とする。

【0246】

また、上記3行の画素列において、G1、G2、G3は電気的に接続されている。

【0247】

また、1列目の画素列は、上記構成の繰り返しであることを特徴とする。

【0248】

また、2列目の画素列は、上記構成のうち、Vx1をVx2に、S1aをS2aに、S1bをS2bに、S1cをS2cに、Vy1RをVy1Gに、Vy2RをVy2Gに、Vy3RをVy3Gに、置き換えた接続であることを特徴とする。

【0249】

また、3列目の画素列は、上記構成のうち、Vx1をVx3に、S1aをS3aに、S1bをS3bに、S1cをS3cに、Vy1RをVynBに、Vy2RをVy2Bに、Vy3RをVy3Bに、置き換えた接続であることを特徴とする。

【0250】

また、3列目以降の画素列は、上記3列の構成の繰り返しであることを特徴とする。

【0251】

また、Vy1R～VymRは全て互いに電気的に接続されていることを特徴とする。

【0252】

また、Vy1G～VymGは全て互いに電気的に接続されていることを特徴とする。

【0253】

また、Vy1B～VymBは全て互いに電気的に接続されていることを特徴とする。

【0254】

本実施の形態によれば、実施の形態1で説明した書き込み時間を出来るだけ長く出来るようになければならない、という課題を克服することが出来る。また、寄生容量は出来るだけ小さくしなければならない、という課題を克服することが出来る。

【0255】

また、本実施の形態によれば、実施の形態2または実施の形態3または実施の形態4で説明した配線抵抗を出来るだけ小さくしなければならない、という課題を克服することが

10

20

40

50

出来る。また、配線抵抗のばらつきを出来るだけ小さくしなければならない、という課題をも克服することが出来る。

【0256】

また、本実施の形態によれば、選択的にパターン形成することの出来る液滴吐出法を用いるため、低コストでEL表示装置を製造することが出来る。

【0257】

(実施の形態6)

本発明の実施の形態を、図18～図19を用いて説明する。本実施の形態は、実施の形態1において、薄膜トランジスタとしてチャネルエッチ型の薄膜トランジスタを用いるものである。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

10

【0258】

基板1200の上に、密着性を向上させる機能を有する下地膜1201を形成する(図18(A)参照)。なお、基板1200上に、絶縁層を形成してもよい。この絶縁層は下地膜として用い、形成しなくても良いが、基板1200からの汚染物質などを遮断する効果がある。ガラス基板よりの汚染を防ぐための下地層を形成する場合は、その上に液滴吐出法によって形成する導電層1202、1203の形成領域に前処理として下地膜1201を形成する。

【0259】

本実施の形態では、密着性を向上させる機能を有する下地膜として、光触媒の機能を有する物質を用いる。

20

【0260】

本実施の形態では、光触媒物質としてスパッタリング法により所定の結晶構造を有するTiO_x結晶を形成する場合を説明する。ターゲットには金属チタンチューブを用い、アルゴンガスと酸素を用いてスパッタリングを行う。更にHeガスを導入してもよい。光触媒活性の高いTiO_xを形成するためには、酸素を多く含む雰囲気とし、形成圧力を高めにする。更に成膜室又は処理物が設けられた基板を加熱しながらTiO_xを形成すると好ましい。

【0261】

このように形成されるTiO_xは非常に薄い膜であっても光触媒機能を有する。

【0262】

また他の下地前処理として、スパッタリング法や蒸着法などの方法により、Ti(チタン)、W(タンゲステン)、Cr(クロム)、Ta(タンタル)、Ni(ニッケル)、Mo(モリブデン)などの金属材料若しくはその酸化物で形成される下地膜1201を形成することが好ましい。下地膜は0.01～10nmの厚さで形成すれば良いが、極薄く形成すれば良いので、必ずしも層構造を持っていなくても良い。下地膜として、高融点金属材料を用いる場合、ゲート電極層となる導電層1202、1203を形成した後、表面に露出している下地膜を下記の2つの工程のうちどちらかの工程を行って処理することが望ましい。

30

【0263】

第一の方法としては、導電層1202、1203と重ならない下地膜1201を絶縁化して、絶縁層を形成する工程である。つまり、導電層1202、1203と重ならない下地膜1201を酸化して絶縁化する。このように、下地膜1201を酸化して絶縁化する場合には、当該下地膜1201を0.01～10nmの厚さで形成しておくことが好適であり、そうすると容易に酸化させることができる。なお、酸化する方法としては、酸素雰囲気下に晒す方法を用いてもよいし、熱処理を行う方法を用いてもよい。

40

【0264】

第2の方法としては、導電層1202、1203をマスクとして、下地膜1201をエッチングして除去する工程である。この工程を用いる場合には下地膜1201の厚さに制約はない。

【0265】

50

また、下地前処理の他の方法として、形成領域（被形成面）に対してプラズマ処理を行う方法がある。プラズマ処理の条件は、空気、酸素又は窒素を処理ガスとして用い、圧力を数十 Torr ~ 1000 Torr (133000 Pa)、好ましくは 100 (13300 Pa) ~ 1000 Torr (133000 Pa)、より好ましくは 700 Torr (93100 Pa) ~ 800 Torr (106400 Pa)、つまり大気圧又は大気圧近傍の圧力となる状態で、パルス電圧を印加する。このとき、プラズマ密度は、 $1 \times 10^{10} \sim 1 \times 10^{14} \text{ m}^{-3}$ 、所謂コロナ放電やグロー放電の状態となるようにする。空気、酸素又は窒素の処理ガスを用いプラズマ処理を用いることにより、材質依存性なく、表面改質を行うことができる。その結果、あらゆる材料に対して表面改質を行うことができる。

【0266】

10

また、他の方法として、液滴吐出法によるパターンとその形成領域との密着性を上げるために、接着材として機能するような有機材料系の物質を形成してもよい。有機材料（有機樹脂材料）（ポリイミド、アクリル）やシリコン（Si）と酸素（O）との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、もしくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも 1 種を有する材料を用いてもよい。

【0267】

次に、導電性材料を含む組成物を吐出して、後にゲート電極として機能する導電層 1202、1203 を形成する。この導電層 1202、1203 の形成は、液滴吐出手段を用いて行う。本実施の形態では、導電性材料として銀を用いるが、銀と銅などの積層体としても良い。また銅単層でもよい。

20

【0268】

また、液滴吐出法を用いて形成する導電層の下地前処理として、前述した下地膜 1201 を形成する工程を行ったが、この処理工程は、導電層を形成した後にも行っても良い。

【0269】

次に、導電層 1202、1203 の上にゲート絶縁膜を形成する（図 18 (A) 参照）。ゲート絶縁膜としては、珪素の酸化物材料又は窒化物材料等の公知の材料で形成すればよく、積層でも单層でもよい。

【0270】

続いて、ゲート絶縁膜上に選択的に、導電性材料を含む組成物を吐出して、導電層（第 1 の電極ともいう）1206 を形成する（図 18 (B) 参照）。導電層 1206 は、基板 1200 側から光を放射する場合、または透過型の EL 表示パネルを作製する場合には、インジウム錫酸化物 (ITO)、酸化珪素を含むインジウム錫酸化物 (ITSO)、酸化亜鉛 (ZnO)、酸化スズ (SnO₂) などを含む組成物により所定のパターンを形成し、焼成によって形成しても良い。図示しないが、導電層 1206 を形成する領域に導電層 1202、1203 を形成する時と同様に、光触媒物質を形成してもよい。光触媒物質によって、密着性が向上し、所望なパターンに細線化して導電層 1206 を形成する事ができる。この導電層 1206 は画素電極として機能する第 1 の電極となる。

30

【0271】

半導体層は公知の手段（スパッタ法、LPCVD 法、またはプラズマ CVD 法等）により成膜すればよい。半導体層の材料に限定はないが、好ましくはシリコン又はシリコングルマニウム (SiGe) 合金などで形成すると良い。

40

【0272】

半導体層は、アモルファス半導体（代表的には水素化アモルファシリコン）、セミアモルファス半導体又は半導体層の一部に結晶相を含む半導体、結晶性半導体（代表的にはポリシリコン）、有機半導体を用いることができる。

【0273】

本実施の形態では、半導体として、非晶質半導体を用いる。半導体層 1207 を形成し、プラズマ CVD 法等により一導電型を有する半導体層、例えば N 型半導体層 1208 を形成する。（図 12 (C) 参照）。一導電型を有する半導体層は必要に応じて形成すればよい。

50

【0274】

続いて、レジストやポリイミド等の絶縁体からなるマスク層1211、1212を形成し、該マスク層1211、1212を用いて、半導体層1207、N型半導体層1208を同時にパターン加工する。

【0275】

次に、レジストやポリイミド等の絶縁体からなるマスク層1213、1214を液滴吐出法を用いて形成する(図18(D)参照。)。そのマスク層1213、1214を用いて、エッティング加工によりゲート絶縁層1205、1204の一部に貫通孔1218を形成して、その下層側に配置されているゲート電極層として機能する導電層1203の一部を露出させる。

10

【0276】

マスク層1213、1214を除去した後、導電性材料を含む組成物を吐出して、導電層1215、1216、1217を形成し、該導電層1215、1216、1217をマスクとして、N型半導体層をパターン加工して、N型半導体層を形成する(図19(A)参照)。なお、図示しないが、導電層1215、1216、1217を形成する前に、導電層1215、1216、1217がゲート絶縁層1205と接する部分に選択的に光触媒物質を形成しても良い。そうすると、導電層は密着性よく形成できる。

【0277】

導電層1217は、ソース、ドレイン配線層として機能し、前に形成された第1の電極である導電層1206に電気的に接続するように形成される。また、ゲート絶縁層1205に形成した貫通孔1218において、ソース又はドレイン配線層である導電層1216とゲート電極層である導電層1203とを電気的に接続させる。

20

【0278】

ゲート絶縁層1205、1204の一部に貫通孔1218を形成する工程を、導電層1215、1216、1217形成後に、該配線層となる導電層1215、1216、1217をマスクとして用いて貫通孔1218を形成してもよい。そして貫通孔1218に導電層を形成し配線層である導電層1216とゲート電極層である導電層1203を電気的に接続する。この場合、工程が簡略化する利点がある。

【0279】

続いて、隔壁となる絶縁層1220を形成する。絶縁層1220は、スピンドルコート法やディップ法により全面に絶縁層を形成した後、エッティング加工によって図19(B)に示すように開孔を形成する。また、液滴吐出法により絶縁層1220を形成すれば、エッティング加工は必ずしも必要ない。

30

【0280】

絶縁層1220は、第1の電極である導電層1206に対応して画素が形成される位置に合わせて貫通孔の開口部を備えて形成される。

【0281】

以上の工程により、基板1200上にボトムゲート型(逆スタガ型ともいう。)のチャネルエッチ型TFTと第1の電極である導電層1206が接続されたTFT基板が完成する。

40

【0282】

第1の電極である導電層1206上に、電界発光層1221、導電層1222を積層形成して、発光素子を用いた表示機能を有する表示装置が完成する(図19(B)参照)。

【0283】

以上示したように、本実施の形態では、フォトマスクを利用した光露光工程を用いないことにより、工程を省略することができる。また、液滴吐出法を用いて基板上に直接的に各種のパターンを形成することにより、1辺が1000mmを超える第5世代以降のガラス基板を用いても、容易にEL表示パネルを製造することができる。

【0284】

50

また、密着性、耐剥離性が向上した信頼性の高い表示装置を作製することができる。

【0285】

(実施の形態7)

本発明の実施の形態について、図20～図21を用いて説明する。本実施の形態は、実施の形態1において、薄膜トランジスタとしてトップゲート(順スタガともいう)型の薄膜トランジスタを用いるものである。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0286】

基板1300の上に、密着性を向上させる機能を有する下地膜1301を形成する(図20(A)参照)。なお、基板1300上に、絶縁層を形成してもよい。この絶縁層は形成しなくても良いが、基板1300からの汚染物質などを遮断する効果がある。特に本実施の形態のように順スタガ型の薄膜トランジスタであると、半導体層が基板に直接接することになるので、下地層は必要である。ガラス基板よりの汚染を防ぐための下地層を形成する場合は、その上に液滴吐出法によって形成する導電層1315、1316、1317の形成領域に前処理として下地膜1301を形成する。

10

【0287】

本実施の形態では、密着性を向上させる機能を有する下地膜1301として、光触媒の機能を有する物質を用いる。

【0288】

本実施の形態では、光触媒物質としてスパッタリング法により所定の結晶構造を有するTiO_x結晶を形成する場合を説明する。ターゲットには金属チタンチューブを用い、アルゴンガスと酸素を用いてスパッタリングを行う。更にHeガスを導入してもよい。光触媒活性の高いTiO_xを形成するためには、酸素を多く含む雰囲気とし、形成圧力を高めにする。更に成膜室又は処理物が設けられた基板を加熱しながらTiO_xを形成すると好みしい。

20

【0289】

このように形成されるTiO_xは非常に薄い膜であっても光触媒機能を有する。

【0290】

また他の下地前処理として、スパッタリング法や蒸着法などの方法により、Ti(チタン)、W(タンゲステン)、Cr(クロム)、Ta(タンタル)、Ni(ニッケル)、Mo(モリブデン)などの金属材料若しくはその酸化物で形成される下地膜1301を形成することが好みしい。下地膜1301は0.01～10nmの厚さで形成すれば良いが、極薄く形成すれば良いので、必ずしも層構造を持っていなくても良い。下地膜として、高融点金属材料を用いる場合、ソースドレイン配線層として機能する導電層1315、1316、1317を形成した後、表面に露出している下地膜を下記の2つの工程のうちどちらかの工程を行って処理することが望ましい。

30

【0291】

第一の方法としては、ソースドレイン配線層として機能する導電層1315、1316、1317と重ならない下地膜1301を絶縁化して、絶縁層を形成する工程である。つまり、ソースドレイン配線層として機能する導電層1315、1316、1317と重ならない下地膜1301を酸化して絶縁化する。このように、下地膜1301を酸化して絶縁化する場合には、当該下地膜1301を0.01～10nmの厚さで形成しておくことが好適であり、そうすると容易に酸化させることができる。なお、酸化する方法としては、酸素雰囲気下に晒す方法を用いてもよいし、熱処理を行う方法を用いてもよい。

40

【0292】

第2の方法としては、ソースドレイン配線層として機能する導電層1315、1316、1317をマスクとして、下地膜1301をエッチングして除去する工程である。この工程を用いる場合には下地膜1301の厚さに制約はない。

【0293】

また、下地前処理の他の方法として、形成領域(被形成面)に対してプラズマ処理を行

50

う方法がある。プラズマ処理の条件は、空気、酸素又は窒素を処理ガスとして用い、圧力を数十 Torr ~ 1000 Torr (133000 Pa)、好ましくは 100 (13300 Pa) ~ 1000 Torr (133000 Pa)、より好ましくは 700 Torr (93100 Pa) ~ 800 Torr (106400 Pa)、つまり大気圧又は大気圧近傍の圧力となる状態で、パルス電圧を印加する。このとき、プラズマ密度は、 $1 \times 10^{10} \sim 1 \times 10^{14} \text{ m}^{-3}$ 、所謂コロナ放電やグロー放電の状態となるようになる。空気、酸素又は窒素の処理ガスを用いプラズマ処理を用いることにより、材質依存性なく、表面改質を行うことができる。その結果、あらゆる材料に対して表面改質を行うことができる。

【0294】

また、他の方法として、液滴吐出法によるパターンとその形成領域との密着性を上げるために、接着材として機能するような有機材料系の物質を形成してもよい。有機材料（有機樹脂材料）（ポリイミド、アクリル）やシリコン（Si）と酸素（O）との結合で骨格構造が構成され、置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【0295】

次に、導電性材料を含む組成物を吐出して、ソースドレイン配線層として機能する導電層 1315、1316、1317 を形成する。この導電層 1315、1316、1317 の形成は、液滴吐出手段を用いて行う。

【0296】

導電層 1315、1316、1317 層を形成する導電性材料としては、Ag（銀）、Au（金）、Cu（銅）、W（タングステン）、Al（アルミニウム）等の金属の粒子を主成分とした組成物を用いることができる。特に、ソース又はドレイン配線層は、低抵抗化することが好ましのいで、比抵抗値を考慮して、金、銀、銅のいずれかの材料を溶媒に溶解又は分散させたものを用いることが好適であり、より好適には、低抵抗な銀、銅を用いるとよい。溶媒は、酢酸ブチル等のエステル類、イソプロピルアルコール等のアルコール類、アセトン等の有機溶剤等に相当する。表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

【0297】

続いて、選択的に導電性材料を含む組成物を吐出して、導電層（第 1 の電極ともいう）1306 を形成する（図 20（A）参照）。導電層 1306 は、基板 1300 側から光を放射する場合、または透過型の EL 表示パネルを作製する場合には、インジウム錫酸化物（ITO）、酸化珪素を含むインジウム錫酸化物（ITSO）、酸化亜鉛（ZnO）、酸化スズ（SnO₂）などを含む組成物により所定のパターンを形成し、焼成によって形成しても良い。図示しないが、導電層 1306 を形成する領域に導電層 1315、1316、1317 を形成する時と同様に、光触媒物質を形成してもよい。光触媒物質によって、密着性が向上し、所望なパターンに細線化して導電層 1306 を形成する事ができる。この導電層 1306 は画素電極として機能する第 1 の電極となる。

【0298】

また、液滴吐出法を用いて形成する導電層の下地前処理として、前述した下地膜 1301 を形成する工程を行ったが、この処理工程は、導電層 1315、1316、1317 を形成した後にも行っても良い。例えば、図示しないが、酸化チタン膜を形成し、その上に N 型の半導体層を形成すると、導電層と N 型の半導体層との密着性が向上する。

【0299】

導電層 1315、1316、1317 上に N 型の半導体層を全面に形成した後、導電層 1315 と導電層 1316 の間、導電層 1316 と導電層 1317 の間に N 型の半導体層を、レジストやポリイミド等の絶縁体からなるマスク層 1311、1312、1319 を用いてエッチングして除去する。一導電型を有する半導体層は必要に応じて形成すればよい。そして、アモルファス半導体（以下 AS と呼ぶ）若しくは SAS からなる半導体層 1307 を気相成長法若しくはスパッタリング法で形成する。プラズマ CVD 法を用い

10

20

30

40

50

る場合、ASは半導体材料ガスであるSiH₄若しくはSiH₄とH₂の混合気体を用いて形成する。SASは、SiH₄とH₂で3倍～1000倍に希釈して混合気体で形成する。このガス種でSASを形成する場合には、半導体層の表面側の方が結晶性が良好であり、ゲート電極を半導体層の上層に形成するトップゲート型のTFTとの組み合わせは適している。

【0300】

次に、プラズマCVD法やスパッタリング法を用いて、ゲート絶縁層1305を単層又は積層構造で形成する。特に好ましい形態としては、窒化珪素からなる絶縁層、酸化珪素からなる絶縁層、窒化珪素からなる絶縁層の3層の積層体をゲート絶縁膜として構成させる。

10

【0301】

次に、ゲート電極層1302、1303を液滴吐出法で形成する。この層を形成する導電性材料としては、Ag(銀)、Au(金)、Cu(銅)、W(タンゲステン)、Al(アルミニウム)等の金属の粒子を主成分とした組成物を用いることができる。

【0302】

半導体層1307及びゲート絶縁層1305は、液滴吐出法により形成したマスク層1313、1314を使って、ソース又はドレイン配線層(導電層1315、1316、1317)に対応する位置に形成する。すなわち、導電層1315と導電層1316とを跨ぐように半導体層を形成する。

【0303】

次に、導電層1330、1331を液滴吐出法で形成し、導電層1316とゲート電極層1303、及び、導電層1317と第1の電極である導電層1306を電気的に接続する。

20

【0304】

ドレインまたはソース配線層とゲート電極層間を、導電層1330を用いずにゲート電極層によって、直接接続してもよい。その場合、ゲート電極層1302、1303を形成する前に、ゲート絶縁層1305に貫通孔を形成し、ソース又はドレイン配線である導電層1316、1317の一部を露出させた後、ゲート電極層1302、1303、導電層1331を液滴吐出法で形成する。このときゲート電極層1303は導電層1330を兼ねた配線となり、導電層1316と接続する。エッティングはドライエッティングでもウェットエッティングでもよいが、ドライエッティングであるプラズマエッティングが好ましい。

30

【0305】

続いて、隔壁となる絶縁層1320を形成する。また、図示しないが、絶縁層1320の下に薄膜トランジスタを覆うように全面に窒化珪素若しくは窒化酸化珪素の保護層を形成してもよい。絶縁層1320は、スピンドルコート法やディップ法により全面に絶縁層を形成した後、エッティング加工によって図21に示すように開孔を形成する。また、液滴吐出法により絶縁層1320を形成すれば、エッティング加工は必ずしも必要ない。液滴吐出法を用いて、絶縁層1320など広領域に形成する場合、液滴吐出装置の複数のノズル吐出口から組成物を吐出し、複数の線が重なるように描画し形成すると、スループットが向上する。

40

【0306】

絶縁層1320は、第1の電極である導電層1306に対応して画素が形成される位置に合わせて貫通孔の開口部を備えて形成される。

【0307】

以上の工程により、基板1300上にトップゲート型(逆スタガ型ともいう)TFTと第1の電極層である導電層1306が接続されたTFT基板が完成する。

【0308】

電界発光層1321を形成する前に、大気圧中で200の熱処理を行い絶縁層1320中若しくはその表面に吸着している水分を除去する。また、減圧下で200～400、好ましくは250～350に熱処理を行い、そのまま大気に晒さずに電界発光層13

50

21を真空蒸着法や、減圧下の液滴吐出法で形成することが好ましい。

【0309】

第1の電極である導電層1306上に、電界発光層1321、導電層1322を積層形成して、発光素子を用いた表示機能を有する表示装置が完成する(図21参照)。

【0310】

以上示したように、本実施の形態では、フォトマスクを利用した光露光工程を用いないことにより、工程を省略することができる。また、液滴吐出法を用いて基板上に直接的に各種のパターンを形成することにより、1辺が1000mmを超える第5世代以降のガラス基板を用いても、容易にEL表示パネルを製造することができる。

【0311】

また、密着性、耐剥離性が向上した信頼性の高い表示装置を作製することができる。

【0312】

(実施の形態8)

本発明の実施の形態について、図22～図23を用いて説明する。本実施の形態は、実施の形態1において、薄膜トランジスタと第1の電極との接続構造が異なるものである。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0313】

基板1400の上に、下地前処理として密着性を向上させる下地膜1401を形成する。本実施の形態では、光触媒物質としてスパッタリング法により所定の結晶構造を有するTiO_x結晶を形成する場合を説明する。ターゲットには金属チタンチューブを用い、アルゴンガスと酸素を用いてスパッタリングを行う。更にHeガスを導入してもよい。光触媒活性の高いTiO_xを形成するためには、酸素を多く含む雰囲気とし、形成圧力を高めにする。更に成膜室又は処理物が設けられた基板を加熱しながらTiO_xを形成すると好ましい。

【0314】

このように形成されるTiO_xは非常に薄い膜であっても光触媒機能を有する。

【0315】

また他の下地前処理として、スパッタリング法や蒸着法などの方法により、Ti(チタン)、W(タンクステン)、Cr(クロム)、Ta(タンタル)、Ni(ニッケル)、Mo(モリブデン)などの金属材料若しくはその酸化物で形成される下地膜1401を形成することが好ましい。下地膜1401は0.01～10nmの厚さで形成すれば良いが、極薄く形成すれば良いので、必ずしも層構造を持っていなくても良い。下地膜として、高融点金属材料を用いる場合、ゲート電極層となる導電層1402、1403を形成した後、表面に露出している下地膜を下記の2つの工程のうちどちらかの工程を行って処理することが望ましい。

【0316】

第一の方法としては、導電層1402、1403と重ならない下地膜1401を絶縁化して、絶縁層を形成する工程である。つまり、導電層1402、1403と重ならない下地膜1401を酸化して絶縁化する。このように、下地膜1401を酸化して絶縁化する場合には、当該下地膜1401を0.01～10nmの厚さで形成しておくことが好適であり、そうすると容易に酸化させることができる。なお、酸化する方法としては、酸素雰囲気下に晒す方法を用いてもよいし、熱処理を行う方法を用いてもよい。

【0317】

第2の方法としては、導電層1402、1403をマスクとして、下地膜1401をエッチングして除去する工程である。この工程を用いる場合には下地膜1401の厚さに制約はない。

【0318】

また、下地前処理の他の方法として、形成領域(被形成面)に対してプラズマ処理を行う方法がある。プラズマ処理の条件は、空気、酸素又は窒素を処理ガスとして用い、圧力を数十Torr～1000Torr(133000Pa)、好ましくは100(1330

10

20

30

40

50

0 Pa) ~ 1000 Torr (133000 Pa)、より好ましくは700 Torr (93100 Pa) ~ 800 Torr (106400 Pa)、つまり大気圧又は大気圧近傍の圧力となる状態で、パルス電圧を印加する。このとき、プラズマ密度は、 $1 \times 10^{10} \sim 1 \times 10^{14} \text{ m}^{-3}$ 、所謂コロナ放電やグロー放電の状態となるようする。空気、酸素又は窒素の処理ガスを用いプラズマ処理を用いることにより、材質依存性なく、表面改質を行うことができる。その結果、あらゆる材料に対して表面改質を行うことができる。

【0319】

また、他の方法として、液滴吐出法によるパターンとその形成領域との密着性を上げるために、接着材として機能するような有機材料系の物質を形成してもよい。有機材料（有機樹脂材料）（ポリイミド、アクリル）やシリコン（Si）と酸素（O）との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、もしくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有する材料を用いてもよい。

10

【0320】

次に、導電性材料を含む組成物を吐出して、後にゲート電極として機能する導電層1402、1403を形成する。この導電層1402、1403の形成は、液滴吐出手段を用いて行う。本実施の形態では、導電性材料として銀を用いるが、銀と銅などの積層体としても良い。また銅単層でもよい。

【0321】

また、液滴吐出法を用いて形成する導電層の下地前処理として、前述した下地膜1401を形成する工程を行ったが、この処理工程は、導電層を形成した後にも行っても良い。

20

【0322】

次に、導電層1402、1403の上にゲート絶縁膜を形成する（図22（A）参照）。ゲート絶縁膜としては、珪素の酸化物材料又は窒化物材料等の公知の材料で形成すればよく、積層でも单層でもよい。

【0323】

半導体層は公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜すればよい。半導体層の材料に限定はないが、好ましくはシリコン又はシリコングルマニウム（SiGe）合金などで形成すると良い。

【0324】

半導体層は、アモルファス半導体（代表的には水素化アモルファスシリコン）、セミアモルファス半導体又は半導体層の一部に結晶相を含む半導体、結晶性半導体（代表的にはポリシリコン）、有機半導体を用いることができる。

30

【0325】

本実施の形態では、半導体として、非晶質半導体を用いる。半導体層1407を形成し、チャネル保護膜1409、1410を形成するため、例えば、プラズマCVD法により絶縁膜を形成し、所望の領域に、所望の形状となるように選択的にエッチングする。またチャネル保護膜は、液滴吐出法や、印刷法（スクリーン印刷やオフセット印刷などパターンが形成される方法）を用いてポリイミド又はポリビニルアルコール等を形成してもよい。その後、プラズマCVD法等により一導電型を有する半導体層、例えばN型半導体層1408を形成する。一導電型を有する半導体層は必要に応じて形成すればよい。

40

【0326】

続いて、レジストやポリイミド等の絶縁体からなるマスク層1411、1412を形成し、該マスク層1411、1412を用いて、半導体層1407、N型半導体層1408を同時にパターン加工する。

【0327】

次に、レジストやポリイミド等の絶縁体からなるマスク層1413、1414を液滴吐出法を用いて形成する（図22（C）参照。）。そのマスク層1413、1414を用いて、エッチング加工によりゲート絶縁層1405、1404の一部に貫通孔1418を形成して、その下層側に配置されているゲート電極層として機能する導電層1403の一部を露出させる。エッチング加工はプラズマエッチング（ドライエッチング）又はウェット

50

エッティングのどちらを採用しても良いが、大面積基板を処理するにはプラズマエッティングが適している。また、大気圧放電のエッティング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスク層を形成する必要はない。

【0328】

マスク層1413、1414を除去した後、導電性材料を含む組成物を吐出して、導電層1415、1416、1417を形成し、該導電層1415、1416、1417をマスクとして、N型半導体層をパターン加工する(図22(D)参照)。なお、図示しないが、導電層1415、1416、1417を形成する前に、導電層1415、1416、1417がゲート絶縁層1405と接する部分に選択的に光触媒物質などを形成する、前述の下地前処理工程を行っても良い。また形成後にもその表面に下地前処理を行っても良い。この工程により、導電層は積層する上下の層と密着性よく形成できる。

10

【0329】

また、配線層である導電層1415、1416、1417は、図22(D)のように、N型半導体層、半導体層を覆うように形成される。半導体層はエッティングされているので、急激な段差のあるところで配線層が覆いきれず断線するおそれがある。よって、段差を軽減するために、絶縁層1441、1442、1443を形成し、段差をなだらかにしてもよい。絶縁層1441、1442、1443は液滴吐出法を用いると選択的にマスク等なしで形成することができる。この絶縁層1441、1442、1443により、段差は軽減され、その上を覆う配線層も断線等の不良なく、カバレッジよく形成することができる。この絶縁層1441、1442、1443は、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド(polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール(polybenzimidazole)などの耐熱性高分子、又はシロキサン系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうちSi-O-Si結合を含む無機シロキサン、珪素上の水素がメチルやフェニルのような有機基によって置換された有機シロキサン系の絶縁材料で形成することができる。

20

【0330】

続いて、ゲート絶縁膜上に選択的に、ソース、ドレイン配線層として機能する導電層1417と接するように導電性材料を含む組成物を吐出して、導電層(第1の電極ともいう)1406を形成する(図23(A)参照)。導電層1406は、基板1400側から光を放射する場合、または透過型のEL表示パネルを作製する場合には、インジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛(ZnO)、酸化スズ(SnO₂)などを含む組成物により所定のパターンを形成し、焼成によって形成しても良い。図示しないが、導電層1406を形成する領域に導電層1402、1403を形成する時と同様に、光触媒物質など形成等の下地前処理を行ってもよい。下地前処理によって、密着性が向上し、所望なパターンに細線化して導電層1406を形成する事ができる。この導電層1406は画素電極として機能する第1の電極となる。

30

【0331】

また、ゲート絶縁層1405に形成した貫通孔1418において、ソース又はドレイン配線層である導電層1416とゲート電極層である導電層1403とを電気的に接続させる。この配線層を形成する導電性材料としては、Ag(銀)、Au(金)、Cu(銅)、W(タンゲステン)、Al(アルミニウム)等の金属の粒子を主成分とした組成物を用いることができる。また、透光性を有するインジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、有機インジウム、有機スズ、酸化亜鉛、窒化チタンなどを組み合わせても良い。

40

【0332】

また、導電層1415、1416、1417、1406形成後に、導電層1415、1416、1417、1406をマスクとして用いて貫通孔1418を形成してもよい。そして貫通孔1418に導電層を形成し導電層1416とゲート電極層である導電層140

50

3を電気的に接続する。

【0333】

続いて、隔壁となる絶縁層1420を形成する。また、図示しないが、絶縁層1420の下に薄膜トランジスタを覆うように全面に窒化珪素若しくは窒化酸化珪素の保護層を形成してもよい。絶縁層1420は、スピンドルコート法やディップ法により全面に絶縁層を形成した後、エッチング加工によって図23(B)に示すように開孔を形成する。また、液滴吐出法により絶縁層1420を形成すれば、エッチング加工は必ずしも必要ない。液滴吐出法を用いて、絶縁層1420など広領域に形成する場合、液滴吐出装置の複数のノズル吐出口から組成物を吐出し、複数の線が重なるように描画し形成すると、スループットが向上する。

10

【0334】

絶縁層1420は、第1の電極である導電層1406に対応して画素が形成される位置に合わせて貫通孔の開口部を備えて形成される。

【0335】

以上の工程により、基板1400上にボトムゲート型(逆スタガ型ともいう。)のチャネル保護型TFTと導電層(第1の電極層)1406が接続されたEL表示パネル用のTFT基板が完成する。

【0336】

第1の電極である導電層1406上に、電界発光層1421、導電層1422を積層形成して、発光素子を用いた表示機能を有する表示装置が完成する(図23(B)参照)。

20

【0337】

以上示したように、本実施の形態では、フォトマスクを利用した光露光工程を用いないことにより、工程を省略することができる。また、液滴吐出法を用いて基板上に直接的に各種のパターンを形成することにより、1辺が1000mmを超える第5世代以降のガラス基板を用いても、容易にEL表示パネルを製造することができる。

【0338】

また、密着性、耐剥離性が向上した信頼性の高い表示装置を作製することができる。

【0339】

(実施の形態9)

本発明の実施の形態について、図24～図25を用いて説明する。本実施の形態は、実施の形態6において、薄膜トランジスタと第1の電極との接続構造が異なるものである。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

30

【0340】

基板1500の上に、下地前処理として密着性を向上させる下地膜1501を形成する。本実施の形態では、光触媒物質としてスパッタリング法により所定の結晶構造を有するTiO_x結晶を形成する場合を説明する。ターゲットには金属チタンチューブを用い、アルゴンガスと酸素を用いてスパッタリングを行う。更にHeガスを導入してもよい。光触媒活性の高いTiO_xを形成するためには、酸素を多く含む雰囲気とし、形成圧力を高めにする。更に成膜室又は処理物が設けられた基板を加熱しながらTiO_xを形成すると好ましい。

40

【0341】

このように形成されるTiO_xは非常に薄い膜であっても光触媒機能を有する。

【0342】

また他の下地前処理として、スパッタリング法や蒸着法などの方法により、Ti(チタン)、W(タンゲステン)、Cr(クロム)、Ta(タンタル)、Ni(ニッケル)、Mo(モリブデン)などの金属材料若しくはその酸化物で形成される下地膜1501を形成することが好ましい。下地膜1501は0.01～10nmの厚さで形成すれば良いが、極薄く形成すれば良いので、必ずしも層構造を持っていなくても良い。下地膜として、高融点金属材料を用いる場合、ゲート電極層となる導電層1502、1503を形成した後、表面に露出している下地膜を下記の2つの工程のうちどちらかの工程を行って処理する

50

ことが望ましい。

【0343】

第一の方法としては、導電層1502、1503と重ならない下地膜1501を絶縁化して、絶縁層を形成する工程である。つまり、導電層1502、1503と重ならない下地膜1501を酸化して絶縁化する。このように、下地膜1501を酸化して絶縁化する場合には、当該下地層01を0.01~10nmの厚さで形成しておくことが好適であり、そうすると容易に酸化させることができる。なお、酸化する方法としては、酸素雰囲気下に晒す方法を用いてもよいし、熱処理を行う方法を用いてもよい。

【0344】

第2の方法としては、導電層1502、1503をマスクとして、下地膜1501をエッチングして除去する工程である。この工程を用いる場合には下地膜1501の厚さに制約はない。

【0345】

また、下地前処理の他の方法として、形成領域（被形成面）に対してプラズマ処理を行う方法がある。プラズマ処理の条件は、空気、酸素又は窒素を処理ガスとして用い、圧力を数十Torr~1000Torr(133000Pa)、好ましくは100(13300Pa)~1000Torr(133000Pa)、より好ましくは700Torr(93100Pa)~800Torr(106400Pa)、つまり大気圧又は大気圧近傍の圧力となる状態で、パルス電圧を印加する。このとき、プラズマ密度は、 $1 \times 10^{10} \sim 1 \times 10^{14} \text{ m}^{-3}$ 、所謂コロナ放電やグロー放電の状態となるようにする。空気、酸素又は窒素の処理ガスを用いプラズマ処理を用いることにより、材質依存性なく、表面改質を行うことができる。その結果、あらゆる材料に対して表面改質を行うことができる。

【0346】

また、他の方法として、液滴吐出法によるパターンとその形成領域との密着性を上げるために、接着材として機能するような有機材料系の物質を形成してもよい。有機材料（有機樹脂材料）（ポリイミド、アクリル）やシリコン（Si）と酸素（O）との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、もしくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有する材料を用いてもよい。

【0347】

次に、導電性材料を含む組成物を吐出して、後にゲート電極として機能する導電層1502、1503を形成する。この導電層1502、1503の形成は、液滴吐出手段を用いて行う。本実施の形態では、導電性材料として銀を用いるが、銀と銅などの積層体としても良い。また銅単層でもよい。

【0348】

また、液滴吐出法を用いて形成する導電層の下地前処理として、前述した下地膜1501を形成する工程を行ったが、この処理工程は、導電層を形成した後にも行っても良い。

【0349】

次に、導電層1502、1503の上にゲート絶縁膜を形成する（図24（A）参照）。ゲート絶縁膜としては、珪素の酸化物材料又は窒化物材料等の公知の材料で形成すればよく、積層でも单層でもよい。

【0350】

半導体層は公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜すればよい。半導体層の材料に限定はないが、好ましくはシリコン又はシリコンゲルマニウム（SiGe）合金などで形成すると良い。

【0351】

半導体層は、アモルファス半導体（代表的には水素化アモルファシリコン）、セミアモルファス半導体又は半導体層の一部に結晶相を含む半導体、結晶性半導体（代表的にはポリシリコン）、有機半導体を用いることができる。

【0352】

本実施の形態では、半導体として、非晶質半導体を用いる。半導体層1507を形成し、

10

20

30

40

50

プラズマCVD法等により一導電型を有する半導体層、例えばN型半導体層1508を形成する。一導電型を有する半導体層は必要に応じて形成すればよい。

【0353】

続いて、レジストやポリイミド等の絶縁体からなるマスク層1511、1512を形成し、該マスク層1511、1512を用いて、半導体層1507、N型半導体層1508を同時にパターン加工する(図24(B)参照)。

【0354】

次に、レジストやポリイミド等の絶縁体からなるマスク層1513、1514を液滴吐出法を用いて形成する(図24(C)参照)。そのマスク層1513、1514を用いて、エッチング加工によりゲート絶縁層1505、1504の一部に貫通孔1518を形成して、その下層側に配置されているゲート電極層として機能する導電層1503の一部を露出させる。エッチング加工はプラズマエッチング(ドライエッチング)又はウェットエッチングのどちらを採用しても良いが、大面積基板を処理するにはプラズマエッチングが適している。また、大気圧放電のエッチング加工を適用すれば、局所的な放電加工も可能であり、基板の全面にマスク層を形成する必要はない。

【0355】

マスク層1513、1514を除去した後、導電性材料を含む組成物を吐出して、導電層1515、1516、1517を形成し、導電層1515、1516、1517をマスクとして、N型半導体層をパターン加工する(図24(D)参照)。なお、図示しないが、導電層1515、1516、1517を形成する前に、導電層1515、1516、1517がゲート絶縁層1505と接する部分に選択的に光触媒物質などを形成する、前述の下地前処理工程を行っても良い。また形成後にもその表面に下地前処理を行っても良い。この工程により、導電層は積層する上下の層と密着性よく形成できる。

【0356】

続いて、ゲート絶縁膜上に選択的に、ソース、ドレイン配線層として機能する導電層1517と接するように導電性材料を含む組成物を吐出して、導電層(第1の電極ともいう)1506を形成する(図25(A)参照)。導電層1506は、基板1500側から光を放射する場合、または透過型のEL表示パネルを作製する場合には、インジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛(ZnO)、酸化スズ(SnO₂)などを含む組成物により所定のパターンを形成し、焼成によって形成しても良い。図示しないが、導電層1506を形成する領域に導電層1502、1503を形成する時と同様に、光触媒物質の形成等の下地前処理を行ってもよい。下地前処理によって、密着性が向上し、所望なパターンに細線化して導電層1506を形成する事ができる。この導電層1506は画素電極として機能する第1の電極となる。

【0357】

また、ゲート絶縁層1505に形成した貫通孔1518において、ソース又はドレイン配線層である導電層1516とゲート電極層である導電層1503とを電気的に接続させる。この導電層を形成する導電性材料としては、Ag(銀)、Au(金)、Cu(銅)、W(タンゲステン)、Al(アルミニウム)等の金属の粒子を主成分とした組成物を用いることができる。また、透光性を有するインジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、有機インジウム、有機スズ、酸化亜鉛、窒化チタンなどを組み合わせても良い。

【0358】

また、導電層1515、1516、1517、1506形成後に、導電層1515、1516、1517、1506をマスクとして用いて貫通孔1518を形成してもよい。そして貫通孔1518に導電層を形成し導電層1516とゲート電極層である導電層1503を電気的に接続する。

【0359】

続いて、隔壁となる絶縁層1520を形成する。また、図示しないが、絶縁層1520の下に薄膜トランジスタを覆うように全面に窒化珪素若しくは窒化酸化珪素の保護層を形

10

20

30

40

50

成してもよい。絶縁層 1520 は、スピンドルコート法やディップ法により全面に絶縁層を形成した後、エッチング加工によって図 25 (B) に示すように開孔を形成する。また、液滴吐出法により絶縁層 1520 を形成すれば、エッチング加工は必ずしも必要ない。液滴吐出法を用いて、絶縁層 1520 など広領域に形成する場合、液滴吐出装置の複数のノズル吐出口から組成物を吐出し、複数の線が重なるように描画し形成すると、スループットが向上する。

【0360】

絶縁層 1520 は、第 1 の電極である導電層 1506 に対応して画素が形成される位置に合わせて貫通孔の開口部を備えて形成される。

【0361】

以上の工程により、基板 1500 上にボトムゲート型（逆スタガ型ともいう。）のチャネルエッチ型 TFT と第 1 の電極（第 1 電極層）1506 が接続された EL 表示パネル用の TFT 基板が完成する。

【0362】

第 1 の電極である導電層 1506 上に、電界発光層 1521、に導電層 1522 を積層形成して、発光素子を用いた表示機能を有する表示装置が完成する（図 25 (B) 参照）。

【0363】

以上示したように、本実施の形態では、フォトマスクを利用した光露光工程を用いないことにより、工程を省略することができる。また、液滴吐出法を用いて基板上に直接的に各種のパターンを形成することにより、1 辺が 1000 mm を超える第 5 世代以降のガラス基板を用いても、容易に EL 表示パネルを製造することができる。

【0364】

また、密着性、耐剥離性が向上した信頼性の高い表示装置を作製することができる

【0365】

(実施の形態 10)

本発明の実施の形態について、図 26～図 27 を用いて説明する。本実施の形態は、実施の形態 7 において、薄膜トランジスタと第 1 の電極との接続構造が異なるものである。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0366】

基板 1600 の上に、密着性を向上させる機能を有する下地膜 1601 を形成する（図 26 (A) 参照）。なお、基板 1600 上に、絶縁層を形成してもよい。この絶縁層は形成しなくても良いが、基板 1600 からの汚染物質などを遮断する効果がある。特に本実施の形態のように順スタガ型の薄膜トランジスタであると、半導体層が基板に直接接することになるので、下地層は効果的である。ガラス基板よりの汚染を防ぐための下地層を形成する場合は、液滴吐出法によって形成する導電層 1615、1616、1617 の形成領域に前処理として下地膜 1601 を形成する。

【0367】

本実施の形態では、密着性を向上させる機能を有する下地膜 1601 として、光触媒の機能を有する物質を用いる。

【0368】

本実施の形態では、光触媒物質としてスパッタリング法により所定の結晶構造を有する TiO_x 結晶を形成する場合を説明する。ターゲットには金属チタンチューブを用い、アルゴンガスと酸素を用いてスパッタリングを行う。更に He ガスを導入してもよい。光触媒活性の高い TiO_x を形成するためには、酸素を多く含む雰囲気とし、形成圧力を高めにする。更に成膜室又は処理物が設けられた基板を加熱しながら TiO_x を形成すると好みしい。

【0369】

このように形成される TiO_x は非常に薄い膜であっても光触媒機能を有する。

【0370】

10

20

30

40

50

また他の下地前処理として、スパッタリング法や蒸着法などの方法により、Ti(チタン)、W(タンクステン)、Cr(クロム)、Ta(タンタル)、Ni(ニッケル)、Mo(モリブデン)などの金属材料若しくはその酸化物で形成される下地膜1601を形成することが好ましい。下地膜1601は0.01~10nmの厚さで形成すれば良いが、極薄く形成すれば良いので、必ずしも層構造を持っていなくても良い。下地膜として、高融点金属材料を用いる場合、ソースドレイン配線層として機能する導電層1615、1616、1617を形成した後、表面に露出している下地膜を下記の2つの工程のうちどちらかの工程を行って処理することが望ましい。

【0371】

第一の方法としては、ソースドレイン配線層として機能する導電層1615、1616、1617と重ならない下地膜1601を絶縁化して、絶縁層を形成する工程である。つまり、ソースドレイン配線層として機能する導電層1615、1616、1617と重ならない下地膜1601を酸化して絶縁化する。このように、下地膜1601を酸化して絶縁化する場合には、当該下地膜1601を0.01~10nmの厚さで形成しておくことが好適であり、そうすると容易に酸化させることができる。なお、酸化する方法としては、酸素雰囲気下に晒す方法を用いてもよいし、熱処理を行う方法を用いてもよい。

【0372】

第2の方法としては、ソースドレイン配線層として機能する導電層1615、1616、1617をマスクとして、下地膜1601をエッチングして除去する工程である。この工程を用いる場合には下地膜1601の厚さに制約はない。

【0373】

また、下地前処理の他の方法として、形成領域(被形成面)に対してプラズマ処理を行う方法がある。プラズマ処理の条件は、空気、酸素又は窒素を処理ガスとして用い、圧力を数十Torr~1000Torr(133000Pa)、好ましくは100(13300Pa)~1000Torr(133000Pa)、より好ましくは700Torr(93100Pa)~800Torr(106400Pa)、つまり大気圧又は大気圧近傍の圧力となる状態で、パルス電圧を印加する。このとき、プラズマ密度は、 $1 \times 10^{10} \sim 1 \times 10^{14} \text{ m}^{-3}$ 、所謂コロナ放電やグロー放電の状態となるようになる。空気、酸素又は窒素の処理ガスを用いプラズマ処理を用いることにより、材質依存性なく、表面改質を行うことができる。その結果、あらゆる材料に対して表面改質を行うことができる。

【0374】

また、他の方法として、液滴吐出法によるパターンのその形成領域との密着性を上げるために、接着材として機能するような有機材料系の物質を形成してもよい。有機材料(有機樹脂材料)(ポリイミド、アクリル)やシリコン(Si)と酸素(O)との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、もしくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有する材料を用いてもよい。

【0375】

次に、導電性材料を含む組成物を吐出して、ソースドレイン配線層として機能する導電層1615、1616、1617を形成する。この導電層1615、1616、1617の形成は、液滴吐出手段を用いて行う。

【0376】

導電層1615、1616、1617層を形成する導電性材料としては、Ag(銀)、Au(金)、Cu(銅)、W(タンクステン)、Al(アルミニウム)等の金属の粒子を主成分とした組成物を用いることができる。特に、ソース又はドレイン配線層は、低抵抗化することが好ましいので、比抵抗値を考慮して、金、銀、銅のいずれかの材料を溶媒に溶解又は分散させたものを用いることが好適であり、より好適には、低抵抗な銀、銅を用いるとよい。また、導電性材料の周りに他の導電性材料がコーティングされ、複数の層になっている粒子でも良い。例えば、銅の周りにニッケルボロン(NiB)がコーティングされ、その周囲に銀がコーティングされている3層構造の粒子などを用いても良い。溶媒は、酢酸ブチル等のエステル類、イソプロピルアルコール等のアルコール類、アセトン等

10

20

30

40

50

の有機溶剤等に相当する。表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

【0377】

また、液滴吐出法を用いて形成する導電層の下地前処理として、前述した下地膜1601を形成する工程を行ったが、この処理工程は、導電層1615、1616、1617を形成した後にも行っても良い。例えば、図示しないが、酸化チタン膜を形成し、その上にN型の半導体層を形成すると、導電層とN型の半導体層との密着性が向上する。

【0378】

導電層1615、1616、1617上にN型の半導体層を全面に形成した後、導電層1615と1616の間、導電層1616と1617の間にあるN型の半導体層を、レジストやポリイミド等の絶縁体からなるマスク層1611、1612、1619を用いてエッチングして除去する。一導電型を有する半導体層は必要に応じて形成すればよい。そして、AS若しくはSASからなる半導体層1607を気相成長法若しくはスパッタリング法で形成する。プラズマCVD法を用いる場合、ASは半導体材料ガスであるSiH₄若しくはSiH₄とH₂の混合気体を用いて形成する。SASは、SiH₄をH₂で3倍～1000倍に希釈して混合気体で形成する。このガス種でSASを形成する場合には、半導体層の表面側の方が結晶性が良好であり、ゲート電極を半導体層の上層に形成するトップゲート型のTFTとの組み合わせは適している。

【0379】

次に、プラズマCVD法やスパッタリング法を用いて、ゲート絶縁層1605を単層又は積層構造で形成する(図26(B)参照。)。特に好ましい形態としては、窒化珪素からなる絶縁層、酸化珪素からなる絶縁層、窒化珪素からなる絶縁層の3層の積層体をゲート絶縁膜として構成させる。

【0380】

次に、ゲート電極層である導電層1602、1603を液滴吐出法で形成する(図26(C)参照)。この層を形成する導電性材料としては、Ag(銀)、Au(金)、Cu(銅)、W(タンゲステン)、Al(アルミニウム)等の金属の粒子を主成分とした組成物を用いることができる。

【0381】

半導体層1607及びゲート絶縁層1605は、液滴吐出法により形成したマスク層1613、1614を使って、ソース又はドレイン配線層(導電層1615、1616、1617)に対応する位置に形成する。すなわち、ソース又はドレイン配線層である導電層1615と1616とを跨ぐように半導体層を形成する。

【0382】

次に、導電層1630、1631を液滴吐出法で形成し、導電層1616、導電層1603と電気的に接続する。

【0383】

続いて、選択的に、導電層1631と接するように、導電性材料を含む組成物を吐出して、導電層(第1の電極ともいう)1606を形成する。また、導電層1606は、導電層1617と直接接する構造でも良い。導電層1606は、基板1600側から光を放射する場合、または透過型のEL表示パネルを作製する場合には、インジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛(ZnO)、酸化スズ(SnO₂)などを含む組成物により所定のパターンを形成し、焼成によって形成しても良い。図示しないが、導電層1606を形成する領域に導電層1615、1616、1617を形成する時と同様に、光触媒物質を形成してもよい。光触媒物質によって、密着性が向上し、所望なパターンに細線化して導電層1606を形成する事ができる。この導電層1606は画素電極として機能する第1の電極となる。

【0384】

ドレインまたはソース配線層とゲート電極層間を、導電層1630を用いずにゲート電極層によって、直接接続してもよい。その場合、ゲート電極層である導電層1602、1

10

20

30

40

50

603を形成する前に、ゲート絶縁層1605に貫通孔を形成し、ソース又はドレイン配線である導電層1616、1617の一部を露出させた後、ゲート電極層である導電層1602、1603、導電層1631を液滴吐出法で形成する。このとき導電層1603は導電層1630を兼ねた配線となり、導電層1616と接続する。エッチングはドライエッチングでもウェットエッチングでもよいが、ドライエッチングであるプラズマエッチングが好ましい。

【0385】

続いて、隔壁となる絶縁層1620を形成する。また、図示しないが、絶縁層1620の下に薄膜トランジスタを覆うように全面に窒化珪素若しくは窒化酸化珪素の保護層を形成してもよい。絶縁層1620は、スピンドルコート法やディップ法により全面に絶縁層を形成した後、エッチング加工によって図27に示すように開孔を形成する。また、液滴吐出法により絶縁層1620を形成すれば、エッチング加工は必ずしも必要ない。液滴吐出法を用いて、絶縁層1620など広領域に形成する場合、液滴吐出装置の複数のノズル吐出口から組成物を吐出し、複数の線が重なるように描画し形成すると、スループットが向上する。

10

【0386】

絶縁層1620は、第1の電極である導電層1606に対応して画素が形成される位置に合わせて貫通孔の開口部を備えて形成される。

【0387】

以上の工程により、基板1600上にトップゲート型（順スタガ型ともいう。）TFTと導電層（第1の電極層）1606が接続されたTFT基板が完成する。

20

【0388】

電界発光層1621を形成する前に、大気圧中で200の熱処理を行い絶縁層1620中若しくはその表面に吸着している水分を除去する。また、減圧下で200～400、好ましくは250～350に熱処理を行い、そのまま大気に晒さずに電界発光層1621を真空蒸着法や、減圧下の液滴吐出法で形成することが好ましい。

【0389】

第1の電極である導電層1606上に、電界発光層1621、導電層1622を積層形成して、発光素子を用いた表示機能を有する表示装置が完成する（図27参照）。

【0390】

30

以上示したように、本実施の形態では、フォトマスクを利用した光露光工程を用いないことにより、工程を省略することができる。また、液滴吐出法を用いて基板上に直接的に各種のパターンを形成することにより、1辺が1000mmを超える第5世代以降のガラス基板を用いても、容易にEL表示パネルを製造することができる。

【0391】

また、密着性、耐剥離性が向上した信頼性の高い表示装置を作製することができる。

【0392】

（実施の形態11）

本発明の実施の形態について、図28、図29を用いて説明する。本実施の形態は、実施の形態1において、ゲート絶縁層805を貫通し、配線層である導電層816とゲート電極層である導電層803との接続の方法が異なるものである。よって、同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

40

【0393】

基板1700の上に、密着性を向上させる下地膜1701を形成する（図28（A）参照）。なお、基板1700上に、絶縁層を形成してもよい。

【0394】

本実施の形態では、密着性を向上させる機能を有する下地膜1701として、光触媒の機能を有する物質を用いる。

【0395】

本実施の形態では、光触媒物質としてスパッタリング法により所定の結晶構造を有する

50

TiO_x結晶を形成する場合を説明する。ターゲットには金属チタンチューブを用い、アルゴンガスと酸素を用いてスパッタリングを行う。更にHeガスを導入してもよい。光触媒活性の高いTiO_xを形成するためには、酸素を多く含む雰囲気とし、形成圧力を高めにする。更に成膜室又は処理物が設けられた基板を加熱しながらTiO_xを形成すると好ましい。

【0396】

このように形成されるTiO_xは非常に薄い膜であっても光触媒機能を有する。

【0397】

また他の下地前処理として、スパッタリング法や蒸着法などの方法により、Ti(チタン)、W(タンゲステン)、Cr(クロム)、Ta(タンタル)、Ni(ニッケル)、Mo(モリブデン)などの金属材料若しくはその酸化物で形成される下地膜1701を形成することが好ましい。下地膜1701は0.01~10nmの厚さで形成すれば良いが、極薄く形成すれば良いので、必ずしも層構造を持っていなくても良い。下地膜として、高融点金属材料を用いる場合、ゲート電極層となる導電層1702、1703を形成した後、表面に露出している下地膜を下記の2つの工程のうちどちらかの工程を行って処理することが望ましい。

【0398】

第1の工程は、導電層1702、1703と重ならない下地膜1701を絶縁化して、絶縁層を形成する工程である。つまり、導電層1702、1703と重ならない下地膜1701を酸化して絶縁化する。このように、下地膜1701を酸化して絶縁化する場合には、当該下地膜1701を0.01~10nmの厚さで形成しておくことが好適であり、そうすると容易に酸化させることができる。なお、酸化する方法としては、酸素雰囲気下に晒す方法を用いてもよいし、熱処理を行う方法を用いてもよい。

【0399】

第2の工程は、導電層1702、1703をマスクとして、下地膜1701をエッチングして除去する工程である。この工程を用いる場合には下地膜1701の厚さに制約はない。

【0400】

また、下地前処理の他の方法として、形成領域(被形成面)に対してプラズマ処理を行う方法がある。プラズマ処理の条件は、空気、酸素又は窒素を処理ガスとして用い、圧力を数十Torr~1000Torr(133000Pa)、好ましくは100(13300Pa)~1000Torr(133000Pa)、より好ましくは700Torr(93100Pa)~800Torr(106400Pa)、つまり大気圧又は大気圧近傍の圧力となる状態で、パルス電圧を印加する。このとき、プラズマ密度は、 $1 \times 10^{10} \sim 1 \times 10^{14} \text{ m}^{-3}$ 、所謂コロナ放電やグロー放電の状態となるようにする。空気、酸素又は窒素の処理ガスを用いプラズマ処理を用いることにより、材質依存性なく、表面改質を行うことができる。その結果、あらゆる材料に対して表面改質を行うことができる。

【0401】

また、他の方法として、液滴吐出法によるパターンのその形成領域との密着性を上げるために、接着材として機能するような有機材料系の物質を形成してもよい。有機材料(有機樹脂材料)(ポリイミド、アクリル)やシリコン(Si)と酸素(O)との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、もしくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有する材料を用いてもよい。

【0402】

次に、導電性材料を含む組成物を吐出して、後にゲート電極として機能する導電層1702、1703を形成する。この導電層1702、1703の形成は、液滴吐出手段を用いて行う。

【0403】

導電層1703を形成した後、導電性材料を含む組成物を局所的に吐出して、ピラーとして機能する導電体1704を形成する。この導電体1704は、吐出された組成物を堆

積して形成するが、下層のパターンと上層のパターンとのコンタクトをとりやすくするために、円柱状に形成することが好適である。導電体1704は、導電層1703と同じ材料を用いても、異なる材料を用いてもよく、組成物を重ねて吐出し形成してもよい。

【0404】

また、導電層1703を形成したのち、再度密着性を高めるため、導電層1703上に、前述した下地前処理を行っても良い。また、ピラーとなる導電体1704を形成した後にも同様に下地膜処理を行うことが好ましい。TiO_xなどの光触媒物質の形成等、下地前処理を行うと、膜層間を密着性よく形成することができる。

【0405】

次に、導電層1702、1703の上にゲート絶縁膜を形成する（図28（A）参照）10。

【0406】

続いて、ゲート絶縁膜上に選択的に、導電性材料を含む組成物を吐出して、導電層（第1の電極ともいう）1706を形成する（図28（B）参照）。図示しないが、導電層1706を形成する領域に導電層1702、1703を形成する時と同様に、光触媒物質を形成してもよい。光触媒物質によって、密着性が向上し、所望なパターンに細線化して導電層1706を形成する事ができる。この導電層1706は画素電極として機能する第1の電極となる。

【0407】

本実施の形態では、半導体として、非晶質半導体を用いる。非晶質半導体層である半導体層1707を形成し、チャネル保護膜1709、1710を形成するため、例えば、プラズマCVD法により絶縁膜を形成し、所望の領域に、所望の形状となるように選択的にエッチングする。このとき、ゲート電極をマスクとして基板の裏面から露光することにより、チャネル保護膜1709、1710を形成することができる。またチャネル保護膜は、液滴吐出法を用いてポリイミド又はポリビニルアルコール等を滴下してもよい。その結果、露光工程を省略することができる。その後、プラズマCVD法等により一導電型を有する半導体層、例えばN型非晶質半導体層を用いてN型半導体層1708を形成する。（図28（C）参照）。一導電型を有する半導体層は必要に応じて形成すればよい。20

【0408】

続いて、レジストやポリイミド等の絶縁体からなるマスク層1711、1712を形成し、該マスク層1711、1712を用いて、半導体層1707、N型半導体層1708を同時にパターン加工する。30

【0409】

本実施の形態では、ピラーとして機能する導電体1704によって既にゲート電極層である導電層1703と接続される導電体が、ゲート絶縁層1705を貫通して、ゲート絶縁層1705上に存在する。よって、ゲート絶縁層に貫通孔をあける工程を省く事ができる。

【0410】

導電性材料を含む組成物を吐出して、導電層1715、1716、1717を形成し、該導電層1715、1716、1717をマスクとして、N型半導体層をパターン加工する。なお、図示しないが、導電層1715、1716、1717を形成する前に、導電層1715、1716、1717がゲート絶縁層1705と接する部分に選択的に光触媒物質を形成してもよい。そうすると、導電層は密着性よく形成できる。40

【0411】

導電層1717は、ソース、ドレイン配線層として機能し、前に形成された第1の電極に電気的に接続するように形成される。ソース又はドレイン配線層である導電層1716は導電体1704を通して、ゲート電極層である導電層1703とを電気的に接続することができる（図29（A）参照）。また、ピラーとして機能する導電体1704上に、絶縁層などが残ってしまった場合は、エッチング等で除去すればよい。

【0412】

10

20

30

40

50

続いて、隔壁となる絶縁層 1720 を形成する。

【0413】

絶縁層 1720 は、第 1 の電極である導電層 1706 に対応して画素が形成される位置に合わせて貫通孔の開口部を備えて形成される。

【0414】

以上の工程により、基板 1700 上にボトムゲート型（逆スタガ型ともいう。）のチャネル保護型 TFT と第 1 の電極（第 1 電極層）が接続された EL 表示パネル用の TFT 基板が完成する。

【0415】

第 1 の電極である導電層 1706 上に、電界発光層 1721、に導電層 1722 を積層形成して、発光素子を用いた表示機能を有する表示装置が完成する（図 29（B）参照）。

【0416】

以上示したように、本実施の形態では、フォトマスクを利用した光露光工程を用いないことにより、工程を省略することができる。また、液滴吐出法を用いて基板上に直接的に各種のパターンを形成することにより、1 辺が 1000 mm を超える第 5 世代以降のガラス基板を用いても、容易に EL 表示パネルを製造することができる。

【0417】

また、密着性、耐剥離性が向上した信頼性の高い表示装置を作製することができる。本実施の形態の貫通孔にピラーを用いる接続方法は、上記実施の形態と自由に組み合わせる事ができる。

【0418】

（実施の形態 12）

本発明を適用して薄膜トランジスタを形成し、該薄膜トランジスタを用いて表示装置を形成することができるが、表示素子として発光素子を用いて、なおかつ、該発光素子を駆動するトランジスタとして N 型トランジスタを用いた場合、該発光素子から発せられる光は、下面射出、上面射出、両面射出のいずれかを行う。ここでは、それぞれの場合に応じた発光素子の積層構造について、図 30 を用いて説明する。

【0419】

また、本実施の形態では、本発明を適用し、実施の形態 1 で形成されるチャネル保護型の薄膜トランジスタであるトランジスタ 1851 を用いる。

【0420】

まず、光が基板 1850 側に射出する場合、つまり下面射出を行う場合について、図 30（A）を用いて説明する。この場合、トランジスタ 1851 に電気的に接続するよう、ソース又はドレイン配線 1852、1853、第 1 の電極 1854、電界発光層 1855、第 2 の電極 1856 が順に積層される。次に、光が基板 1850 と反対側に射出する場合、つまり上面射出を行う場合について、図 30（B）を用いて説明する。トランジスタ 1851 に電気的に接続するソース又はドレイン配線 1861、1862、第 1 の電極 1863、電界発光層 1864、第 2 の電極 1865 が順に積層される。上記構成により、第 1 の電極 1863 において光が透過しても、該光は配線において反射され、基板 1850 と反対側に射出する。なお、本構成では、第 1 の電極 1863 には透光性を有する材料を用いる必要はない。最後に、光が基板 1850 側とその反対側の両側に射出する場合、つまり両面射出を行う場合について、図 30（C）を用いて説明する。トランジスタ 1851 に電気的に接続するソース又はドレイン配線 1870、1871、第 1 の電極 1872、電界発光層 1873、第 2 の電極 1874 が順に積層される。このとき、第 1 の電極 1872 と第 2 の電極 1874 のどちらも透光性を有する材料、又は光を透過できる厚さで形成すると、両面射出が実現する。

【0421】

発光素子は、電界発光層を第 1 の電極と第 2 の電極で挟んだ構成になっている。第 1 の電極及び第 2 の電極は仕事関数を考慮して材料を選択する必要があり、そして第 1 の電極

10

20

30

40

50

及び第2の電極は、画素構成によりいずれも陽極、又は陰極となりうる。本実施の形態では、駆動用 TFT の極性が N チャネル型であるため、第1の電極を陰極、第2の電極を陽極とすると好ましい。また駆動用 TFT の極性が p チャネル型である場合、第1の電極を陽極、第2の電極を陰極とするとよい。

【 0 4 2 2 】

また第1の電極が陽極であった場合、電界発光層は、陽極側から、HIL（ホール注入層）、HTL（ホール輸送層）、EML（発光層）、ETL（電子輸送層）、EIL（電子注入層）の順に積層するのが好ましい。また、第1の電極が陰極である場合はその逆となり、陰極側からEIL（電子注入層）、ETL（電子輸送層）、EML（発光層）、HTL（ホール輸送層）、HIL（ホール注入層）、第2の電極である陽極の順に積層するのが好ましい。なお電界発光層は、積層構造以外に単層構造、又は混合構造をとることがある。

10

【 0 4 2 3 】

また、電界発光層として、赤色（R）、緑色（G）、青色（B）の発光を示す材料を、それぞれ蒸着マスクを用いた蒸着法等によって選択的に形成する。赤色（R）、緑色（G）、青色（B）の発光を示す材料はカラーフィルター同様、液滴吐出法により形成することもでき（低分子または高分子材料など）、この場合マスクを用いずとも、RGBの塗り分けを行うことができるため好ましい。

【 0 4 2 4 】

具体的には、HILとしてCuPcやPEDOT、HTLとして - NPD、ETLとしてBCPやAlq₃、EILとしてBCP:LiやCaF₂をそれぞれ用いる。また例えばEMLは、R、G、Bのそれぞれの発光色に対応したドーパント（Rの場合DCM等、Gの場合DMQD等）をドープしたAlq₃を用いればよい。

20

【 0 4 2 5 】

なお、電界発光層は上記材料に限定されない。例えば、CuPcやPEDOTの代わりに酸化モリブデン（MoO_x : x = 2 ~ 3）等の酸化物と - NPDやルブレンを共蒸着して形成し、ホール注入性を向上させることもできる。また電界発光層の材料は、有機材料（低分子又は高分子を含む）、又は有機材料と無機材料の複合材料として用いることができる。

【 0 4 2 6 】

30

また、図30には示していないが、基板1850の対向基板にカラーフィルターを形成してもよい。カラーフィルターは液滴吐出法によって形成することができ、その場合、前述の下地前処理として光プラズマ処理などを適用することができる。本発明の下地膜により、所望なパターンに密着性よくカラーフィルターを形成することができる。カラーフィルターを用いると、高精細な表示を行うこともできる。カラーフィルターにより、各RGBの発光スペクトルにおいてプロードなピークを鋭くなるように補正できるからである。

【 0 4 2 7 】

以上、各RGBの発光を示す材料を形成する場合を説明したが、単色の発光を示す材料を形成し、カラーフィルターや色変換層を組み合わせることによりフルカラー表示を行うことができる。例えば、白色又は橙色の発光を示す電界発光層を形成する場合、カラーフィルター、又は、カラーフィルターと色変換層とを組み合わせたものを別途設けることによってフルカラー表示ができる。カラーフィルターや色変換層は、例えば第2の基板（封止基板）に形成し、基板へ張り合わせればよい。また上述したように、単色の発光を示す材料、カラーフィルター、及び色変換層のいずれも液滴吐出法により形成することができる。

40

【 0 4 2 8 】

もちろん単色発光の表示を行ってもよい。例えば、単色発光を用いてエリアカラータイプの表示装置を形成してもよい。エリアカラータイプは、パッシブマトリクス型の表示部が適しており、主に文字や記号を表示することができる。

【 0 4 2 9 】

50

上記構成において、陰極としては、仕事関数が小さい材料を用いることが可能で、例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。電界発光層は、単層型、積層型、また層の界面がない混合型のいずれでもよく、またシングレット材料、トリプレット材料、又はそれらを組み合わせた材料や、低分子材料、高分子材料及び中分子材料を含む有機材料、電子注入性に優れる酸化モリブデン等に代表される無機材料、有機材料と無機材料の複合材料のいずれを用いてもよい。第1の電極1854、1863、1872は光を透過する透明導電膜を用いて形成し、例えばITO、ITSOの他、酸化インジウムにさらに2~20重量%の酸化亜鉛(ZnO)を混合したターゲットを用いて形成された透明導電膜等を用いる。なお、第1の電極1854、1863、1872形成前に、酸素雰囲気中のプラズマ処理や真空雰囲気下での加熱処理を行うとよい。隔壁は、珪素を含む材料、有機材料及び化合物材料を用いて形成する。また、多孔質膜を用いてもよい。但し、アクリル、ポリイミド等の感光性、非感光性の材料を用いて形成すると、その側面は曲率半径が連続的に変化する形状となり、上層の薄膜が段切れせずに形成されるため好ましい。本実施の形態は、上記の実施の形態と自由に組み合わせることが可能である。 10

【0430】

(実施の形態13)

本発明が適用された表示装置の一形態であるパネルの外観について、図31を用いて説明する。

【0431】

図31で示すパネルは、画素部1951の周辺に駆動回路が形成されたドライバICをCOG(Chip On Glass)方式で実装している。勿論、ドライバICは、TAB(Tape Automated Bonding)方式で実装しても良い。 20

【0432】

基板1950は対向基板1953とシール材1952によって固着されている。画素部1951は、EL素子を表示媒体として利用するものであっても良い。ドライバIC1955a、1955b及びドライバIC1957a、1957b、1957cは、単結晶の半導体を用いて形成した集積回路の他に、多結晶の半導体を用いたTFTで同様なものを形成しても良い。ドライバIC1955a、1955b及びドライバIC1957a、1957b、1957cには、FPC1954a、1954b、1954cまたはFPC1956a、1956bを介して信号や電源が供給される。 30

【0433】

(実施の形態14)

本発明によって形成される表示装置によって、ELテレビ受像機を完成させることができる。図32はELテレビ受像機の主要な構成を示すブロック図を示している。EL表示パネルには、図31で示すような構成として画素部1951とその周辺に走査線側駆動回路と信号線側駆動回路とがCOG方式により実装される場合と、画素部のみが形成されて走査線側駆動回路と信号線側駆動回路とがTAB方式により実装される場合と、SASでTFTを形成し、画素部と走査線側駆動回路を基板上に一体形成し信号線側駆動回路を別途ドライバICとして実装する場合などがあるが、どのような形態としても良い。 40

【0434】

その他の外部回路の構成として、映像信号の入力側では、チューナ2004で受信した信号のうち、映像信号を増幅する映像信号增幅回路2005と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路2006と、その映像信号をドライバICの入力仕様に変換するためのコントロール回路2007などからなっている。コントロール回路2007は、走査線側と信号線側にそれぞれ信号を出力する。デジタル駆動する場合には、信号線側に信号分割回路2008を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

【0435】

チューナ2004で受信した信号のうち、音声信号は、音声信号增幅回路2009に送られ、その出力は音声信号処理回路2010を経てスピーカー2013に供給される。制 50

御回路 2011 は受信局（受信周波数）や音量の制御情報を入力部 2012 から受け、チューナ 2004 や音声信号処理回路 2010 に信号を送出する。

【0436】

このような外部回路を組みこんで、EL モジュールを、図 33 に示すように、筐体 2101 に組みこんで、テレビ受像機を完成させることができる。EL 表示モジュールにより表示画面 2021 が形成され、その他付属設備としてスピーカー 2022、操作スイッチ 2024 などが備えられている。このように、本発明によりテレビ受像機を完成させることができる。

【0437】

また、波長板や偏光板を用いて、外部から入射する光の反射光を遮断するようにしてもよい。波長板としては $\lambda/4$ 、 $\lambda/2$ を用い、光を制御できるように設計すればよい。構成としては、TFT 素子基板、発光素子、封止基板（封止材）、波長板（ $\lambda/4$ 、 $\lambda/2$ ）、偏光板となり、発光素子から放射された光は、これらを通過し偏光板側より外部に放射される。この波長板や偏光板は光が放射される側に設置すればよく、両面放射される両面放射型の表示装置であれば両方に設置することもできる。また、偏光板の外側に反射防止膜を有していても良い。これにより、より高繊細で精密な画像を表示することができる。

【0438】

筐体 2101 に EL 素子を利用した表示用パネル 2102 が組みこまれ、受信機 2105 により一般のテレビ放送の受信をはじめ、モデム 2104 を介して有線又は無線による通信ネットワークに接続することにより一方向（送信者から受信者）又は双向（送信者と受信者間、又は受信者間同士）の情報通信をすることもできる。テレビ受像器の操作は、筐体に組みこまれたスイッチ又は別体のリモコン装置 2106 により行うことが可能であり、このリモコン装置にも出力する情報を表示する表示部 2107 が設けられていても良い。

【0439】

また、テレビ受像器にも、主画面 2103 の他にサブ画面 2108 を第 2 の表示用パネルで形成し、チャネルや音量などを表示する構成が付加されていても良い。主画面 2103 及びサブ画面 2108 を EL 表示用パネルで形成しても良いし、この構成において、主画面 2103 を視野角の優れた EL 表示用パネルで形成し、サブ画面を低消費電力で表示可能な液晶表示用パネルで形成しても良い。また、低消費電力化を優先させるためには、主画面 2103 を液晶表示用パネルで形成し、サブ画面を EL 表示用パネルで形成し、サブ画面は点滅可能とする構成としても良い。本発明を用いると、このような大型基板を用いて、多くの TFT や電子部品を用いても、信頼性の高い表示装置とすることができる。

【0440】

勿論、本発明はテレビ受像機に限定されず、パソコン用のモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

【0441】

（実施の形態 15）

本発明を適用して、様々な表示装置を作製することができる。即ち、それら表示装置を表示部に組み込んだ様々な電子機器に本発明を適用できる。

【0442】

その様な電子機器としては、ビデオカメラやデジタルカメラ等のカメラ、プロジェクター、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パソコン用のモニタ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それらの例を図 34 に示す。

【0443】

10

20

30

40

50

図34(A)は、ノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明は、表示部2203の作製に適用される。本発明を用いると、表示品位の高い表示部を有するノート型パーソナルコンピュータを、低コストで作製できる。

【0444】

図34(B)は画像表示部を備えた記憶媒体再生装置(具体的にはDVD再生装置)であり、本体2301、筐体2302、表示部A2303、表示部B2304、記憶媒体(DVD等)読み込み部2305、操作キー2306、スピーカー部2307等を含む。表示部A2303は主として画像情報を表示し、表示部B2304は主として文字情報を表示するが、本発明は、これら表示部A2303、表示部B2304の作製に適用される。本発明を用いると、表示品位の高い画像表示部を備えた記憶媒体再生装置を、低コストで作製できる。

【0445】

図34(C)は携帯電話であり、本体2401、音声出力部2402、音声入力部2403、表示部2404、操作スイッチ2405、アンテナ2406等を含む。本発明により作製される表示装置を表示部2404に適用することで、表示品位の高い表示部を有する携帯電話を、低コストで作製できる。

【0446】

図35(A)はビデオカメラであり、本体2501、表示部2502、筐体2503、外部接続ポート2504、リモコン受信部2505、受像部2506、バッテリー2507、音声入力部2508、操作キー2509、接眼部2510等を含む。本発明は、表示部2502に適用することができ、両面放射型の表示装置である。図35(B)、(C)に表示部2502が表示する画像を示す。図35(B)が撮影されている画像であり、図35(C)が撮影されている車両から見える画像である。本発明の表示装置は、透過型であり、両面に画像を表示することができるので、被写体側からも撮影されている画像を見ることが出来る。よって、自分自身を撮影するのにも便利である。また、ビデオカメラの他にデジタルビデオカメラ等でも本発明は適用でき、同様の効果が得られる。本発明により作製される表示装置を表示部2502に適用することで、表示品位の高い表示部を有するビデオカメラやデジタルビデオカメラ等を、低コストで作製できる。本実施の形態は、上記の実施の形態、実施の形態と自由に組み合わせることができる。

【図面の簡単な説明】

【0447】

【図1】EL表示装置の画素回路を説明する図。

【図2】アナログ駆動の駆動タイミングを説明する図。

【図3】駆動TFT特性を説明する図。

【図4】ボックス表示によるクロストークを説明する図。

【図5】電源供給線の配線抵抗による電位効果の影響を説明する図。

【図6】配線間の寄生容量を減少させる構成を説明する図。

【図7】配線抵抗ばらつきの起きる形状を説明する図。

【図8】本発明の実施の形態1を説明する図。

【図9】本発明の実施の形態2を説明する図。

【図10】本発明の実施の形態3を説明する図。

【図11】本発明の実施の形態4を説明する図。

【図12】本発明の実施の形態5を説明する図。

【図13】本発明の適用することのできる表示装置の作製方法を説明する図。

【図14】本発明の適用することのできる表示装置の作製方法を説明する図。

【図15】本発明に適用することのできる液滴吐出装置の構成を説明する図。

【図16】本発明に適用することのできる表示装置の画素回路の上面図。

【図17】本発明に適用することのできる表示装置を説明する図。

10

20

30

40

50

【図18】本発明の適用することができる表示装置の作製方法を説明する図。
 【図19】本発明の適用することができる表示装置の作製方法を説明する図。
 【図20】本発明の適用することができる表示装置の作製方法を説明する図。
 【図21】本発明の適用することができる表示装置の作製方法を説明する図。
 【図22】本発明の適用することができる表示装置の作製方法を説明する図。
 【図23】本発明の適用することができる表示装置の作製方法を説明する図。
 【図24】本発明の適用することができる表示装置の作製方法を説明する図。
 【図25】本発明の適用することができる表示装置の作製方法を説明する図。
 【図26】本発明の適用することができる表示装置の作製方法を説明する図。
 【図27】本発明の適用することができる表示装置の作製方法を説明する図。
 【図28】本発明の適用することができる表示装置の作製方法を説明する図。
 【図29】本発明の適用することができる表示装置の作製方法を説明する図。
 【図30】本発明の適用することができる表示装置を説明する図。
 【図31】本発明が適用された半導体装置の一形態であるパネルの上面図。
 【図32】本発明の電子機器の主要な構成を示すブロック図。
 【図33】本発明が適用される電子機器を示す図。
 【図34】本発明が適用される電子機器を示す図。
 【図35】本発明が適用される電子機器を示す図。

【符号の説明】

【0448】

605 ゲート絶縁層
 606 絶縁層
 615 ソース信号線
 616 ソース信号線
 617 ソース信号線
 800 基板
 801 下地膜
 802 導電層
 803 導電層
 804 絶縁層
 805 ゲート絶縁層
 806 導電層
 807 半導体層
 808 N型半導体層
 809 チャネル保護膜
 811 マスク層
 813 マスク層
 815 導電層
 816 導電層
 817 導電層
 818 貫通孔
 820 絶縁層
 821 電界発光層
 822 導電層
 850 封止基板
 851 シール材
 854 各画素の回路
 855 線分

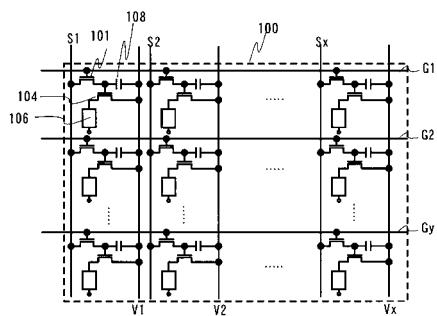
10

20

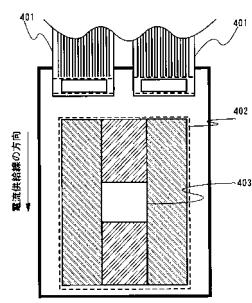
30

40

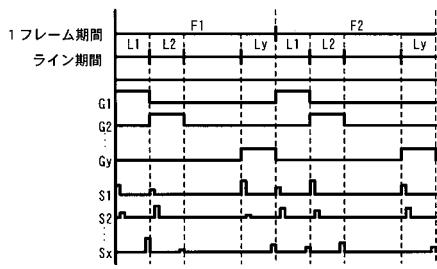
【図1】



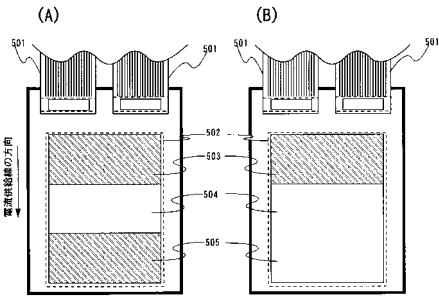
【図4】



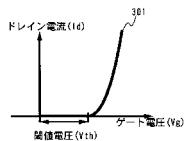
【図2】



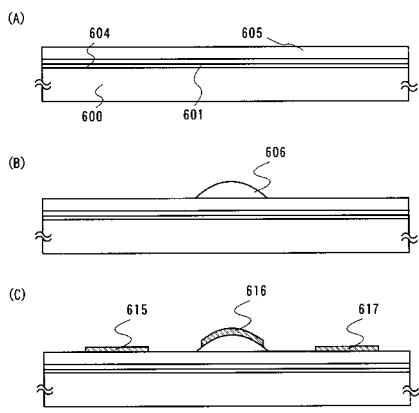
【図5】



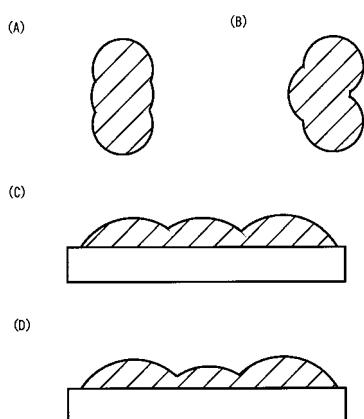
【図3】



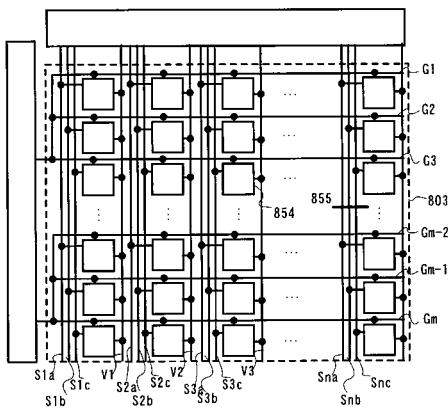
【図6】



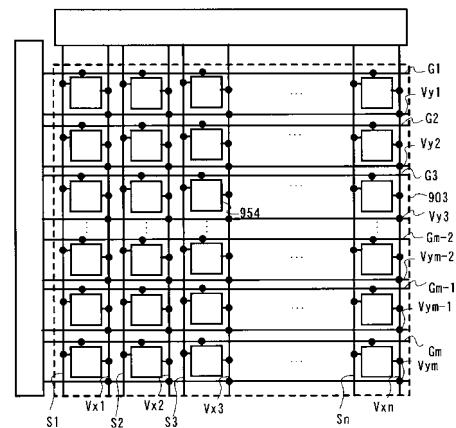
【図7】



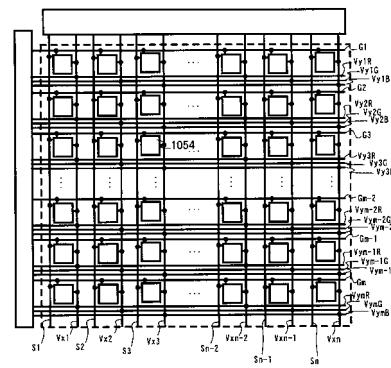
【図8】



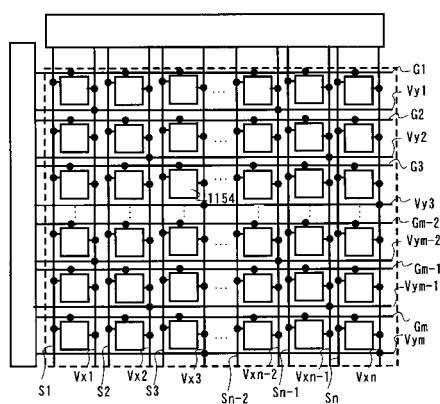
【図9】



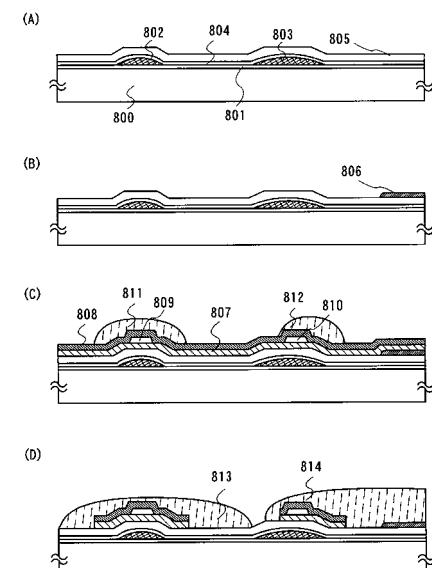
【図10】



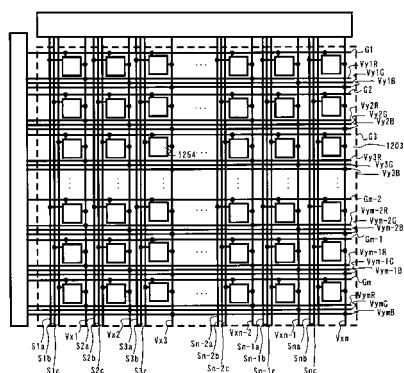
【図11】



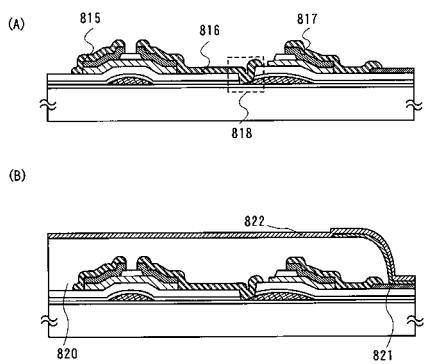
【図13】



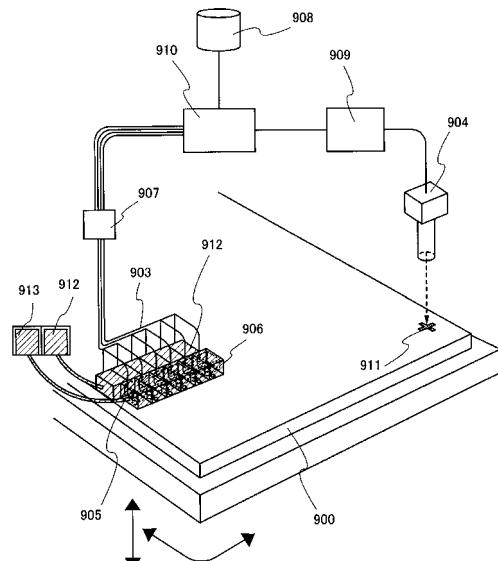
【図12】



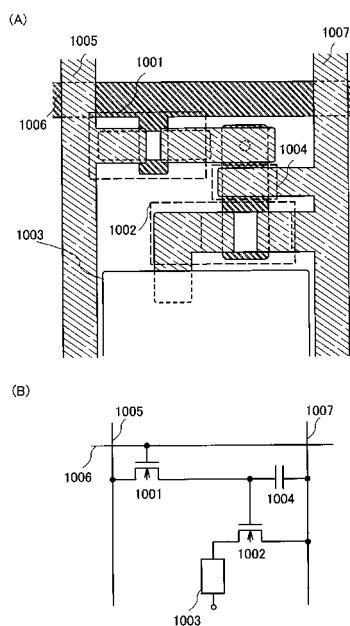
【図14】



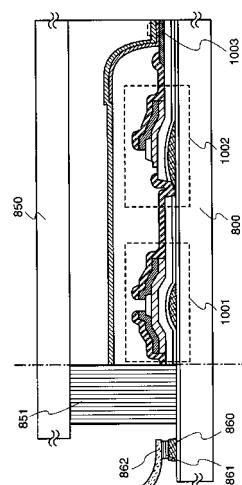
【図15】



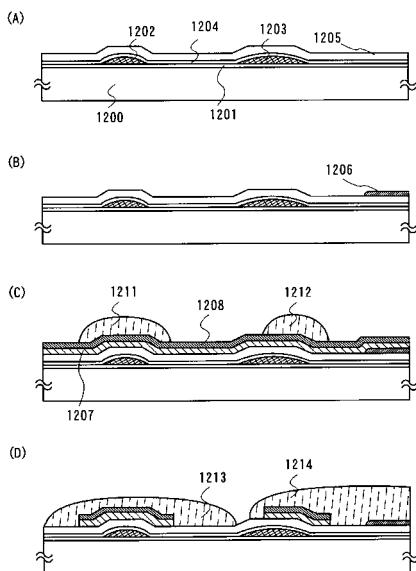
【図16】



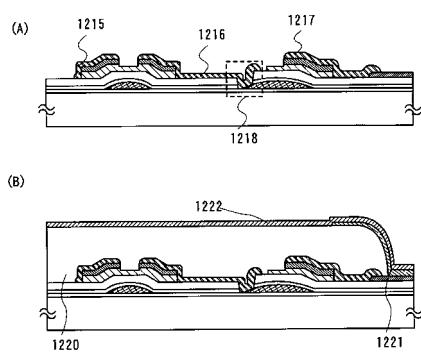
【図17】



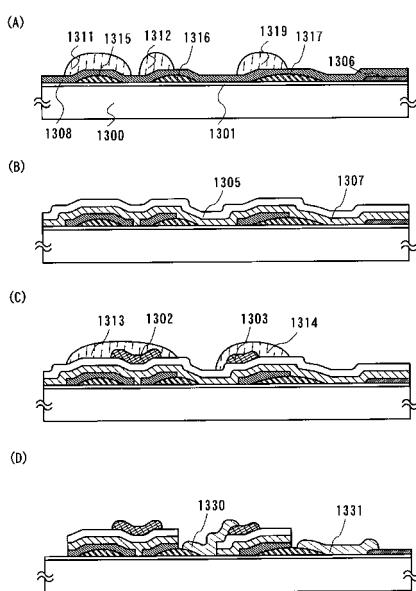
【図18】



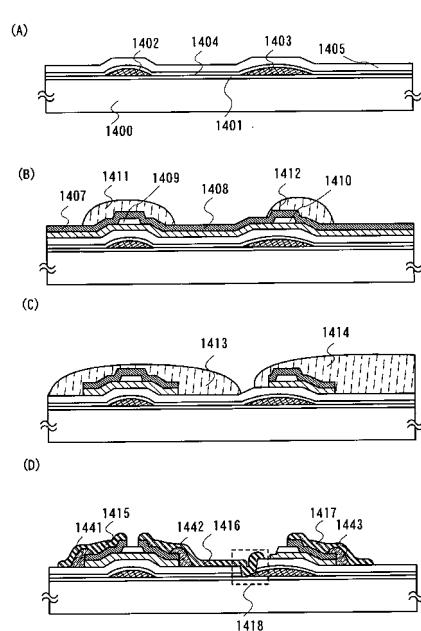
【図19】



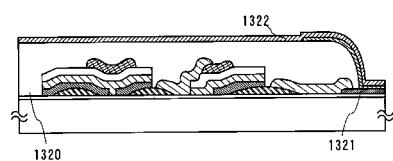
【図20】



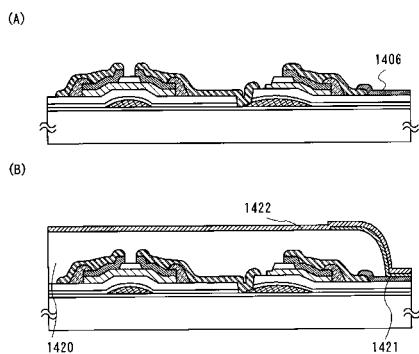
【図22】



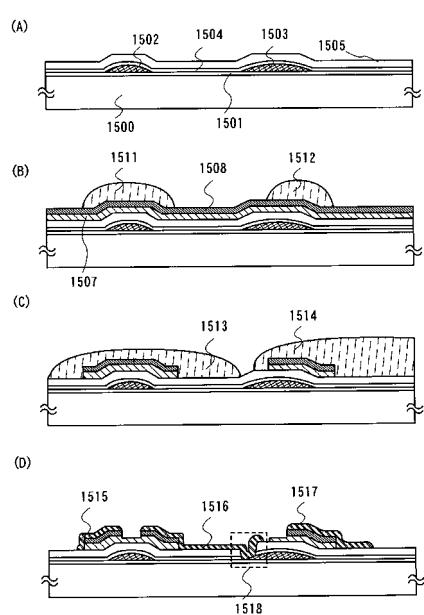
【図21】



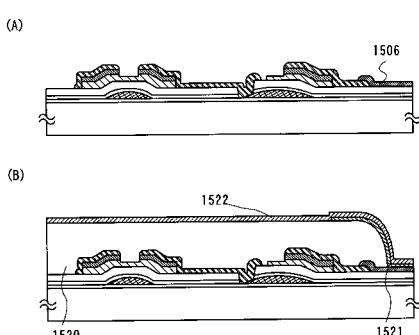
【図23】



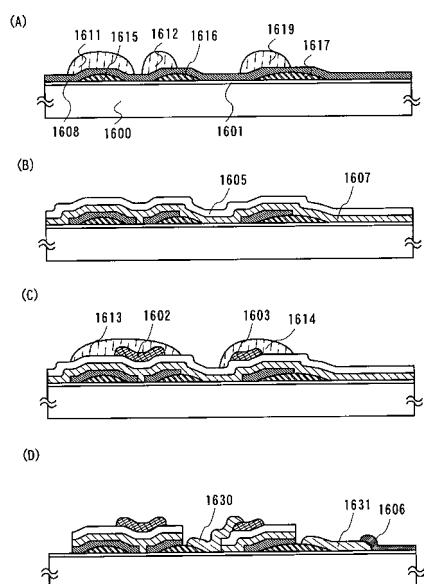
【図24】



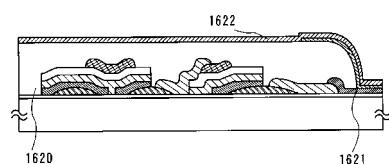
【図25】



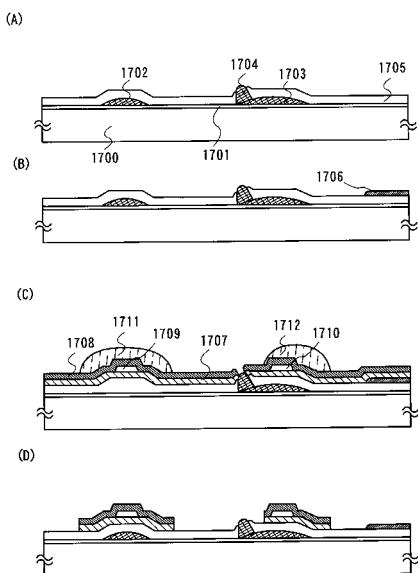
【図26】



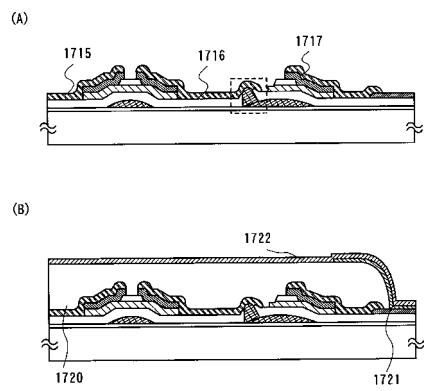
【図27】



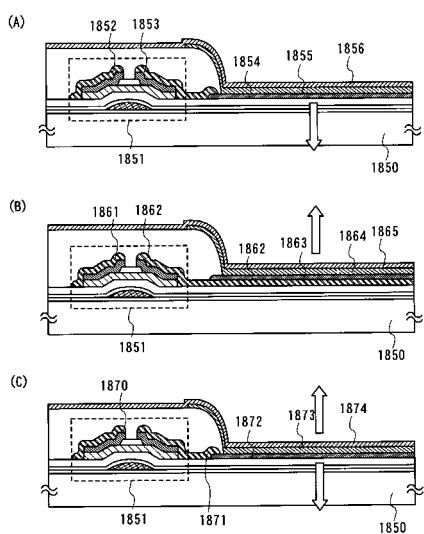
【図28】



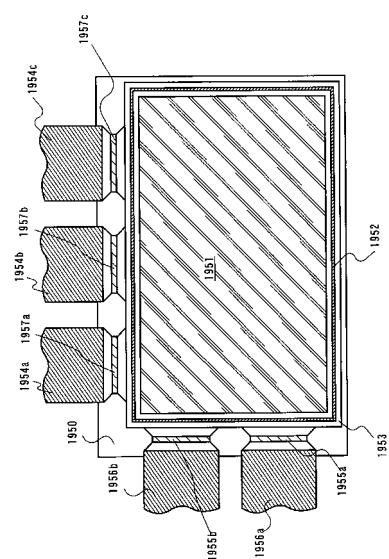
【図29】



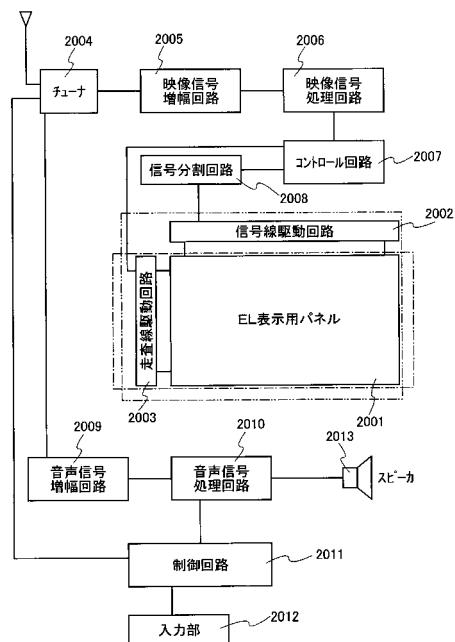
【図30】



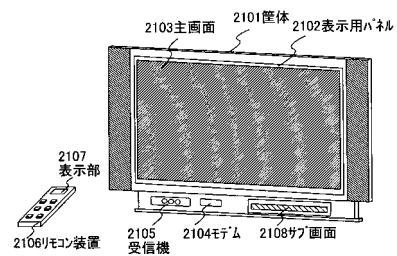
【図31】



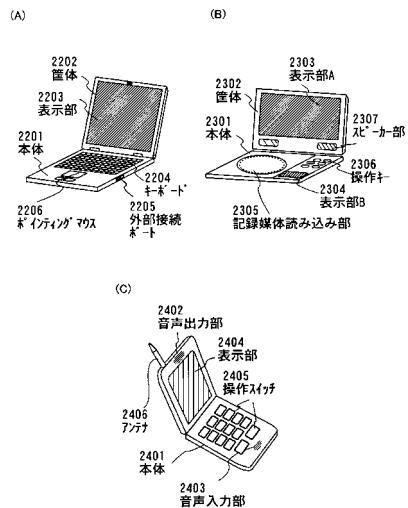
【図3-2】



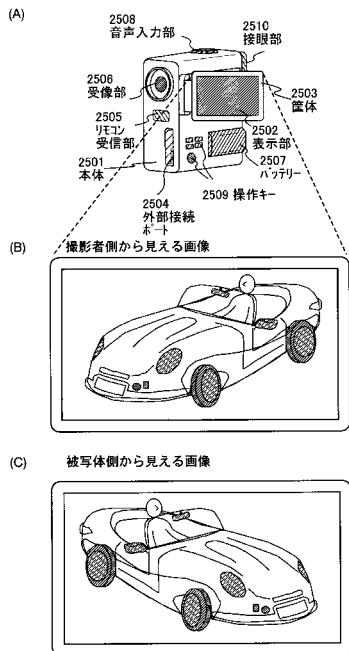
【 図 3 3 】



【 図 3 4 】



【図35】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 1 1 J
G 0 9 F	9/30	3 6 5 Z
H 0 5 B	33/14	A

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 松岡 智也

(56)参考文献 特開平11-073158 (JP, A)

特開2000-242196 (JP, A)

特開2002-164354 (JP, A)

特開2004-126439 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 F 9 / 0 0, 9 / 3 0 - 9 / 4 6

H 0 1 L 5 1 / 5 0

H 0 5 B 3 3 / 0 0 - 3 3 / 2 8

G 0 2 F 1 / 1 3 4 3 - 1 / 1 3 4 5,
1 / 1 3 5 - 1 / 1 3 6 8