

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 7 月 25 日(25.07.2013)



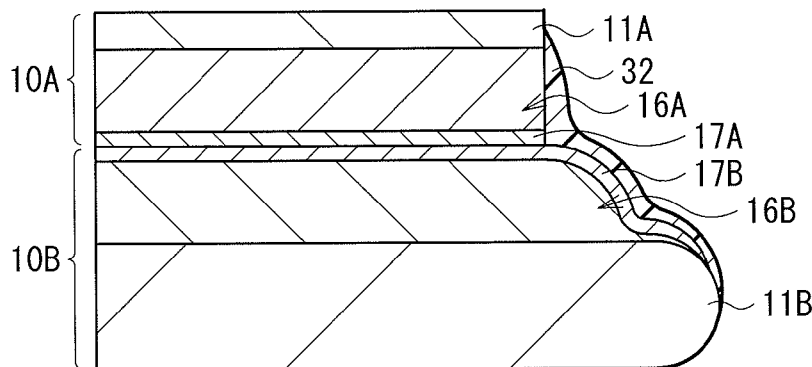
(10) 国際公開番号

WO 2013/108657 A1

- (51) 国際特許分類:
H01L 27/14 (2006.01) H01L 25/18 (2006.01)
H01L 21/02 (2006.01) H01L 27/00 (2006.01)
H01L 25/065 (2006.01) H01L 27/146 (2006.01)
H01L 25/07 (2006.01)
- (21) 国際出願番号: PCT/JP2013/050093
- (22) 国際出願日: 2013 年 1 月 8 日(08.01.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-007086 2012 年 1 月 17 日(17.01.2012) JP
特願 2012-007087 2012 年 1 月 17 日(17.01.2012) JP
特願 2012-007088 2012 年 1 月 17 日(17.01.2012) JP
- (71) 出願人: ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1080075 東京都港区港南 1 丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者: 藤井 宣年(FUJII Nobutoshi); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP). 青柳 健一(AOYAGI Kenichi); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP). 萩本 賢哉(HAGIMOTO Yoshiya); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP). 岩元 勇人(IWAMOTO Hayato); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿 1 丁目 1 5 番 9 号さわだビル 3 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法



(57) Abstract: The present invention includes the following: attaching an element forming surface of a first substrate having a first element and of a second substrate having a second element so that the surfaces face each other; forming a protective film on at least an end of the second substrate having the second element; and thinning the first substrate.

(57) 要約: 本技術は、第 1 素子を有する第 1 基板と、第 2 素子を有する第 2 基板との素子形成面同士を対向させて張り合わせることと、第 2 素子を有する第 2 基板の少なくとも端部に保護膜を形成することと、第 1 基板を薄肉化することとを含む。

WO 2013/108657 A1

明 細 書

発明の名称：半導体装置の製造方法

技術分野

[0001] 本開示は、複数の基板の接合構造を有する半導体装置の製造方法に関する。

背景技術

[0002] 半導体デバイスの高集積化は2次元LSI (Large Scale Integration) における微細プロセスの導入と実装密度の向上によって実現されてきた。ところが、近年、微細化の物理的な限界が見え始めており、3次元LSIが注目を集めるようになった。

[0003] 3次元LSIでは、様々な機能を有するデバイス（例えば、メモリデバイス、ロジックデバイス、イメージセンサデバイス）が形成された基板を接合したのち、上層の基板をグラインディングプロセスによって所望の厚さまで薄肉化することによって形成されている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0004] 特許文献1：特開2011-96851号公報

発明の概要

[0005] しかしながら、3次元LSIでは、上記薄肉化において下層の基板に損傷が生じやすい。その原因は、研削により所謂ナイフエッジと呼ばれる鋭角状に加工された上層基板の端部がその応力に耐えられず、欠けや剥がれが発生することによる。この欠けや剥がれによって生じたナイフエッジの破片が下層基板の表面にぶつかり、下層基板上に形成された配線等に損傷が生じる。このため、半導体装置の信頼性および製造歩留まりが低下するという問題があった。

[0006] したがって、半導体装置の信頼性および製造歩留まりを向上させることが可能な半導体装置の製造方法を提供することが望ましい。

[0007] 本開示の一実施形態の第1の半導体装置の製造方法は、以下の(A1)～(C1)を含むものである。

(A1) 第1素子を有する第1基板と、第2素子を有する第2基板との素子形成面同士を対向させて張り合わせること

(B1) 第2素子を有する第2基板の少なくとも端部に保護膜を形成すること

(C1) 第1基板を薄肉化すること

[0008] 本開示の一実施形態の第1の半導体装置の製造方法では、下層基板(第1基板)の端部に保護膜を形成したのち上層基板(第2基板)を薄肉化する。これにより、上層基板の薄肉化時における下層基板の損傷の発生が低減される。

[0009] 本開示の一実施形態の第2の半導体装置の製造方法は、以下の(A2)～(D2)を含むものである。

(A2) 第1素子を有する第1基板の端部に薄肉部を形成すること

(B2) 第2素子を有する第2基板の少なくとも端部にレーザを吸収しない保護膜を形成すること

(C2) 第2素子と第1素子とを対向させて、第2基板および第1基板を張り合わせること

(D2) 第1基板の薄肉部をレーザにより選択的に除去すること

[0010] 本開示の一実施形態の第2の半導体装置の製造方法では、下層基板(第2基板)の端部にはレーザを吸収しない保護膜を形成し、上層基板(第1基板)の端部には薄肉部を形成し、上部基板の端部を除去する。これにより、上層基板の端部を除去する際の下面基板の損傷の発生が低減される。

[0011] 本開示の一実施形態の第3の半導体装置の製造方法は、以下の(A3)～(C3)を含むものである。

(A3) 第1素子を有する第1基板と、第2素子を有する第2基板とを前記第1素子と第2素子とを対向させて張り合わせる

(B3) 第1基板の端部を除く内部領域を薄肉化する

(C 3) 第 1 基板の端部を除去する

[0012] 本開示の一実施形態の第 3 の半導体装置の製造方法では、上層基板（第 1 基板）の薄肉化工程において、上層基板の端部を除く内部領域を薄肉化したのち、上層基板の端部を除去する。これにより、上層基板の端部を除去する際の下面基板の損傷の発生が低減される。

[0013] 本開示の一実施形態の第 1 の半導体装置の製造方法によれば、下層基板の端部に保護膜を形成したのち上層基板を薄肉化するようにしたので、下層基板を損傷することなく上層基板を薄肉化することが可能となる。

[0014] 本開示の一実施形態の第 2 の半導体装置の製造方法によれば、下層基板の端部にレーザを吸収しない保護膜を、上層基板の端部に薄肉部をそれぞれ設けるようにしたので、下層基板を損傷することなく上層基板の端部を除去することが可能となる。

[0015] 本開示の一実施形態の第 3 の半導体装置の製造方法によれば、上層基板の端部を除く内部領域を薄肉化したのち、上層基板の端部を除去するようにしたので、下層基板を損傷することなく上層基板の端部を除去することが可能となる。

[0016] 上記第 1 ～第 3 の半導体装置の製造方法によって、半導体装置の信頼性および製造歩留まりを向上させることが可能となる。

図面の簡単な説明

[0017] [図1]本開示の第 1 ～第 4 の実施の形態に係る撮像装置の構成を表す模式図である。

[図2]図 1 に示した撮像装置の概略構成図である。

[図3]従来の撮像装置の概略構成図である。

[図4]図 1 に示した撮像装置の断面図である。

[図5A]本開示の第 1 の実施の形態に係る半導体装置の製造方法を表す工程図である。

[図5B]図 5 A に続く工程図である。

[図5C]図 5 B に続く工程図である。

[図6A]本開示の第1の実施の形態に係る半導体装置の製造方法の他の例を表す工程図である。

[図6B]図6Aに続く工程図である。

[図6C]図6Bに続く工程図である。

[図7A]本開示の第2の実施の形態に係る半導体装置の製造方法を表す工程図である。

[図7B]図7Aに続く工程図である。

[図7C]図7Bに続く工程図である。

[図7D]図7Cに続く工程図である。

[図8A]本開示の第3の実施の形態に係る半導体装置の製造方法を表す工程図である。

[図8B]図8Aに続く工程図である。

[図8C]図8Bに続く工程図である。

[図9A]本開示の第4の実施の形態に係る半導体装置の製造方法を表す工程図である。

[図9B]図9Aに続く工程図である。

[図9C]図9Bに続く工程図である。

[図10]適用例に係る電子機器（カメラ）の機能ブロック図である。

発明を実施するための形態

[0018] 以下、本開示を実施するための形態について図面を参照して説明する。尚、説明は以下の順序で行う。

1. 撮像装置の構成
2. 第1の実施の形態（下層基板上に保護膜を形成したのち薄肉化する方法）
3. 第2の実施の形態（貼り合わせ前に下層基板を加工する方法）
4. 第3の実施の形態（上層基板の薄肉部をレーザによって除去する方法）
5. 第4の実施の形態（上層基板の素子形成領域を薄肉化したのち端部を除去する方法）

6. 適用例（電子機器の例）

[0019] <1. 撮像装置の構成>

図1は、後述する本開示の第1～第4の実施の形態に係る半導体装置を適用したMOS型固体撮像装置（撮像装置1）の全体構成を表したものである。この撮像装置1は、カラー画像（静止画または動画）の撮影に適した撮像装置であり、画素領域3（いわゆる画素アレイ）と、周辺領域4とから構成されている。画素領域3は、基板上に光電変換部を含む画素2が複数個マトリクス状に配列されたものである。

[0020] 画素領域3に設けられた画素2には、光電変換部となるフォトダイオードPDおよび複数の画素トランジスタTr（MOSトランジスタ）等が設けられている。この複数の画素トランジスタTrは、例えば転送トランジスタ、リセットトランジスタおよび増幅トランジスタの3種のトランジスタであり、この他、選択トランジスタを追加して4種のトランジスタから構成されている。なお、単位画素の等価回路は通常と同様であるので、詳細説明は省略する。画素2は、1つの単位画素として構成することができるが、画素共有構造としてもよい。この画素共有構造は、複数のフォトダイオードPDが、転送トランジスタを構成するフローティングディフュージョン、および転送トランジスタ以外の他のトランジスタを共有している。

[0021] 周辺領域4には、制御回路5、垂直駆動回路6、カラム信号処理回路7、水平駆動回路8および出力回路9等が設けられている。

[0022] 制御回路5は、入力クロックおよび動作モード等を指令するデータを受け取り、撮像装置1の内部情報等のデータを出力するものである。具体的には、この制御回路5は、垂直同期信号、水平同期信号およびマスタクロックに基づいて、垂直駆動回路6、カラム信号処理回路7および水平駆動回路8等の動作の基準となるクロック信号や制御信号を生成する。また、このクロック信号や制御信号を垂直駆動回路6、カラム信号処理回路7および水平駆動回路8等に入力するものである。

[0023] 垂直駆動回路6は、例えばシフトレジスタによって構成されている。この

垂直駆動回路 6 は画素駆動配線を選択し、選択された画素駆動配線に画素を駆動するためのパルスを供給して行単位で画素を駆動する。具体的には、垂直駆動回路 6 は、画素領域 3 の各画素 2 を行単位で順次垂直方向に選択走査し、垂直信号線 9 を通して各画素 2 のフォトダイオード PD における受光量に応じて生成した信号電荷に基づく画素信号をカラム信号処理回路 7 に供給する。

[0024] カラム信号処理回路 7 は、画素 2 の例えば列ごとに配置されており、1 行分の画素 2 から出力される信号を画素列ごとにノイズ除去等の信号処理を行うものである。具体的には、カラム信号処理回路 7 は、画素 2 固有の固定パターンノイズを除去するための CDS や、信号増幅、AD 変換等の信号処理を行うものである。このカラム信号処理回路 7 の出力段には水平選択スイッチ（図示せず）が水平信号線 10 との間に接続されて設けられている。

[0025] 水平駆動回路 8 は、例えばシフトレジスタによって構成され、水平走査パルスを順次出力することによって各カラム信号処理回路 7 を順番に選択し、カラム信号処理回路 7 の各々から画素信号を水平信号線 10 に出力させるものである。

[0026] 出力回路 9 は、各カラム信号処理回路 7 から水平信号線 10 を通して順次供給される信号に対し、信号処理を行って出力するものである。この出力回路 9 は、例えばバッファリングのみを行う場合もあるし、黒レベル調整、列ばらつき補正および各種デジタル信号処理等を行う場合もある。入出力端子 12 は、外部と信号のやりとりをするものである。

[0027] 図 2 (A), (B) は、本開示の第 1 ～第 4 の実施の形態に係る半導体装置を適用した撮像装置 1 の概略構成を表したものであり、図 3 は従来の MOS 型固体撮像装置（撮像装置 100）の概略構成を表したものである。

[0028] 従来用いられている撮像装置 100 では、図 3 に示したように、一枚の半導体基板 110 内に、画素疎部 102 A、制御部 102 B および信号処理するためのロジック回路 LC が形成されている。通常、イメージセンサ 110 は画素領域 113 と制御回路 115 とから構成されている。

[0029] これに対して本開示の撮像装置 1 では、図 2 (A) に示すように画素部 2 A、制御部 2 B およびロジック回路部 L C は 2 つの基板（例えば、第 1 半導体基板 1 0 A および第 2 半導体基板 1 0 B）に分けて形成されている。具体的には、第 1 半導体基板 1 0 A には画素部 2 A と制御部 2 B が形成され、第 2 半導体基板 1 0 B に信号処理するための信号処理回路を含むロジック回路 L C が形成されており、第 1 半導体基板 1 0 A と第 2 半導体基板 1 0 B とが相互に電氣的に接続された構成を有している。

[0030] なお、第 1 半導体基板 1 0 A および第 2 半導体基板 1 0 B に分けて形成される画素部 2 A、制御部 2 B およびロジック回路 L C の組み合わせは特に限定されず、例えば、図 2 (B) に示したように、第 1 半導体基板 1 0 A に画素部 2 A を形成し、第 2 半導体基板 1 0 B に制御部 2 B およびロジック回路 L C を形成してもよい。

[0031] 図 4 は、図 2 (A) の構成を基にした撮像装置 1 の断面構成の一部を表したものである。この撮像装置 1 は、画素部 2 A および制御部 2 B が形成された第 1 半導体基板 1 0 A と、ロジック回路 L C が形成された第 2 半導体基板 1 0 B とが電氣的に接続された状態で上下に積層されている。

[0032] この撮像装置 1 は、具体的には、第 2 半導体基板 1 0 B を下にして第 2 半導体基板 1 0 B と第 1 半導体基板 1 0 A の MOS トランジスタ T r が形成された素子形成面（デバイス層 1 6 A, 1 6 B）を対向させて接合し、積層されたもの（積層体 1 0, 図 4 参照）である。この撮像装置 1 では、光電変換部であるフォトダイオード P D は第 1 半導体基板 1 0 A 側の表面（図中上側の面であり、以下裏面とする）側に配置されている。第 1 半導体基板 1 0 A と第 2 半導体基板 1 0 B との接合面には多層の配線層 1 4 A, 1 4 B が形成された絶縁層 1 3 A, 1 3 B が形成されている。

[0033] なお、画素領域 3 の画素部 2 A および制御部 2 B に設けられた MOS 型トランジスタ T r は、一对のソース電極およびドレイン電極上にゲート絶縁膜を介してゲート電極（いずれも図示せず）が形成された構成を有する。また、第 1 半導体基板 1 0 A の裏面には、例えば反射防止膜 1 8、遮光膜 1 9 A

が設けられた絶縁膜 19 および平坦化膜 20 が形成されている。平坦化膜 20 上の各画素 2 のフォトダイオード PD に対応する位置には、カラーフィルタ 21 を介してオンチップレンズ 22 が設けられている。

[0034] このような構成を有する撮像装置 1 では、第 1 半導体基板 10A の裏面側からオンチップレンズを介してフォトダイオード PD に光が照射され、画素 2 ごとに信号電荷が生成される。この信号電荷は、例えばその量に対応する電圧信号として全画素 2 で画像信号を読み取ることで画像データを得ることができる。以下に、撮像装置 1 の製造方法の一例を説明する。

[0035] (製造方法)

(第 1 半導体基板 (第 1 基板) 10A の作成)

まず、基板 11A 上の素子形成領域に、イメージセンサ、即ち画素部 2A および制御部 2B を形成する。具体的には、画素部 2A では、例えば基板 11A 上に各画素 2 の光電変換部となるフォトダイオード PD を形成したのち、各画素トランジスタ Tr を形成する。ここでは、フォトダイオード PD に隣接する画素トランジスタ Tr が転送トランジスタに相当し、そのソース・ドレイン領域 (図示せず) がフローティングディフュージョン FD に相当する。また、制御部 2B に MOS トランジスタ Tr を形成する。各 MOS トランジスタ Tr は、例えば、それぞれ 1 対の n 型のソース／ドレイン領域と、ゲート絶縁膜を介して形成したゲート電極 (いずれも図示せず) とから構成されている。

[0036] 次いで、基板 11A 上に絶縁膜 13A を形成したのち、接続孔 15A を形成し、所定のトランジスタに接続する接続導体 15 を形成する。続いて、各接続導体 15 を接続するように複数層、例えば 3 層の銅等からなる金属層を形成して配線層 14A とする。以上により、画素部 2A および制御部 2B を有する第 1 半導体基板 10A が形成される。

[0037] (第 2 半導体基板 (第 2 基板) 10B の作成)

次いで、基板 11B 上の素子形成領域に信号処理するためのカラム信号処理回路 7 等を含むロジック回路 LC を形成する。具体的には、例えば基板 1

1 B上にロジック回路LCを構成する複数のMOSトランジスタTrを形成する。各MOSトランジスタTrは、例えば、それぞれ1対のn型のソース／ドレイン領域と、ゲート絶縁膜を介して形成したゲート電極（いずれも図示せず）とから構成されている。

[0038] 次いで、基板11B上に、上記第1半導体基板10Aと同様の方法で、絶縁層13B、接続孔15A、接続導体15および配線層14Bを形成する。以上により、ロジック回路LCを有する第2半導体基板10Bが形成される。なお、配線層14Bの上部には、後述する第1半導体基板10Aと第2半導体基板10Bとの貼り合わせ時における応力を軽減するためのストレス補正膜（図示せず）を形成してもよい。ストレス補正膜は、例えばP-SiN膜（プラズマ窒化膜）またはP-SiON膜（プラズマ酸窒化膜）を例えば100～200nmの膜厚で成膜する。

[0039] （第1半導体基板10Aおよび第2半導体基板10Bの貼り合わせ）

次に、第1半導体基板10Aと第2半導体基板10Bとを、配線層14A、14Bが互いに向き合うように貼り合わせる。具体的には、例えば第1半導体基板10Aまたは第2半導体基板10Bの接合面の一方の側に接着材層（図示せず）を形成し、この接着材層を介して半導体基板10A、10Bを接合する。ここでは、画素領域3が形成された第1半導体基板10Aを上層に、第2半導体基板10Bを下層に配置して貼り合わせている。

[0040] なお、第1半導体基板10Aおよび第2半導体基板10Bの接合には、上記接着材層を介した接合の他に、プラズマ接合を用いて貼り合わせてもよい。プラズマ接合を用いる場合には、第1半導体基板10Aと第2半導体基板10Bとの接合面にそれぞれプラズマSiO₂膜、SiN膜、SiC膜あるいはSiCN膜等を形成する。これらの膜が形成された接合面をプラズマ処理して重ね合わせたのち、アニール処理することによって第1半導体基板10Aおよび第2半導体基板10Bが接合される。ここで、アニール処理は、配線等に影響を与えない400℃以下の低温プロセスで行うことが好ましい。

[0041] （第1半導体基板10Aの薄肉化）

続いて、第1半導体基板10Aの裏面側（基板11A側）を研削、研磨して第1半導体基板10Aを薄肉化する。この薄肉化は、具体的にはフォトダイオードPDが臨むように、例えば600 μ m程度の厚みを有する基板11Aを3～6 μ m程度まで薄くする。第1半導体基板10Aの薄肉化を行うことで、この第1半導体基板10Aの裏面が裏面照射型の撮像素子1における光入射面となる。

[0042] 最後に、第1半導体基板10Aの裏面上に反射防止膜18、遮光膜19Aを備えた絶縁膜19および平坦化膜20等を形成する。更に、この平坦化膜20上に各画素に対応する赤（R）、緑（G）、青（B）のカラーフィルタ21およびオンチップレンズ22を形成することにより撮像装置1が完成する。

[0043] 以下、本開示の半導体装置の製造方法に係る第1～第4の実施の形態として、上記第1半導体基板10Aの薄肉化の方法を説明する。なお、上述した撮像装置1と同様の構成要素については同一の符号を付し適宜説明を省略する。

[0044] <2. 第1の実施の形態>

図5A～図5Cは、本開示の第1の実施の形態における半導体装置の製造方法、特に第1半導体基板10Aの薄肉化の工程を表したものである。

[0045] 本実施の形態では、まず、図5Aに示したように、第1半導体基板10Aの端部を例えば幅2mm、深さ100 μ mの範囲で除去して薄肉部31を形成する。次いで、第1半導体基板10Aおよび第2半導体基板10Bを、例えば上記プラズマ接合等を用いて貼り合わせる。

[0046] 続いて、図5Bに示したように、第1半導体基板10Aを研削し、基板全面を機械的に薄肉化したのち、例えばイオンビーム法（特開2010-70788号公報参照）を用いて第1半導体基板10Aの側面および第2半導体基板10Bの表面に、例えば膜厚3 μ mのSiN膜（保護膜32）を成膜する。この保護膜32は、第1半導体基板10Aの研削時に第2半導体基板10Bの表面に基板11Aの破片が突き刺さった場合には、この破片ごと第2

半導体基板 10B の表面を覆うものとなる。

[0047] この保護膜 32 を構成する材料としては、後に行う第 1 半導体基板 10A 裏面の薬液処理において用いる薬液（例えば酸系薬液）に対して耐性を有する材料を用いることが好ましい。具体的な材料としては、プラズマ SiN 膜、SiC、SiCN 等が挙げられる。

[0048] 続いて、図 5C に示したように薬液処理によって基板 11A の表面を平滑化すると共に更に薄肉化する。この際、第 2 半導体基板 10B の端部に保護膜 32 を形成していない場合には、基板 11A によって生じた損傷部分に薬液が浸み込み、第 2 半導体基板 10B の端部に形成されている配線層 14B を構成する金属の溶出が起こり、汚染が発生する虞がある。これに対して本実施の形態では、第 1 半導体基板 10A の端部（薄肉部 31）の除去後に、第 2 半導体基板 10B 表面に保護膜 32 を形成しているため、破片の衝突によって発生した損傷部分は保護膜 32 によって封じられる。これにより、配線層 14B の溶出による金属汚染が防止される。

[0049] なお、本実施の形態では、第 1 半導体基板 10A の薄肉部 31 の除去および基板 11A 全面の薄肉化ののちに保護膜 32 を形成したが、図 6A に示したように、第 1 半導体基板 10A と第 2 半導体基板 10B との貼り合わせ前に、第 2 半導体基板 10B の端部に本実施の形態の保護膜 32 を形成しても構わない。保護膜 32 の成膜後は図 6B、図 6C に示したように第 1 半導体基板 10A の端部への薄肉部 31 の形成、基板 11A の研削、薄肉化および薄肉部 31 の除去を行う。また、保護膜 32 の成膜方法としては、第 2 半導体基板 10B の端部に局所的に保護膜 32 を形成することができれば特に限定されない。例えば、局所プラズマと成膜ガスを端部に吹き付けるような化学気相成膜方法が挙げられる。この他、塗布膜を細いノズルから噴射して所定範囲にのみ成膜することが可能な塗布装置を用いる方法および塗布液あるいはフォトレジストを全面に塗布したのち、露光とレジスト除去によって端部のみ保護膜を成膜する方法を用いてもよい。

[0050] 従来用いられている薄肉化工程は、まずグラインダープロセスが行われる

。このグラインダープロセスを用いて上層基板を研削する場合には、機械的な研削であるため、前述のように上層基板の端部に欠けや剥がれが発生する虞がある。この上層基板の欠けや剥がれは破片として下層基板の端部に直撃し、表面に損傷を与える。この損傷部分に配線層が形成されている場合には配線が露出し、後に行うウェットエッチング等による薄肉化工程において配線を構成する金属の溶出による汚染が発生する。また、下層基板に配線層が形成されていない場合でも、下層基板に発生した損傷は発塵の原因となり、製造歩留まりを低下させるという問題が発生する。

[0051] 上記問題を解決する方法としては、例えば特許文献2003-151939号公報において、SOIの活性シリコン層となる側の研削を途中で中断し、薬液処理によって所定の厚みまで基板を除去する方法が開示されている。この方法を用いることにより、薬液処理によって上層基板を更に薄肉化する際に、上層基板の端部も除去されることとなる。

[0052] しかしながら、この方法は、積層された上層基板および下層基板の端部同士が接合されていること、上層基板を除去する際の薬液で端部に残る上層基板側の絶縁膜等が除去できることが前提となっている。積層された3次元半導体装置の場合には、素子の作製時に端部に段差ができるため、通常、端部は未接合の状態となる。また、素子の各層に成膜されている絶縁膜であるSiN膜が薬液では除去されないことから、この方法は単に端部にダスト源を作り出す以外の作用を持たない。

[0053] これに対して、本実施の形態では、薬液処理による上層の第1半導体基板10Aの薄肉化工程の前に、第2半導体基板10Bの端部に保護膜32を形成する。この保護膜32を形成することにより、第1半導体基板10Bの機械的な研削において発生する基板11Aの破片の直撃によって生じる第2半導体基板10Bの損傷部分が覆われ、次に行う薬液処理による第2半導体基板10Bのエッチングが防止される。よって第2半導体基板10Bの損傷部分からの金属溶出や発塵による汚染が防止される。

[0054] 以上のように本実施の形態の半導体装置の製造方法によれば、薬液処理に

よる上層の第1半導体基板10Aの薄肉化工程の前に、第1半導体基板10Aの薄肉化工程において発生する基板11Aの破片が直撃する虞のある第2半導体基板10Bの端部に保護膜32を形成するようにした。これにより、薬液による第2半導体基板10Bのエッチングが防止される。よって、第2半導体基板側からの金属溶出や発塵による汚染が防止され、半導体装置の信頼性および製造歩留まりを向上することが可能となる。

[0055] また、本実施の形態の半導体装置の製造方法では、第2半導体基板10Bの必要な部分にのみ保護膜32を成膜するため、第2半導体基板10Bの全面に保護膜を形成する場合と比較して、保護膜の応力による第2半導体基板10Bの反りが抑制され、取り扱いが容易になる。

[0056] <3. 第2の実施の形態>

図7A～図7Dは、本開示の第2の実施の形態における半導体装置の製造方法、特に第1半導体基板の薄肉化の工程を表したものである。本実施の形態における製造方法では、第1半導体基板10Aと第2半導体基板10Bとを貼り合わせる前に、第2半導体基板10Bの端部、具体的には配線層14が形成された領域に薄肉部33を形成し、その表面全体に保護膜34を形成する点が上記実施の形態とは異なる。

[0057] まず、第2半導体基板10Bを形成したのち、図7Aに示したように、第2半導体基板10Bの配線層14が形成された端部をトリミング加工によって薄肉化し、薄肉部33を形成する。なお、薄肉部33の形成方法は、トリミング加工以外の方法を用いてもよい。例えば、所定の範囲（ここでは端部）のみに研磨プロセスを適用する方法や、ドライまたはウェットプロセスを用いたエッジング加工方法を用いてもよい。

[0058] 続いて、図7Bに示したように、第2半導体基板10Bの全面、具体的には素子形成面の除去により露出した側面および薄肉部表面に保護膜34を形成する。この保護膜34は、上記第1の実施の形態で形成した保護膜32と同様の材料、即ち、第1半導体基板10Aの薄肉化で用いられる薬液、例えば酸系薬液（フッ硝酸系ウェットエッチング液）に対して耐性を有する材料

であるプラズマSiN膜、SiC、SiCN等を用い、例えば厚さ10 μ mで成膜する。なお、保護膜34の成膜方法としては、成膜後の第2半導体基板10Bの上面、即ち素子形成面は接合面になるため、接合に悪影響を及ぼさないように保護膜34を均一に成膜することが好ましい。具体的には、膜厚制御性に優れたALD (Atomic Layer Deposition) 法を用いることが望ましいがCVD (Chemical Vapor Deposition) 法を用いてよい。CVD法等を用いる場合には、成膜後にCMP等を用いることによって表面の平坦性を向上させておくことが望ましい。

[0059] また、保護膜34を形成する前に、第2半導体基板10Bの表面をウェットプロセスにより平滑化および清浄化を行うことが好ましい。具体的には、第2半導体基板10Bの表面のダストを除去するためのスクラバー洗浄やトリミング加工のような機械加工を用いた場合に付着するメタル系不純物を除去する。具体的には、酸系薬液（例えば、フッ酸過酸化水素混合溶液（FPM））を用いた洗浄プロセスを行うことが考えられる。これにより、保護膜34の第2半導体基板10Bへの密着性および成膜性が向上し、第1半導体基板の薄肉化の際に用いる薬液に対する保護機能が向上する。

[0060] 以上のように、本実施の形態では、第2半導体基板10Bの端部に薄肉部33を形成し、この薄肉部33を覆うように保護膜を形成したのち、第1半導体基板10Aと第2半導体基板10Bとを貼り合わせる。その後、第1半導体基板10Aを薄肉化するようにした。これにより、上記第1の実施の形態と同様に、薬液処理による薄肉化時の第2半導体基板10Bの端部における金属溶出および発塵による汚染の発生を防ぐことが可能となる。

[0061] <4. 第3の実施の形態>

図8A～図8Cは、本開示の第3の実施の形態における半導体装置の製造方法、特に第1半導体基板10Aの薄肉化の工程を表したものである。本実施の形態における製造方法は、第1半導体基板10Aの端部（薄肉部31）の除去にレーザマイクロジェットを用いたものである。

[0062] まず、図8Aに示したように、第1半導体基板10Aの端部を例えば幅2

mm、深さ100 μ mの範囲で除去し、薄肉部31を形成する。この薄肉部31を形成すると共に、この薄肉部31の除去にレーザマイクロジェットを用いることにより、第2半導体基板10Bにおける損傷の発生を抑制できる。具体的には、第1半導体基板10Aと第2半導体基板10Bとの間に薄肉部31を設けることで第1半導体基板10Aと第2半導体基板10Bとの間に空隙が設けられる。また、水を伝播するレーザマイクロジェットでは、レーザ波長が第1半導体基板10Aを貫通すると同時に放射束の強い広がりを生じ、レーザを反射することで得られる強いエネルギーを維持できなくなる。これにより、レーザによる第2半導体基板10Bの損傷を抑制できる。

[0063] 次いで、図8Bに示したように、第2半導体基板10Bの端部に保護膜35を成膜する。この保護膜35は、レーザ光を吸収しない材料、具体的にはSiO₂、SiN等を用いて厚さ1 μ mで成膜する。これにより、後の工程で行うレーザマイクロジェットによる第1半導体基板10Aの薄肉部31の除去時における加工選択比が得られ、上記空隙の形成と合わせて第2半導体基板10Bへのレーザ光による損傷が防止される。

[0064] 続いて、第1半導体基板10Aおよび第2半導体基板10Bを前述したプラズマ接合等を用いて貼り合わせたのち、薬液処理により第1半導体基板10Aの裏面全体を薄肉化する。

[0065] 従来用いられている上層基板の端部の除去方法としては、本実施の形態のようにレーザ光を用いる方法が開示されている（例えば、特開2006-108532号公報参照）。具体的には、積層された上層基板に対して、所定の位置にレーザ光を照射して上層基板の端部を除去したのち、上層基板を研削して薄肉化する。この方法では、上層基板の研削前に上層基板の端部を除去するため、ナイフエッジが形成されない。このため、研削時に下層基板の表面に損傷を与えることなく上層基板を所定の厚さに研削できる。しかしながら、一般的レーザ光による加工は選択比を持たないため、上層基板の端部の除去と同時に下層基板損傷が発生する。その結果、従来用いられている薄肉化工程と同様に金属溶出や発塵による汚染が発生する。また、レーザ光は

焦点距離が短いため、上層基板をそのまま加工する事は技術的に困難であり、加工できたとしても焦点を合わせながら10回以上も加工する必要がある。

[0066] これに対して本実施の形態では、第1半導体基板10Aの端部に薄肉部31を形成すると共に、第2半導体基板の端部にレーザの波長を吸収しない保護膜35を設けたのち、レーザ光による第1半導体基板10Aの端部を除去するようにした。これにより、第2半導体基板10Bへのレーザ光による損傷を与えることなく加工することが可能となる。

[0067] なお、ここではレーザ光に対する保護膜35を第2半導体基板10Bの端部にのみ形成したが、これに限らず、第1半導体基板10Aおよび第2半導体基板10Bの貼り合わせ前に第2半導体基板10Bの表面全面に設けても構わない。

[0068] <5. 第4の実施の形態>

図9A～図9Cは、本開示の第4の実施の形態における半導体装置の製造方法、特に第1半導体基板10Aの薄肉化の工程を表したものである。本実施の形態における製造方法は、第1半導体基板10Aの裏面に端部を残した内部領域10aを研削し、所定の厚さまで薄肉化したのち端部を除去したものである。

[0069] まず、図9Aに示したように、第1半導体基板10Aおよび第2半導体基板10Bを、前述したプラズマ接合等を用いて貼り合わせる。その後、図9Bに示したように、第2半導体基板10Bの表面の損傷の原因となる第1半導体基板10Aの端部を残し、MOSトランジスタTr等のデバイスが形成されている第1半導体基板10Aの内部領域10aを研削する。続いて、ウェットエッチングにより、内部領域10aを所定の膜厚まで更に薄肉化する。

[0070] 次に、図9Cに示したようにエッジトリミングで第1半導体基板10Aの端部を除去する。

[0071] なお、第1半導体基板10Aと第2半導体基板10Bとの貼り合わせ前、

または貼り合わせ後に、上記第1～第3の実施の形態と同様に、第2半導体基板10Bの表面全面または端部にSiN膜等の保護膜を設けてもよい。これにより、第1半導体基板10Aの端部除去時における第2半導体基板10B表面への破片による機械的損傷を抑制することができる。

[0072] 従来用いられている上層基板および下層基板を貼り合わせたのちの、上層基板の端部の除去方法としては、前述の特許公報（特開2011-96851号公報他）による除去方法の他に、例えば特開2008-84976号公報に開示された方法がある。具体的には、デバイス形成領域を囲む周辺領域に第1の砥石で研削することにより環状の凸部を形成したのち、第1の砥石よりも砥粒径の小さな第2の砥石を用いて環状凸部を含む上層基板の裏面全面を研削して平坦化する。この方法では、上層基板のナイフエッジ化は抑制することができるものの、第2の研削工程における上層基板の破片の直撃による下層基板への損傷の発生を回避することができない。このため、後の薬液処理による金属溶出または発塵による汚染が発生する。

[0073] これに対して本実施の形態では、第1半導体基板10Aの薄肉化工程において、端部を残し、デバイスが形成されている内部領域を機械的に研削する。続いて、端部を残したまま薬液による化学的処理により基板11Aを所定の厚さまで更に薄肉化したのち、エッジトリミングによって第1半導体基板10Aの端部を除去する。このような工程を経ることで、薬液処理による金属溶出および発塵による汚染を防ぐことが可能となる。

[0074] <6. 適用例>

上記第1～第4の実施の形態で説明した製造方法を用いて形成した半導体装置を含む撮像装置1は、撮影機能、測定機能および表示機能等を有する様々な種類の電子機器に適用可能である。上述したように撮像装置1は、高画質のカラー画像を提供できることから、カメラ（デジタルスチルカメラまたはビデオカメラ）や、撮影機能を有する携帯電話機やPDA（Personal Digital Assistant）等のモバイル機器に好適である。また、この他にも、特定物質の測定（検出）装置等にも適用可能である。図10にその一例としてカメ

ラ（カメラ２００）の機能ブロック構成について示す。

- [0075] カメラ２００は、レンズ群２３１等を含む光学系、撮像装置１、カメラ信号処理部であるＤＳＰ回路２３２、フレームメモリ２３５、表示装置２３３、記録装置２３６、操作系２３４および電源系２３７等を備えている。これらのうち、ＤＳＰ回路２３２、フレームメモリ２３５、表示装置２３３、記録装置２３６、操作系２３４および電源系２３７は、バスライン３８を介して相互に接続された構成となっている。
- [0076] レンズ群２３１は、被写体からの入射光（像光）を取り込んで撮像装置１の撮像面（受光面）上に結像するものであり、１または複数のレンズから構成されている。撮像装置１は、レンズ群２３１によって撮像面上に結像された入射光に基づいて撮像データＤ０を出力する。表示装置２３３は、例えば液晶表示装置または有機ＥＬ(electro luminescence)表示装置等からなり、撮像装置１で撮影された動画または静止画（画像処理部２２による画像処理後のカラー画像）を表示するものである。記録装置２３６は、撮像装置１で撮像された動画または静止画を、ビデオテープやＤＶＤ(Digital Versatile Disk)等の記録媒体に記録するものである。操作系２３４は、ユーザによる操作に応じて外部信号入力手段として機能するものであり、カメラ２００の持つ様々な機能について操作指令を受け取り、内部へ伝達するものである。電源系２３７は、ＤＳＰ回路２３２、フレームメモリ２３５、表示装置２３３、記録装置２３６および操作系２３４の動作電源となる各種の電源を含むものである。
- [0077] 以上、実施の形態および変形例を挙げて説明したが、本開示内容は上記実施の形態に限定されるものではなく、種々変形可能である。例えば、上記実施の形態等では、イメージセンサとして、裏面照射型または表面照射型のＣＭＯＳを例に挙げたが、ＣＭＯＳに限らず、ＣＣＤ(Charge Coupled Device Image Sensor：電荷結合素子)、またはＭＯＳ型イメージセンサであってもよい。
- [0078] 尚、本開示は、以下の（１）～（１５）に記載したような構成であっても

よい。

(1) 第1素子を有する第1基板と、第2素子を有する第2基板との素子形成面同士を対向させて張り合わせる工程と、前記第2素子を有する第2基板の少なくとも端部に保護膜を形成する工程と、前記第1基板を薄肉化する工程とを含む半導体装置の製造方法。

(2) 前記第1基板および第2基板を張り合わせる工程の前に、前記第2基板の端部に薄肉部を形成する工程と、前記薄肉部の形成により露出した前記第2基板の素子の側面および前記薄肉部の表面に前記保護膜を形成する工程とを含む、前記(1)に記載の半導体装置の製造方法。

(3) 前記第2基板に前記薄肉部を形成したのち、前記第2基板の表面を平滑洗浄する、前記(1)または(2)に記載の半導体装置の製造方法。

(4) 前記第1基板の端部に薄肉部を形成し、前記薄肉部を除去したのち、前記第1基板の基板全面を薄肉化する、前記(1)乃至(3)のいずれか1つに記載の半導体装置の製造方法。

(5) 前記保護膜は前記第1基板の全面に形成されている、前記(1)乃至(4)のいずれか1つに記載の半導体装置の製造方法。

(6) 前記保護膜は耐薬品性を有する材料によって形成されている、前記(1)乃至(5)のいずれか1つに記載の半導体装置の製造方法。

(7) 第1素子を有する第1基板の端部に薄肉部を形成する工程と、第2素子を有する第2基板の少なくとも端部にレーザを吸収しない保護膜を形成する工程と、前記第1素子と第2素子とを対向させて、前記第1基板および第2基板を張り合わせる工程と、前記第1基板の前記薄肉部をレーザにより選択的に除去する工程とを含む半導体装置の製造方法。(8) 前記第1基板の前記薄肉部を除去したのち、前記第1基板の基板全面を薄肉化する、前記(7)に記載の半導体装置の製造方法。

(9) 前記第1基板の薄肉部の除去はレーザマイクロジェットを用いる、前記(7)または(8)に記載の半導体装置の製造方法。

(10) 前記保護膜を、前記第1基板と、前記第2基板との貼り合わせる前

に前記第2基板の全面に形成する、前記（7）乃至（9）のいずれか1つに記載の半導体装置の製造方法。

（11）第1素子を有する第1基板と、第2素子を有する第2基板とを前記第1素子と第2素子とを対向させて張り合わせる工程と、前記第1基板の前記の端部を除く内部領域を薄肉化する工程と、前記第1基板の端部を除去する工程とを含む半導体装置の製造方法。

（12）前記第1基板と第2基板とを貼り合わせたのち、前記第2基板の端部に保護膜を形成する、前記（11）に記載の半導体装置の製造方法。

（13）前記第2基板の表面全面に保護膜を形成したのち、前記第1基板と第2基板とを貼り合わせる、前記（11）または（12）に記載の半導体装置の製造方法

（14）前記第1基板の内部領域を機械的研削によって薄肉化する、前記（11）乃至（13）のいずれか1つに記載の半導体装置の製造方法。

（15）前記第1基板の内部領域を化学的処理によって薄肉化する、前記（11）乃至（14）のいずれか1つに記載の半導体装置の製造方法。

[0079] 本出願は、日本国特許庁において2012年1月17日に出願された日本特許出願番号2012-007086号、日本特許出願番号2012-007087号、日本特許出願番号2012-007088号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0080] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 第1素子を有する第1基板と、第2素子を有する第2基板との素子形成面同士を対向させて張り合わせるごとと、
前記第2素子を有する第2基板の少なくとも端部に保護膜を形成することと、
前記第1基板を薄肉化することと
を含む半導体装置の製造方法。
- [請求項2] 前記第1基板および第2基板を張り合わせる前に、前記第2基板の端部に薄肉部を形成することと、前記薄肉部の形成により露出した前記第2基板の素子の側面および前記薄肉部の表面に前記保護膜を形成することとを含む、請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記第2基板に前記薄肉部を形成したのち、前記第2基板の表面を平滑洗浄する、請求項2に記載の半導体装置の製造方法。
- [請求項4] 前記第1基板の端部に薄肉部を形成し、前記薄肉部を除去したのち、前記第1基板の基板全面を薄肉化する、請求項1に記載の半導体装置の製造方法。
- [請求項5] 前記保護膜は前記第1基板の全面に形成されている、請求項1に記載の半導体装置の製造方法。
- [請求項6] 前記保護膜は耐薬品性を有する材料によって形成されている、請求項1に記載の半導体装置の製造方法。
- [請求項7] 第1素子を有する第1基板の端部に薄肉部を形成することと、
第2素子を有する第2基板の少なくとも端部にレーザを吸収しない保護膜を形成することと、
前記第1素子と第2素子とを対向させて、前記第1基板および第2基板を張り合わせるごとと、
前記第1基板の前記薄肉部をレーザにより選択的に除去することと
を含む半導体装置の製造方法。
- [請求項8] 前記第1基板の前記薄肉部を除去したのち、前記第1基板の基板全

面を薄肉化する、請求項 7 に記載の半導体装置の製造方法。

[請求項9] 前記第 1 基板の薄肉部の除去はレーザマイクロジェットを用いる、請求項 7 に記載の半導体装置の製造方法。

[請求項10] 前記保護膜を、前記第 1 基板と、前記第 2 基板との貼り合わせる前に前記第 2 基板の全面に形成する、請求項 7 に記載の半導体装置の製造方法。

[請求項11] 第 1 素子を有する第 1 基板と、第 2 素子を有する第 2 基板とを前記第 1 素子と第 2 素子とを対向させて張り合わせることと、
前記第 1 基板の前記の端部を除く内部領域を薄肉化することと、
前記第 1 基板の端部を除去することと
を含む半導体装置の製造方法。

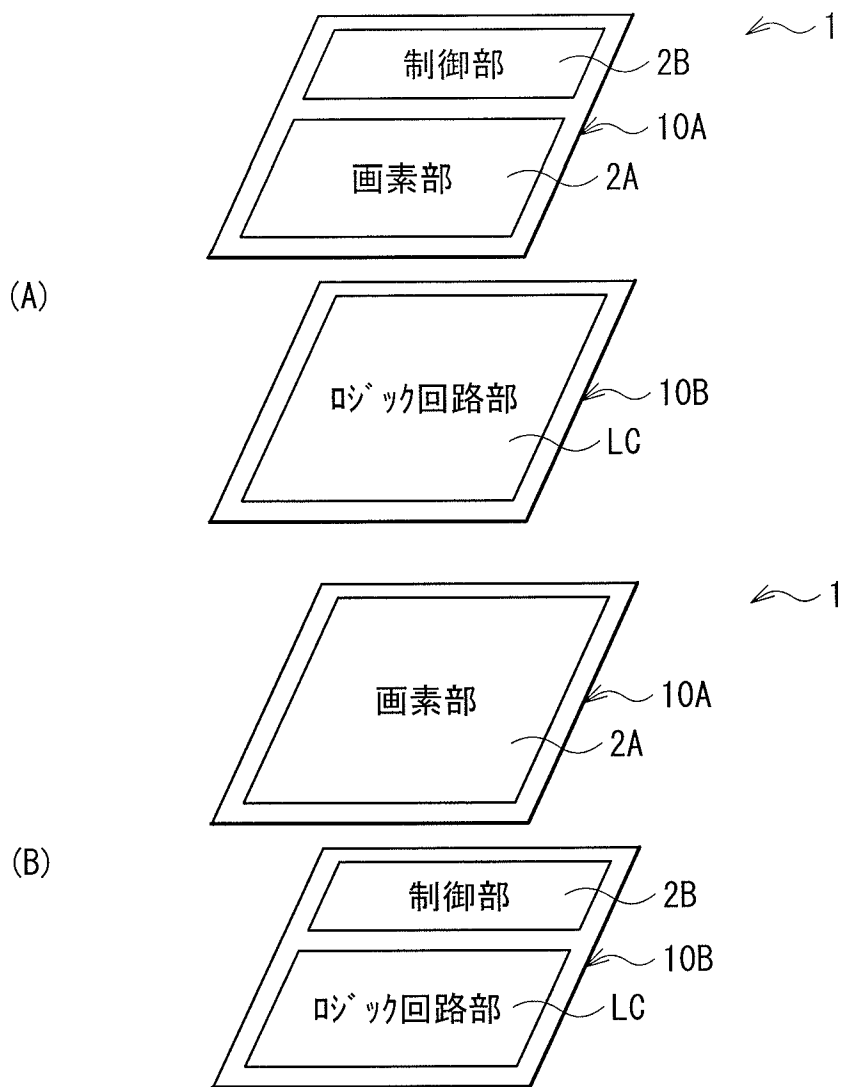
[請求項12] 前記第 1 基板と第 2 基板とを貼り合わせたのち、前記第 2 基板の端部に保護膜を形成する、請求項 1 1 に記載の半導体装置の製造方法。

[請求項13] 前記第 2 基板の表面全面に保護膜を形成したのち、前記第 1 基板と第 2 基板とを貼り合わせる、請求項 1 1 に記載の半導体装置の製造方法。

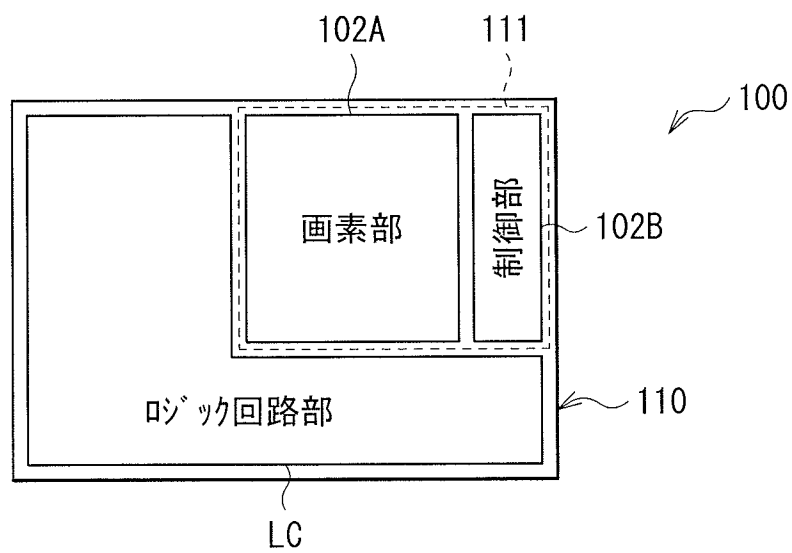
[請求項14] 前記第 1 基板の内部領域を機械的研削によって薄肉化する、請求項 1 1 に記載の半導体装置の製造方法。

[請求項15] 前記第 1 基板の内部領域を化学的処理によって薄肉化する、請求項 1 1 に記載の半導体装置の製造方法。

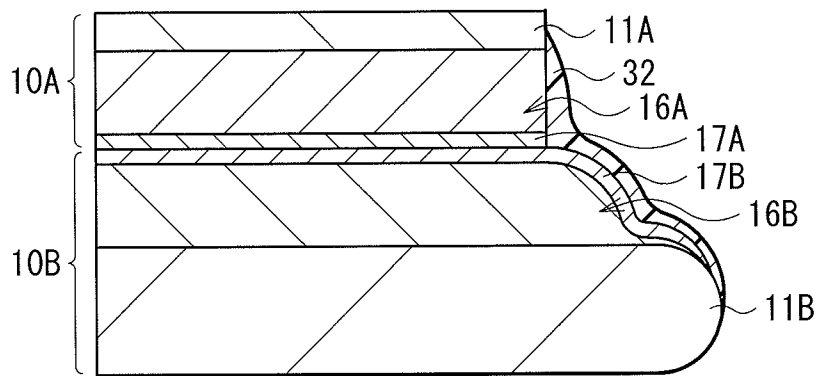
[図2]



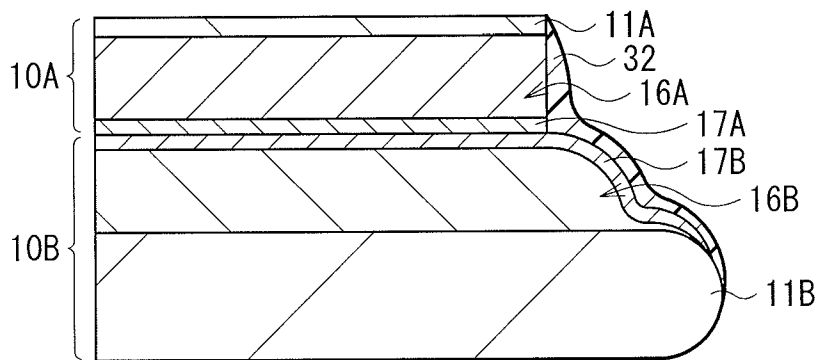
[図3]



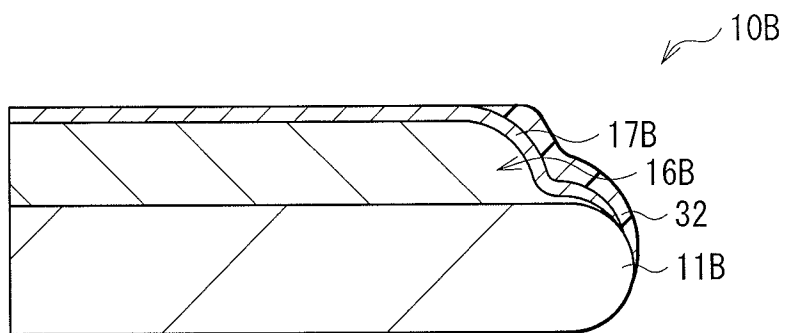
[図5B]



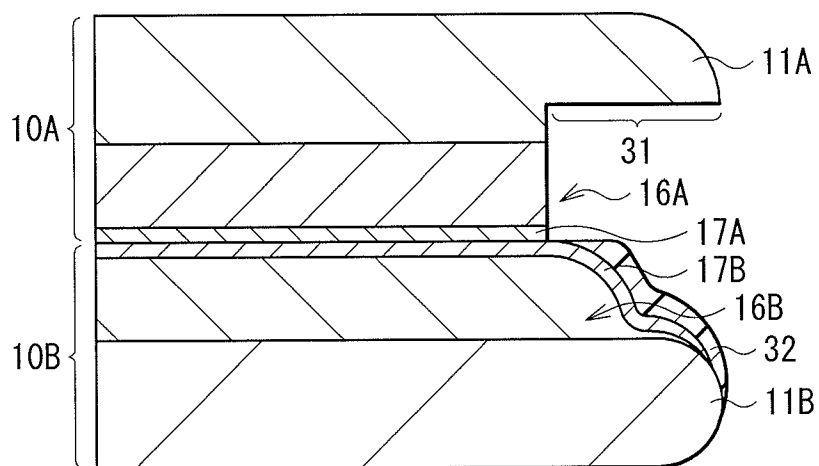
[図5C]



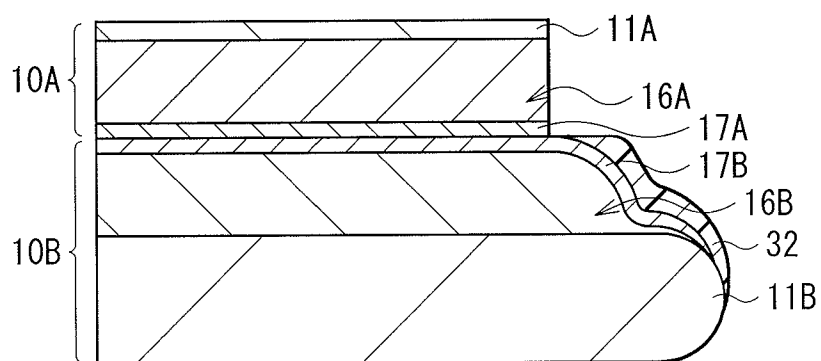
[図6A]



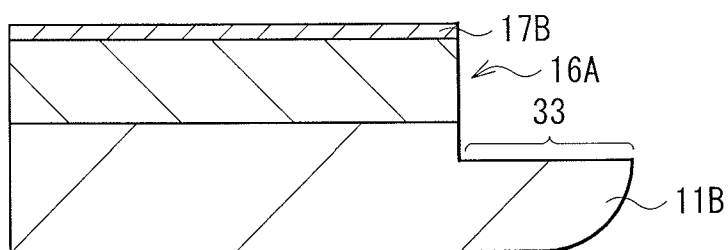
[図6B]



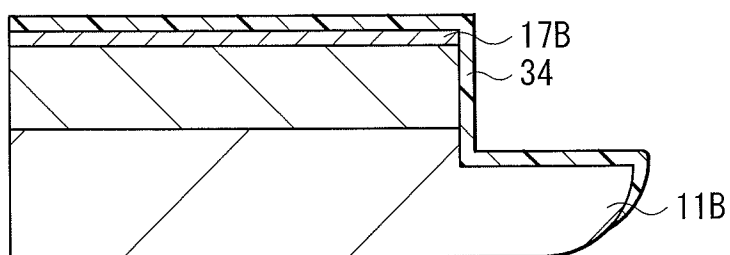
[図6C]



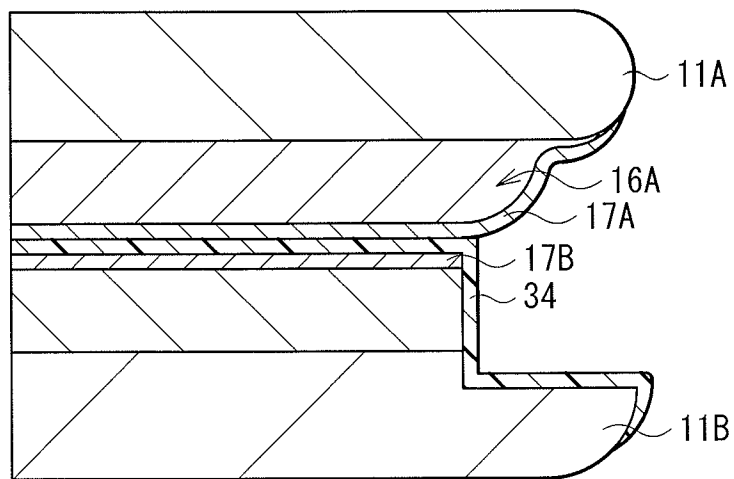
[図7A]



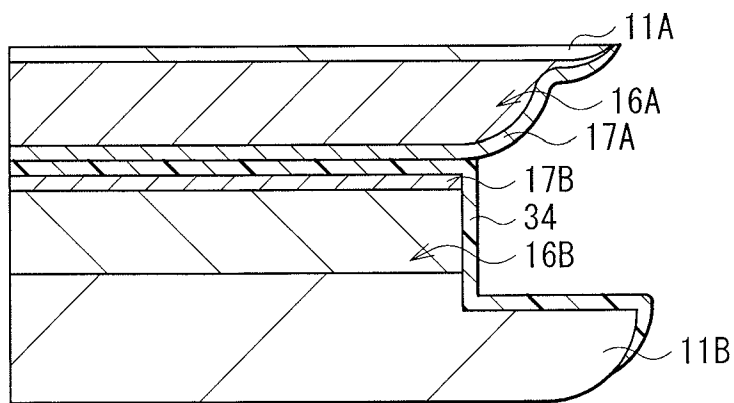
[図7B]



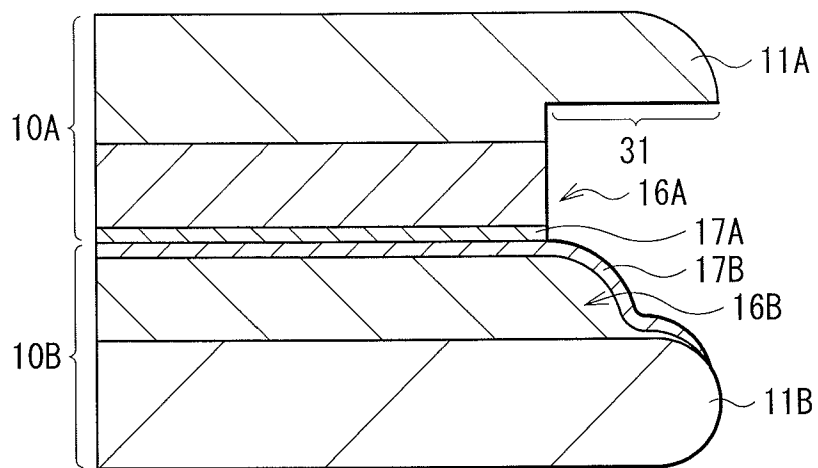
[図7C]



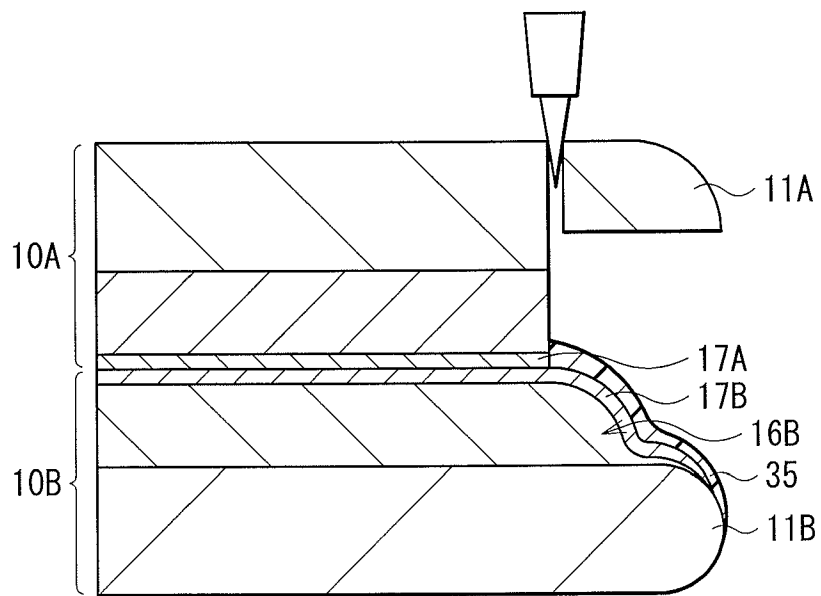
[図7D]



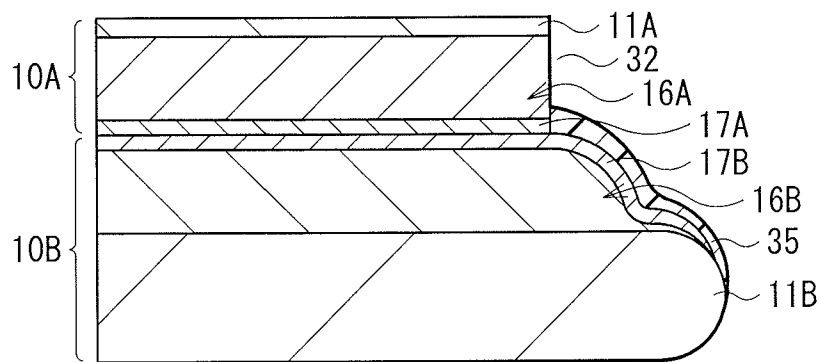
[図8A]



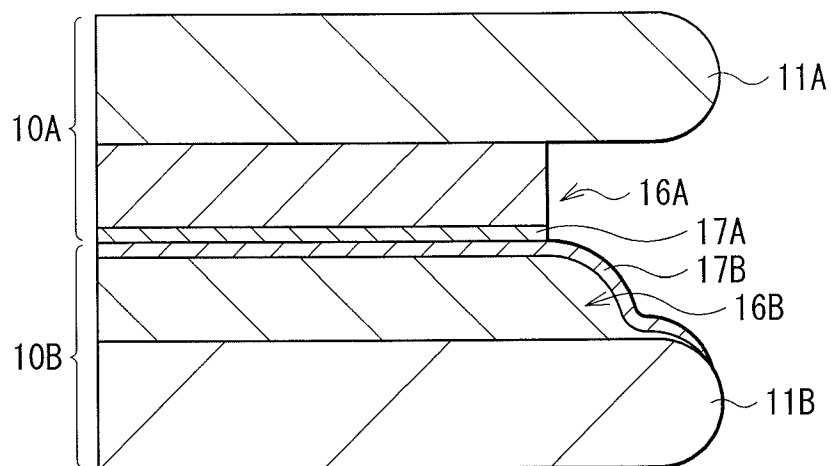
[図8B]



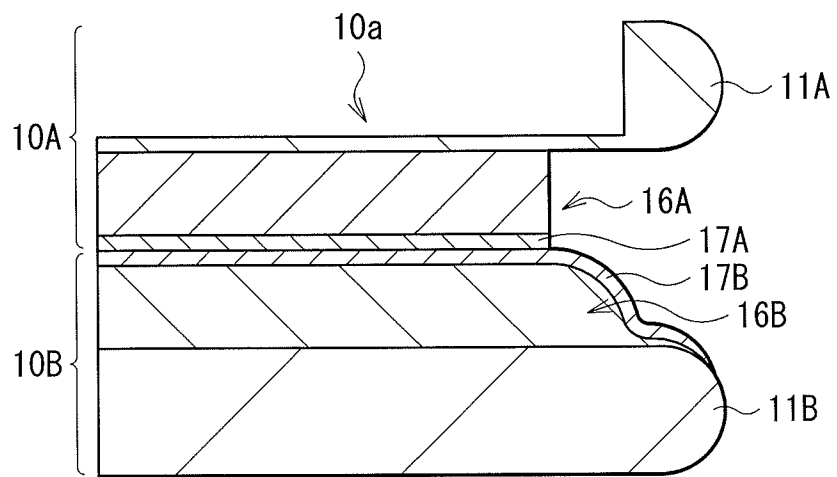
[図8C]



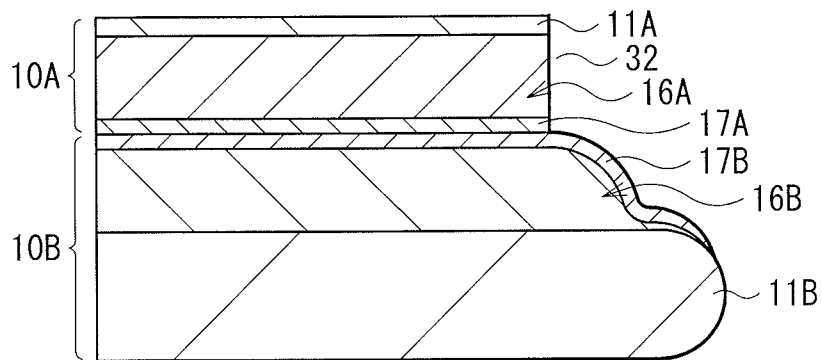
[図9A]



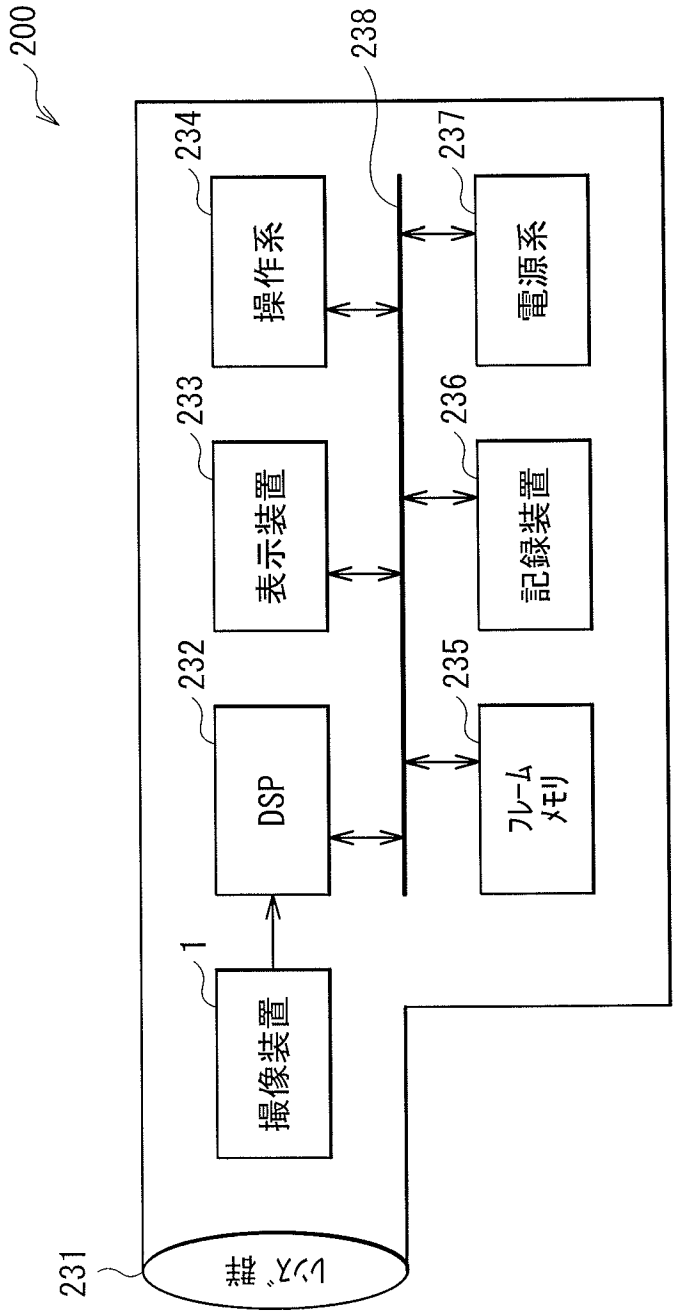
[図9B]



[図9C]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/050093

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/14(2006.01)i, H01L21/02(2006.01)i, H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i, H01L27/00(2006.01)i, H01L27/146(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/14, H01L21/02, H01L25/065, H01L25/07, H01L25/18, H01L27/00, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2005-322745 A (Sony Corp.), 17 November 2005 (17.11.2005), entire text; all drawings (Family: none)	1, 5, 6 2-4, 7-15
A	JP 2005-285988 A (Sony Corp.), 13 October 2005 (13.10.2005), entire text; all drawings & US 2005/0227403 A1 & KR 10-2006-0044445 A & TW 270981 B	1-15
A	JP 2012-9725 A (Toshiba Corp.), 12 January 2012 (12.01.2012), entire text; all drawings & US 2011/0317050 A1 & TW 201210008 A	1-15

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
04 April, 2013 (04.04.13)

Date of mailing of the international search report
16 April, 2013 (16.04.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/050093

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-234725 A (Sony Corp.), 13 September 2007 (13.09.2007), entire text; all drawings (Family: none)	1-15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/050093

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention of claim 1 does not have a special technical feature, since the invention of claim 1 is relevant to an invention disclosed in JP 2005-322745 A (Sony Corp.), 17 November 2005 (17.11.2005).

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L27/14(2006.01)i, H01L21/02(2006.01)i, H01L25/065(2006.01)i, H01L25/07(2006.01)i,
H01L25/18(2006.01)i, H01L27/00(2006.01)i, H01L27/146(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L27/14, H01L21/02, H01L25/065, H01L25/07, H01L25/18, H01L27/00, H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2005-322745 A (ソニー株式会社) 2005.11.17, 全文, 全図 (ファミリーなし)	1, 5, 6
A		2-4, 7-15
A	JP 2005-285988 A (ソニー株式会社) 2005.10.13, 全文, 全図 & US 2005/0227403 A1 & KR 10-2006-0044445 A & TW 270981 B	1-15
A	JP 2012-9725 A (株式会社東芝) 2012.01.12, 全文, 全図 & US 2011/0317050 A1 & TW 201210008 A	1-15

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 4 . 0 4 . 2 0 1 3

国際調査報告の発送日

1 6 . 0 4 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柴山 将隆

5 F

3 0 3 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-234725 A (ソニー株式会社) 2007.09.13, 全文, 全図 (ファミリーなし)	1-15

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1に係る発明は、JP 2005-322745 A（ソニー株式会社）2005. 11. 17に記載された発明であるから、請求項1に係る発明は特別な技術的特徴を有さない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。