

# 公告本

|      |            |
|------|------------|
| 申請日期 | 89.6.29    |
| 案 號  | 89112863   |
| 類 別  | G11C 1/407 |

A4  
C4

(以上各欄由本局填註)

## 發明專利說明書 480486

|             |               |                                                                            |
|-------------|---------------|----------------------------------------------------------------------------|
| 一、發明<br>名稱  | 中 文           | 具有在高速運作之管線暫存器之半導體記憶裝置                                                      |
|             | 英 文           | "SEMICONDUCTOR MEMORY DEVICE HAVING PIPE REGISTER OPERATING AT HIGH SPEED" |
| 二、發明<br>創作人 | 姓 名           | 沈榮輔                                                                        |
|             | 國 籍           | 南韓                                                                         |
|             | 住、居所          | 韓國京畿道利川市夫鉢邑牙美里山136-1                                                       |
| 三、申請人       | 姓 名<br>(名稱)   | 韓商現代電子產業股份有限公司                                                             |
|             | 國 籍           | 南韓                                                                         |
|             | 住、居所<br>(事務所) | 韓國京畿道利川市夫鉢邑牙美里山136-1                                                       |
|             | 代 表 人<br>姓 名  | 鄭東洙                                                                        |

(由本局填寫)

|           |
|-----------|
| 承辦人代碼：    |
| 大 類：      |
| I P C 分類： |

A6  
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

南韓 1999年06月28日 99-24955 ☐有 ☒無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 ( 1 )

發明範疇

本發明係關於一種半導體記憶裝置；更特定地說，係關於一種同步半導體記憶裝置，具有一管線暫存器，使用一管線結構在高速儲存及輸出資料。

先前技藝說明

在一讀取操作中，一同步記憶裝置暫時儲存資料到一暫時儲存單元，然後在與一外部時脈同步的情況下透過一資料輸出腳位而輸出資料。此暫時儲存單元稱為一管線暫存器。

圖1所示為一具有習用管線暫存器的一同步記憶裝置的架構圖。

請參考圖1，同步記憶裝置包含複數個管線暫存器，每個皆耦合至4對整體I/O線及互補整體I/O線。藉由結合4對的信號，即產生一通用預校信號PFETCH [0:2]。管線暫存器耦合於8條整體I/O線及互補整體I/O線，其由一整體預校信號PFETCH [0:2]所共同控制。

如圖1所示，一預校信號產生器100，其耦合於4對整體I/O線及互補整體I/O線GIO<4>，GIOZ<4>，GIO<5>，GIOZ<5>，GIO<6>，GIOZ<6>，GIO<7>，GIOZ<7>。

一預校信號產生器110，其耦合於4對整體I/O線及互補整體I/O線GIO<12>，GIOZ<12>，GIO<13>，GIOZ<13>，GIO<14>，GIOZ<14>，GIO<15>，GIOZ<15>。管線暫存器120到127係個別耦合於整體I/O線及互補整體I/O線GIO<0>及GIOZ<0>，GIO<1>及GIOZ<1>，GIO<2>及GIOZ<2>，

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

經濟部智慧財產局員工消費合作社印製

五、發明說明 ( 2 )

GIO<3> 及 GIOZ<3> , GIO<4> 及 GIOZ<4> , GIO<5> 及 GIOZ<5> , GIO<6>及GIOZ<6> , GIO<7>及GIOZ<7> , 並由預校信號產生器100接收整體預校信號PRETCH [0:2] 。

管線暫存器128到135, 則個別地耦合於4對整體I/O線及互補整體I/O線GIO<8>及GIOZ<8> , GIO<9>及GIOZ<9> , GIO<10> , GIOZ<10> , GIO<11> , GIOZ<11> , GIO<12> , GIOZ<12> , GIO<13> , GIOZ<13> , GIO<14> , GIOZ<14> , GIO<15> , GIOZ<15> , 並由預校信號產生器110接收整體預校信號PRETCH [0:2] 。

資料輸出緩衝器136到151係個別地耦合於管線暫存器120到135的輸出端。

一管線計數器160產生一管線計數信號POCNT到管線暫存器128到135。此時, 資料輸出係由管線計數信號POCNT控制。

在如此的同步記憶裝置中, 每一個整體I/O線及互補整體I/O線上的資料皆由於其負載不同而有不同的偏斜。因此, 整體預校信號PFETCH[0:2]的脈衝寬度必須加寬到整體I/O線及互補整體I/O線之間的偏斜量。

如此一來, 習用的同步記憶裝置很難在高速之下門鎖資料到管線暫存器, 如果此預校信號PFETCH[0:2]具有一寬的脈衝寬度。

圖2所示為習用管線暫存器的電路圖。此習用管線暫存器包含3個儲存單元200, 210及220。

如圖2所示, 因為習用管線暫存器根據一清除信號CL1而

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

經濟部智慧財產局員工消費合作社印製

五、發明說明 ( 3 )

清除儲存在儲存單元200中的資料，增加了循環時間，所以很難在同步記憶裝置中高速運作。

發明總結

因此，本發明的目的即在於提出一種具有一管線暫存器的同步記憶裝置，其使用一管線結構而在高速下儲存及輸出資料。

根據本發明的角度，其提供一種用於半導體記憶裝置的管線暫存器，其中該半導體記憶裝置包含整體輸入/輸出(I/O)線，互補整體I/O線，即管線暫存器，耦合於該整體I/O線及該互補整體I/O線，用以偵測載入到該整體I/O線及互補整體I/O線的資料，並儲存資料，該管線暫存器包含：  
一資料偵測單元，其耦合於該整體I/O線及互補整體I/O線，用以偵測是否有資料載入到整體I/O線及互補整體I/O線；  
一控制信號產生單元，用以感測載入到整體I/O線及互補整體I/O線上的資料邊緣，而產生一上昇邊緣感測信號，及一下降邊緣感測信號；  
以及複數個儲存單元，用以根據一重置信號，下降邊緣感測信號及上昇邊緣感測信號，而儲存載入到該整體I/O線及該互補整體I/O線上的資料，並根據由該管線計數裝置輸出的管線計數信號來輸出資料。

圖式簡單說明：

本發明的其它目的及角度，皆可藉由參考所附圖面及後續一較佳具體實施例的相關說明，而更加瞭解，其中：

圖1所示為一具有習用管線暫存器的同步記憶裝置的架構圖；

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明 ( 4 )

圖2所示為一習用管線暫存器的電路圖；

圖3所示為根據本發明的一具體實施例的一具有管線暫存器的同步記憶裝置的方塊圖；

圖4所示為圖3中管線暫存器的電路圖；

圖5A及5B所示為圖4中一管線暫存器中的信號時序圖。

### 較佳具體實施例說明

圖3為根據本發明的一具有管線暫存器的同步記憶裝置的方塊圖。

如圖3所示，根據本發明的同步記憶裝置包含管線暫存器，其直接耦合於一整體I/O線及一互補整體I/O線，而不使用一額外的預校信號產生器。

也就是說，管線暫存器300係直接耦合於一整體I/O線GIO<0>，及一互補整體I/O線GIOZ<0>，而管線暫存器301則直接耦合於一整體I/O線GIO<1>，及一互補整體I/O線GIOZ<1>。以相同的方式，其它的管線暫存器302到315係個別地耦合於相關的用I/O線GIO<0>，及互補整體I/O線。

圖4為圖3所示的管線暫存器的電路圖。圖5A及5B為根據本發明的管線暫存器的時序圖。

如圖示，根據本發明的管線暫存器包含4個儲存單元400，410，420及430，其能夠支援一欄位址閃切(column address strobe, CAS)遲滯最高到4個區塊。4個儲存單元400，410，420及430係耦合於整體I/O線GIO及互補整體I/O線GIOZ，所以讀取的資料會轉換到管線暫存器。此時，整體I/O線GIO及互補整體I/O線GIOZ由一高位準的預充狀態

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

五、發明說明 ( 5 )

來維持，而資料則是在一低位元的狀態下載入到整體 I/O 線及互補整體 I/O 線。

此外，根據本發明的管線暫存器包含一資料偵測器 440，其耦合於整體 I/O 線 GIO 及互補整體 I/O 線 GIOZ。資料偵測器 440 會偵測是否已將資料載到整體 I/O 線 GIO 及互補整體 I/O 線 GIOZ 上。

資料偵測器 440 包含一 NAND 閘 441，一延遲單元 442，一 NOR 閘 443，及一 NAND 閘 444。

NAND 閘 441 具有一耦合於整體 I/O 線 GIO 及互補整體 I/O 線 GIOZ 的輸入端。NAND 閘 441 偵測是否有資料載入到整體 I/O 線 GIO 及互補整體 I/O 線 GIOZ。

延遲單元 442 係耦合於 NAND 閘 441 的輸出端。延遲單元 442 即反向並延遲 NAND 閘 441 的輸出信號一段預定的時間。

NOR 閘 443 根據來自 NAND 閘 441 的輸出信號及來自延遲單元 442 的輸出信號，而偵測載入到整體 I/O 線 GIO 及互補整體 I/O 線 GIOZ 的資料下降邊緣，並產生一偵測下降邊緣 (DFE) 信號，做為一低啓動信號。

NAND 閘 444 根據來自 NAND 閘 441 的輸出信號及來自延遲單元 442 的輸出信號，而偵測載入到整體 I/O 線 GIO 及互補整體 I/O 線 GIOZ 的資料上昇邊緣，並產生一偵測上昇邊緣 (DFE) 信號。

輸出自資料偵測器 440 的 DRE 及 DFE 信號，係轉送到 4 個儲存單元 400 到 430。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明 ( 6 )

此時，當一重置信號RESET在一啓始讀取操作中輸入到4個儲存單元400到430時，所有儲存在儲存單元400到430中的資料皆被刪除，而第一儲存單元400的選擇信號SEL[0]係被致能於一低位準。

一管線計數信號PCONT[3:0]是一種信號，用以連續地輸出儲存在儲存單元400到430的資料到一資料輸出緩衝器，並與一預定的CAS遲滯的時脈循環同步。

以下將詳細說明儲存單元400到430的結構。

第一儲存單元400包含一第一門鎖電路40，其由兩個反向器構成，一第二門鎖電路41，用以儲存資料到一儲存節點PZ[0]。一選擇信號除能單元偵測在第一門鎖電路40及第二門鎖電路41中的資料，並產生一選擇信號SEL[0]，而用以除能選擇電晶體408及409。

一選擇信號致能單元輸出一選擇信號SEL[0]，用以根據一DRE信號，一控制信號CL[0]及儲存在先前儲存單元430中的資料，而致能選擇電晶體408及409。

PMOS電晶體45及46係在一電源端及選擇電晶體408及409。每個PMOS電晶體45及46的閘皆耦合於整體I/O線GIO及互補整體I/O線GIOZ。

一初始重置單元根據在一初始模式下的一重置信號RESET而清除儲存在第一門鎖電路40及第二門鎖電路中的資料，並致能一選擇信號SEL[0]，所以第一門鎖電路40及第二門鎖電路41接收承載在整體I/O線GIO及互補整體I/O線GIOZ。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 7 )

一清除單元根據DFE信號及儲存單元430的一選擇信號SEL[3]，而清除承載在第一閘鎖電路40及第二閘鎖電路41的儲存節點P[0]及PZ[0]上的資料。

一輸出驅動單元50A及50B根據儲存在第一及第二閘鎖電路40及41，及管路計數信號POCNT[0]，而驅動輸出信號PU及PD。

選擇電晶體408及409係分別耦合於PMOS電晶體45及46，及儲存單元P[0]及PZ[0]之間，而每個閘接收此選擇信號SEL[0]。

選擇信號除能單元包含一NAND閘404，其具有一輸入端，耦合於第一及第二閘鎖電路40及41，奇數個反向器405到407，用以反向NAND閘404的輸出信號，而輸出控制信號CL[0]，一PMOS電晶體PM1，用以根據控制信號CL[0]而升壓選擇信號SEL[0]，其中一個端點係耦合於電源端及閘來接收控制信號CL[0]。

選擇致能單元包含一NAND閘43，用以NAND運算控制信號CL[0]，DRE信號及第四儲存單元430的輸出信號DP[3]，一反向器44，用以反向NAND閘43的輸出信號，以及一NMOS電晶體NM1根據反向器44的輸出信號OP[0]來升壓選擇信號SEL[0]。NMOS電晶體NM1係耦合於一PMOS電晶體PM1的汲極，與一接地端子之間，其閘係接收反向器44的輸出信號OP[0]。

在初始重置單元中，一NMOS電晶體401之閘接收重置信號RESET，係耦合於儲存節點P[0]及接地端之間。一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ( 8 )

NMOS電晶體402之閘接收重置信號RESET，係耦合於儲存節點PZ[0]及接地端之間。一NMOS電晶體403之閘接收重置信號RESET，係耦合於選擇信號SEL[0]及接地端。

在清除單元中，DFE信號及選擇信號SEL[3]由NOR閘47進行NOR運算。一NMOS電晶體48之閘接收NOR閘47的輸出信號，並耦合於儲存節點P[0]及接地端之間。一NMOS電晶體49之閘接收NOR閘47的輸出信號，並耦合於儲存節點PZ[0]及接地端。

輸出驅動單元包含一第一驅動單元50A，用以驅動管線暫存器的輸出信號PU，及一第二驅動單元50B，用以驅動管線暫存器的輸出信號PD。

第一驅動單元50A包含一PMOS電晶體，其閘接收一儲存節點P[0]的反向信號，一PMOS電晶體其閘接收反向的管線計數信號POCNT[0]，一NMOS電晶體其閘接收管線計數信號POCNT[0]，及一NMOS電晶體其閘接收一儲存節點PZ[0]的信號。此時，PMOS電晶體及NMOS電晶體係串聯並耦合於電源端與接地端之間。

第二驅動單元50B包含一PMOS電晶體，其閘接收儲存節點PZ[0]的反向信號，一PMOS電晶體其閘接收反向管線計數信號POCNT[0]，一NMOS電晶體其閘接收管線計數器訊號POCNT[0]，一NMOS電晶體其閘接收儲存節點P[0]的信號。PMOS電晶體及NMOS電晶體係串聯耦合於電源端與接地端之間。

儲存節點410到430具有相同的結構及操作做為第一儲存

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

五、發明說明( 9 )

單元 400，除了包含在初始重置單元中的 NMOS 電晶體 403。

本發明的操作將參考圖 4，5A 及 5B 來加以詳細說明。

首先，假設整體 I/O 線 GIO 及互補整體 I/O 線 GIOZ，係預充在高位準的狀態，而第一到第四儲存單元 400 到 430 的選擇信號 SEL[0]，SEL[1]，SEL[2] 及 SEL[3] 皆被保持在高位準狀態。

如果讀取操作啓始後(500，見圖 5A)，一高位準的重置信號 RESET 被施加於管線暫存器。NMOS 電晶體 401，411，421 及 431 根據重置信號 RESET 而被開啓，所以第一到第四儲存單元 400 到 430 的儲存節點 P[0]，P[1]，P[2]，及 P[3] 皆重置到低位準。以類似的方式，NMOS 電晶體 402，412，422 及 432 皆根據一高位準的重置信號 RESET 而被開啓，所以第一到第四儲存單元 400 到 430 的儲存節點 PZ[0]，PZ[1]，PZ[2] 及 PZ[3] 皆重置到一低位準(圖 5A 中的 500)。

接著，包含於第一儲存單元的 NMOS 電晶體 403，根據一高位準的重置信號 RESET 而被開啓，而第一儲存單元 400 的選擇信號 SEL[0] 則因 NMOS 電晶體 403 的開啓被換到一低位準，所以第一儲存單元 400 即被致能(圖 5A 中的 501)。

然後，如果由記憶胞讀出的資料載入到整體 I/O 線 GIO 及互補整體 I/O 線 GIOZ，整體 I/O 線 GIO 的位準則改到低位準，而互補 I/O 線 GIOZ 的位準則維持在高位準。接著，PMOS 電晶體 45 被開啓，所以，第一儲存單元 400 的儲存節點 P[0] 被閉鎖在高位準，並根據選擇信號 SEL[0] 被致能，

五、發明說明 ( 10)

儲存節點PZ[0]則維持在低位準(圖5A中的502)。同時，資料偵測器440感測到承載於整體I/O線GIO及互補整體I/O線GIOZ的資料，而產生一低位準的DFE信號(圖5A中的503)。

然後，NOR閘413接收一低位準的DFE信號及一低位準的選擇信號SEL[0]，來產生一高位準的信號RS[1](圖5中的504)，而NMOS電晶體414及415則根據一高位準的RS[1]信號被開啓。因此，第二儲存單元410的儲存節點P[0]及PZ[1]則被清除到一低位準的狀態。也就是說，NOR閘413清除儲存在第二儲存單元410內的資料，以回應DFE訊號和選擇訊號SEL[0]。

接下來，NAND閘404接收儲存節點P[0]的高位準訊號以及儲存節點PZ[0]的低位準訊號，產生高位準的訊號DP[0](圖5B內的505)和低位準的控制訊號CL[0]。然後，PMOS電晶體PM1會啓動以回應低位準的控制訊號CL[0]，並且第一儲存單元400的選擇訊號SEL[0]會改變成高位準(圖5A內的506)，如此PMOS電晶體408和409會關閉。也就是說，NAND閘40及三個反向器405到407偵測到關於第一儲存單元400的儲存操作完成，並將第一儲存單元400除能。因此，儲存節點P[0]及儲存節點PZ[0]皆分別維持在一高位準及低位準狀態，直到被清除為止。

接下來，當整體I/O線GIO被切換到一高位準時，資料偵測器404感測到整體I/O線GIO的位準變化，並產生一高位準的DRE信號(圖5A中的507)。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 ( 11)

一高位準的DRE信號，一高位準的信號DP[0]，及一高位準的控制信號CL[1]係以NAND閘416進行NAND運算，由NAND閘416輸出的信號則透過反向器417進行反向。因此，一高位準的信號OP[0]則透過反向器417輸出。

NMOS電晶體NM42根據一高位準的信號OP[0]被開啓，所以第二儲存單元410的選擇信號SEL[1]則被驅動到一低位準(圖5A中的508)。因此，PMOS電晶體418及419被開啓，並由此預備好儲存一第二資料到整體I/O線GIO及互補整體I/O線GIOZ。

然後，當第二資料被載入整體I/O線GIO及互補I/O線GIOZ時，意即整體I/O線GIO維持在一高位準，而互補整體I/O線GIOZ則變換到一低位準，PMOS電晶體51則被開啓。然後，第二儲存單元410的儲存節點PZ[1]則被門鎖為一高位準，並根據選擇信號SEL[1](圖5A中的509)而被致能，同時資料偵測器440也產生一低位準的DFE信號(圖5A中的510)。

NOR閘423接收一低位準的DFE信號及一低位準的選擇信號SEL[1]，來產生一高位準的信號RS[2](圖5中的511)，NMOS電晶體424及425則根據一高位準的信號RS[2]而被開啓。因此，第三儲存單元420的儲存節點P[2]及PZ[2]則被清除到一低位準的狀態。也就是說，NOR閘423係根據DFE信號及選擇信號SEL[1]來清除在第三儲存單元420中的資料。

接下來，NAND閘414接收儲存節點PZ[1]的高位準信

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

五、發明說明 ( 12 )

號，及儲存節點P[1]的低位準信號，並產生一高位準的信號DP[1](圖5B中的515)，及一低位準的控制信號CL[1]。然後，PMOS電晶體PM2根據一低位準的控制信號CL[1]而被開啓，而第二儲存單元410的選擇信號SEL[1]被改到一高位準(圖5A中的5136)，所以PMOS電晶體418及419就被關閉。也就是說，NAND閘41及三個反向器42，43及44偵測到關於第二儲存單元410儲存操作完成，並將第二儲存單元410除能。因此，儲存節點PZ[1]及儲存節點P[1]係分別維持在一高位準及一低位準，直到它們被清除為止。

然後，當互補整體I/O線GIOZ的位準被切換到一高位準，資料偵測器404感測到互補整體I/O線GIOZ的位準變換，而產生一高位準的DRE信號(圖5A中的501)。

一高位準的DRE信號，一高位準的信號DP[1]，及一高位準的控制信號CL[2]係透過NAND閘52進行NAND運算，而NAND閘52的輸出信號即透過反向器53進行反向。如此一來，一高位準的信號OP[2]則透過反向器53輸出。

NMOS電晶體54根據一高位準的信號OP[2]而被開啓，所以第三儲存單元420的選擇信號SEL[2]被驅動至一低位準(圖5A中的515)。因此，PMOS電晶體55及53被開啓，因此，即可儲存一第三資料到整體I/O線GIO及互補整體I/O線GIOZ。

如第一及第二資料相同的方法，假如第三資料及第四資料係連續地載入到整體I/O線GIO及互補整體I/O線GIOZ，第三及第四資料則分別儲存到第三及第四儲存單元。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

五、發明說明 ( 13 )

如果當CAS遲滯為3，管線計數信號POCNT[0]則換到一高位準，而儲存的資料則透過包含於第一儲存單元400的輸出驅動單元50A及50B而輸出到資料輸出緩衝器。也就是說，根據儲存節點P[0]的一高位準信號及儲存節點PZ[0]的一低位準信號，一高位準的輸出信號PU及一低位準的輸出信號PD則轉換到資料輸出緩衝器(圖5B中的516)，然後載入到整體I/O線GIO及互補整體I/O線GIOZ的資料被儲存於第三儲存單元420。

然後，在下一時脈，管線計數信號POCNT[0]被改變到一低位準，所以第一儲存單元400的輸出驅動單元50A及50B即被除能。同時，來自管線計數器的管線計數信號POCNT[1]即被切換到一高位準，所以儲存在第二儲存單元410的資料即透過第二儲存單元410的輸出驅動單元51A及51B而轉換到資料輸出緩衝器。資料連續地載入到整體I/O線GIO及互補整體I/O線GIOZ，並儲存於第四儲存單元430。

然後，在下一時脈，管線計數信號POCNT[1]則被改到一低位準，所以第二儲存單元410的輸出驅動單元51A及51B即被除能。同時，來自管線計數器的管線計數信號POCNT[2]被改變到一高位準，所以儲存在第三儲存單元420的資料即透過第三儲存單元420的輸出52A及52B轉換到資料輸出緩衝器。資料連續地載入到整體I/O線GIO及互補整體I/O線GIOZ，並儲存於第一儲存單元400。

如上所述，根據循環的改變，儲存在儲存單元的資料係

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

五、發明說明 ( 14 )

根據管線計數信號而輸出到資料輸出緩衝器，而資料另可根據CAS遲滯而儲存到儲存單元。

由此，藉由構建具有四個儲存單元的管線暫存器，如果資料被載入到整體I/O線及互補整體I/O線，載入的資料即被感測到，並儲存到四個儲存單元之一。

同樣地，下一個儲存單元即根據CAS遲滯而被清除，所以下一個資料即儲存到下一個儲存單元。

當本發明已藉由特定的具體實施例加以說明，對本技藝的專業人士而言，可以瞭解到可在不背離定義在下述申請專利範圍中的發明範圍之下，進行不同的改變及修正。

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要 (發明之名稱：具有在高速運作之管線暫存器之半導體記憶裝置)

一種半導體記憶裝置所使用的管線暫存器，其中該半導體記憶裝置包含整體輸入/輸出(I/O)線，互補整體I/O線，及管線暫存器，其耦合於該整體I/O線及該互補整體I/O線，用以偵測載入到該整體I/O線及互補整體I/O線的資料，並儲存資料，該管線暫存器包含：一資料偵測單元，其耦合於該整體I/O線及互補整體I/O線，用以偵測是否有資料載入到整體I/O線及互補整體I/O線；一控制信號產生單元，用以感測載入到整體I/O線及互補整體I/O線上的資料邊緣，而產生一上昇邊緣感測信號，及一下降邊緣感測信號；複數個儲存單元，用以根據一重置信號，下降邊緣感測信號及上昇邊緣感測信號，而儲存載入到該整體I/O線及該互補整體I/O線上的資料，並根據由該管線計數單元輸出的管線計數信號而輸出資料。

英文發明摘要 (發明之名稱： "SEMICONDUCTOR MEMORY DEVICE HAVING PIPE REGISTER OPERATING AT HIGH SPEED")

A pipe register for use in a semiconductor memory device, wherein said semiconductor memory device includes global input/output (I/O) lines, complementary global I/O lines, and pipe registers, coupled to said global I/O lines and said complementary global I/O lines, for detecting the data loaded on said global I/O lines and complementary global I/O lines to store the data, includes: a data detecting unit, coupled to said global I/O lines and complementary global I/O lines, for detecting whether the data is loaded on said global I/O lines and complementary global I/O lines; a control signal generating unit for sensing edges of the data loaded on the global I/O line and the complementary global I/O line to generate a rising edge sensing signal and a falling edge

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要 (發明之名稱： )

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要 (發明之名稱： )

sensing signal; and a plurality of storage units for storing the data loaded on said global I/O lines and said complementary global I/O lines in response to a reset signal, the falling edge sensing signal and the rising edge sensing signal and for outputting the data in response to the pipe counter signal outputted from said pipe counting unit.

## 六、申請專利範圍

1. 一種在高速輸出資料的半導體記憶體裝置，其包含：  
整體輸入/輸出(I/O)線；  
互補整體I/O線；及  
管線暫存器，其耦合於該整體I/O線及該互補整體I/O線，用以偵測載入到該整體I/O線及該互補整體I/O線的資料，並將資料儲存起來。
2. 如申請專利範圍第1項之半導體記憶體裝置，更包含：  
一管線計數裝置，用以產生一管線計數信號來控制儲存在該管線暫存器中資料序列，其中每個該管線暫存器根據管線計數信號來輸出資料。
3. 一種用於半導體記憶裝置的管線暫存器，其中該半導體記憶裝置包含整體輸入/輸出(I/O)線，互補整體I/O線，及管線暫存器，其耦合於該整體I/O線及該互補整體I/O線，用以偵測載入到該整體I/O線及互補整體I/O線的資料，並將資料儲存起來，該管線暫存器包含：  
一資料偵測裝置，其耦合於該整體I/O線及互補整體I/O線，用以偵測是否資料是載入到該整體I/O線及互補整體I/O線；  
一控制信號產生裝置，用以感測載入到其耦合於該整體I/O線及互補整體I/O線的資料邊緣，並產生一上昇邊緣感測信號及一下降邊緣感測信號；及  
複數個儲存裝置，用以根據一重置信號，下降邊緣感測信號，及上昇邊緣感測信號而儲存載入到該整體I/O線及互補整體I/O線上的資料，並用以根據由該管線

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

計數裝置的管線計數信號而輸出資料。

4. 如申請專利範圍第3項之管線暫存器，其中每個儲存裝置包含：

一第一門鎖電路，用以根據一選擇信號而儲存載入到該整體I/O線的資料；

一第二門鎖電路，用以根據選擇信號而儲存載入到該互補整體I/O線的資料；

一重置電路，用以藉由降低儲存在該第一及第二門鎖電路的資料來重置資料；

一選擇信號產生電路，其耦合於第一及第二門鎖電路，用以根據上昇邊緣感測信號及一第一控制信號來產生選擇信號；

一清除電路，用以根據下降邊緣感測信號及選擇信號來清除儲存在該第一及第二門鎖電路；及

一驅動電路，用以根據儲存在該第一及第二門鎖電路，及輸出自該管線計數裝置的管線計數信號，來驅動一輸出信號。

5. 如申請專利範圍第4項之管線暫存器，其中該第一門鎖電路包含：

一升壓裝置，用以根據載入到該整體I/O線及選擇信號，而升壓一第一儲存節點；及

一資料儲存裝置耦合於第一儲存節點。

6. 如申請專利範圍第5項之管線暫存器，其中該升壓裝置包含：

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

六、申請專利範圍

- 一 第一PMOS電晶體，耦合一電源端及第一儲存節點之間，其中該第一PMOS電晶體具有一閘終端而耦合於該整體I/O線及互補整體I/O線之一；及
  - 一 第二PMOS電晶體，用以接收選擇信號。
7. 如申請專利範圍第5項之管線暫存器，其中該資料儲存裝置包含：
- 一 第一反向器，具有一輸入端耦合於第一儲存節點；及
  - 一 第二反向器，具有一輸入端耦合於第一反向器的輸出端，及一輸出端第一反向器的輸入端。
8. 如申請專利範圍第4項之管線暫存器，其中該第二門鎖電路包含：
- 一 升壓裝置，用以根據載入到該互補整體I/O線及選擇信號，而升壓一第二儲存節點；及
  - 一 資料儲存裝置耦合於第二儲存節點。
9. 如申請專利範圍第8項之管線暫存器，其中該升壓裝置包含：
- 一 第一PMOS電晶體，耦合於一電源端及第二儲存節點之間，其中該第一PMOS電晶體具有一閘終端耦合於該整體I/O線及該互補整體I/O線；及
  - 一 第二PMOS電晶體，用以接收選擇信號。
10. 如申請專利範圍第9項之管線暫存器，其中該資料儲存裝置包含：
- 一 第一反向器，具有一輸入端耦合至第一儲存節

## 六、申請專利範圍

點；及

一 第二反向器，具有一輸入端耦合至第一反向器的一輸出端，及一輸出端耦合至第一反向器的輸入端。

11. 如申請專利範圍第4項之管線暫存器，其中該重置電路包含：

一 第一降壓電晶體，其耦合於該第一閃鎖電路的第一儲存節點及一接地端之間，用以接收重置信號；及

一 第二降壓電晶體，其耦合於該第二閃鎖電路之第二儲存節點及接地端之間，用以接收重置信號。

12. 如申請專利範圍第4項之管線暫存器，其中該選擇信號產生電路包含：

一 第一選擇信號產生電路，其耦合於該第一閃鎖電路之一第一儲存節點及該第二閃鎖電路之一第二儲存節點之間，用以產生選擇信號，其由偵測是否資料已儲存於該第一及第二儲存節點來除能；及

一 第二選擇信號產生電路，用以產生選擇信號，其根據上昇邊緣感測信號，第一控制信號及一第二控制信號來致能。

13. 如申請專利範圍第12項之管線暫存器，其中該第一選擇信號產生電路包含：

一 NAND閘，其耦合於該第一儲存節點及該第二儲存節點，用以執行一邏輯NAND運算；

一反向器，用以反向該NAND閘的輸出信號，並輸出該第二控制信號；及

六、申請專利範圍

一升壓電晶體，其耦合於供應電壓其一輸出端之間而輸出選擇信號，用以根據第二控制信號來升壓選擇信號。

14. 如申請專利範圍第12項之管線暫存器，其中該第二選擇信號產生電路包含：

一NAND閘，用以進行上昇邊緣感測信號，第一控制信號及第二控制信號的NAND運算；

一降壓電晶體，其耦合於一輸出選擇信號的輸出端與接地端之間，用以根據由該NAND閘輸出的一輸出信號來降壓選擇信號。

15. 如申請專利範圍第12項之管線暫存器，其中該選擇信號產生電路包含：

一第三選擇信號產生電路，用以根據重置信號來致能選擇信號。

16. 如申請專利範圍第15項之管線暫存器，其中該第三選擇信號產生電路包含：

一降壓電晶體，用以根據重置信號來降壓選擇信號。

17. 如申請專利範圍第4項之管線暫存器，其中該清除電路包含：

一NAND閘，其回應下降邊緣感測信號及選擇信號，以進行NAND運算；

一第一降壓電晶體，其耦合於該第一門鎖電路的第一儲存節點與一接地端之間，用以根據由該NAND閘輸出的一輸出信號來降壓第一儲存節點；及

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

一 第二降壓電晶體，其耦合於該第二門鎖電路的第二儲存節點與一接地端之間，用以根據由該NAND閘輸出的一輸出信號來降壓第二儲存節點。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

|       |
|-------|
| 圖 1 A |
| 圖 1 B |
| 圖 1 C |
| 圖 1 D |

圖 1

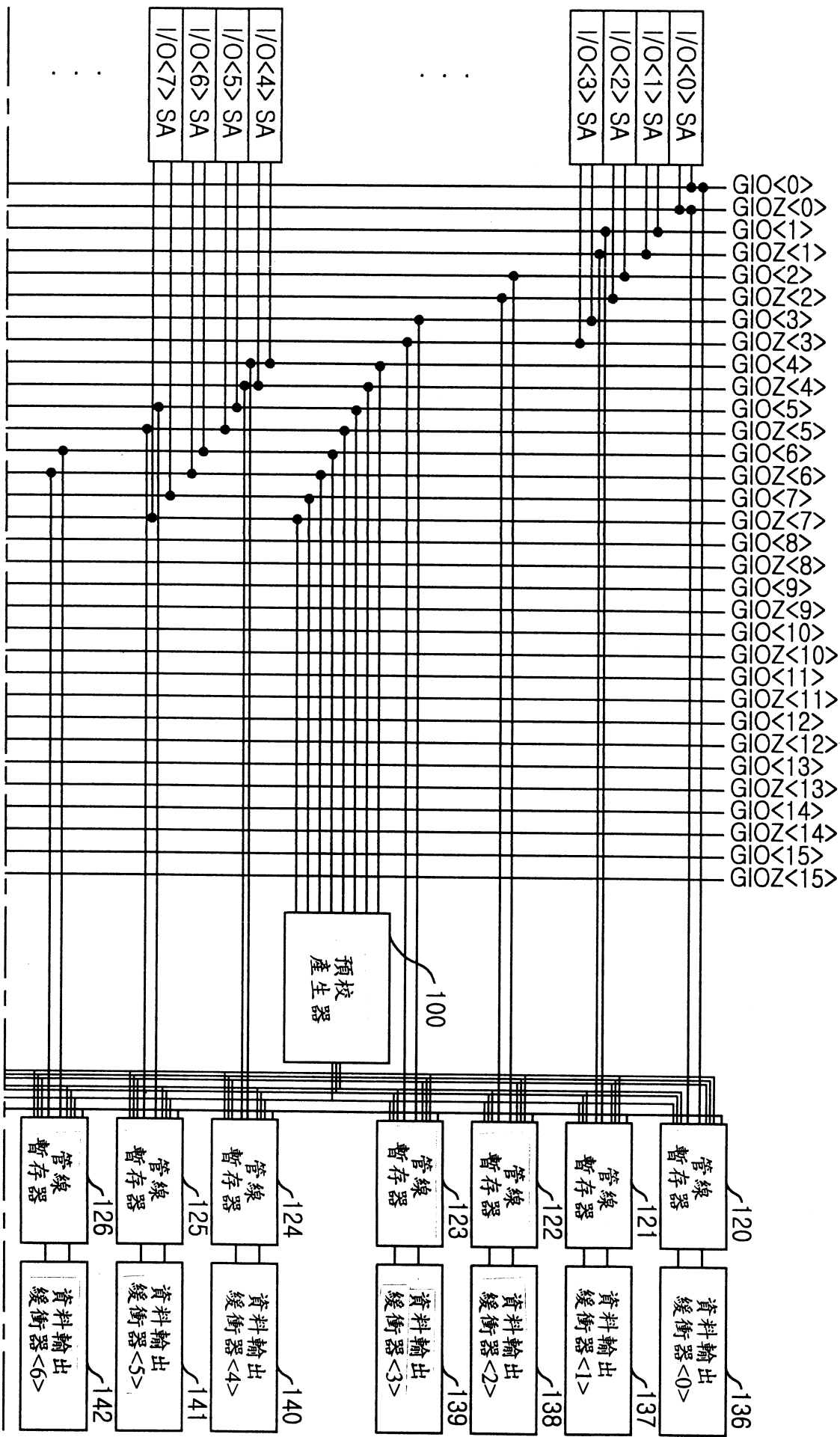


圖 1 A  
(先前技藝)

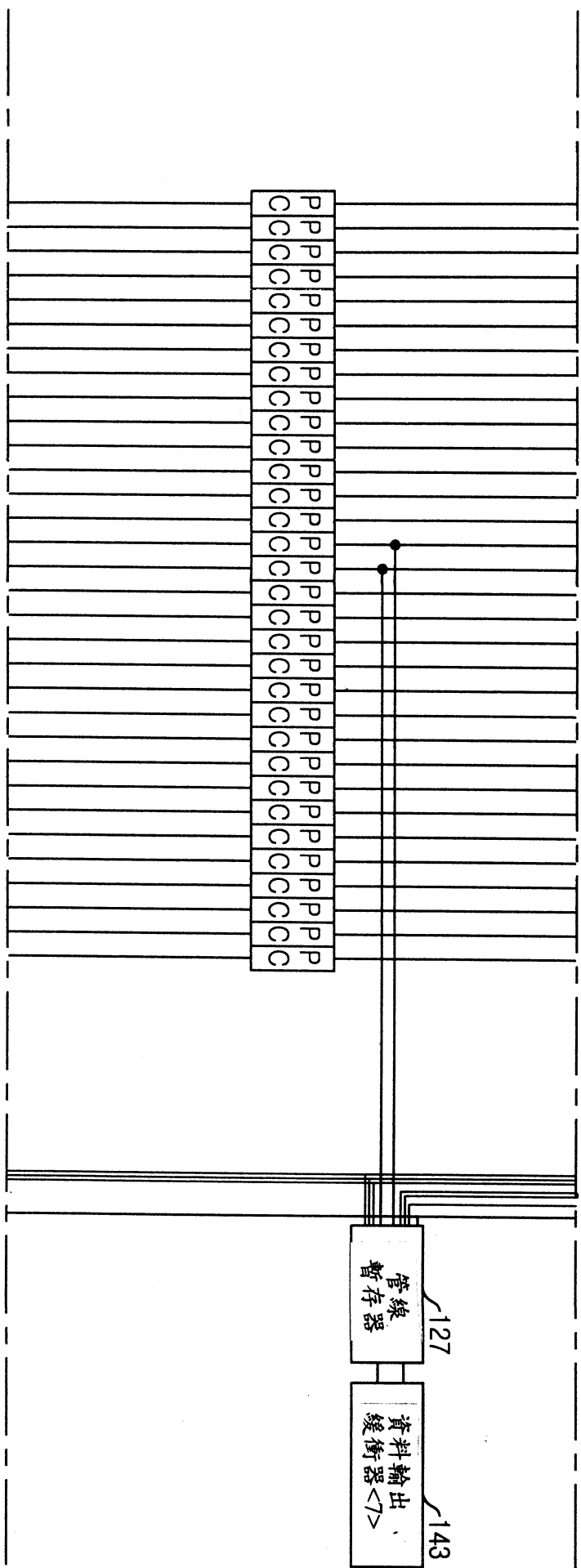


圖1B  
(先前技藝)

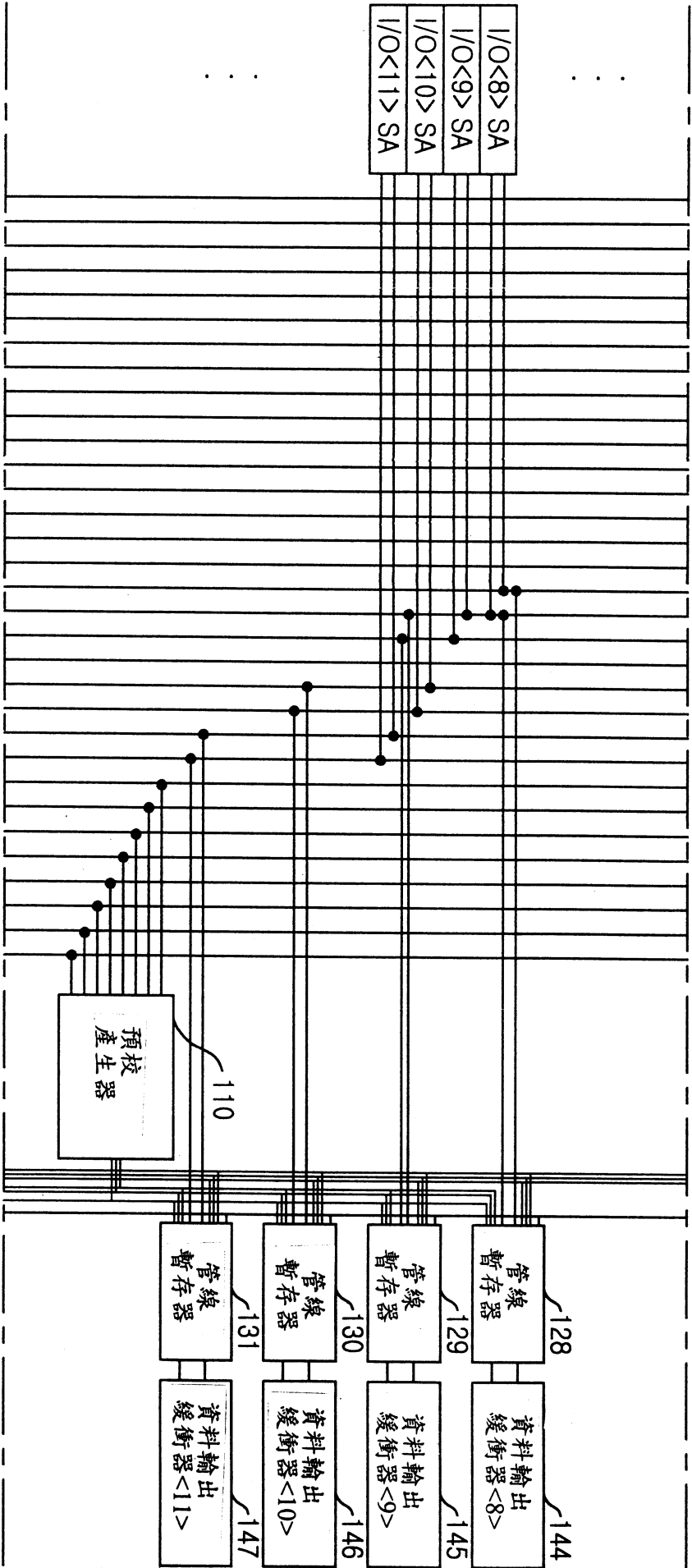


圖 1C  
(先前技藝)

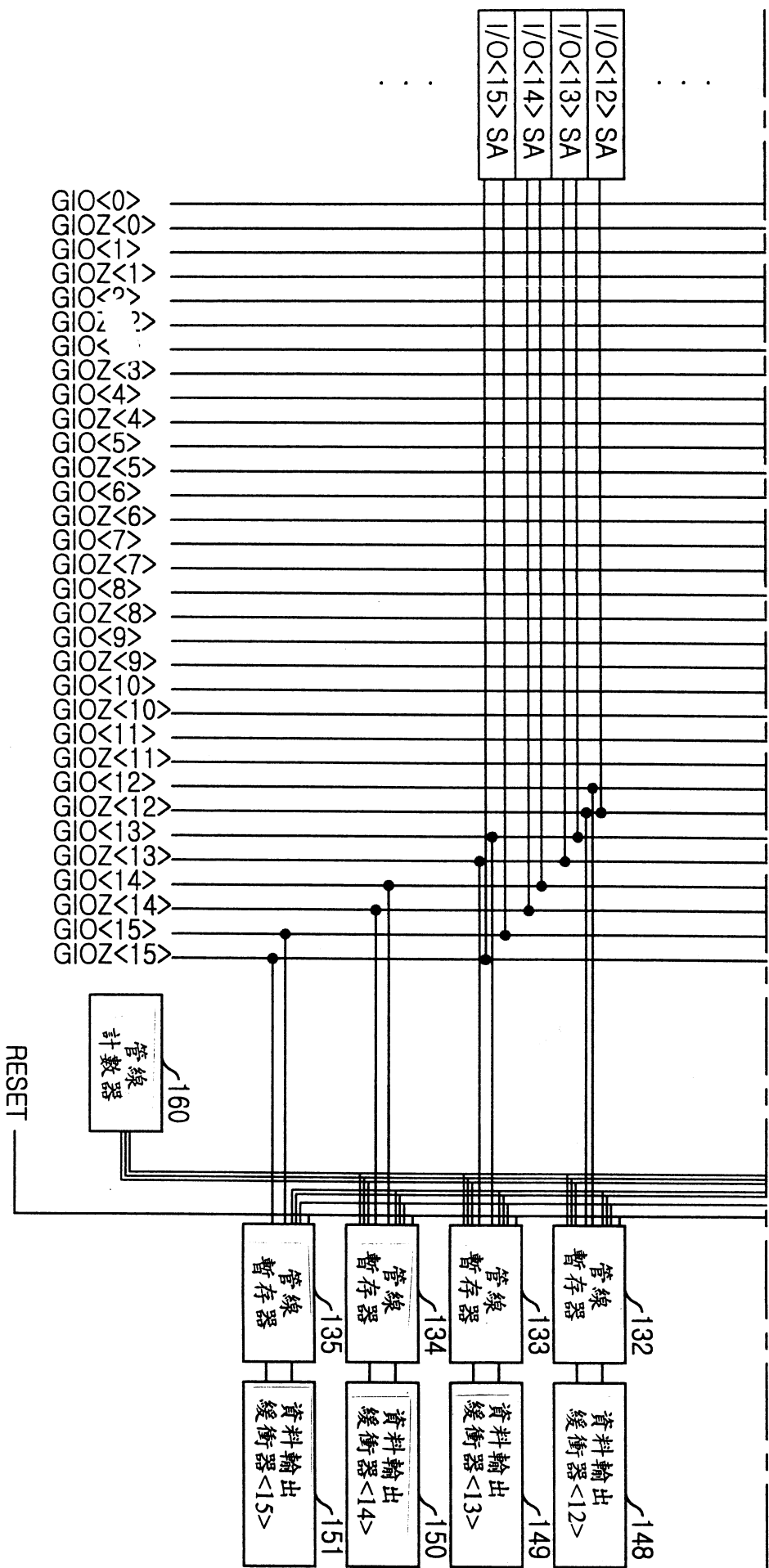


圖 1D

(先前技藝)

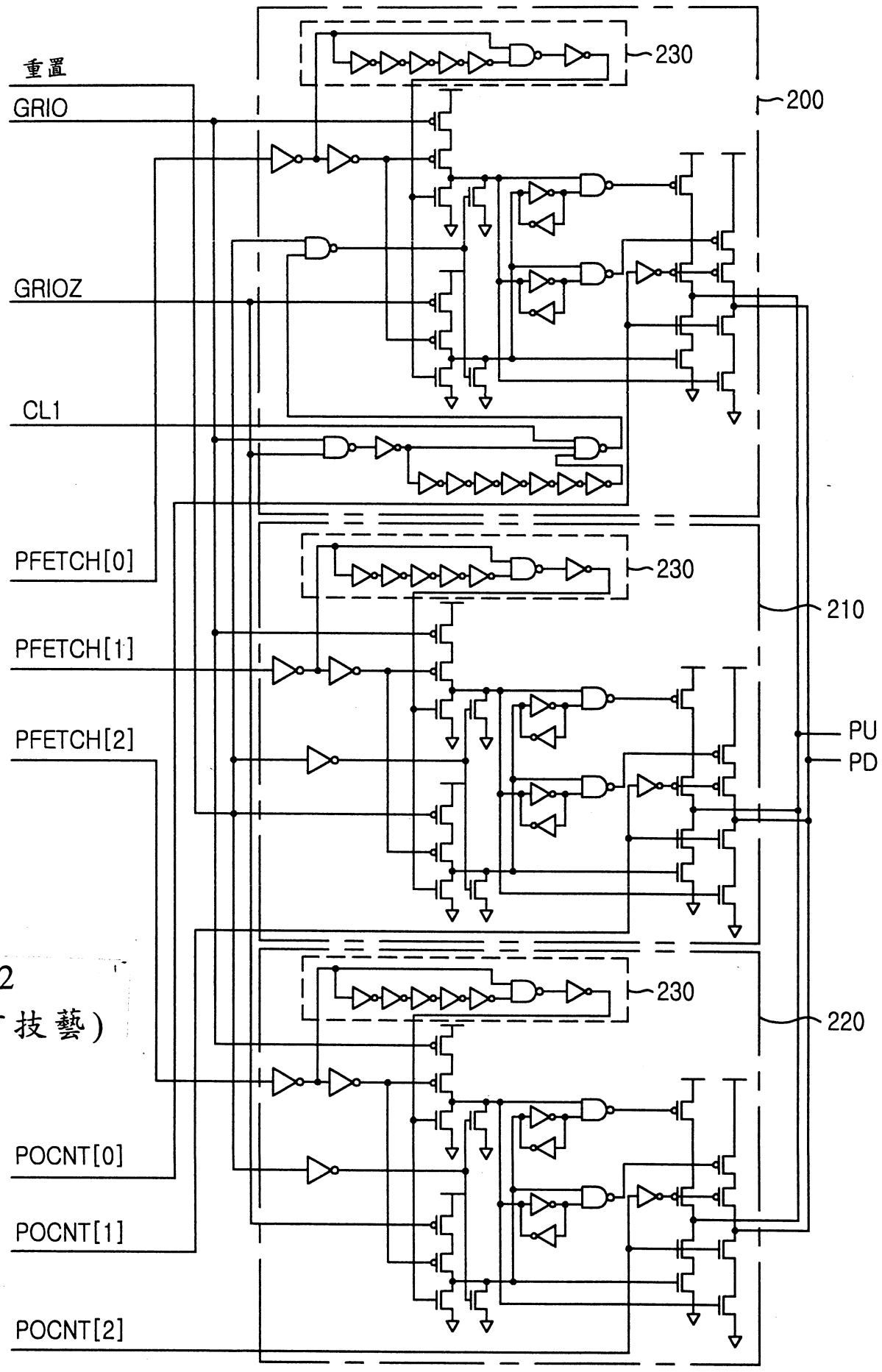


圖 2  
(先前技藝)

|       |
|-------|
| 圖 3 A |
| 圖 3 B |
| 圖 3 C |
| 圖 3 D |

圖 3

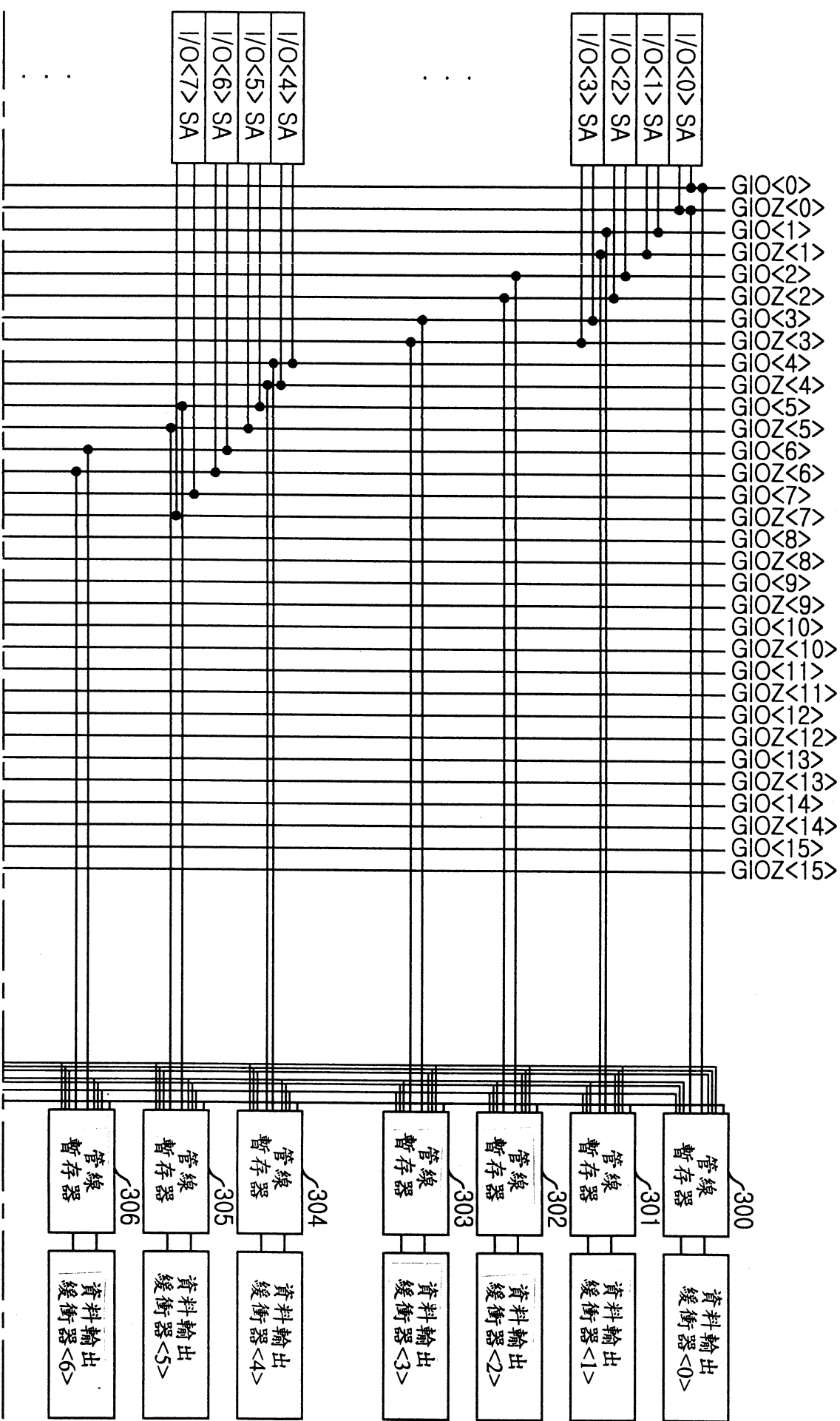


圖 3A

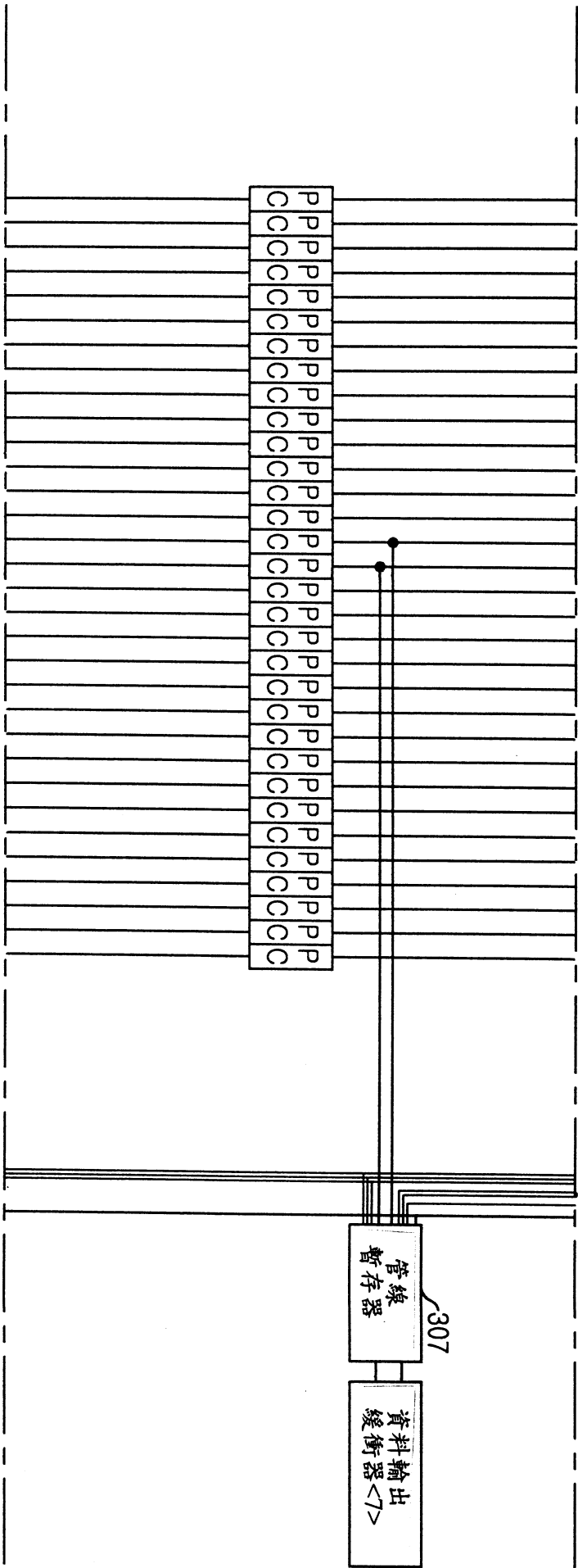


圖 3B

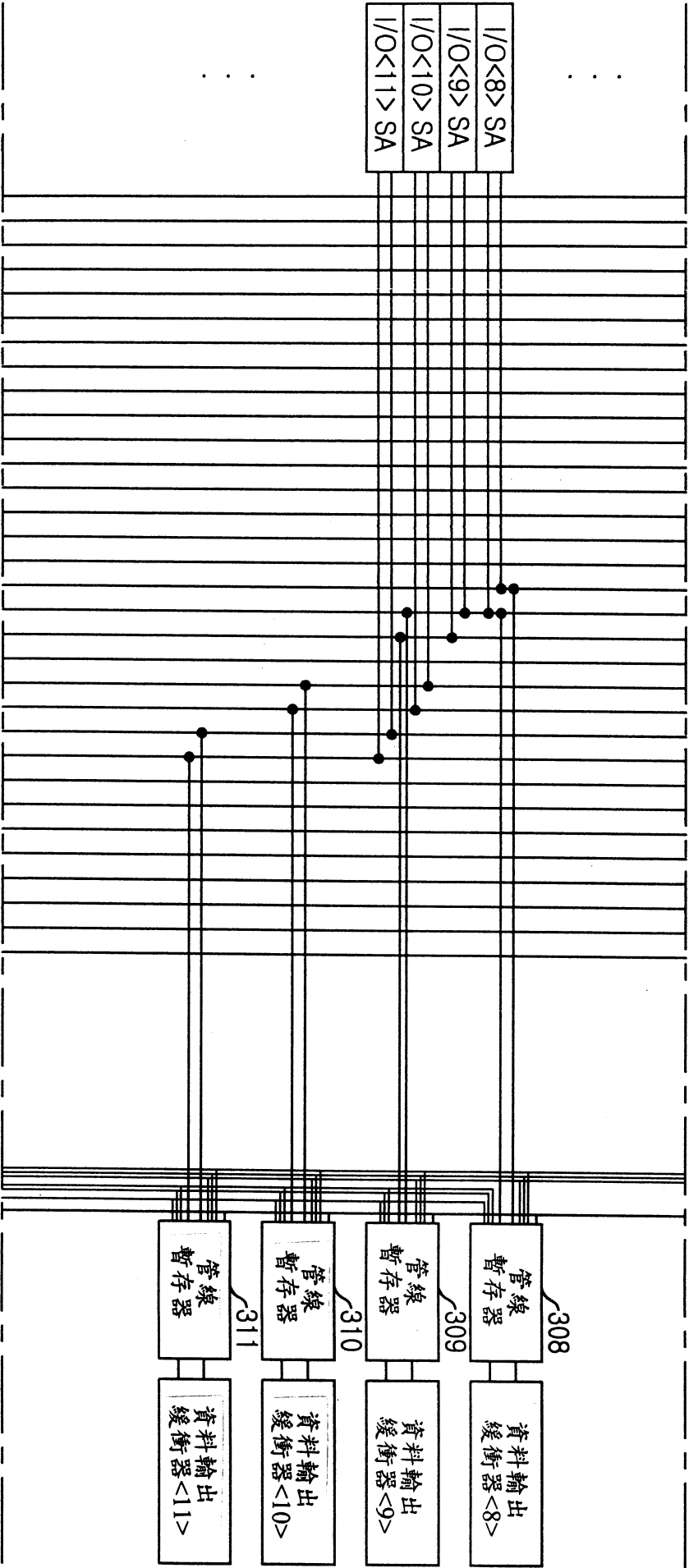


圖 3C

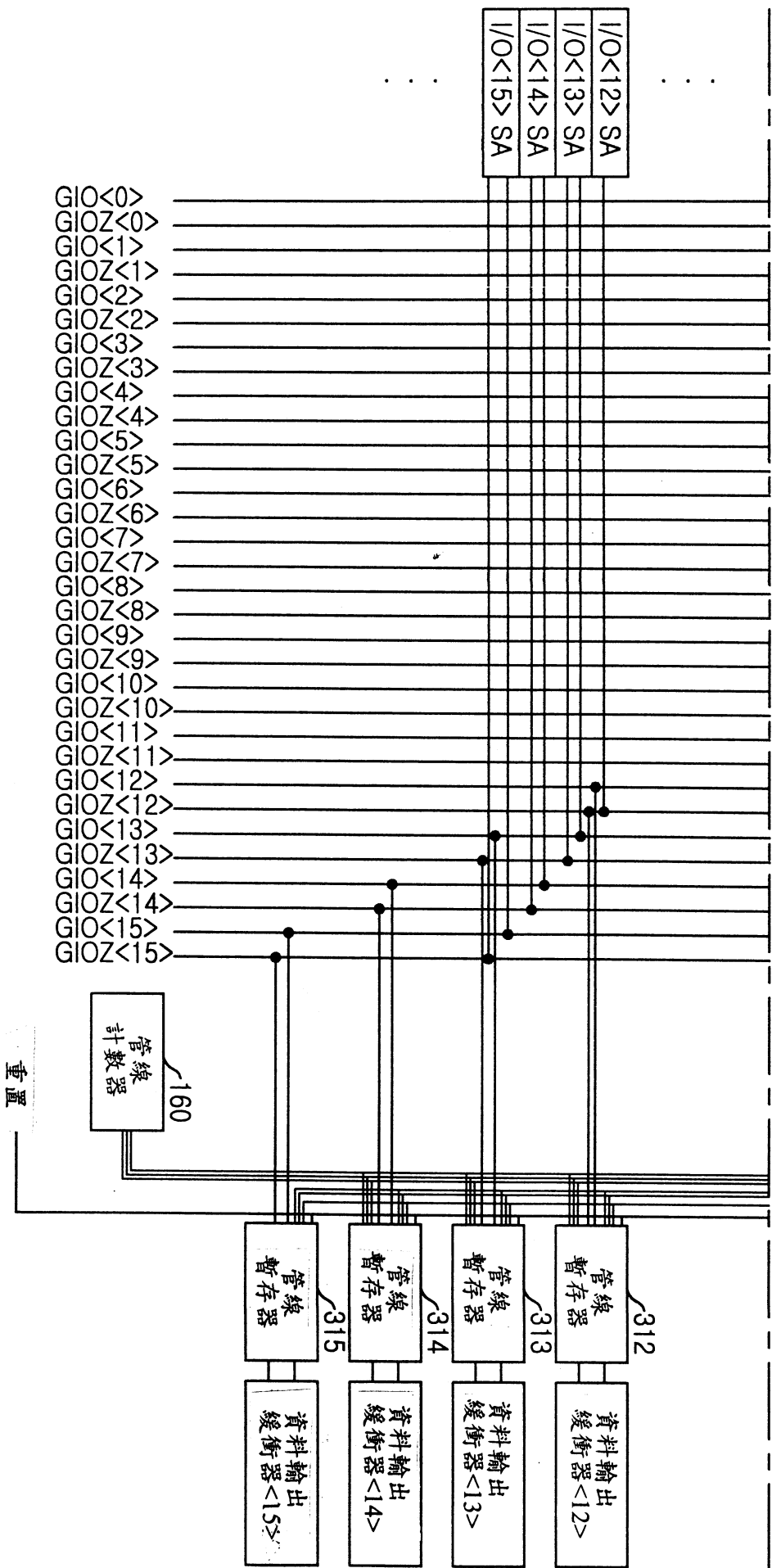


圖 3 D

|       |
|-------|
| 圖 4 A |
| 圖 4 B |
| 圖 4 C |
| 圖 4 D |

圖 4

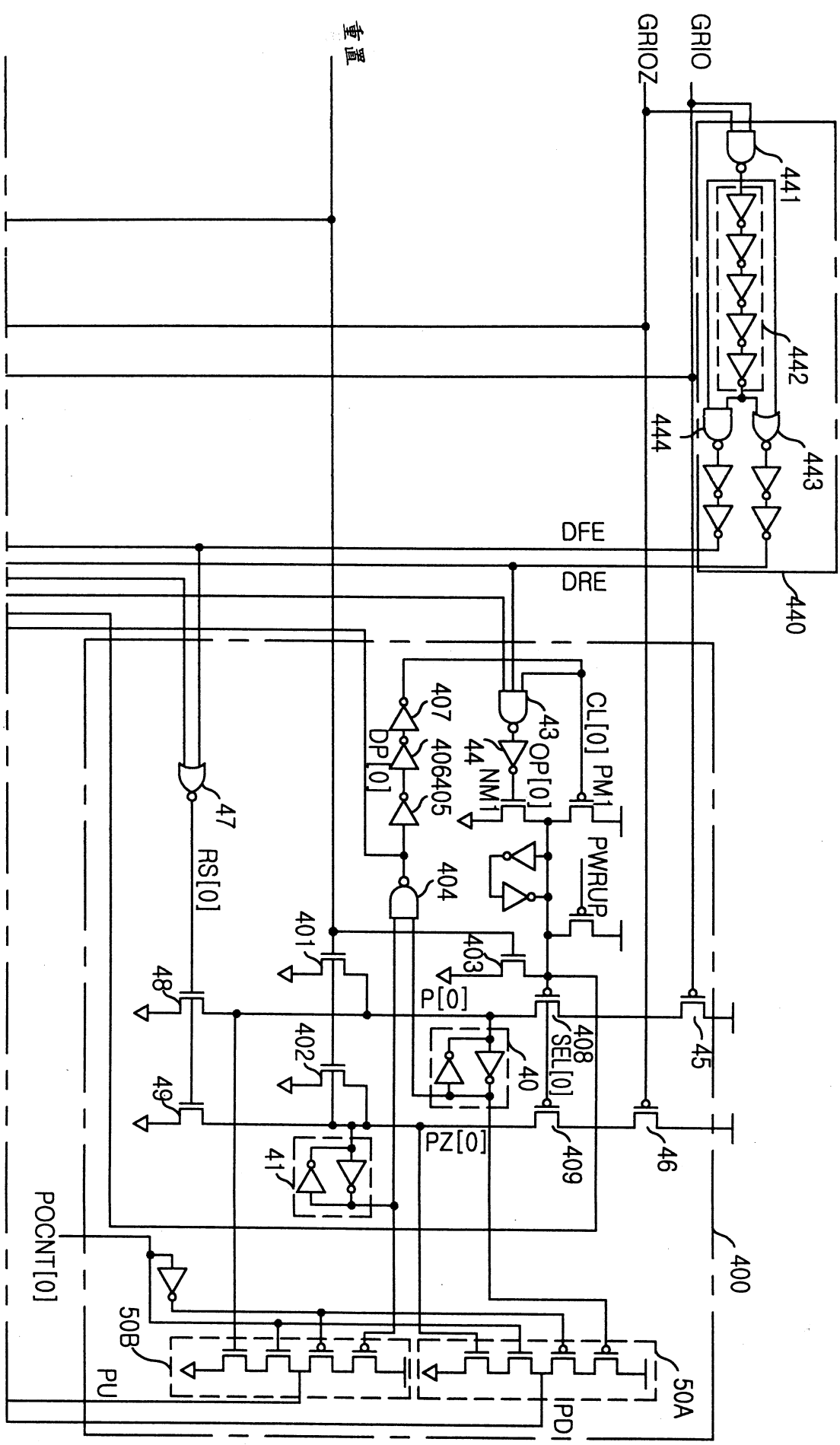


圖 4A

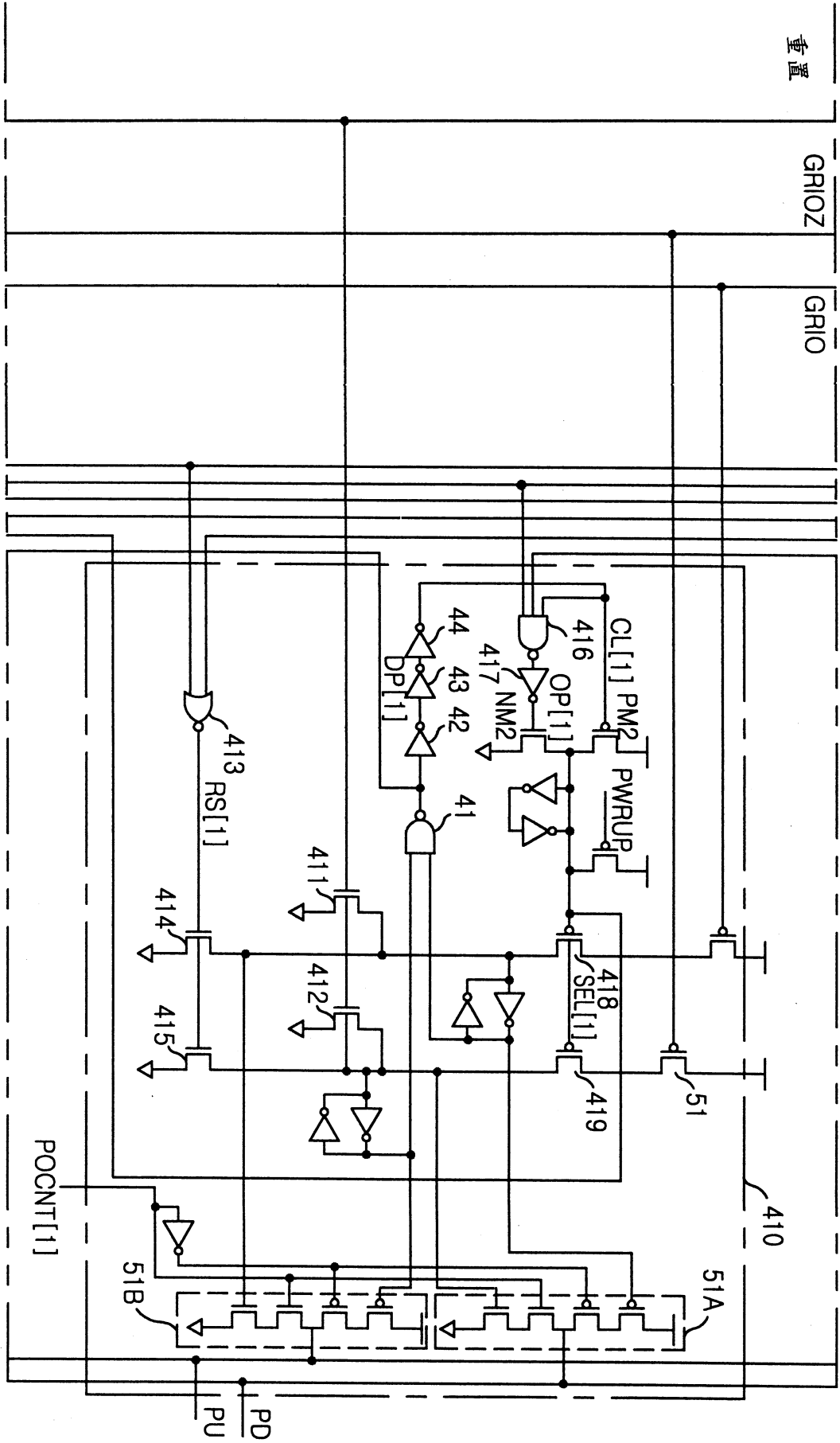


圖 4 B

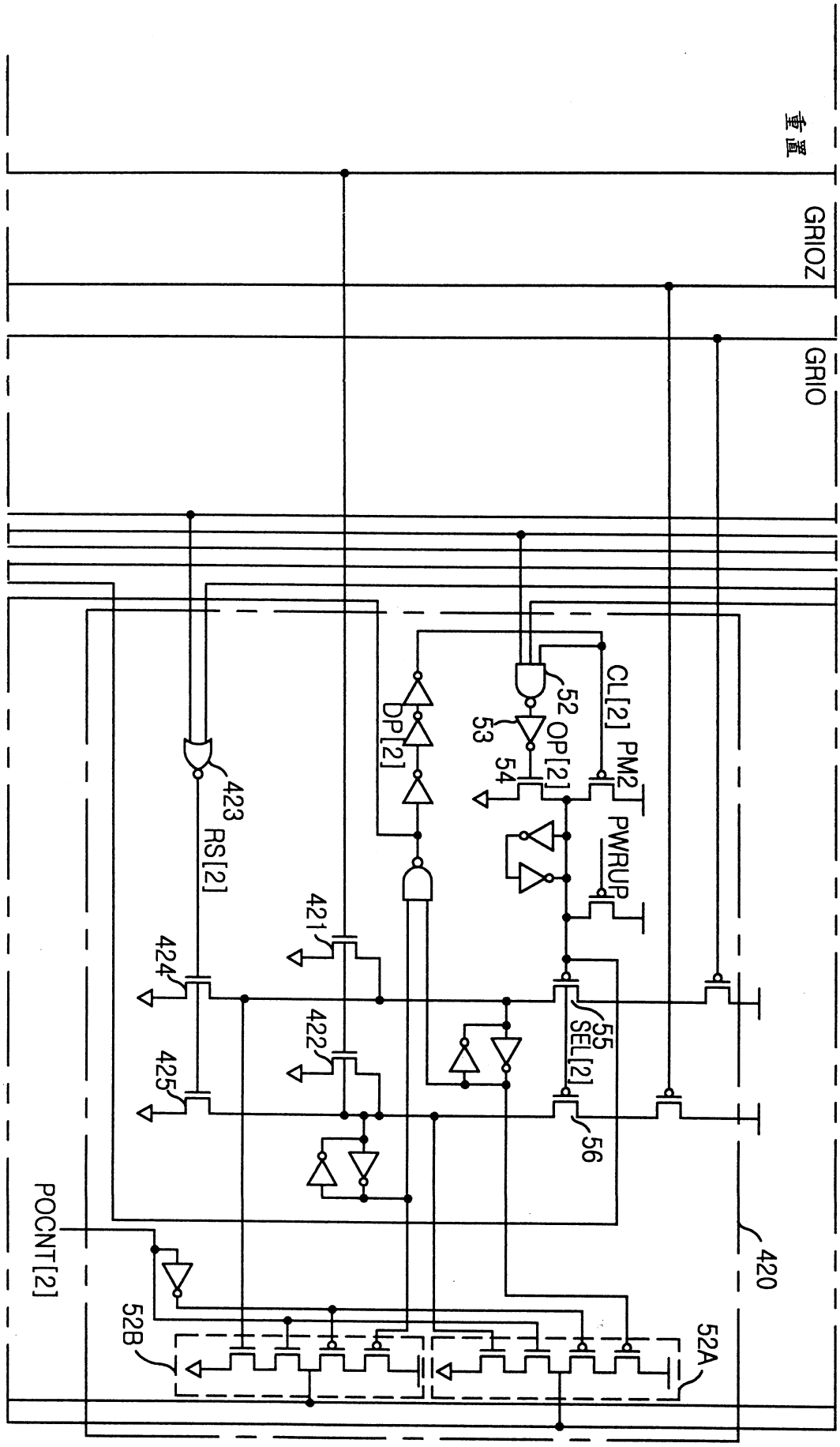


圖 4C

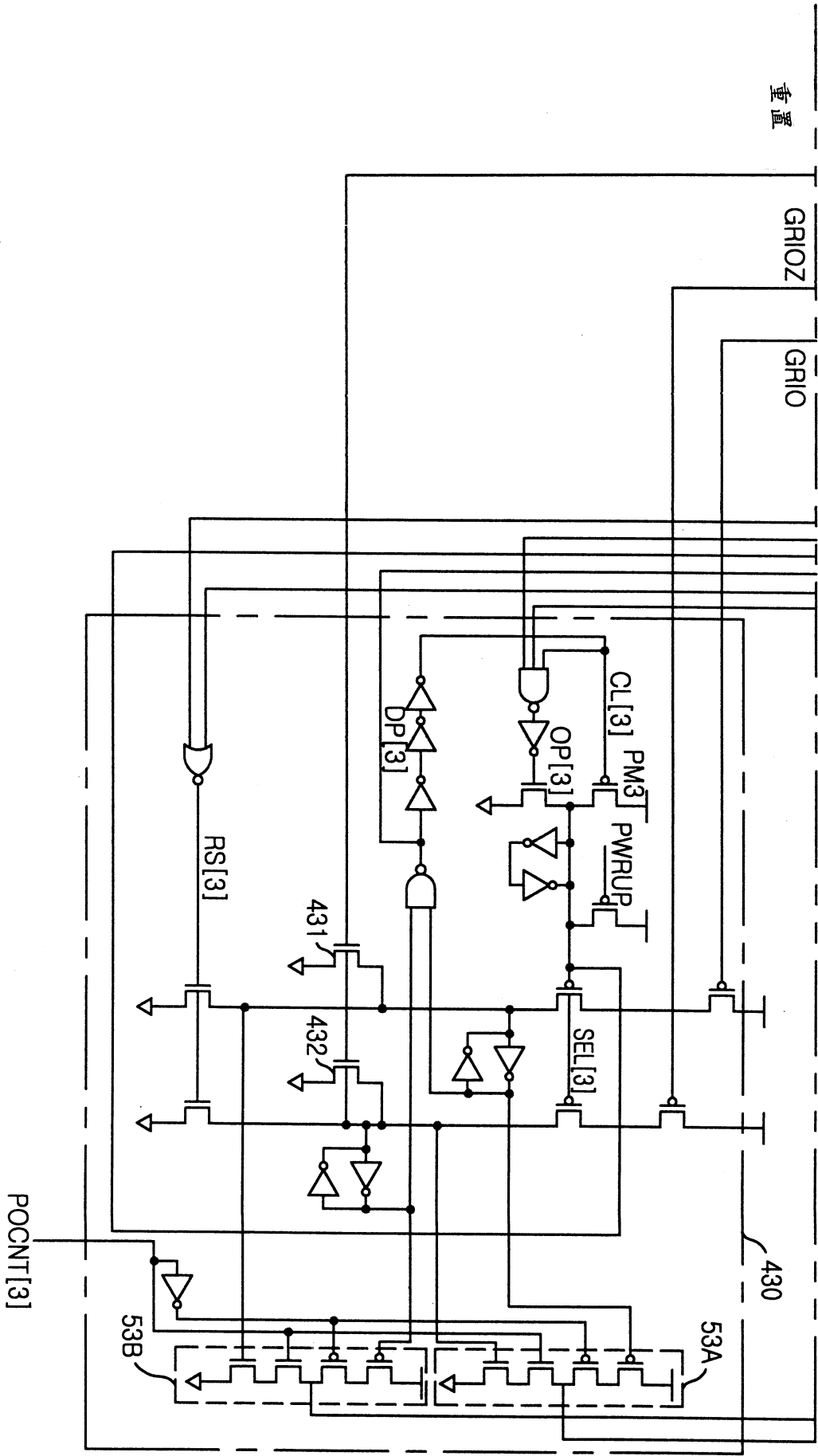


圖 4D

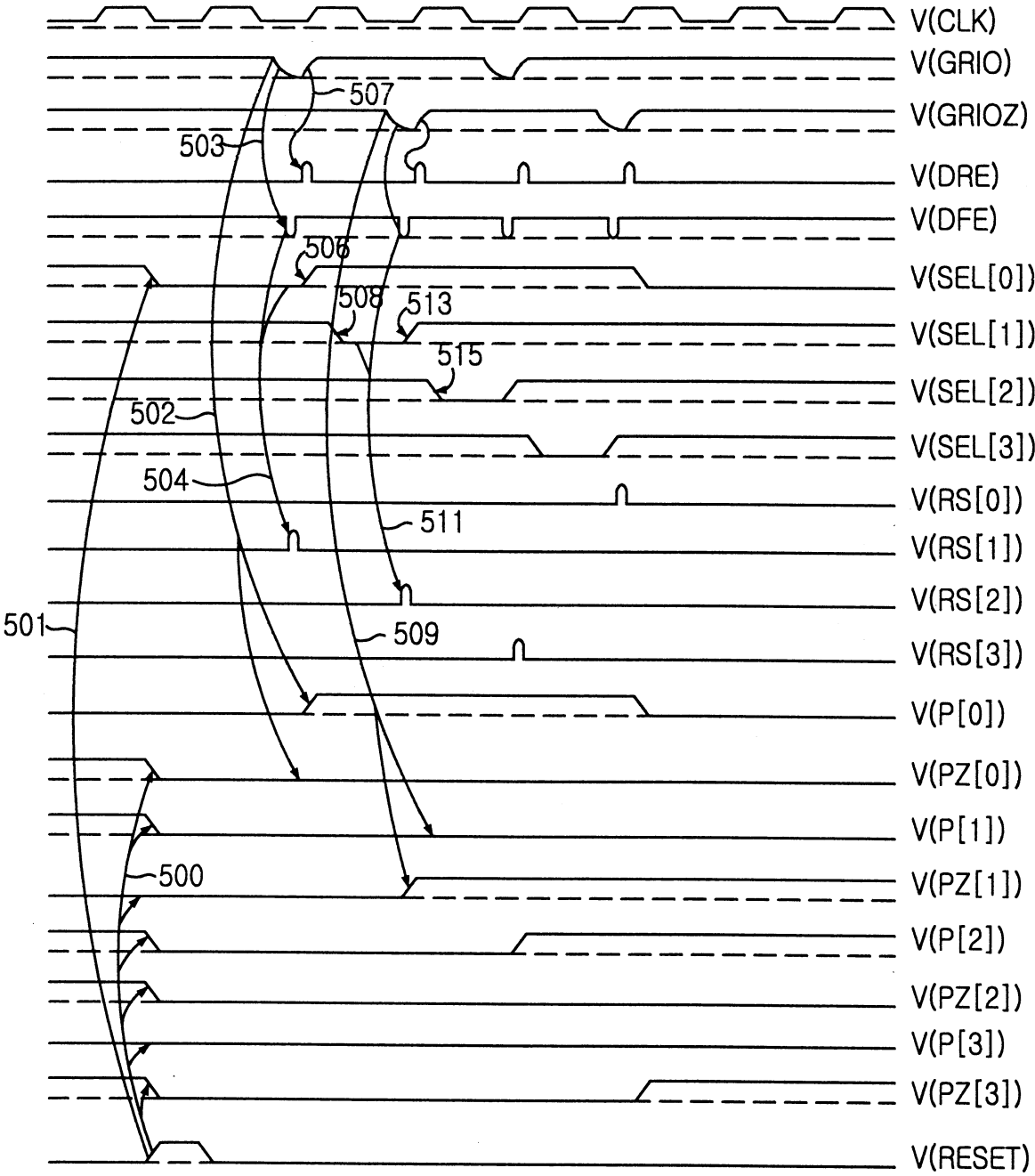


圖 5 A

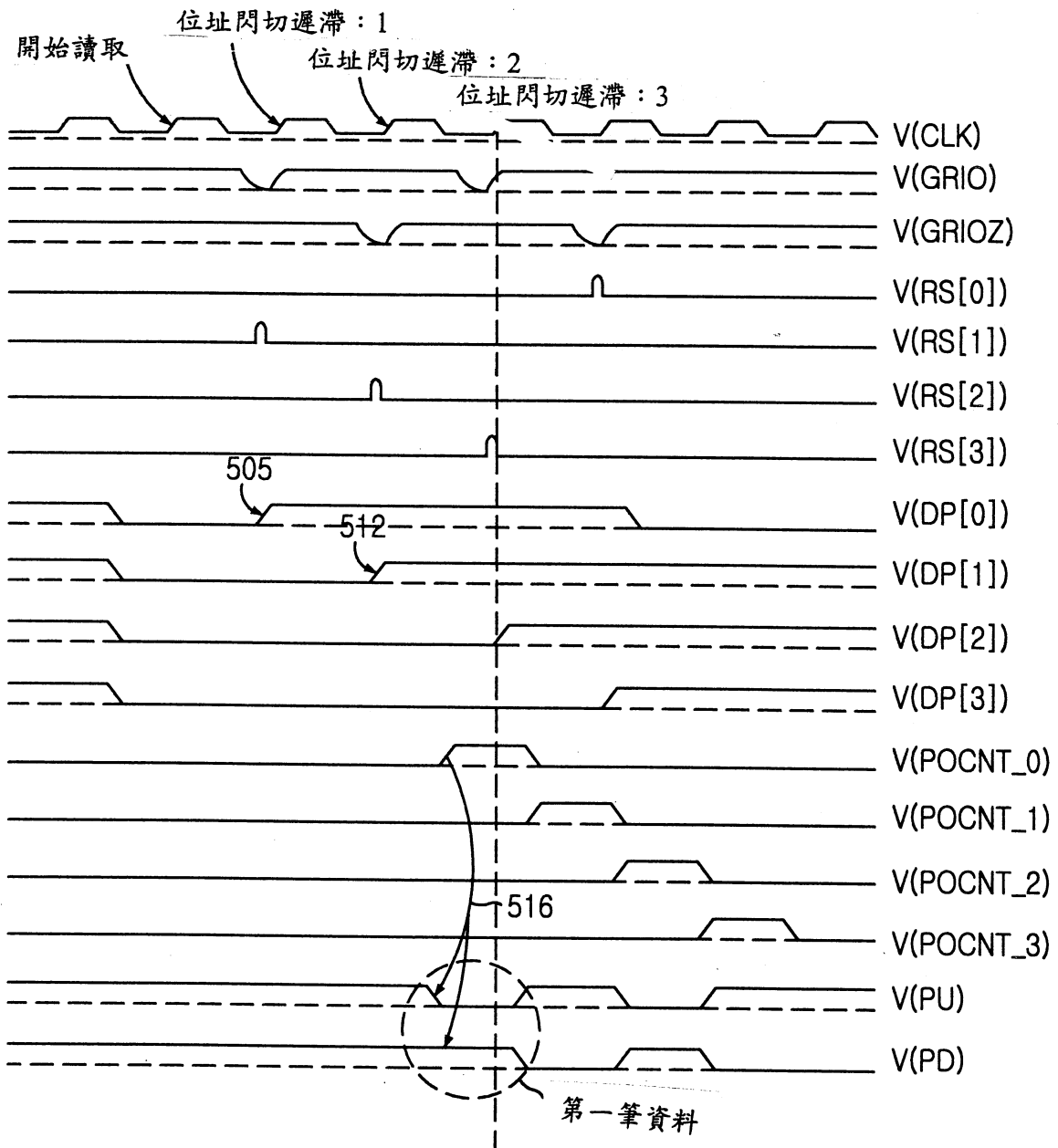


圖 5 B