



# (12) 发明专利申请

(10) 申请公布号 CN 116136779 A

(43) 申请公布日 2023. 05. 19

(21) 申请号 202111371585.4

(22) 申请日 2021.11.18

(71) 申请人 腾讯科技(深圳)有限公司  
地址 518057 广东省深圳市南山区高新区  
科技中一路腾讯大厦35层

(72) 发明人 强鹏

(74) 专利代理机构 北京三高永信知识产权代理  
有限责任公司 11138  
专利代理师 李文静

(51) Int. Cl .  
G06F 9/4401 (2018.01)  
G06F 1/24 (2006.01)

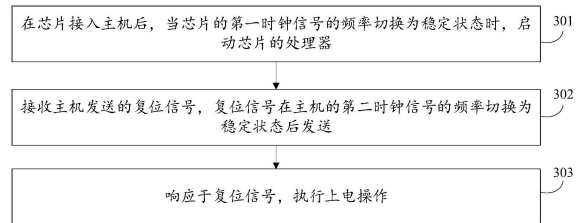
权利要求书3页 说明书19页 附图7页

## (54) 发明名称

上电操作执行方法、装置、芯片及电子设备

## (57) 摘要

本申请实施例公开了一种上电操作执行方法、装置、芯片及电子设备,属于计算机技术领域。该方法包括:在芯片接入主机后,当芯片的第一时钟信号的频率切换为稳定状态时,启动芯片的处理器;接收主机发送的复位信号,复位信号在主机的第二时钟信号的频率切换为稳定状态后发送;响应于复位信号,执行上电操作;其中,第一时钟信号的频率切换为稳定状态的时间点早于第二时钟信号切换为稳定状态的时间点。由于第一时钟信号的频率切换为稳定状态的时间点早于第二时钟信号切换为稳定状态的时间点,相当于将处理器的启动过程提前到了接收复位信号之前,因此在上电过程中无需执行启动处理器的操作,从而缩短了芯片的上电过程所消耗的时长。



1. 一种上电操作执行方法,其特征在于,所述方法包括:

在芯片接入主机后,当所述芯片的第一时钟信号的频率切换为稳定状态时,启动所述芯片的处理器;

接收所述主机发送的复位信号,所述复位信号在所述主机的第二时钟信号的频率切换为稳定状态后发送;

响应于所述复位信号,执行上电操作;

其中,所述第一时钟信号的频率切换为稳定状态的时间点早于所述第二时钟信号切换为稳定状态的时间点。

2. 根据权利要求1所述的方法,其特征在于,所述接收所述主机发送的复位信号之前,所述方法还包括:

通过所述处理器,对所述芯片进行初始化操作。

3. 根据权利要求2所述的方法,其特征在于,所述芯片包括控制器和物理层,所述通过所述处理器,对所述芯片进行初始化操作,包括:

通过所述处理器,对所述控制器和所述物理层进行初始化操作。

4. 根据权利要求3所述的方法,其特征在于,所述通过所述处理器,对所述控制器和所述物理层进行初始化操作,包括:

通过所述处理器,基于所述第一时钟信号,对所述控制器和所述物理层进行初始化操作。

5. 根据权利要求4所述的方法,其特征在于,所述通过所述处理器,基于所述第一时钟信号,对所述控制器和所述物理层进行初始化操作,包括:

对所述第一时钟信号进行变频操作,得到变频后的第一时钟信号;

通过所述处理器,基于变频后的所述第一时钟信号,对所述控制器和所述物理层进行初始化操作。

6. 根据权利要求3所述的方法,其特征在于,在对所述控制器和所述物理层进行初始化操作时,所述控制器和所述物理层的时钟信号为所述第一时钟信号;所述方法还包括:

在所述控制器和所述物理层初始化完成时,将所述第二时钟信号确定为所述控制器和所述物理层更换后的时钟信号。

7. 根据权利要求6所述的方法,其特征在于,所述控制器和所述物理层连接有时钟锁相环,所述在所述控制器和所述物理层初始化完成时,将所述第二时钟信号确定为所述控制器和所述物理层更换后的时钟信号,包括:

在所述控制器和所述物理层初始化完成时,控制所述第一时钟信号停止进入所述时钟锁相环,控制所述第二时钟信号进入所述时钟锁相环。

8. 根据权利要求7所述的方法,其特征在于,所述时钟锁相环连接有时钟门控,所述第一时钟信号通过所述时钟门控进入所述时钟锁相环,所述控制所述第一时钟信号停止进入所述时钟锁相环,控制所述第二时钟信号进入所述时钟锁相环,包括:

关闭所述时钟门控,以使所述第一时钟信号停止进入所述时钟锁相环;

在所述第一时钟信号停止进入所述时钟锁相环之后的时长达到第一时长的情况下,将进入所述时钟门控的第一时钟信号切换为所述第二时钟信号;

在将进入所述时钟门控的第一时钟信号切换为所述第二时钟信号之后的时长达到第

二时长的情况下,打开所述时钟门控,以使所述第二时钟信号进入所述时钟锁相环。

9. 根据权利要求3所述的方法,其特征在于,所述控制器和所述物理层连接有时钟锁相环,所述响应于所述复位信号,执行上电操作,包括:

响应于所述复位信号,通过所述处理器,控制所述时钟锁相环对所述第二时钟信号进行变频操作,得到变频后的第二时钟信号;

通过所述控制器和所述物理层,基于变频后的所述第二时钟信号,控制所述芯片进入检测Detect状态。

10. 根据权利要求1所述的方法,其特征在于,所述响应于所述复位信号,执行上电操作,包括:

响应于所述复位信号,通过所述处理器,对所述第二时钟信号进行变频操作,得到变频后的第二时钟信号;

通过所述处理器,对所述芯片进行初始化操作;

基于变频后的所述第二时钟信号,控制所述芯片进入Detect状态。

11. 根据权利要求10所述的方法,其特征在于,所述芯片包络控制器和物理层,所述控制器和所述物理层连接有时钟锁相环;所述通过所述处理器,对所述第二时钟信号进行变频操作,得到变频后的第二时钟信号,包括:

通过所述处理器,控制所述时钟锁相环对所述第二时钟信号进行变频操作,得到变频后的所述第二时钟信号;

所述通过所述处理器,对所述芯片进行初始化操作,包括:

通过所述处理器,对所述控制器和所述物理层进行初始化操作;

所述基于变频后的所述第二时钟信号,控制所述芯片进入Detect状态,包括:

通过所述控制器和所述物理层,基于变频后的所述第二时钟信号,控制所述芯片进入所述Detect状态。

12. 根据权利要求1-11任一项所述的方法,其特征在于,所述上电操作包括由所述处理器执行的第一操作,所述处理器用于响应于所述第一操作对应的操作指令,执行所述第一操作;所述方法还包括以下至少一项:

所述芯片还包括除了所述处理器之外的其他部件,在执行所述上电操作时,控制所述其他部件停止向所述处理器发送除了所述第一操作之外的其他操作对应的操作指令;

通过所述处理器按照优先级响应操作指令,所述第一操作对应的操作指令的优先级最高。

13. 一种上电操作执行方法,其特征在于,由电子设备执行,所述电子设备包括芯片和主机,所述方法包括:

在所述芯片接入所述主机后,当所述芯片的第一时钟信号的频率切换为稳定状态时,启动所述芯片的处理器;

在所述主机的第二时钟信号的频率切换为稳定状态之后,通过所述主机向所述处理器发送复位信号;

通过所述处理器,接收所述复位信号,响应于所述复位信号,执行上电操作;

其中,所述第一时钟信号的频率切换为稳定状态的时间点早于所述第二时钟信号切换为稳定状态的时间点。

14. 根据权利要求13所述的方法,其特征在于,所述在所述主机的第二时钟信号的频率切换为稳定状态之后,通过所述主机向所述处理器发送复位信号,包括:

在所述第二时钟信号处于稳定状态的持续时长达到第三时长时,通过所述主机向所述处理器发送所述复位信号。

15. 一种上电操作执行装置,其特征在于,所述装置包括:

启动模块,用于在芯片接入主机后,当所述芯片的第一时钟信号的频率切换为稳定状态时,启动所述芯片的处理器;

信号接收模块,用于接收所述主机发送的复位信号,所述复位信号在所述主机的第二时钟信号的频率切换为稳定状态后发送;

上电模块,用于响应于所述复位信号,执行上电操作;

其中,所述第一时钟信号的频率切换为稳定状态的时间点早于所述第二时钟信号切换为稳定状态的时间点。

16. 一种上电操作执行装置,其特征在于,所述装置包括:

启动模块,用于在芯片接入主机后,当所述芯片的第一时钟信号的频率切换为稳定状态时,启动所述芯片的处理器;

信号发送模块,用于在所述主机的第二时钟信号的频率切换为稳定状态之后,通过所述主机向所述处理器发送复位信号;

上电模块,用于通过所述处理器,接收所述复位信号,响应于所述复位信号,执行上电操作;

其中,所述第一时钟信号的频率切换为稳定状态的时间点早于所述第二时钟信号切换为稳定状态的时间点。

17. 一种芯片,其特征在于,所述芯片包括至少一条计算机程序,当所述芯片在电子设备上运行时,用于实现如权利要求1至12任一项所述的上电操作执行方法所执行的操作。

18. 一种电子设备,其特征在于,所述电子设备包括芯片和主机;

所述芯片,用于在所述芯片接入所述主机后,当所述芯片的第一时钟信号的频率切换为稳定状态时,启动所述芯片的处理器;

所述主机,用于在所述主机的第二时钟信号的频率切换为稳定状态之后,向所述处理器发送复位信号;

所述芯片,还用于通过所述处理器,接收所述复位信号,响应于所述复位信号,执行上电操作;

其中,所述第一时钟信号的频率切换为稳定状态的时间点早于所述第二时钟信号切换为稳定状态的时间点。

## 上电操作执行方法、装置、芯片及电子设备

### 技术领域

[0001] 本申请实施例涉及计算机技术领域,特别涉及一种上电操作执行方法、装置、芯片及电子设备。

### 背景技术

[0002] PCIE (Peripheral Component Interconnect Express,一种高速串行计算机扩展总线标准)芯片在接入PCIE主机后,PCIE芯片的上电过程需要满足PCIE协议的时序要求,上电过程所消耗的时长不能超过20毫秒。

[0003] 但是相关技术中,PCIE芯片的上电过程所消耗的时间较长,存在不满足该时序要求的情况,容易导致PCIE芯片无法正常工作,因此亟需提供一种降低上电过程所消耗时长的方法。

### 发明内容

[0004] 本申请实施例提供了一种上电操作执行方法、装置、芯片及电子设备,能够降低上电过程所消耗的时长。所述技术方案如下:

[0005] 一方面,提供了一种上电操作执行方法,所述方法包括:

[0006] 在芯片接入主机后,当所述芯片的第一时钟信号的频率切换为稳定状态时,启动所述芯片的处理器;

[0007] 接收所述主机发送的复位信号,所述复位信号在所述主机的第二时钟信号的频率切换为稳定状态后发送;

[0008] 响应于所述复位信号,执行上电操作;

[0009] 其中,所述第一时钟信号的频率切换为稳定状态的时间点早于所述第二时钟信号切换为稳定状态的时间点。

[0010] 另一方面,提供了一种上电操作执行方法,由电子设备执行,所述电子设备包括芯片和主机,所述方法包括:

[0011] 在所述芯片接入所述主机后,当所述芯片的第一时钟信号的频率切换为稳定状态时,启动所述芯片的处理器;

[0012] 在所述主机的第二时钟信号的频率切换为稳定状态之后,通过所述主机向所述处理器发送复位信号;

[0013] 通过所述处理器,接收所述复位信号,响应于所述复位信号,执行上电操作;

[0014] 其中,所述第一时钟信号的频率切换为稳定状态的时间点早于所述第二时钟信号切换为稳定状态的时间点。

[0015] 另一方面,提供了一种上电操作执行装置,所述装置包括:

[0016] 启动模块,用于在芯片接入主机后,当所述芯片的第一时钟信号的频率切换为稳定状态时,启动所述芯片的处理器;

[0017] 信号接收模块,用于接收所述主机发送的复位信号,所述复位信号在所述主机的

第二时钟信号的频率切换为稳定状态后发送；

[0018] 上电模块,用于响应于所述复位信号,执行上电操作；

[0019] 其中,所述第一时钟信号的频率切换为稳定状态的时间点早于所述第二时钟信号切换为稳定状态的时间点。

[0020] 可选地,所述装置还包括：

[0021] 初始化模块,用于通过所述处理器,对所述芯片进行初始化操作。

[0022] 可选地,所述芯片包括控制器和物理层,所述初始化模块,用于通过所述处理器,对所述控制器和所述物理层进行初始化操作。

[0023] 可选地,所述初始化模块,用于通过所述处理器,基于所述第一时钟信号,对所述控制器和所述物理层进行初始化操作。

[0024] 可选地,所述初始化模块,包括：

[0025] 第一变频单元,用于对所述第一时钟信号进行变频操作,得到变频后的第一时钟信号；

[0026] 第一初始化单元,用于通过所述处理器,基于变频后的所述第一时钟信号,对所述控制器和所述物理层进行初始化操作。

[0027] 可选地,在对所述控制器和所述物理层进行初始化操作时,所述控制器和所述物理层的时钟信号为所述第一时钟信号；所述装置还包括：

[0028] 时钟切换模块,用于在所述控制器和所述物理层初始化完成时,将所述第二时钟信号确定为所述控制器和所述物理层更换后的时钟信号。

[0029] 可选地,所述控制器和所述物理层连接有时钟锁相环,所述时钟切换模块,用于在所述控制器和所述物理层初始化完成时,控制所述第一时钟信号停止进入所述时钟锁相环,控制所述第二时钟信号进入所述时钟锁相环。

[0030] 可选地,所述时钟锁相环连接有时钟门控,所述第一时钟信号通过所述时钟门控进入所述时钟锁相环,所述时钟切换模块,用于：

[0031] 关闭所述时钟门控,以使所述第一时钟信号停止进入所述时钟锁相环；

[0032] 在所述第一时钟信号停止进入所述时钟锁相环之后的时长达到第一时长的情况下,将进入所述时钟门控的第一时钟信号切换为所述第二时钟信号；

[0033] 在将进入所述时钟门控的第一时钟信号切换为所述第二时钟信号之后的时长达到第二时长的情况下,打开所述时钟门控,以使所述第二时钟信号进入所述时钟锁相环。

[0034] 可选地,所述控制器和所述物理层连接有时钟锁相环,所述上电模块,包括：

[0035] 第二变频单元,用于响应于所述复位信号,通过所述处理器,控制所述时钟锁相环对所述第二时钟信号进行变频操作,得到变频后的第二时钟信号；

[0036] 状态进入单元,用于通过所述控制器和所述物理层,基于变频后的所述第二时钟信号,控制所述芯片进入检测Detect状态。

[0037] 可选地,所述上电模块,包括：

[0038] 第二变频单元,用于响应于所述复位信号,通过所述处理器,对所述第二时钟信号进行变频操作,得到变频后的第二时钟信号；

[0039] 第二初始化单元,用于通过所述处理器,对所述芯片进行初始化操作；

[0040] 状态进入单元,用于基于变频后的所述第二时钟信号,控制所述芯片进入Detect

状态。

[0041] 可选地,所述芯片包络控制器和物理层,所述控制器和所述物理层连接有时钟锁相环;所述第二变频单元,用于通过所述处理器,控制所述时钟锁相环对所述第二时钟信号进行变频操作,得到变频后的所述第二时钟信号;

[0042] 所述第二初始化单元,用于通过所述处理器,对所述控制器和所述物理层进行初始化操作;

[0043] 所述状态进入单元,用于通过所述控制器和所述物理层,基于变频后的所述第二时钟信号,控制所述芯片进入所述Detect状态。

[0044] 可选地,所述上电操作包括由所述处理器执行的第一操作,所述处理器用于响应于所述第一操作对应的操作指令,执行所述第一操作;所述装置还包括指令控制模块,用于执行以下至少一项:

[0045] 所述芯片还包括除了所述处理器之外的其他部件,在执行所述上电操作时,控制所述其他部件停止向所述处理器发送除了所述第一操作之外的其他操作对应的操作指令;

[0046] 通过所述处理器按照优先级响应操作指令,所述第一操作对应的操作指令的优先级最高。

[0047] 另一方面,提供了一种上电操作执行装置,所述装置包括:

[0048] 启动模块,用于在所述芯片接入所述主机后,当所述芯片的第一时钟信号的频率切换为稳定状态时,启动所述芯片的处理器;

[0049] 信号发送模块,用于在所述主机的第二时钟信号的频率切换为稳定状态之后,通过所述主机向所述处理器发送复位信号;

[0050] 上电模块,用于通过所述处理器,接收所述复位信号,响应于所述复位信号,执行上电操作;

[0051] 其中,所述第一时钟信号的频率切换为稳定状态的时间点早于所述第二时钟信号切换为稳定状态的时间点。

[0052] 可选地,所述信号发送模块,用于在所述第二时钟信号处于稳定状态的持续时长达到第三时长时,通过所述主机向所述处理器发送所述复位信号。

[0053] 另一方面,提供了一种芯片,所述芯片包括至少一条计算机程序,当所述芯片在电子设备上运行时,用于实现如上述方面所述的上电操作执行方法所执行的操作。

[0054] 另一方面,提供了一种电子设备,所述电子设备包括芯片和主机;

[0055] 所述芯片,用于在所述芯片接入所述主机后,当所述芯片的第一时钟信号的频率切换为稳定状态时,启动所述芯片的处理器;

[0056] 所述主机,用于在所述主机的第二时钟信号的频率切换为稳定状态之后,通过所述主机向所述处理器发送复位信号;

[0057] 所述芯片,还用于通过所述处理器,接收所述复位信号,响应于所述复位信号,执行上电操作;

[0058] 其中,所述第一时钟信号的频率切换为稳定状态的时间点早于所述第二时钟信号切换为稳定状态的时间点。

[0059] 本申请实施例提供的方法、装置、芯片及电子设备,当芯片的第一时钟信号的频率切换为稳定状态时,就启动芯片的处理器,当主机的第二时钟信号的频率切换为稳定状态

后,芯片接收复位信号并响应于该复位信号执行上电操作,由于第一时钟信号的频率切换为稳定状态的时间点早于第二时钟信号切换为稳定状态的时间点,相当于将处理器的启动过程提前到了接收复位信号之前,因此在上电过程中无需执行启动处理器的操作,从而缩短了芯片的上电过程所消耗的时长。

### 附图说明

[0060] 为了更清楚地说明本申请实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本申请实施例的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0061] 图1是本申请实施例提供的一种电子设备的结构示意图;

[0062] 图2是本申请实施例提供的一种芯片的结构示意图;

[0063] 图3是本申请实施例提供的一种上电操作执行方法的流程图;

[0064] 图4是本申请实施例提供的另一种上电操作执行方法的流程图;

[0065] 图5是本申请实施例提供的另一种芯片的结构示意图;

[0066] 图6是本申请实施例提供的一种时钟信号的切换方法的流程图;

[0067] 图7是本申请实施例提供的一种上电操作执行方法的时序图;

[0068] 图8是本申请实施例提供的再一种上电操作执行方法的流程图;

[0069] 图9是本申请实施例提供的又一种上电操作执行方法的流程图;

[0070] 图10是本申请实施例提供的一种上电操作执行装置的结构示意图;

[0071] 图11是本申请实施例提供的另一种上电操作执行装置的结构示意图;

[0072] 图12是本申请实施例提供的再一种上电操作执行装置的结构示意图。

### 具体实施方式

[0073] 为使本申请实施例的目的、技术方案和优点更加清楚,下面将结合附图对本申请实施方式作进一步地详细描述。

[0074] 可以理解,本申请所使用的术语“第一”、“第二”等可在本文中用于描述各种概念,但除非特别说明,这些概念不受这些术语限制。这些术语仅用于将一个概念与另一个概念区分。举例来说,在不脱离本申请的范围的情况下,可以将第一时钟信号称为第二时钟信号,且类似地,可将第二时钟信号称为第一时钟信号。

[0075] 其中,至少一个是指一个或者一个以上,例如,至少一个时钟信号可以是一个时钟信号、两个时钟信号、三个时钟信号等任一大于等于一的整数个时钟信号。多个是指两个或者两个以上,例如,多个时钟信号可以是两个时钟信号、三个时钟信号等任一大于等于二的整数个时钟信号。每个是指至少一个中的每一个,例如,每个时钟信号是指多个时钟信号中的每一个时钟信号,若多个时钟信号为3个时钟信号,则每个时钟信号是指3个时钟信号中的每一个时钟信号。

[0076] 为了便于理解本申请实施例,先对本申请实施例提供的芯片进行解释。该芯片可以应用于各种类型的电子设备上,例如电子设备为手机、平板电脑、笔记本电脑、台式计算机、智能语音交互设备、智能音箱、智能家电或者车载终端等。该芯片可以提供各种类型的

功能,例如该芯片能够提供图像处理、语音识别或者智能导航等功能。

[0077] 可选地,该芯片为人工智能(Artificial Intelligence, AI)芯片,该人工智能芯片采用人工智能技术来实现上述功能。其中,人工智能是利用数字计算机或者数字计算机控制的机器模拟、延伸和扩展人的智能,既有硬件层面的技术也有软件层面的技术。人工智能基础技术包括如传感器、人工智能芯片、云计算、分布式存储、大数据处理技术、操作/交互系统、机电一体化等技术。人工智能软件技术包括计算机视觉技术、语音处理技术、自然语言处理技术以及机器学习/深度学习、自动驾驶、智慧交通等技术。

[0078] 可选地,该芯片能够应用于智能交通系统(Intelligent Traffic System, ITS)中的电子设备(例如车载终端)上,来实现智能导航等功能。其中,智能交通系统是将先进的科学技术(信息技术、计算机技术、数据通信技术、传感器技术、电子控制技术、自动控制理论、运筹学、人工智能等)综合运用于交通运输、服务控制和车辆制造等方面,加强车辆、道路和使用者三者之间的联系,形成一种保障安全、提高效率、改善环境、节约能源的综合交通系统。

[0079] 图1是本申请实施例提供的一种电子设备的结构示意图,该电子设备包括芯片101和主机102,例如该主机102为PCIE主机,该芯片101为PCIE芯片。该芯片101用于接入主机102,在芯片101接入主机102后,需要对芯片101执行上电操作。本申请实施例中,上电操作是指从芯片101接收到复位信号(PERST#, PCI Express Reset)到芯片进入Detect(检测)状态的过程中所执行的操作。在芯片101接入主机102后,当芯片101的第一时钟信号的频率切换为稳定状态时,启动芯片101的处理器,在主机102的第二时钟信号的频率切换为稳定状态之后,向处理器发送复位信号,芯片101通过处理器,接收复位信号,响应于复位信号,执行上电操作。其中,第一时钟信号的频率切换为稳定状态的时间点早于第二时钟信号切换为稳定状态的时间点。

[0080] 在一种可能实现方式中,该芯片101用于通过处理器,对芯片进行初始化操作。

[0081] 在一种可能实现方式中,芯片包括控制器和物理层,该芯片101用于通过处理器,对控制器和物理层进行初始化操作。

[0082] 在一种可能实现方式中,该芯片101用于通过处理器,基于第一时钟信号,对控制器和物理层进行初始化操作。

[0083] 在一种可能实现方式中,该芯片101用于:

[0084] 对第一时钟信号进行变频操作,得到变频后的第一时钟信号;

[0085] 通过处理器,基于变频后的第一时钟信号,对控制器和物理层进行初始化操作。

[0086] 在一种可能实现方式中,在对控制器和物理层进行初始化操作时,控制器和物理层的时钟信号为第一时钟信号;该芯片101用于在控制器和物理层初始化完成时,将第二时钟信号确定为控制器和物理层更换后的时钟信号。

[0087] 在一种可能实现方式中,控制器和物理层连接有时钟锁相环,芯片101用于在控制器和物理层初始化完成时,控制第一时钟信号停止进入时钟锁相环,控制第二时钟信号进入时钟锁相环。

[0088] 在一种可能实现方式中,时钟锁相环连接有时钟门控,第一时钟信号通过时钟门控进入时钟锁相环,该芯片101用于:

[0089] 关闭时钟门控,以使第一时钟信号停止进入时钟锁相环;

[0090] 在第一时钟信号停止进入时钟锁相环之后的时长达到第一时长的情况下,将进入时钟门控的第一时钟信号切换为第二时钟信号;

[0091] 在将进入时钟门控的第一时钟信号切换为第二时钟信号之后的时长达到第二时长的情况下,打开时钟门控,以使第二时钟信号进入时钟锁相环。

[0092] 在一种可能实现方式中,控制器和物理层连接有时钟锁相环,该芯片101用于:

[0093] 响应于复位信号,通过处理器,控制时钟锁相环对第二时钟信号进行变频操作,得到变频后的第二时钟信号;

[0094] 通过控制器和物理层,基于变频后的第二时钟信号,控制芯片进入检测Detect状态。

[0095] 在一种可能实现方式中,该芯片101用于:

[0096] 响应于复位信号,通过处理器,对第二时钟信号进行变频操作,得到变频后的第二时钟信号;

[0097] 通过处理器,对芯片进行初始化操作;

[0098] 基于变频后的第二时钟信号,控制芯片进入Detect状态。

[0099] 在一种可能实现方式中,芯片包络控制器和物理层,控制器和物理层连接有时钟锁相环;该芯片101用于:

[0100] 通过处理器,控制时钟锁相环对第二时钟信号进行变频操作,得到变频后的第二时钟信号;

[0101] 通过处理器,对控制器和物理层进行初始化操作;

[0102] 通过控制器和物理层,基于变频后的第二时钟信号,控制芯片进入Detect状态。

[0103] 在一种可能实现方式中,上电操作包括由处理器执行的第一操作,处理器用于响应于第一操作对应的操作指令,执行第一操作;该芯片101用于执行以下至少一项:

[0104] 芯片还包括除了处理器之外的其他部件,在执行上电操作时,控制其他部件停止向处理器发送除了第一操作之外的其他操作对应的操作指令;

[0105] 通过处理器按照优先级响应操作指令,第一操作对应的操作指令的优先级最高。

[0106] 在一种可能实现方式中,该主机102用于在第二时钟信号处于稳定状态的持续时长达到第三时长时,向处理器发送复位信号。

[0107] 图2是本申请实施例提供的一种芯片的结构示意图,如图2所示,芯片101包括处理器201、控制器和物理层202。其中处理器201用于对该芯片的控制器和物理层202进行初始化操作,该控制器和物理层202还用于控制芯片101进入Detect状态,该处理器201还用于控制芯片生成该控制器和物理层202所需的时钟信号。本申请实施例所提供的芯片还包括至少一条计算机程序,当芯片在电子设备上运行时,用于实现如下述方面所述的上电操作执行方法所执行的操作。

[0108] 在另一实施例中,电子设备还包括存储器、外围设备接口和至少一个外围设备。可选地,外围设备包括至少包括射频电路。

[0109] 存储器可以包括一个或多个计算机可读存储介质,该计算机可读存储介质可以是非暂态的。存储器还可包括高速随机存取存储器,以及非易失性存储器,比如一个或多个磁盘存储设备、闪存存储设备。

[0110] 外围设备接口可被用于将I/O (Input/Output, 输入/输出) 相关的至少一个外围设

备连接到处理器和存储器。在一些实施例中,处理器、存储器和外围设备接口被集成在同一芯片或电路板上;在一些其他实施例中,处理器、存储器和外围设备接口中的任意一个或两个可以在单独的芯片或电路板上实现。

[0111] 射频电路用于接收和发射RF (Radio Frequency, 射频) 信号, 也称电磁信号。射频电路通过电磁信号与通信网络以及其他通信设备进行通信。射频电路将电信号转换为电磁信号进行发送, 或者, 将接收到的电磁信号转换为电信号。可选地, 射频电路包括: 天线系统、RF收发器、一个或多个放大器、调谐器、振荡器、数字信号处理器、编解码芯片组、用户身份模块卡等等。射频电路可以通过至少一种无线通信协议来与其它设备进行通信。该无线通信协议包括但不限于: 城域网、各代移动通信网络 (2G、3G、4G及5G)、无线局域网和/或WiFi (Wireless Fidelity, 无线保真) 网络。

[0112] 图3是本申请实施例提供的一种上电操作执行方法的流程图。本申请实施例的执行主体为芯片, 参见图3, 该方法包括:

[0113] 301、在芯片接入主机后, 当芯片的第一时钟信号的频率切换为稳定状态时, 启动芯片的处理器。

[0114] 在芯片接入主机后, 需要对芯片执行上电操作。其中, 上电过程需要满足一定的时序要求。例如, 在主机为PCIE主机, 芯片为PCIE芯片的情况下, PCIE芯片接入PCIE主机后, PCIE芯片的上电过程需要满足PCIE协议的时序要求, 该时序要求为上电过程所消耗的时长不能超过20毫秒。

[0115] 芯片包括处理器, 例如ARM处理器 (Advanced RISC Machines, 一种RISC微处理器), 芯片中的处理器是芯片的运算和控制的核​​心, 是信息处理以及程序运行的最终执行单元。在本申请实施例中, 在芯片接入主机后, 该芯片接通电源, 芯片上产生第一时钟信号, 在刚产生该第一时钟信号的一段时间内, 该第一时钟信号的频率处于不稳定状态, 又称为不确定状态, 在该期间, 该第一时钟信号的状态是不确定的。后续第一时钟信号的频率逐渐趋于稳定, 当第一时钟信号的频率切换为稳定状态时, 则启动该芯片的处理器。

[0116] 其中, 时钟信号包括高电平状态和低电平状态, 用于表示信号振荡之间的高和低的状态, 可以在同步电路中扮演计时器的角色, 例如保证芯片中的各个部件之间的同步运作。

[0117] 302、接收主机发送的复位信号, 复位信号在主机的第二时钟信号的频率切换为稳定状态后发送。

[0118] 在芯片接入主机后, 该主机上会产生第二时钟信号, 在刚产生该第二时钟信号的一段时间内, 该第二时钟信号的频率处于不稳定状态, 又称为不确定状态, 在该期间, 该第二时钟信号的状态是不确定的。后续第二时钟信号的频率逐渐趋于稳定, 当第二时钟信号的频率切换为稳定状态后, 主机上产生复位信号, 主机向芯片发送该复位信号, 因此芯片会接收到主机发送的复位信号, 该复位信号用于通知芯片开启上电流程。

[0119] 由于芯片的上电操作需要使用频率稳定的第二时钟信号, 而芯片无法得知主机的第二时钟信号的频率何时处于稳定状态, 因此主机需要在第二时钟信号的频率切换为稳定状态后向芯片发送复位信号, 来通知芯片第二时钟信号已经处于稳定状态, 可以开启上电流程了。

[0120] 其中, 第一时钟信号的频率切换为稳定状态的时间点早于第二时钟信号切换为稳

定状态的时间点。因此,在芯片接收到复位信号之前,就可以启动该芯片的处理器。也即是,上述步骤301是在该步骤302之前完成的。

[0121] 303、响应于复位信号,执行上电操作。

[0122] 由于该复位信号是主机在第二时钟信号的频率切换为稳定状态后发送的,因此该复位信号是第二时钟信号处于稳定状态的标志,芯片可以利用频率稳定的第二时钟信号执行上电操作,因此芯片响应于该复位信号,执行上电操作。本申请实施例中,上电操作是指从芯片接收到复位信号(PERST#,PCI Express Reset)到芯片进入Detect(检测)状态的过程中所执行的操作。上电过程也即是指从芯片接收到复位信号到芯片进入Detect状态的过程。

[0123] 本申请实施例提供的方法,当芯片的第一时钟信号的频率切换为稳定状态时,就启动芯片的处理器,当主机的第二时钟信号的频率切换为稳定状态后,芯片接收复位信号并响应于该复位信号执行上电操作,由于第一时钟信号的频率切换为稳定状态的时间点早于第二时钟信号切换为稳定状态的时间点,相当于将处理器的启动过程提前到了接收复位信号之前,因此在上电过程中无需执行启动处理器的操作,从而缩短了芯片的上电过程所消耗的时长。

[0124] 图4是本申请实施例提供的另一种上电操作执行方法的流程图。本申请实施例的执行主体为芯片,参见图4,该方法包括:

[0125] 401、在芯片接入主机后,当芯片的第一时钟信号的频率切换为稳定状态时,启动芯片的处理器。

[0126] 启动芯片的处理器需要利用频率稳定的时钟信号,本申请实施例中,利用芯片的第一时钟信号来启动芯片的处理器,因此当芯片的第一时钟信号的频率切换为稳定状态时,则利用该第一时钟信号,来启动芯片的处理器。因此,无需等到主机的第二时钟信号的频率切换为稳定状态后才启动芯片的处理器,从而将处理器的启动过程提前至第二时钟信号的频率切换为稳定状态之前。

[0127] 其中,第一时钟信号的频率处于稳定状态是指第一时钟信号的频率保持不变。可选地,该第一时钟信号的频率为目标频率保持不变时,该第一时钟信号的频率处于稳定状态,例如该目标频率为100Mhz(Mega Hertz,兆赫)。可选地,在第一时钟信号的频率为目标频率的时长达到第四时长时,确定该第一时钟信号的频率稳定至目标频率。

[0128] 在一种可能实现方式中,在芯片接入主机后,该芯片接通电源,芯片上包括板级晶振,接通电源后该板级晶振产生第一时钟信号(ref\_clk),该第一时钟信号的频率逐渐稳定。可选地,芯片上包括板级电源轨,芯片接入主机后,该板级电源轨逐渐变压至目标电压,例如该目标电压为1.8V(伏特),为芯片提供ASIC(Application Specific Integrated Circuit,专用集成电路)电源。可选地,当板级电源轨变压至目标电压,芯片上产生电源就绪信号(power\_on\_okay),该电源就绪信号用于通知芯片进入准备状态,该准备状态是指芯片进入准备执行上电操作的状态。

[0129] 在一种可能实现方式中,芯片的处理器中包括ARM core bootloader(处理器内核引导加载程序)和Boot程序(引导程序),该ARM core bootloader用于是ARM core(处理器内核)运行之前运行,用于引导处理器启动,该Boot程序用于启动芯片的处理器,该芯片通过ARM core bootloader加载Boot程序,从而启动芯片的处理器。可选地,启动芯片的处理器

器所消耗的时长约为11.53毫秒。

[0130] 402、通过处理器,基于第一时钟信号,对控制器和物理层进行初始化操作。

[0131] 芯片包括控制器和物理层(PHY,Physical),芯片启动处理器后,通过处理器,基于频率稳定的第一时钟信号,对控制器和物理层进行初始化操作。其中,控制器用于控制芯片中的集成电路,物理层用于完成编解码、扰码与解扰码、串并转换、差分发送与接收、链路训练等功能,为数据通信提供传输介质。

[0132] 对控制器和物理层进行初始化操作需要利用稳定的时钟信号,本申请实施例中,利用第一时钟信号来对控制器和物理层进行初始化操作,无需等到主机的第二时钟信号的频率切换为稳定状态后,才对控制器和物理层进行初始化操作,从而将控制器和物理层的初始化过程提前至第二时钟信号的频率切换为稳定状态之前。

[0133] 在一种可能实现方式中,芯片对第一时钟信号进行变频操作,得到变频后的第一时钟信号,通过处理器,基于变频后的第一时钟信号,对控制器和物理层进行初始化操作。第一时钟信号的频率为第一频率,例如第一频率为100Mhz,而对控制器和物理层进行初始化操作需要利用第二频率的时钟信号,例如第二频率为50Mhz,则芯片先将第一时钟信号从第一频率变频至第二频率,然后通过处理器,基于该第二频率的第一时钟信号,对控制器和物理层进行初始化操作。

[0134] 在一种可能实现方式中,芯片包括Serdes (Serializer-Deserializer,串行器-解串器),芯片的处理器控制Serdes进行驱动加载,来对控制器和物理层的初始化。

[0135] 需要说明的是,上述步骤402仅以对控制器和物理层进行初始化操作为例,说明对芯片进行初始化操作的过程。除此之外,对进行初始化操作还可以包括对芯片中的其他部件进行初始化操作,本申请实施例对此不做限定。

[0136] 需要说明的是,本申请实施例仅以第一时钟信号为例,说明通过处理器,对控制器和物理层进行初始化操作的过程。在另一实施例中,还可以通过处理器,基于其他的时钟信号,对控制器和物理层进行初始化操作,仅需保证该时钟信号为频率稳定的时钟信号即可。

[0137] 403、在控制器和物理层初始化完成时,将第二时钟信号确定为控制器和物理层更换后的时钟信号。

[0138] 在对控制器和物理层进行初始化操作时,控制器和物理层的时钟信号为第一时钟信号,而控制器和物理层在完成初始化后的后续操作需要基于主机的第二时钟信号来完成,因此在控制器和物理层初始化完成时,芯片将第二时钟信号确定为控制器和物理层更换后的时钟信号,也即是提供供给控制器和物理层的第一时钟信号切换为第二时钟信号。

[0139] 该第二时钟信号为主机上产生的时钟信号,主机将该第二时钟信号提供给芯片。在芯片接入主机后,该主机上会产生第二时钟信号,在刚产生该第二时钟信号的一段时间内,该第二时钟信号的频率是不稳定的,后续第二时钟信号的频率逐渐趋于稳定。该第二时钟信号的频率切换为稳定状态的时间点晚于第一时钟信号切换为稳定状态的时间点。其中,芯片将该第二时钟信号确定为控制层和物理层更换后的时钟信号时,该第二时钟信号可能处于不稳定状态,也可能处于稳定状态。

[0140] 在一种可能实现方式中,控制器和物理层连接有时钟锁相环,时钟信号进入该时钟锁相环后提供给该控制器和物理层。在对控制器和物理层进行初始化操作时,芯片控制第一时钟信号进行该时钟锁相环,从而将第一时钟信号提供给控制器和物理层,在控制器

和物理层初始化完成时,芯片控制第一时钟信号停止进入时钟锁相环,控制第二时钟信号进入时钟锁相环,从而将第二时钟信号提供给控制器和物理层。

[0141] 其中,时钟锁相环(PhaseLockedLoop)是一种反馈控制电路,用于整合时钟信号。本申请实施例中,时钟锁相环的作用是对时钟信号进行变频。

[0142] 可选地,时钟锁相环连接有时钟门控,第一时钟信号通过时钟门控进入时钟锁相环。芯片控制第一时钟信号停止进入时钟锁相环,控制第二时钟信号进入时钟锁相环,包括:关闭时钟门控,以使第一时钟信号停止进入时钟锁相环,在第一时钟信号停止进入时钟锁相环之后的时长达到第一时长的情况下,将进入时钟门控的第一时钟信号切换为第二时钟信号,在将进入时钟门控的第一时钟信号切换为第二时钟信号之后的时长达到第二时长的情况下,打开时钟门控,以使第二时钟信号进入时钟锁相环。

[0143] 该时钟门控用于控制时钟信号的传输,时钟信号进入时钟门控,当时钟门控开启时,时钟信号会继续向时钟门控连接的下一个部件传输,当时钟门控关闭时,该时钟信号会被“拦截”下来,无法进入时钟门控所连接的下一个部件。本申请实施例中,考虑到如果直接将进入时钟锁相环的第一时钟信号切换为第二时钟信号,在时钟切换的过程中会产生时钟毛刺,如果时钟毛刺传输到时钟锁相环中,容易导致时钟锁相环出现电路故障。因此,将时钟锁相环与时钟门控连接,通过关闭时钟门控,能够使第一时钟信号停止进入该时钟锁相环,并且在第一时钟信号停止进入时钟锁相环之后的时长达到第一时长的情况下,才将进入时钟门控的第一时钟信号切换为第二时钟信号,在将进入时钟门控的第一时钟信号切换为第二时钟信号之后的时长达到第二时长的情况下,再重新打开时钟门控,从而避免产生时钟毛刺。

[0144] 可选地,该第一时长为第一数量个时钟周期,例如该第一数量可配置为2到15,第一数量的默认配置值为10。该第二时长为第二数量个时钟周期,例如该第二数量可配置为2到15,第二数量的默认配置值为10。

[0145] 图5是本申请实施例提供的另一种芯片的结构示意图,以PCIE主机501和PCIE芯片502为例,PCIE芯片502接入PCIE主机501后,PCIE主机501向PCIE芯片502提供复位信号和第二时钟信号。该PCIE芯片502包括时钟控制模块512、时钟切换模块522、时钟门控532、时钟锁相环542以及控制器和物理层552,各个部件之间的连接关系详见图5所示。

[0146] 时钟控制模块512用于控制时钟切换模块522和时钟门控532,时钟切换模块522用于切换传输至时钟门控532的时钟信号,时钟门控532用于控制传输至时钟锁相环542的时钟信号,时钟锁相环541用于对时钟信号进行变频操作。

[0147] 其中,PCIE芯片上产生的第一时钟信号以及PCIE主机提供的第二时钟信号均传输至时钟切换模块522,在控制器和物理层552初始化完成之前,该时钟切换模块522控制第一时钟信号传输至时钟门控532,将第二时钟信号“拦截”下来。在控制器和物理层552初始化完成时,时钟控制模块512控制时钟门控532关闭,以使第一时钟信号停止进入时钟锁相环542,当第一时钟信号停止进入时钟锁相环542的时长达到第一时长,时钟控制模块512控制时钟切换模块522将传输至时钟门控532的时钟信号从第一时钟信号切换为第二时钟信号,当传输至时钟门控532的时钟信号从第一时钟信号切换为第二时钟信号的时长达到第二时长,时钟控制模块512控制时钟门控532打开,以使第二时钟信号进入时钟锁相环542,从而完成第一时钟信号到第二时钟信号的时钟切换。

[0148] 图6是本申请实施例提供的一种时钟信号的切换方法的流程图,如图6所示,该方法包括以下步骤。

[0149] 601、芯片中的ARM core (处理器内核) 在控制器和物理层的初始化完成后,配置启动时钟切换流程,控制芯片中的时钟门控关闭,以使第一时钟信号停止进入时钟锁相环。

[0150] 602、芯片实时监测时钟门控关闭后的时长是否达到第一时长,如果时钟门控关闭后的时长达到第一时长,则执行下述步骤603,如果时钟门控关闭后的时长未达到第一时长,则继续保持时钟门控关闭。

[0151] 603、芯片将进入时钟门控的第一时钟信号切换为第二时钟信号。

[0152] 604、芯片实时监测时钟信号切换后的时长是否达到第二时长,如果时钟信号切换后的时长达到第二时长,则执行下述步骤605,如果时钟信号切换后的时长未达到第二时长,则继续保持时钟门控关闭。

[0153] 605、在时钟信号切换后的时长达到第二时长的情况下,控制时钟门控打开,以使第二时钟信号进入时钟锁相环。

[0154] 其中,在上述图6所示的时钟切换过程中,通过状态机来维护芯片的状态,各个阶段的状态以及状态描述参见下述表1所示。

[0155] 表1

状态名	状态描述
开始	芯片响应于电源就绪信号,状态机进入准备状态
时钟门控关闭	当状态机接收到来自 ARM core 的配置指令,启动时钟切换流程时,状态机配置为时钟门控关闭
时钟门控关闭的时序控制	该状态用于保证时钟门控关闭的时序要求,时钟门控关闭的时长达到第一时长后切换为下一个状态,该第一时长配置为 10 个时钟周期
[0156] 时钟信号切换	状态机配置为将时钟信号从第一时钟信号切换为第二时钟信号
时钟信号切换的时序控制	该状态用于保证时钟信号切换的时序要求,时钟信号切换的时长达到第二时长后切换为下一个状态,该第二时长配置为 10 个时钟周期
时钟门控打开	状态机配置为打开时钟门控,将第二时钟信号传输至时钟锁相环
结束	时钟切换流程结束

[0157] 404、接收主机发送的复位信号,复位信号在主机的第二时钟信号的频率切换为稳

定状态后发送。

[0158] 在芯片接入主机后,该主机上会产生第二时钟信号,在刚产生该第二时钟信号的一段时间内,该第二时钟信号的频率是不稳定的。后续第二时钟信号的频率逐渐趋于稳定,第二时钟信号的频率切换为稳定状态的一段时间后,主机上产生复位信号,主机向芯片发送该复位信号,因此芯片会接收到主机发送的复位信号,该复位信号用于通知芯片开启上电流程。可选地,该复位信号在主机的第二时钟信号处于稳定状态的持续时长达到第三时长时发送,例如该第三时长最小为100微秒。

[0159] 其中,第一时钟信号的频率切换为稳定状态的时间点早于第二时钟信号切换为稳定状态的时间点。因此,在芯片接收到复位信号之前,就可以启动该芯片的处理器以及对控制器和物理层进行初始化操作。也即是,上述步骤401-步骤403是在该步骤404之前完成的。可选地,第一时钟信号的频率保持不变的时长达到第四时长时,确定该第一时钟信号的频率切换为稳定状态,第二时钟信号的频率保持不变的时长达到第四时长时,确定该第二时钟信号的频率切换为稳定状态。

[0160] 405、响应于复位信号,通过处理器,控制时钟锁相环对第二时钟信号进行变频操作,得到变频后的第二时钟信号。

[0161] 控制器和物理层的操作需要利用主机的第二时钟信号,主机的第二时钟信号为第三频率的时钟信号,例如该第三频率为100Mhz,而控制器和物理层需要利用第四频率的第二时钟信号,例如第四频率为500Mhz或者250Mhz。因此在将第二时钟信号提供给控制器和物理层之前,需要先通过处理器,控制时钟锁相环对第二时钟信号进行变频操作,将第三频率的第二时钟信号变频至第四频率的第二时钟信号,从而得到控制器和物理层的操作所需的时钟信号。

[0162] 406、通过控制器和物理层,基于变频后的第二时钟信号,控制芯片进入Detect状态。

[0163] 芯片得到变频后的第二时钟信号后,通过初始化完成的控制器和物理层,以及该变频后的第二时钟信号,控制芯片进入Detect状态。其中,Detect状态又称为LTSSM(Link Training and Status State Machine,链路训练和状态的状态机) Detect状态,该Detect状态是Link Training(链路训练)的初始状态。

[0164] 需要说明的是,芯片通过执行步骤405-406,实现响应于复位信号,执行上电操作。本申请实施例中,上电操作包括对第二时钟信号的变频操作以及控制芯片进入Detect状态。而在另一实施例中,对芯片的上电操作还可以包括其他操作。

[0165] 需要说明的是,在一种可能实现方式中,上电操作包括由处理器执行的第一操作,处理器用于响应于第一操作对应的操作指令,执行第一操作。例如,该第一操作是指上述步骤405中控制时钟锁相环对第二时钟信号进行变频操作。则本申请实施例中的上电操作执行方法还包括以下至少一项:

[0166] (1) 芯片还包括除了处理器之外的其他部件,在执行上电操作时,芯片控制其他部件停止向处理器发送除了第一操作之外的其他操作对应的操作指令。

[0167] 例如,其他部件包括DMA(Direct Memory Access,直接存储器访问)或者寄存器等。为了降低上电操作所消耗的时长,在执行上电操作时,通过控制其他部件停止向处理器发送除了第一操作之外的其他操作对应的操作指令,使得处理器仅能接收到第一操作对应

的操作指令,因此处理器的资源不会被其他操作所占用,保证处理器能够及时执行第一操作,从而降低处理器执行第一操作所消耗的时长,进而降低了上电操作所消耗的时长。

[0168] (2)通过处理器按照优先级响应操作指令,第一操作对应的操作指令的优先级最高。

[0169] 芯片的处理器按照接收的各个操作指令的优先级依次响应各个操作指令,由于第一操作对应的操作指令的优先级最高,因此处理器会优先响应该第一操作对应的操作指令,从而及时执行上电操作中的第一操作,降低处理器执行第一操作所消耗的时长,进而降低了上电操作所消耗的时长。

[0170] 相关技术中,芯片利用主机的第二时钟信号来启动芯片的处理器以及对控制器和物理层执行初始化操作,因此芯片在接收到复位信号之后,才会启动芯片的处理器以及对控制器和物理层执行初始化操作,则芯片的上电过程包括处理器的启动过程、第二时钟信号的变频过程、控制器和物理层的初始化过程以及进入Detect状态的过程,芯片的上电过程所消耗的时长较长,存在上电过程不满足时序要求的情况。例如,PCIE协议中上电过程的时序要求为上电过程所消耗的时长不能超过20毫秒,而在实际应用中,处理器的启动过程所消耗的时长为 $T_0=11.53$ 毫秒,第二时钟信号的变频过程所消耗的时长为 $T_1=0.84$ 毫秒,控制器和物理层的初始化过程所消耗的时长为 $T_2=7.56$ 毫秒,进入Detect状态的过程所消耗的时长为 $T_3=1.32$ 毫秒,除此之外,上电过程所消耗的时长还包括处理器的配置和响应所消耗的时长为 $T_4=1$ 毫秒,则上电过程所消耗的时长为 $T_0+T_1+T_2+T_3+T_4=22.25$ 毫秒,该时长超过了PCIE协议所要求的20ms,因此存在芯片在主机上存在无法正常上电的可能性,导致芯片无法工作。

[0171] 而本申请实施例中,芯片利用第一时钟信号来启动芯片的处理器以及对控制器和物理层执行初始化操作,因此在第一时钟信号稳定的情况下,就可以启动芯片的处理器以及对控制器和物理层执行初始化操作,无需等到接收到复位信号再执行,因此则芯片的上电过程仅包括第二时钟信号的变频过程以及进入Detect状态的过程,从而降低了芯片的上电过程所消耗的时长。

[0172] 图7是本申请实施例提供的一种上电操作执行方法的时序图,如图7所示,s0时刻表示芯片接入主机的时刻,从s0时刻开始,芯片的板级电源轨开始变压至1.8V,为芯片提供ASIC电源。当变压结束后,电源就绪信号拉高,从芯片接入主机到电源就绪信号拉高所消耗的时长约为20毫秒。在电源就绪信号拉高之前,板级晶振提供给芯片的第一时钟信号的频率稳定至100Mhz。

[0173] 如图7所示,当第一时钟信号的频率稳定至100Mhz时,ARM Core Bootloader通过加载Boot程序来启动处理器,启动处理器所消耗的时长为 $T_0$ 。当处理器启动完成时,通过处理器控制Serdes驱动加载,来对控制器和物理层进行初始化,初始化控制器和物理层所消耗的时长为 $T_2$ ,当控制器和物理层初始化完成时,通过控制将控制器和物理层的时钟信号从第一时钟信号切换为第二时钟信号ARM Core,此时完成芯片的上电操作之前的准备工作。

[0174] 如图7所示,在主机的第二时钟信号处于稳定状态的持续时长达到100微秒时,主机产生复位信号,向芯片发送该复位信号,s1时刻表示产生复位信号的时刻,此时通过ARM Core控制时钟锁相环对第二时钟信号进行变频操作,得到变频后的第二时钟信号,对第二

时钟信号进行变频操作所消耗的时长为T1。在得到变频后的第二时钟信号时,通过控制器和物理层,控制芯片进入Detect状态,进入Detect状态所消耗的时长为T3。从芯片接收到复位信号到芯片进入Detect状态所的过程即为芯片的上电过程。

[0175] 在实际应用中,T1=0.84毫秒,T3=1.32毫秒,除此之外,上电过程所消耗的时长还包括处理器的配置和响应所消耗的时长为T4=1毫秒,则本申请实施例中,上电过程所消耗的时长为T1+T3+T4=3.16ms毫秒,该时长完全满足了PCIE协议中要求的20ms。

[0176] 本申请实施例提供的方法,当芯片的第一时钟信号的频率切换为稳定状态时,就启动芯片的处理器,并在处理器启动后对控制器和物理层进行初始化操作,当主机的第二时钟信号的频率切换为稳定状态后,芯片接收复位信号并响应于该复位信号执行上电操作,由于第一时钟信号的频率切换为稳定状态的时间点早于第二时钟信号切换为稳定状态的时间点,相当于将处理器的启动过程以及控制器和物理层的初始化过程提前到了接收复位信号之前,因此在上电过程中无需执行启动处理器以及初始化控制器和物理层的操作,从而缩短了芯片的上电过程所消耗的时长。

[0177] 并且,由于缩短了芯片的上电操作所消耗的时长,能够保证上电过程满足时序要求,从而保证芯片的正常工作,同时提高了芯片对不同主机的适应性。

[0178] 并且,在进行时钟信号切换时,在第一时钟信号停止进入时钟锁相环之后的时长达到第一时长的情况下,才将进入时钟门控的第一时钟信号切换为第二时钟信号,在将进入时钟门控的第一时钟信号切换为第二时钟信号之后的时长达到第二时长的情况下,再重新打开时钟门控,能够避免时钟信号切换的过程中产生时钟毛刺。

[0179] 并且,在执行上电操作时,通过控制其他部件停止向处理器发送除了第一操作之外的其他操作对应的操作指令,使得处理器仅能接收到第一操作对应的操作指令,因此处理器的资源不会被其他操作所占用,保证处理器能够及时执行第一操作,从而降低处理器执行第一操作所消耗的时长,进而降低了上电操作所消耗的时长。

[0180] 并且,处理器优先响应该第一操作对应的操作指令,从而及时执行上电操作中的第一操作,降低处理器执行第一操作所消耗的时长,进而降低了上电操作所消耗的时长。

[0181] 图4的实施例中将处理器的启动过程以及控制器和物理层的初始化过程提前至接收到复位信号之前,从而降低了上电操作所消耗的时长。在另一实施例中,还可以仅将处理器的启动过程提前至接收到复位信号之前,控制器和物理层的初始化过程仍然作为上电过程的一部分,放在接收到复位信号之后来执行,具体过程详见下述图8的实施例。

[0182] 图8是本申请实施例提供的再一种上电操作执行方法的流程图。本申请实施例的执行主体为芯片,参见图8,该方法包括:

[0183] 801、在芯片接入主机后,当芯片的第一时钟信号的频率切换为稳定状态时,启动芯片的处理器。

[0184] 该步骤801中处理器的启动过程与上述步骤401中处理器的启动过程同理,在此不再赘述。

[0185] 802、接收主机发送的复位信号,复位信号在主机的第二时钟信号的频率切换为稳定状态后发送。

[0186] 第一时钟信号的频率切换为稳定状态的时间点早于第二时钟信号切换为稳定状态的时间点。该步骤801中接收复位信号的过程与上述步骤404中接收复位信号的过程同

理,在此不再赘述。

[0187] 803、响应于复位信号,通过处理器,控制时钟锁相环对第二时钟信号进行变频操作,得到变频后的第二时钟信号。

[0188] 其中,控制器和物理层连接有时钟锁相环。该步骤803中对第二时钟信号进行变频的过程与上述步骤405中对第二时钟信号进行变频的过程同理,在此不再赘述。

[0189] 804、通过处理器,对控制器和物理层进行初始化操作。

[0190] 芯片包括控制器和物理层,芯片响应于主机发送的复位信号,通过处理器,基于变频后的第二时钟信号,对控制器和物理层进行初始化操作。

[0191] 该步骤804中对控制器和物理层进行初始化操作的过程与上述步骤402中对控制器和物理层进行初始化操作的过程相比,不同之处在于初始化的时机以及初始化所使用的时钟信号不同。在上述步骤402,对控制器和物理层进行初始化操作的时机为处理器启动完成,此时芯片的第一时钟信号已经处于稳定状态,主机的第二时钟信号还未处于稳定状态,因此基于该第一时钟信号来对控制器和物理层进行初始化操作,该初始化操作不属于上电操作的一部分。而在该步骤804中,对控制器和物理层进行初始化操作的时机为对第二时钟信号变频完成,由于此时已经得到变频后的第二时钟信号,因此直接基于变频后的第二时钟信号来对控制器和物理层进行初始化操作,该初始化操作属于上电操作的一部分。

[0192] 除此之外,该步骤804中对控制器和物理层进行初始化操作的过程与上述步骤402中对控制器和物理层进行初始化操作的过程同理,在此不再赘述。

[0193] 805、通过控制器和物理层,基于变频后的第二时钟信号,控制芯片进入Detect状态。

[0194] 该步骤805中控制芯片进入Detect状态的过程与上述步骤406中控制芯片进入Detect状态的过程同理,在此不再赘述。

[0195] 需要说明的是,本申请实施例以上述步骤803-步骤805为例,说明了芯片响应于复位信号,通过处理器,对第二时钟信号进行变频操作,得到变频后的第二时钟信号,通过处理器对芯片进行初始化操作,基于变频后的第二时钟信号,控制芯片进入Detect状态。除此之外,芯片还可以采用其他方式对第二时钟信号进行变频操作,或者采用其他方式控制芯片进入Detect状态,本申请实施例对此不做限定。

[0196] 需要说明的是,在一种可能实现方式中,上电操作包括由处理器执行的第一操作,处理器用于响应于第一操作对应的操作指令,执行第一操作。例如,该第一操作是指上述步骤803中控制时钟锁相环对第二时钟信号进行变频操作。则本申请实施例中的上电操作执行方法还包括以下至少一项:

[0197] (1) 芯片还包括除了处理器之外的其他部件,在执行上电操作时,芯片控制其他部件停止向处理器发送除了第一操作之外的其他操作对应的操作指令。

[0198] (2) 通过处理器按照优先级响应操作指令,第一操作对应的操作指令的优先级最高。

[0199] 本申请实施例提供的方法,当芯片的第一时钟信号的频率切换为稳定状态时,就启动芯片的处理器,当主机的第二时钟信号的频率切换为稳定状态后,芯片接收复位信号并响应于该复位信号执行上电操作,由于第一时钟信号的频率切换为稳定状态的时间点早于第二时钟信号切换为稳定状态的时间点,相当于将处理器的启动过程提前到了接收复位

信号之前,因此在上电过程中无需执行启动处理器的操作,从而缩短了芯片的上电过程所消耗的时长。

[0200] 并且,由于缩短了芯片的上电操作所消耗的时长,能够保证上电过程满足时序要求,从而保证芯片的正常工作,同时提高了芯片对不同主机的适应性。

[0201] 并且,在执行上电操作时,通过控制其他部件停止向处理器发送除了第一操作之外的其他操作对应的操作指令,使得处理器仅能接收到第一操作对应的操作指令,因此处理器的资源不会被其他操作所占用,保证处理器能够及时执行第一操作,从而降低处理器执行第一操作所消耗的时长,进而降低了上电操作所消耗的时长。

[0202] 并且,处理器优先响应该第一操作对应的操作指令,从而及时执行上电操作中的第一操作,降低处理器执行第一操作所消耗的时长,进而降低了上电操作所消耗的时长。

[0203] 图9是本申请实施例提供的又一种上电操作执行方法的流程图。本申请实施例的执行主体为电子设备,该电子设备包括芯片和处理器,参见图9,该方法包括:

[0204] 901、在芯片接入主机后,当芯片的第一时钟信号的频率切换为稳定状态时,启动芯片的处理器。

[0205] 该步骤901中处理器的启动过程与上述步骤401中处理器的启动过程同理,在此不再赘述。

[0206] 902、在主机的第二时钟信号的频率切换为稳定状态之后,通过主机向处理器发送复位信号。

[0207] 在芯片接入主机后,主机上会产生第二时钟信号,在刚产生该第二时钟信号的一段时间内,该第二时钟信号的频率是不稳定的。后续第二时钟信号的频率逐渐趋于稳定。第二时钟信号的频率切换为稳定状态的一段时间后,主机上产生复位信号,主机向芯片发送该复位信号。

[0208] 在一种可能实现方式中,在主机的第二时钟信号处于稳定状态的持续时长达到第三时长时,通过主机向处理器发送复位信号。当第二时钟信号处于稳定状态的持续时长达到第三时长时,主机上产生复位信号,电子设备通过主机向芯片发送该复位信号。可选地,该芯片为PCIE芯片,该主机为PCIE主机,该第三时长为PCIE协议规定的,例如该第三时长最小为100微秒。

[0209] 其中,第一时钟信号的频率切换为稳定状态的时间点早于第二时钟信号切换为稳定状态的时间点。

[0210] 903、通过处理器,接收复位信号,响应于复位信号,执行上电操作。

[0211] 电子设备通过芯片的处理器接收主机发送的复位信号,该复位信号用于通知芯片开启上电流程,则芯片响应于该复位信号,执行上电操作。

[0212] 其中,该步骤903中对芯片执行上电操作的过程与上述步骤803-步骤805的过程同理,在此不再赘述。或者,电子设备在启动芯片的处理器后,通过处理器对控制器和物理层进行初始化操作,在控制器和物理层初始化完成时,将第二时钟信号确定为控制器和物理层更换后的时钟信号,则该步骤903中对芯片执行上电操作的过程与上述步骤405-步骤406的过程同理,在此不再赘述。

[0213] 本申请实施例提供的方法,当芯片的第一时钟信号的频率切换为稳定状态时,就启动芯片的处理器,当主机的第二时钟信号的频率切换为稳定状态后,芯片接收复位信号

并响应于该复位信号执行上电操作,由于第一时钟信号的频率切换为稳定状态的时间点早于第二时钟信号切换为稳定状态的时间点,相当于将处理器的启动过程提前到了接收复位信号之前,因此在上电过程中无需执行启动处理器的操作,从而缩短了芯片的上电过程所消耗的时长。

[0214] 图10是本申请实施例提供的一种上电操作执行装置的结构示意图。参见图10,该装置包括:

[0215] 启动模块1001,用于在芯片接入主机后,当芯片的第一时钟信号的频率切换为稳定状态时,启动芯片的处理器;

[0216] 信号接收模块1002,用于接收主机发送的复位信号,复位信号在主机的第二时钟信号的频率切换为稳定状态后发送;

[0217] 上电模块1003,用于响应于复位信号,执行上电操作;

[0218] 其中,第一时钟信号的频率切换为稳定状态的时间点早于第二时钟信号切换为稳定状态的时间点。

[0219] 本申请实施例提供的上电操作执行装置,当芯片的第一时钟信号的频率切换为稳定状态时,就启动芯片的处理器,当主机的第二时钟信号的频率切换为稳定状态后,芯片接收复位信号并响应于该复位信号执行上电操作,由于第一时钟信号的频率切换为稳定状态的时间点早于第二时钟信号切换为稳定状态的时间点,相当于将处理器的启动过程提前到了接收复位信号之前,因此在上电过程中无需执行启动处理器的操作,从而缩短了芯片的上电过程所消耗的时长。

[0220] 可选地,参见图11,装置还包括:

[0221] 初始化模块1004,用于通过处理器,对芯片进行初始化操作。

[0222] 可选地,参见图11,芯片包括控制器和物理层,初始化模块1004,用于通过处理器,对控制器和物理层进行初始化操作。

[0223] 可选地,该初始化模块1004,用于通过处理器,基于第一时钟信号,对控制器和物理层进行初始化操作。

[0224] 可选地,参见图11,该初始化模块1004,包括:

[0225] 第一变频单元1014,用于对第一时钟信号进行变频操作,得到变频后的第一时钟信号;

[0226] 第一初始化单元1024,用于通过处理器,基于变频后的第一时钟信号,对控制器和物理层进行初始化操作。

[0227] 可选地,参见图11,在对控制器和物理层进行初始化操作时,控制器和物理层的时钟信号为第一时钟信号;装置还包括:

[0228] 时钟切换模块1005,用于在控制器和物理层初始化完成时,将第二时钟信号确定为控制器和物理层更换后的时钟信号。

[0229] 可选地,参见图11,控制器和物理层连接有时钟锁相环,时钟切换模块1005,用于在控制器和物理层初始化完成时,控制第一时钟信号停止进入时钟锁相环,控制第二时钟信号进入时钟锁相环。

[0230] 可选地,参见图11,时钟锁相环连接有时钟门控,第一时钟信号通过时钟门控进入时钟锁相环,时钟切换模块1005,用于:

- [0231] 关闭时钟门控,以使第一时钟信号停止进入时钟锁相环;
- [0232] 在第一时钟信号停止进入时钟锁相环之后的时长达到第一时长的情况下,将进入时钟门控的第一时钟信号切换为第二时钟信号;
- [0233] 在将进入时钟门控的第一时钟信号切换为第二时钟信号之后的时长达到第二时长的情况下,打开时钟门控,以使第二时钟信号进入时钟锁相环。
- [0234] 可选地,参见图11,控制器和物理层连接有有时钟锁相环,上电模块1003,包括:
- [0235] 第二变频单元1013,用于响应于复位信号,通过处理器,控制时钟锁相环对第二时钟信号进行变频操作,得到变频后的第二时钟信号;
- [0236] 状态进入单元1023,用于通过控制器和物理层,基于变频后的第二时钟信号,控制芯片进入检测Detect状态。
- [0237] 可选地,参见图11,上电模块1003,包括:
- [0238] 第二变频单元1013,用于响应于所述复位信号,通过处理器,对第二时钟信号进行变频操作,得到变频后的第二时钟信号;
- [0239] 第二初始化单元1033,用于通过处理器,对芯片进行初始化操作;
- [0240] 状态进入单元1023,用于基于变频后的第二时钟信号,控制芯片进入Detect状态。
- [0241] 可选地,参见图11,芯片包络控制器和物理层,控制器和物理层连接有有时钟锁相环;第二变频单元1013,用于通过处理器,控制时钟锁相环对第二时钟信号进行变频操作,得到变频后的第二时钟信号;
- [0242] 第二初始化单元1033,用于通过处理器,对控制器和物理层进行初始化操作;
- [0243] 状态进入单元1023,用于通过控制器和物理层,基于变频后的第二时钟信号,控制芯片进入Detect状态。
- [0244] 可选地,参见图11,上电操作包括由处理器执行的第一操作,处理器用于响应于第一操作对应的操作指令,执行第一操作;装置还包括指令控制模块1006,用于执行以下至少一项:
- [0245] 芯片还包括除了处理器之外的其他部件,在执行上电操作时,控制其他部件停止向处理器发送除了第一操作之外的其他操作对应的操作指令;
- [0246] 通过处理器按照优先级响应操作指令,第一操作对应的操作指令的优先级最高。
- [0247] 需要说明的是:上述实施例提供的上电操作执行装置在执行上电操作时,仅以上述各功能模块的划分进行举例说明,实际应用中,可以根据需要而将上述功能分配由不同的功能模块完成,即将芯片的内部结构划分成不同的功能模块,以完成以上描述的全部或者部分功能。另外,上述实施例提供的上电操作执行装置与上电操作执行方法实施例属于同一构思,其具体实现过程详见方法实施例,这里不再赘述。
- [0248] 图12是本申请实施例提供的再一种上电操作执行装置的结构示意图。参见图12,该装置包括:
- [0249] 启动模块1201,用于在芯片接入主机后,当芯片的第一时钟信号的频率切换为稳定状态时,启动芯片的处理器;
- [0250] 信号发送模块1202,用于在主机的第二时钟信号的频率切换为稳定状态之后,通过主机向处理器发送复位信号;
- [0251] 上电模块1203,用于通过处理器,接收复位信号,响应于复位信号,执行上电操作;

[0252] 其中,第一时钟信号的频率切换为稳定状态的时间点早于第二时钟信号切换为稳定状态的时间点。

[0253] 本申请实施例提供的上电操作执行装置,当芯片的第一时钟信号的频率切换为稳定状态时,就启动芯片的处理器,当主机的第二时钟信号的频率切换为稳定状态后,芯片接收复位信号并响应于该复位信号执行上电操作,由于第一时钟信号的频率切换为稳定状态的时间点早于第二时钟信号切换为稳定状态的时间点,相当于将处理器的启动过程提前到了接收复位信号之前,因此在上电过程中无需执行启动处理器的操作,从而缩短了芯片的上电过程所消耗的时长。

[0254] 可选地,信号发送模块1202,用于在第二时钟信号处于稳定状态的持续时长达到第三时长时,通过主机向处理器发送复位信号。

[0255] 需要说明的是:上述实施例提供的上电操作执行装置在执行上电操作时,仅以上述各功能模块的划分进行举例说明,实际应用中,可以根据需要而将上述功能分配由不同的功能模块完成,即将电子设备的内部结构划分成不同的功能模块,以完成以上描述的全部或者部分功能。另外,上述实施例提供的上电操作执行装置与上电操作执行方法实施例属于同一构思,其具体实现过程详见方法实施例,这里不再赘述。

[0256] 本领域普通技术人员可以理解实现上述实施例的全部或部分步骤可以通过硬件来完成,也可以通过程序来指令相关的硬件完成,所述的程序可以存储于一种计算机可读存储介质中,上述提到的存储介质可以是只读存储器,磁盘或光盘等。

[0257] 以上所述仅为本申请实施例的可选实施例,并不用以限制本申请实施例,凡在本申请实施例的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本申请的保护范围之内。

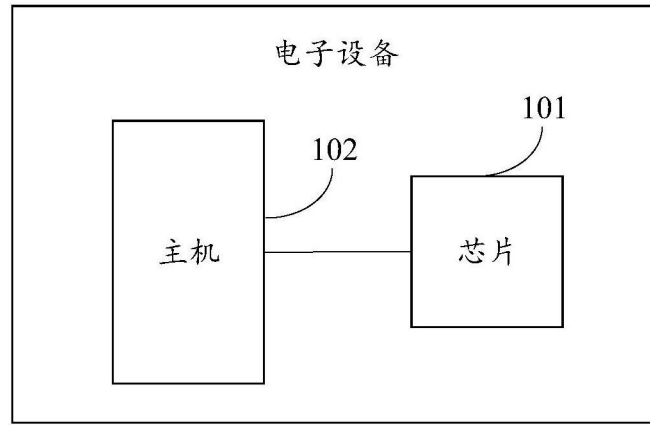


图1

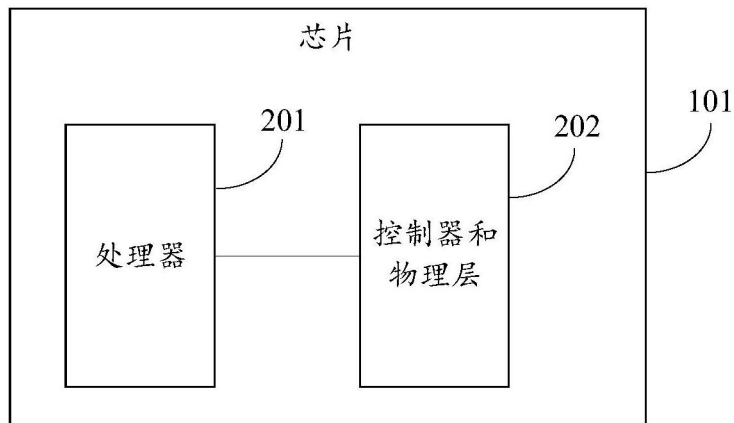


图2

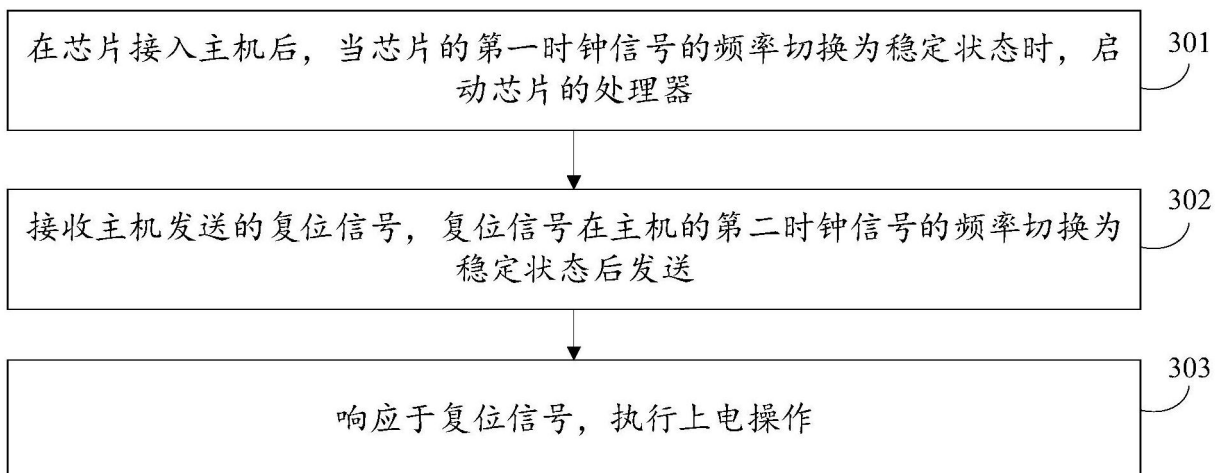


图3

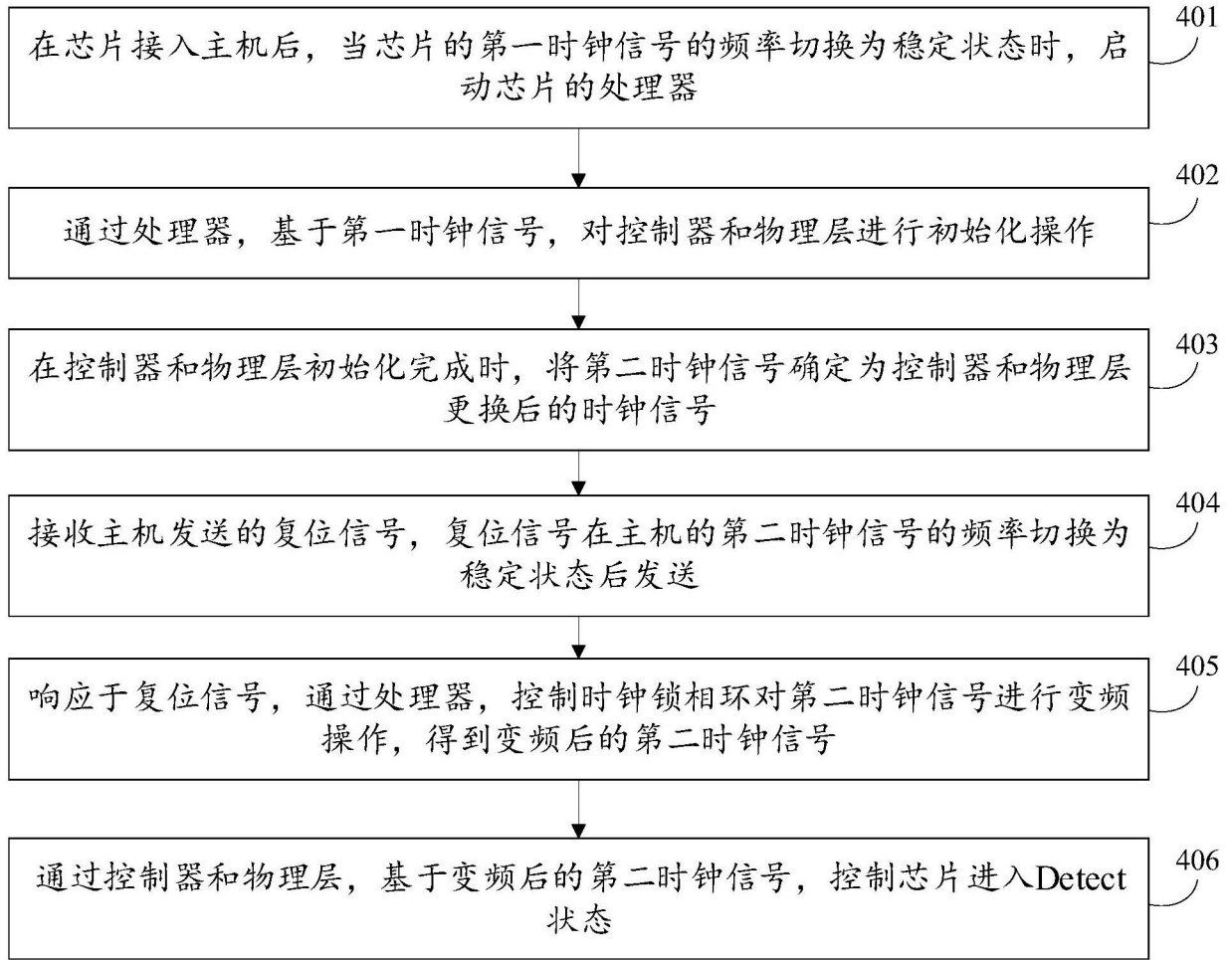


图4

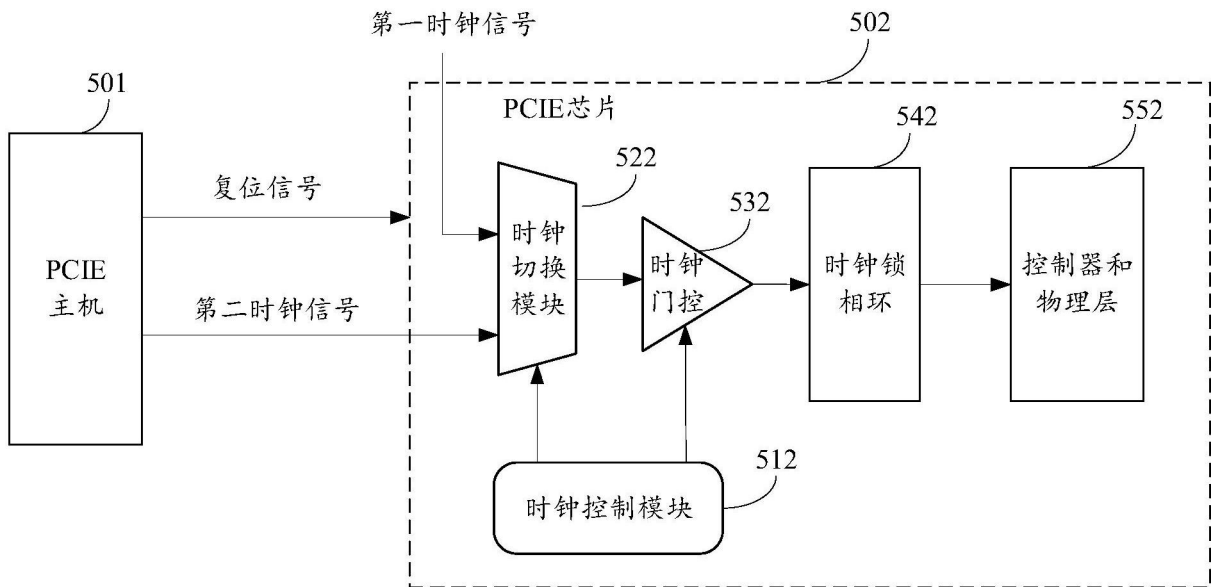


图5

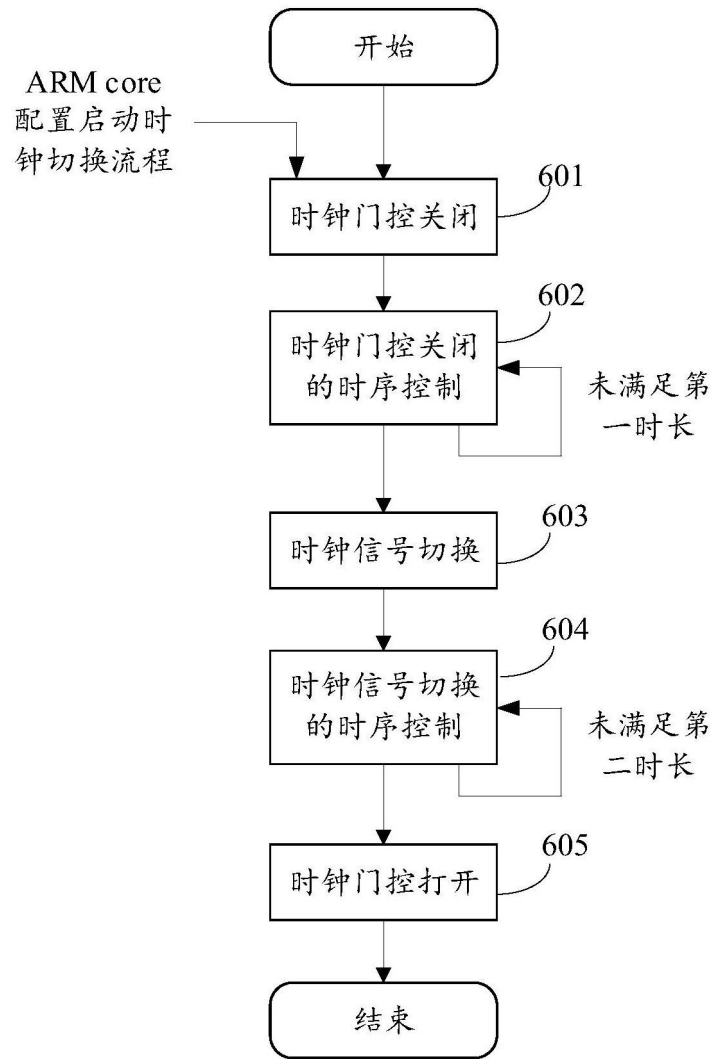


图6

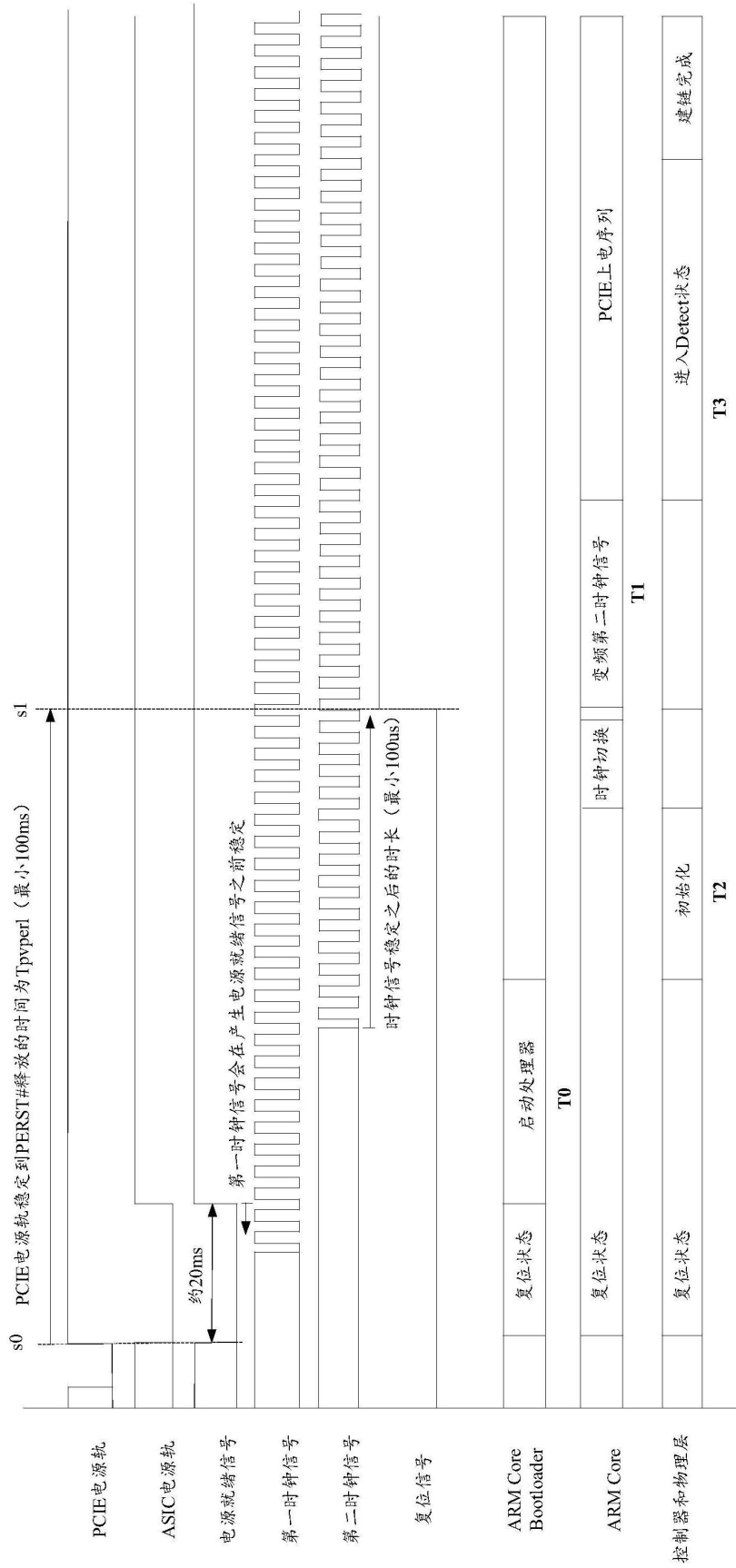


图7

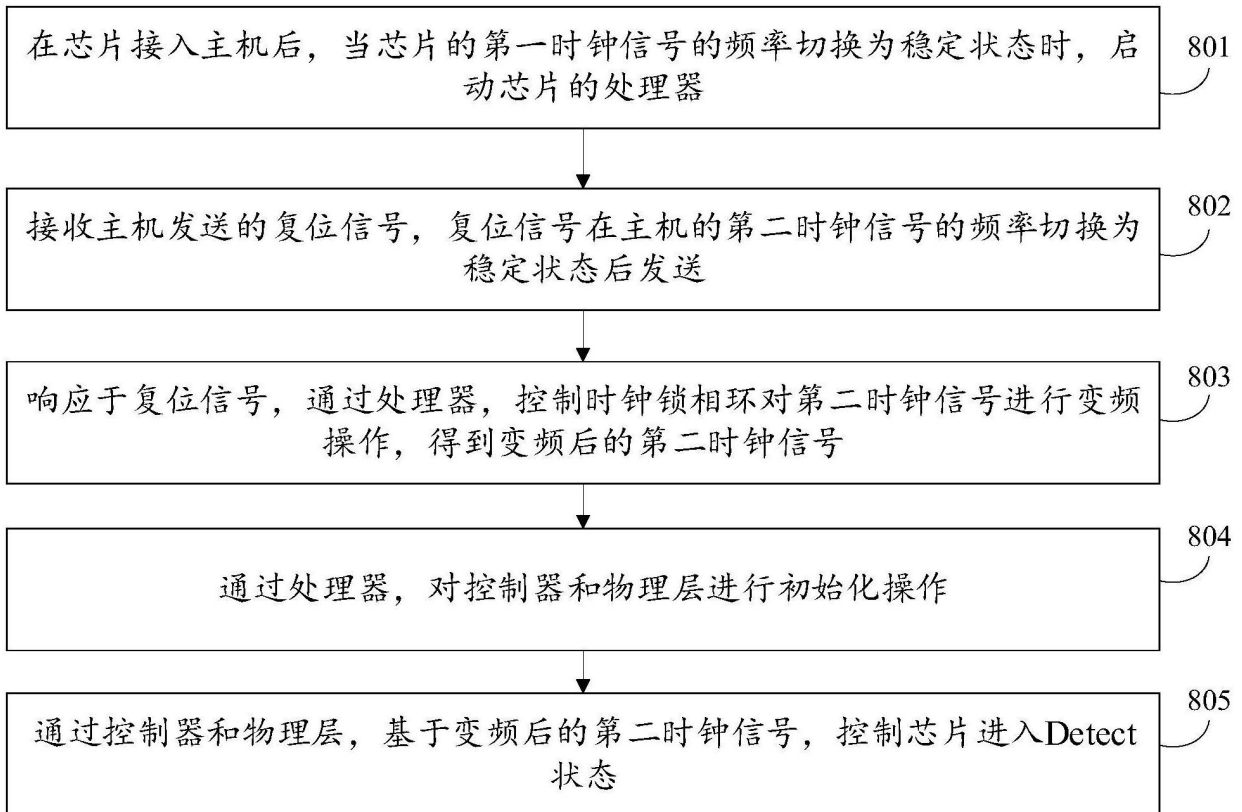


图8

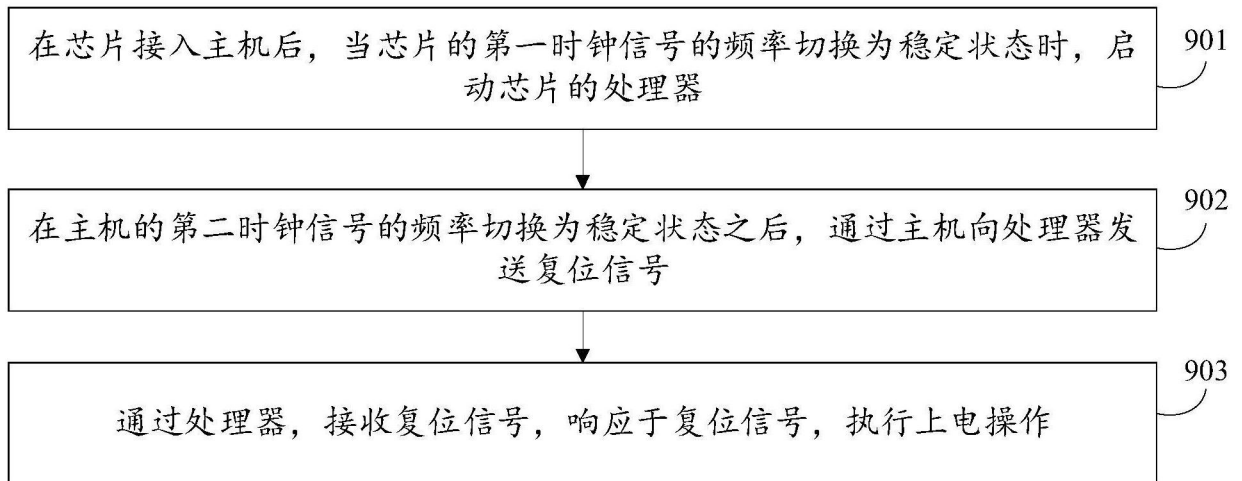


图9

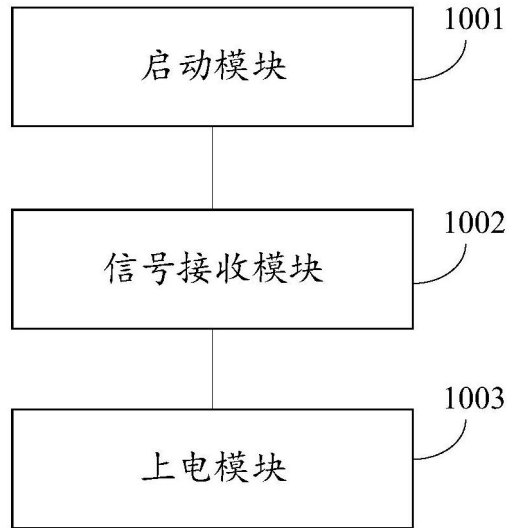


图10

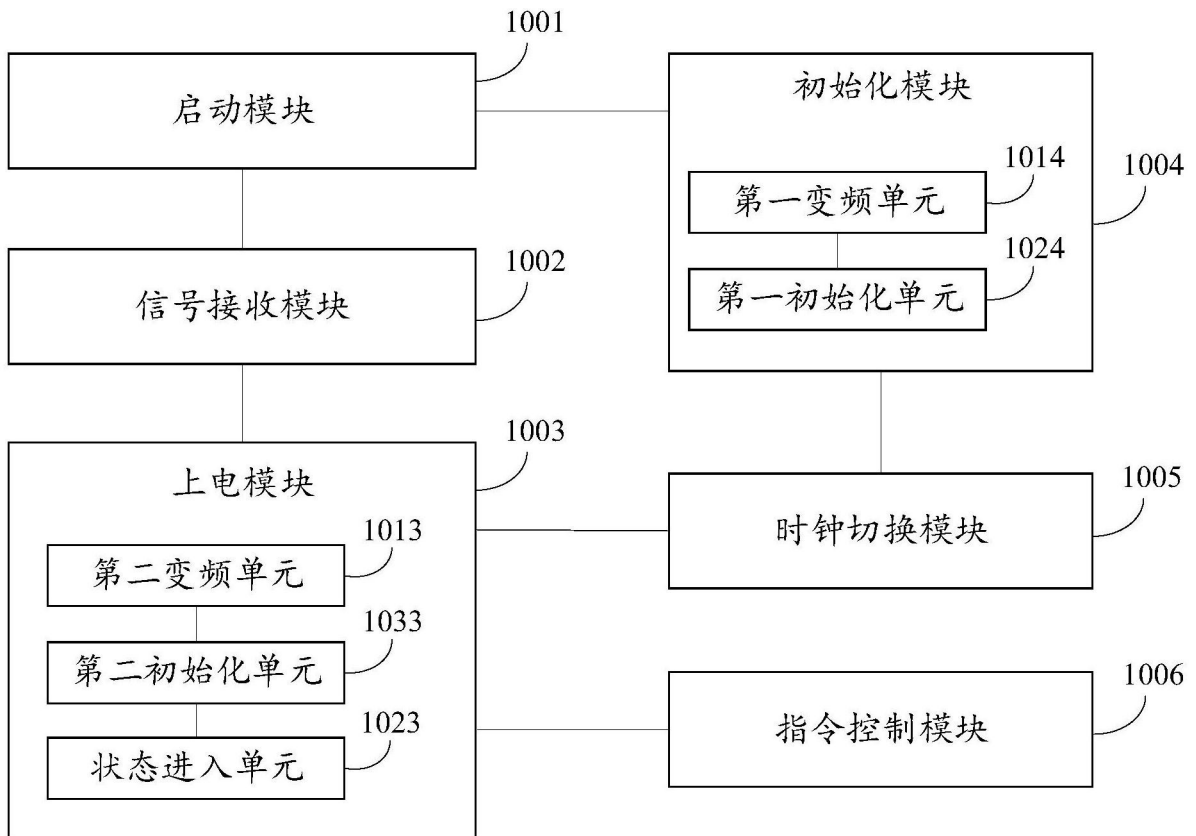


图11

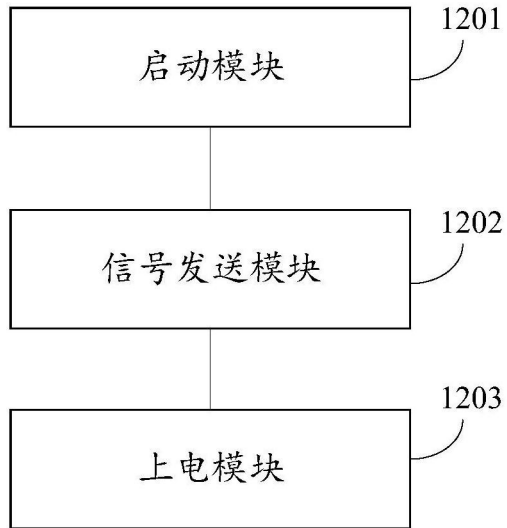


图12