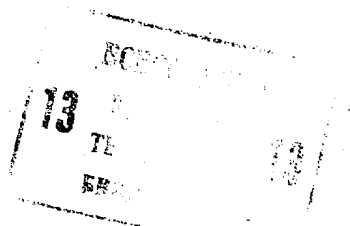




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4106308/24-24

(22) 18.08.86

(46) 07.10.88. Бюл. № 37

(71) Специальное конструкторское бюро
"Кибернетика" с опытным производством
Института кибернетики АН АзССР

(72) О.К. Нусратов, С.Б. Ситков,
Р.К. Симонян и Е.Д. Дворянкина

(53) 681.327(088.8)

(56) Авторское свидетельство СССР
№ 1211739, кл. G 06 F 3/00, 1984.

Авторское свидетельство СССР
№ 1273935, кл. G 06 F 3/00, 1985.

(54) УСТРОЙСТВО ДЛЯ ВЫВОДА ИНФОРМАЦИИ

(57) Изобретение относится к автоматике и вычислительной технике и предназначено

для вывода информации на устройства отображения. Целью изобретения является повышение быстродействия устройства за счет одновременного вывода точек с одинаковыми координатами на все индикаторы устройства отображения. Устройство для вывода информации содержит первый регистр 1, счетчик 2, блок памяти 3, первый элемент И 4, блок 5 коммутаторов, второй регистр 6, элемент задержки 7, второй и третий элементы И 8, 9, элемент НЕ 10, группу элементов И 11, дешифратор 12. Использование изобретения позволяет повысить скорость вывода изображения на устройства отображения, имеющие большую информационную емкость. 3 ил.

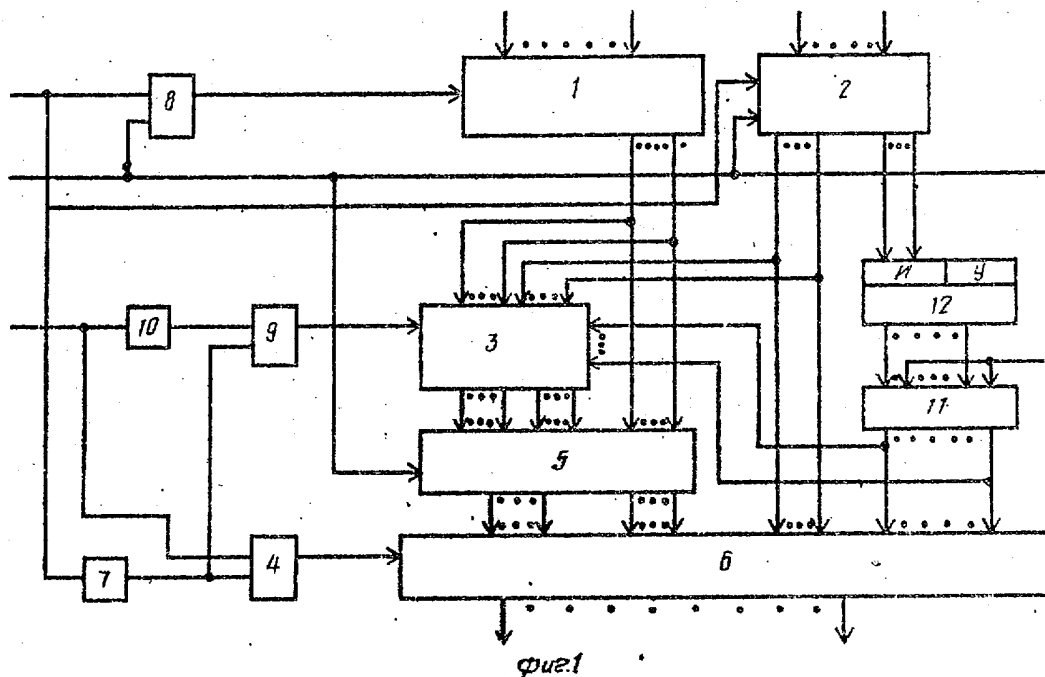


Fig. 1

Изобретение относится к автоматике и вычислительной технике и предназначено для вывода информации на устройства отображения.

Целью изобретения является повышение быстродействия устройства.

На фиг. 1 приведена блок-схема устройства для вывода информации; на фиг. 2 - блок-схема блока памяти; на фиг. 3 - блок-схема блока коммутаторов.

Устройство для вывода информации содержит первый регистр 1, счетчик 2, блок 3 памяти, первый элемент И 4, блок 5 коммутаторов, второй регистр 6, элемент 7 задержки, второй 8, третий 9 элементы И, элемент НЕ 10, группу элементов И 11 и дешифратор 12.

Блок памяти содержит первый 13, n-й 14 элементы памяти с трехстабильным состоянием на выходе.

Блок коммутаторов содержит элемент НЕ 15, первый коммутатор 16, n-й коммутатор 17, первый коммутатор 16 состоит из первого 18, k-го 19 элементов 2И-ИЛИ, n-й коммутатор 17 состоит из первого 20, k-го 21 элементов 2И-ИЛИ.

Устройство работает следующим образом.

По тактовому входу устройства одновременно на стробирующий вход счетчика 2, вход элемента 7 задержки, информационный вход второго элемента И 8 поступают синхроимпульсы.

По входу режима устройства одновременно на разрешающий вход второго элемента И 8, управляющий вход группы элементов И 11, управляющие входы блока коммутаторов 5 и счетчика 2 поступает сигнал высокого уровня, при этом последний работает в режиме "Регистр", блок 5 коммутаторов коммутирует выходы первого регистра 1 на соответствующие информационные входы второго регистра 6, а синхроимпульс, поступающий с тактового входа устройства, проходит на стробирующий вход первого регистра 1. Одновременно по входу разрешения выдачи устройства на вход элемента НЕ 10 и разрешающий вход первого элемента 14 поступает управляющий сигнал низкого уровня.

По синхроимпульсу информация, поступающая от внешнего источника информации на группы информационных входов первого регистра 1 и счетчика

2, записывается в них, причем в первый регистр 1 записывается код операции над точкой, а в счетчик 2 записываются координаты точки и адрес индикатора устройства отображения.

Адрес индикатора определяет элемент памяти в блоке 3 памяти, а координаты точки - адрес ячейки памяти в выбранном элементе памяти.

С группы выходов счетчика 2 сигналы, содержащие информацию о координатах точки, одновременно поступают на соответствующую группу информационных входов второго регистра 6 и группу адресных входов блока 3 памяти. С другой группы выходов счетчика 2 сигналы, содержащие информацию об адресе индикатора, поступают на группу информационных входов дешифратора 12, при этом на одном из его выходов вырабатывается сигнал "Выборка". С выхода дешифратора 12 сигнал "Выборка" поступает на соответствующий информационный вход группы элементов И 11 и так как на ее управляющем входе имеется сигнал высокого уровня, то сигнал "Выборка" с выхода дешифратора 12 проходит на соответствующий вход в группу информационных входов второго регистра 5 и в группу управляющих входов блока 3 памяти. По сигналу "Выборка" в блоке 3 памяти выбирается соответствующий элемент памяти.

С группы выходов первого регистра 1 сигналы поступают на соответствующую группу информационных входов блока 3 памяти. Синхросигнал, задержанный на элементе 7 задержки, одновременно поступает на информационные входы третьего 9 и первого элементов И 4. На разрешающий вход первого элемента И 4 с входа разрешения выдачи устройства поступает сигнал низкого уровня, запрещающий прохождение синхроимпульса через первый элемент И 4 на стробирующий вход второго регистра 6, и следовательно, в последний не записывается информация, имеющаяся на его группах информационных входов, и не передается в устройство отображения.

С выхода элемента НЕ 10 на управляющий вход третьего элемента И 9 поступает сигнал высокого уровня, разрешающий прохождение синхроимпульса на управляющий вход блока 3 памяти.

По синхроимпульсу в выбранный элемент памяти по адресу, установленному на группе адресных входов блока 3 памяти, записывается информация, имеющаяся на группе информационных входов блока 3 памяти.

На время заполнения определенной зоны или всего объема блока 3 памяти на входах режима и разрешения выдачи устройства значения сигналов не изменяются.

После заполнения блока 3 памяти информация, записанная в него, передается в устройство отображения, при этом от внешнего источника информации подается код начального адреса области памяти блока 3 памяти, на которой считывается информация. С приходом по тактовому входу устройства очередного синхроимпульса информация, имеющаяся на информационных входах первого регистра 1 и счетчика 2, записывается в них. После этого по входу разрешения выдачи устройства подается сигнал высокого уровня, а по входу режима устройства — сигнал низкого уровня. При этом счетчик 2 переходит в режим работы "Счетчик", блок 5 коммутаторов коммутирует группы выходов блока 3 памяти на соответствующие информационные входы второго регистра 6, и запрещается прохождение синхроимпульсов через второй элемент И 8 на стробирующий вход первого регистра 1 и, следовательно, запрещается запись информации в последний. На управляющий вход группы элементов И 11 с входа режима устройства поступает сигнал низкого уровня, который запрещает прохождение через нее сигналов, поступающих с выходов дешифратора 12, а на всех выходах группы элементов И 11 одновременно устанавливается сигнал "Выборка". С выходов группы элементов И 11 сигналы одновременно поступают на соответствующую группу информационных входов второго регистра 6 и группу управляющих входов блока 3 памяти и в последнем выполняется выбор одновременно всех элементов памяти.

Так как по входу разрешения выдачи устройства поступает сигнал высокого уровня, то на выходе элемента НЕ 10 вырабатывается сигнал низкого уровня, который поступает на управляющий вход третьего элемента И 9, при этом синхросигнал, посту-

павший с выхода элемента 7 задержки на информационный вход элемента И 9, не проходит через него. На выходе третьего элемента И 9 вырабатывается сигнал, поступающий на управляющий вход блока 3 памяти, по которому выполняется считывание информации из ячейки памяти одновременно всех элементов памяти. С групп выходов блока 3 памяти сигналы поступают на соответствующие группы информационных входов блока 5 коммутаторов, проходят через него и поступают на соответствующие информационные входы второго регистра 6.

Задержанный на элементе 7 задержки синхроимпульс поступает на информационный вход первого элемента И 4 и, так как на его разрешающем входе имеется сигнал высокого уровня, проходит через него на стробирующий вход второго регистра 6. По синхроимпульсу информация, имеющаяся на группах информационных входов второго регистра 6, записывается в него и с его выходов поступает на устройство отображения.

По приходу следующего синхроимпульса по первому управляющему входу устройства содержимое счетчика 2 изменяется на "1" и тем самым задается адрес следующей ячейки памяти блока 3 памяти.

На входах режима и разрешения выдачи в устройства сигналы не будут изменяться до тех пор, пока не закончится считывание информации из блока 3 памяти.

При выводе информации во внешнее устройство без запоминания в блоке 3 памяти по входам режима и разрешения выдачи устройства поступают сигналы высокого уровня. При этом счетчик 2 переходит в режим "Регистр", блок 5 коммутаторов коммутирует группу выходов первого регистра 1 на соответствующие информационные входы второго регистра 6, на выходе элемента НЕ 10 вырабатывается сигнал низкого уровня, который поступает на управляющий вход третьего элемента И 9 и запрещает прохождение через него на управляющий вход блока 3 памяти синхроимпульсов, по которым выполняется запись в него информации.

Синхроимпульс, поступающий по тактовому входу устройства, проходит на стробирующий вход счетчика 2 и

через второй элемент И 8, так как на его разрешающем входе имеется сигнал высокого уровня, - на стробирующий вход первого регистра 1. Информация, подаваемая от внешнего источника информации, записывается в первый регистр 1 и счетчик 2. С группы выходов первого регистра 1 сигналы проходят на группу информационных входов блока 3 памяти и через блок 5 коммутаторов - на соответствующие информационные входы второго регистра 6. С группы выходов счетчика 2 сигналы поступают на соответствующую группу информационных входов второго регистра 6 и группу адресных входов блока 3 памяти. С другой группы выходов счетчика 2 сигнал поступает на группу информационных входов дешифратора 12, при этом на одном из его выходов вырабатывается сигнал "Выборка". С группы выходов дешифратора 12 сигналы поступают на группу информационных входов группы элементов И 11, и так как на его управляющем входе имеется сигнал высокого уровня, проходят через нее на соответствующую группу информационных входов второго регистра 6 и группу управляющих входов блока 3 памяти.

Синхроимпульс, задержанный на элементе 7 задержки, проходит через первый элемент И 4, так как на его разрешающем входе имеется сигнал высокого уровня, на стробирующий вход второго регистра 6 и записывает в него информацию, имеющуюся на его группах информационных входов. С выходов второго регистра 6 информация подается на устройство отображения.

При обнулении блока 3 памяти от внешнего источника информации на входы первого регистра 1 и счетчика 2 подается код операции над точкой "погасить" (равный "0") и код начального адреса блока 3 памяти соответственно.

По входам режима и разрешения выдачи устройства поступают сигналы высокого и низкого уровня соответственно. При этом счетчик 2 работает в режиме "Регистр", блок 5 коммутаторов коммутирует группу выходов первого регистра 1 на соответствующие информационные входы второго регистра 6.

С тактового входа устройства синхроимпульс одновременно поступает на

вход элемента 7 задержки, стробирующий вход счетчика 2, информационный вход второго элемента И 8, так как на его разрешающем входе имеется сигнал высокого уровня, проходит через него на стробирующий вход первого регистра 1. По синхроимпульсу выполняется запись информации в первый регистр 1 и счетчик 2. После этого по входу режима устройства поступает сигнал низкого уровня. При этом счетчик переходит в режим работы "счетных", блок 5 коммутаторов коммутирует группы выходов блока 3 памяти на соответствующие группы информационных входов второго регистра 6, на всех выходах группы элементов И 11 вырабатываются сигналы "Выборка", которые одновременно поступают на группу управляющих входов блока 3 памяти и соответствующую группу информационных входов второго регистра 6. С группы выходов счетчика 2 сигналы одновременно поступают на соответствующую группу адресных входов блока 3 памяти. С группы выходов первого регистра 1 сигналы поступают на соответствующую группу информационных входов блока 5 коммутаторов и группу информационных входов блока 3 памяти. Так как на входе разрешения выдачи устройства установлен сигнал низкого уровня, который поступает на разрешающий вход первого элемента И 4, то задержанный на элементе 7 задержки синхроимпульс не проходит на стробирующий вход второго регистра 6, и следовательно, информация в последний не записывается. С выхода элемента НЕ 10 сигнал высокого уровня поступает на управляющий вход третьего элемента И 9 и разрешает прохождение через него синхроимпульса, поступающего с выхода элемента 7 задержки на информационный вход третьего элемента И 9, на управляющий вход блока 3 памяти. По синхроимпульсу в заданную ячейку памяти одновременно всех элементов памяти записывается код, равный "0", и данная ячейка обнуляется.

Следующая ячейка одновременно всех элементов памяти обнуляется по приходу следующего синхроимпульса. Адрес ячейки устанавливается на группе выходов счетчика 2, содержимое которого по приходу синхроимпульса изменяется на "1".

Цикл повторяется до тех пор, пока заданный объем памяти блока 3 памяти не обнулится, либо на одном из управляющих входов не изменится уровень сигнала.

Блок 3 памяти (фиг. 2) работает следующим образом.

С группы выходов счетчика 2 на группу адресных входов блока 3 памяти 10 поступают сигналы, содержащие информацию о коде адреса ячейки памяти. С группы адресных входов блока 3 памяти код адреса ячейки памяти подается одновременно на адресные входы первого 15 13, n-го 14 элементов памяти. С группы выходов группы элементов И 11 на управляющую группу входов блока 3 памяти поступают сигналы "Выборка". С управляющих входов блока 3 памяти 20 сигнал "Выборка" поступает на первый вход управления соответствующего первого 13, n-го 14 элементов памяти. С выхода третьего элемента И 9 на управляющий вход блока 3 памяти по- 25 ступает сигнал высокого уровня, соответствующий команде "Запись" в ячейку памяти, либо низкого уровня, соответствующий команде "Чтение". С управляющего входа блока 3 памяти сиг- 30 нал "Чтение"/"Запись" одновременно поступает на вторые управляющие входы первого 13, n-го 14 элементов памяти.

На группу информационных входов блока 3 памяти поступают информаци- 35 онные сигналы с группы выходов первого регистра 1. С группы информационных входов блока памяти информационные сигналы поступают одновременно на информационные входы первого 13, n-го 14 элементов памяти. 40

При поступлении сигнала "Запись" в элемент памяти, на первом управля- 45 ющем входе которого имеется сигнал "Выборка", по адресу, имеющемуся на адресных входах элементов памяти, записывается поступившая информация. При наличии сигнала "Выборка" на пер- 50 вом управляющем входе первого 13 элемента памяти поступившая информация записывается в ячейку памяти данного элемента памяти. При наличии сигнала "Выборка" на первом управляющем входе 55 первого 13, n-го 14 элементов памяти информация записывается в ячейки памяти одновременно всех элементов памяти.

При поступлении по управляющему входу блока 3 памяти сигнала "Чтение" из ячейки памяти, адрес которой установлен на адресном входе элемента памяти, на первом управляющем входе которого имеется сигнал "Выборка", считывается имеющаяся там информация.

С группы выходов первого 13 элемента памяти сигналы поступают на первую группу выходов блока 3 памяти. С группы выходов n-го 14 элемента памяти сигналы поступают на n-ю группу выходов блока 3 памяти. С соответствующих групп выходов блока 3 памяти сигналы поступают на соответствующие информационные входы блока 5 коммутаторов.

Блок 5 коммутаторов (фиг. 3) работает следующим образом.

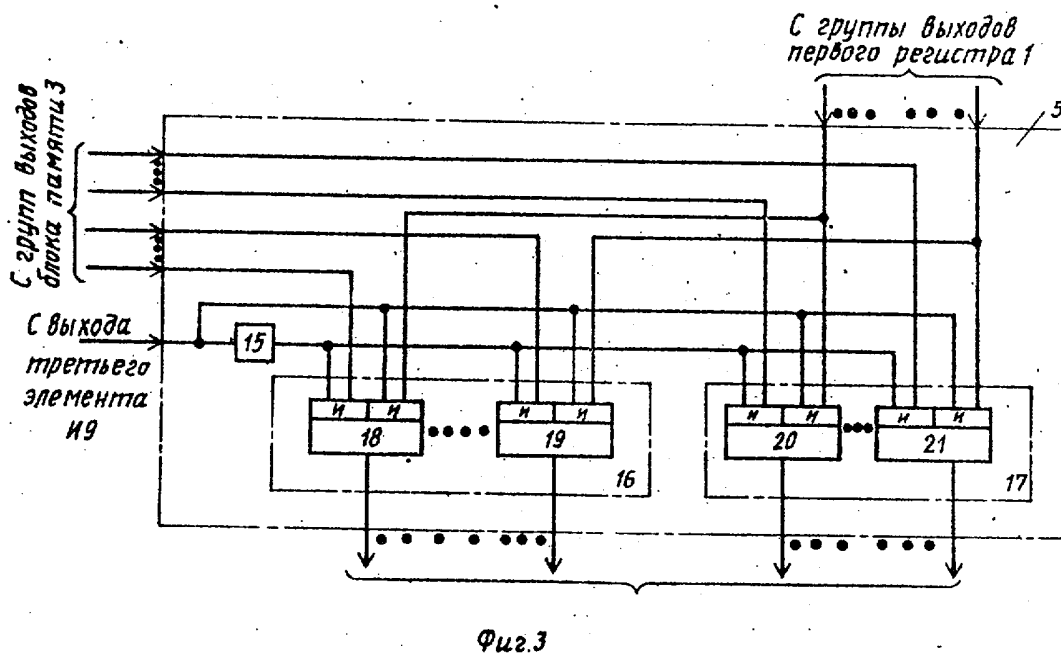
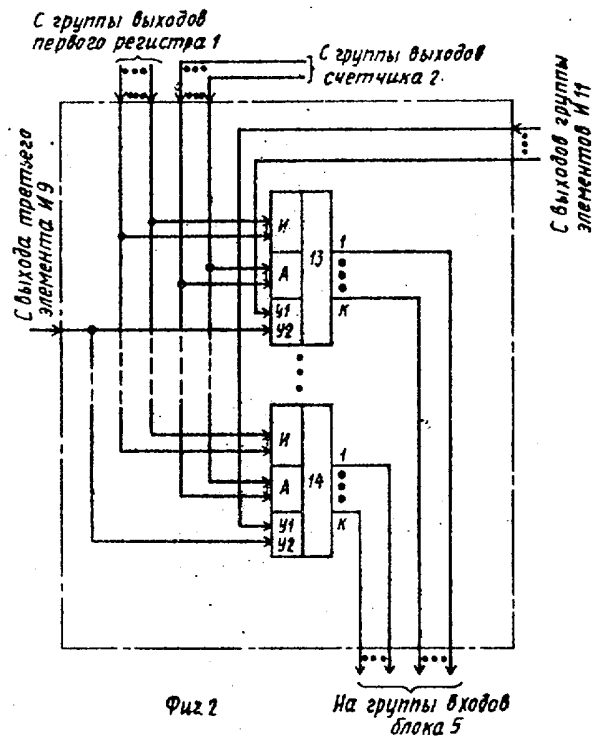
С группы выходов первого регистра 1 сигналы поступают на группу информаци- 35 онных входов блока 5 коммутаторов. С группы информационных входов блока 5 коммутаторов сигналы поступают соответственно на информационные входы первого 18, k-го 19 элементов 2И-ИЛИ первого коммутатора 16, первого 20, k-го 21 элементов 2И-ИЛИ n-го 17 коммутатора. С соответствующих групп выходов блока 3 памяти сигналы 40 поступают на другие группы информационных входов блока 5 коммутаторов. С соответствующей группы информационных входов блока 5 коммутаторов сигналы поступают на другие информаци- 45 онные входы первого 18, k-го 19 элементов 2И-ИЛИ первого 16 коммутатора. С другой группы информационных входов блока 5 коммутаторов сигналы поступают на другие информационные вхо- 50 ды первого 20, k-го 21 элементов 2И-ИЛИ n-го 17 коммутатора. С входа режима устройства на управляющий вход блока коммутаторов поступает сигнал управления. С управляющего входа бло- 55 ка коммутаторов сигнал управления прямо и через элемент НЕ 15 поступает на управляющие входы первого 18, k-го 19 элементов 2И-ИЛИ первого 16 коммутатора, первого 20, k-го 21 элементов 2И-ИЛИ n-го 17 коммутатора. При поступлении сигнала управления высокого уровня разрешается прохожде- 60 ние сигналов, поступающих с группы выходов первого регистра 1, через первый 18, k-й 19 элементы 2И-ИЛИ первого 16 коммутатора, первый 20, k-й 21 элементы 2И-ИЛИ n-го 17 ком-

мутатора на соответствующие выходы блока коммутаторов. При поступлении сигнала управления низкого уровня разрешается прохождение сигналов, поступающих с групп выходов блока 3 памяти, через первый 18, k-й 19 элементы 2И-ИЛИ первого 16 коммутатора, первый 20, k-й элементы 2И-ИЛИ n-го 17 коммутатора на соответствующие группы выходов блока 5 коммутаторов. Использование предлагаемого изобретения позволяет повысить скорость вывода изображения на устройства отображения, имеющие большую информационную емкость за счет одновременного вывода точек, с одинаковыми координатами на все индикаторы устройства отображения.

Ф о р м у л а и з о б р е т е н и я

Устройство для вывода информации, содержащее первый и второй регистры, счетчик, блок памяти, блок коммутаторов, первый, второй и третий элементы И, элемент НЕ, элемент задержки, вход которого соединен с первым входом второго элемента И, с тактовым входом счетчика и является тактовым входом устройства, второй вход второго элемента И соединен с входом режима счетчика и является входом режима устройства, выходы первого регистра соединены с группой информационных входов блока памяти и первой группой информационных входов блока коммутаторов, группы информационных выходов которого соединены с первой и второй группами информационных входов второго регистра, группа адресных входов блока памяти соединена с

первой группой выходов счетчика и третьей группой информационных входов второго регистра, выходы которого являются информационными выходами устройства, выход второго элемента И соединен с входом записи первого регистра, информационные входы которого являются информационными входами устройства, группа информационных входов счетчика является адресными входами устройства, выход элемента НЕ соединен с первым входом третьего элемента И, первый вход первого элемента И является входом разрешения выдачи устройства, выход третьего элемента И соединен с входом записи блока памяти, о т л и ч а ю щ е е с я тем, что, с целью повышения быстродействия устройства, в него введены дешифратор и группа элементов И, одни входы которых соединены с соответствующими выходами дешифратора, входы которого соединены с второй группой выходов счетчика, другие входы элементов И группы соединены с входом переключения блока коммутаторов и входом режима устройства, выходы группы элементов И соединены с группой входов выборки блока памяти и четвертой группой информационных входов второго регистра, вход элемента НЕ соединен с входом разрешения выдачи устройства, выход элемента задержки соединен с вторыми входами первого и третьего элементов И, выход первого элемента И соединен с входом записи второго регистра, выходы блока памяти соединены с второй и третьей группами информационных входов блока коммутаторов.



Редактор В. Бугренкова Составитель А. Алексеев Техред М. Дидык Корректор О. Кравцова

Заказ 5125/45

Тираж 704

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4