

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 1 月 31 日 (31.01.2019)



(10) 国际公布号
WO 2019/019266 A1

(51) 国际专利分类号:
H01L 29/786 (2006.01) **H01L 21/336** (2006.01)
H01L 29/06 (2006.01)

(21) 国际申请号: PCT/CN2017/100580

(22) 国际申请日: 2017 年 9 月 5 日 (05.09.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710624547.2 2017 年 7 月 27 日 (27.07.2017) CN

(71) 申请人: 武汉华星光电半导体显示技术有限公司(WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖新技术开发区高新大道 666 号光谷生物创新园 C5 栋 305 室, Hubei 430070 (CN)。

(72) 发明人: 李松杉(LI, Songshan); 中国湖北省武汉市东湖新技术开发区高新大道 666 号光谷生物创新园 C5 栋 305 室, Hubei 430070 (CN)。

(74) 代理人: 深圳市铭粤知识产权代理有限公司(MING & YUE INTELLECTUAL PROPERTY LAW FIRM); 中国广东省深圳市南山区南山街道前海路泛海城市广场 2 栋 604 室, Guangdong 518066 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: LOWER TEMPERATURE POLYCRYSTAL SILICON THIN-FILM TRANSISTOR AND MANUFACTURING METHOD THEREFOR, AND DISPLAY DEVICE

(54) 发明名称: 低温多晶硅薄膜晶体管及其制作方法、显示设备

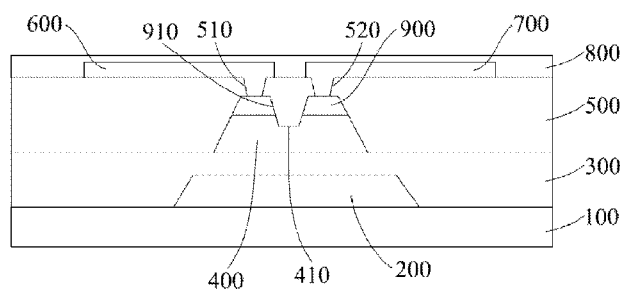


图 1

(57) Abstract: Disclosed are a lower temperature polycrystal silicon thin-film transistor and a manufacturing method therefor, and a display device. The thin-film transistor comprises: a substrate (100); a gate electrode (200) arranged on the substrate (100); a gate insulation layer (300) arranged on the substrate (100) and the gate electrode (200); a polycrystal silicon layer (400) arranged on the gate insulation layer (300), with the polycrystal silicon layer (400) being provided with a groove (410); a doped polycrystal silicon layer (900) arranged on the polycrystal silicon layer (400) and provided with a through hole (910) completely exposing the groove (410); an etch stop layer (500) arranged on the gate insulation layer (300) and the doped polycrystal silicon layer (900), filling the through hole (910) and the groove (410), and provided with a first via hole (510) and a second via hole (520) exposing the doped polycrystal silicon layer (900); a source electrode (600) and a drain electrode (700) arranged on the etch stop layer (500), the source electrode (600) and the drain electrode (700) respectively filling the first via hole (510) and the second via hole (520), so as to respectively come into contact with the doped polycrystal silicon layer (900); and a passivation layer (800) arranged on the source electrode (600), the drain electrode (700) and the etch stop layer (500). The thin-film transistor can prevent the source electrode (600) and the drain electrode (700) from coming into direct contact with the polycrystal silicon layer (400), thus reducing a leakage current.

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种低温多晶硅薄膜晶体管及其制作方法和显示设备。该薄膜晶体管包括: 基板(100); 栅极(200), 设置于基板(100)上; 栅极绝缘层(300), 设置于基板(100)和栅极(200)上; 多晶硅层(400), 设置于栅极绝缘层(300)上, 多晶硅层(400)上具有凹槽(410); 掺杂多晶硅层(900), 设置于多晶硅层(400)上且具有完全暴露凹槽(410)的通孔(910); 蚀刻阻挡层(500), 设置于栅极绝缘层(300)和掺杂多晶硅层(900)上并填充通孔(910)和凹槽(410), 且具有暴露掺杂多晶硅层(900)的第一过孔(510)和第二过孔(520); 源极(600)和漏极(700), 设置于蚀刻阻挡层(500)上, 源极(600)和漏极(700)分别填充第一过孔(510)和第二过孔(520), 以分别与掺杂多晶硅层(900)接触; 钝化层(800), 设置于源极(600)、漏极(700)和蚀刻阻挡层(500)上。该薄膜晶体管能防止源极(600)和漏极(700)与多晶硅层(400)直接接触, 从而减小漏电流。

低温多晶硅薄膜晶体管及其制作方法、显示设备

技术领域

5 本发明属于薄膜晶体管制作技术领域，具体地讲，涉及一种低温多晶硅薄膜晶体管及其制作方法、显示设备。

背景技术

随着光电与半导体技术的演进，也带动了平板显示器（Flat Panel Display）的蓬勃发展，而在诸多平板显示器中，液晶显示器（Liquid Crystal Display，简称LCD）和有机发光二极管（OLED）显示器因具有高空间利用效率、低消耗功率、无辐射以及低电磁干扰等诸多优越特性，已成为市场的主流。

目前，作为 LCD 和 OLED 显示器的开关元件而广泛采用的是非晶硅薄膜三极管（a-Si TFT），但 a-Si TFT LCD 在满足薄型、轻量、高精细度、高亮度、高可靠性、低功耗等要求仍受到限制。低温多晶硅（Lower Temperature Polycrystal Silicon，LTPS）TFT 与 a-Si TFT 相比，在满足上述要求方面，具有明显优势。

然而在目前的低温多晶硅薄膜晶体管中，由于源极和漏极能够与未掺杂离子的多晶硅层接触，因此会导致低温多晶硅薄膜晶体管漏电流 I_{off} 增大，从而影响低温多晶硅薄膜晶体管的特性，进而会影响 LCD 和 OLED 显示器的显示质量。

发明内容

为了解决上述现有技术的问题，本发明的目的在于提供一种能够减小漏电流的低温多晶硅薄膜晶体管及其制作方法、显示设备。

根据本发明的一方面，提供了一种低温多晶硅薄膜晶体管，其包括：基板；栅极，设置于所述基板上；栅极绝缘层，设置于所述基板和所述栅极上；多晶硅层，设置于所述栅极绝缘层上，所述多晶硅层上具有凹槽；掺杂多晶硅层，

设置于所述多晶硅层上，所述掺杂多晶硅层中具有通孔，所述通孔完全暴露所述凹槽；蚀刻阻挡层，设置于所述栅极绝缘层和所述掺杂多晶硅层上并填充所述通孔和所述凹槽，所述蚀刻阻挡层中具有第一过孔和第二过孔，所述第一过孔和所述第二过孔分别暴露出掺杂多晶硅层；源极和漏极，设置于所述蚀刻阻挡层上，所述源极填充所述第一过孔，以与所述第一过孔暴露出的掺杂多晶硅层接触，所述漏极填充所述第二过孔，以与所述第二过孔暴露出的掺杂多晶硅层接触；钝化层，设置于所述源极、所述漏极和所述刻蚀阻挡层上。

可选地，所述掺杂多晶硅层中掺杂有硼离子。

可选地，所述蚀刻阻挡层由硅的氧化物和/或硅的氮化物制成。

10 根据本发明的另一方面，还提供了一种显示设备，其包括上述的低温多晶硅薄膜晶体管。

根据本发明的又一方面，又提供了一种低温多晶硅薄膜晶体管的制作方法，其包括步骤：提供一基板；在所述基板上制作形成栅极；在所述基板和所述栅极上制作形成栅极绝缘层；在所述栅极绝缘层上制作形成多晶硅层以及位于所述多晶硅层上的掺杂多晶硅层；在所述掺杂多晶硅层中形成通孔，并在所述多晶硅层上形成凹槽，所述通孔完全暴露所述凹槽；在所述掺杂多晶硅层、所述栅极绝缘层和所述多晶硅层上制作形成蚀刻阻挡层；在所述蚀刻阻挡层中制作形成第一过孔和第二过孔，所述第一过孔和所述第二过孔分别暴露出掺杂多晶硅层；在所述蚀刻阻挡层上制作形成源极和漏极，所述源极填充所述第一过孔，以与所述第一过孔暴露出的掺杂多晶硅层接触，所述漏极填充所述第二过孔，以与所述第二过孔暴露出的掺杂多晶硅层接触；在所述源极、所述漏极和所述刻蚀阻挡层上制作形成钝化层。

25 可选地，所述步骤“在所述栅极绝缘层上制作形成多晶硅层以及位于所述多晶硅层上的掺杂多晶硅层”的方法包括：在所述栅极绝缘层上制作形成非晶硅层；利用离子植入技术在所述非晶硅层中植入离子；利用快速热退火的方式技术使所述非晶硅层再结晶，从而形成多晶硅层以及位于所述多晶硅层上的掺杂多晶硅层。

可选地，所述步骤“在所述掺杂多晶硅层中形成通孔，并在所述多晶硅层

上形成凹槽”的方法包括：利用半色调掩膜工艺在所述掺杂多晶硅层中形成通孔，并在所述多晶硅层上形成凹槽。

可选地，所述蚀刻阻挡层由硅的氧化物和/或硅的氮化物制成。

可选地，所述利用离子植入技术植入的离子为硼离子。

- 5 本发明的有益效果：本发明能防止源极和漏极与多晶硅层直接接触，从而减小低温多晶硅薄膜晶体管的漏电流，进而可以大幅度改善低温多晶硅薄膜晶体管的特性。

附图说明

通过结合附图进行的以下描述，本发明的实施例的上述和其它方面、特点
10 和优点将变得更加清楚，附图中：

图 1 是根据本发明的实施例的低温多晶硅薄膜晶体管的结构示意图；

图 2A 至图 2I 是根据本发明的实施例的低温多晶硅薄膜晶体管的制程图。

具体实施方式

以下，将参照附图来详细描述本发明的实施例。然而，可以以许多不同的
15 形式来实施本发明，并且本发明不应该被解释为限制于这里阐述的具体实施例。相反，提供这些实施例是为了解释本发明的原理及其实际应用，从而使本领域的其他技术人员能够理解本发明的各种实施例和适合于特定预期应用的各种修改。

在附图中，为了清楚器件，夸大了层和区域的厚度。相同的标号在整个说
20 明书和附图中表示相同的元器件。

将理解的是，当诸如层、膜、区域或基板的元件被称作“在”另一元件“上”时，该元件可以直接在所述另一元件上，或者也可以存在中间元件。可选择地，当元件被称作“直接在”另一元件“上”时，不存在中间元件。

图 1 是根据本发明的实施例的低温多晶硅薄膜晶体管的结构示意图。

25 参照图 1，根据本发明的实施例的低温多晶硅薄膜晶体管包括基板 100、

栅极 200、栅极绝缘层 300、多晶硅层 400、蚀刻阻挡层 500、源极 600、漏极 700、钝化层 800 和掺杂多晶硅层 900。

具体而言，基板 100 可例如是透明的玻璃基板或者树脂基板，但本发明并不限制于此。

- 5 栅极 200 设置于基板 100 上。栅极 200 可以是钼铝钼 (MoAlMo) 结构或钛铝钛 (TiAlTi) 结构，也可以是单层的钼结构或者单层的铝结构，但本发明并不限制于此。

- 栅极绝缘层 300 设置于栅极 200 和基板 100 上。这里，栅极绝缘层 300 可例如是在栅极 200 和基板 100 上形成的 $\text{SiN}_x/\text{SiO}_x$ 结构，但本发明并不限制于此，例如栅极绝缘层 300 也可以是单层的 SiN_x 结构或 SiO_x 结构。

多晶硅层 400 设置于栅极绝缘层 300 上。多晶硅有源层 400 上具有凹槽 410。

掺杂多晶硅层 900 设置于多晶硅层 400 上。掺杂多晶硅层 900 中具有通孔 910，该通孔 910 完全暴露凹槽 410。

- 15 蚀刻阻挡层 500 设置于掺杂多晶硅层 900 和栅极绝缘层 300 上，并且蚀刻阻挡层 500 填充通孔 910 和凹槽 410，以与多晶硅层 400 接触。此外，蚀刻阻挡层 500 具有第一过孔 510 和第二过孔 520，第一过孔 510 暴露出位于通孔 910 和凹槽 410 一侧（左侧）的掺杂多晶硅层 900，而第二过孔 520 暴露出位于通孔 910 和凹槽 410 另一侧（右侧）的掺杂多晶硅层 900。在本实施例中，蚀刻阻挡层 500 由 SiN_x 和/或 SiO_x 形成，但本发明并不限制于此。

- 源极 600 和漏极 700 设置于蚀刻阻挡层 500 上，源极 600 填充第一过孔 510，以与位于通孔 910 和凹槽 410 一侧的掺杂多晶硅层 900 接触，漏极 700 填充第二过孔 520，以与位于通孔 910 和凹槽 410 另一侧的掺杂多晶硅层 900 接触。源极 600 和漏极 700 可采用钼铝钼 (MoAlMo) 结构或钛铝钛 (TiAlTi) 结构，也可以是单层的钼结构或者单层的铝结构，但本发明并不限制于此。

钝化层 800 设置于源极 600、漏极 700 和蚀刻阻挡层 500。在本实施例中，钝化层 800 由硅的氧化物（诸如 SiO_x ）形成，但本发明并不限制于此。

根据本发明的实施例的低温多晶硅薄膜晶体管可应用于显示设备中，诸如液晶显示设备和 OLED 显示设备中。本发明的实施例的低温多晶硅薄膜晶体管能防止源极 600 和漏极 700 与多晶硅层 410 直接接触，从而减小低温多晶硅薄膜晶体管的漏电流，进而可以大幅度改善低温多晶硅薄膜晶体管的特性。

5 以下对根据本发明的实施例的低温多晶硅薄膜晶体管的制作方法进行详细描述。

图 2A 至图 2I 是根据本发明的实施例的低温多晶硅薄膜晶体管的制程图。

根据本发明的实施例的金属氧化物薄膜晶体管的制作方法包括：

步骤一：参照图 2A，提供一基板 100。基板 100 可例如为一绝缘且透明的
10 玻璃基板或树脂基板，但本发明并不限制于此。

步骤二：参照图 2B，在基板 100 上制作形成栅极 200。栅极 400 可以是钼铝钼（MoAlMo）结构或钛铝钛（TiAlTi）结构，也可以是单层的钼结构或者单层的铝结构，但本发明并不限制于此。

步骤三：参照图 2C，在基板 100 和栅极 200 上制作形成栅极绝缘层 300。
15 这里，栅极绝缘层 300 可例如是在半导体本体层 210 上形成的 $\text{SiN}_x/\text{SiO}_x$ 结构，但本发明并不限制于此，例如栅极绝缘层 300 也可以是单层的 SiN_x 结构或 SiO_x 结构。

步骤四：参照图 2D，在栅极绝缘层 300 上制作形成多晶硅层 400 以及位于多晶硅层上的掺杂多晶硅层 900。

20 这里，形成多晶硅层 400 以及位于多晶硅层上的掺杂多晶硅层 900 的方法具体包括：首先，利用等离子体增强化学气相沉积法（PECVD）在栅极绝缘层 300 上制作形成非晶硅层；接着，利用离子植入（Ion Implant）技术在所述非晶硅层中植入离子（诸如硼离子等）；接着，以快速热退火（Rapid Thermal Anneal）的方式使所述非晶硅层再结晶，从而生成多晶硅层 400 以及在多晶硅
25 层 400 上的掺杂多晶硅层 900。

步骤五：参照图 2E，在掺杂多晶硅层 900 中形成通孔 910，并在多晶硅层

400 上形成凹槽 410，通孔 910 完全暴露凹槽 410。

这里，形成通孔 910 和凹槽 410 的具体方法是：利用半色调掩膜（Half Tone Mask, HTM）工艺在掺杂多晶硅层 900 中形成通孔 910，并在多晶硅层 400 上形成凹槽 410，但本发明并不限制于此。

5 步骤六：参照图 2F，在栅极绝缘层 300、多晶硅层 400 和掺杂多晶硅层 900 上制作形成蚀刻阻挡层 500。这里，蚀刻阻挡层 500 由硅的氧化物（诸如 SiO_x ）和/或硅的氮化物（诸如 SiN_x ）形成，但本发明并不限制于此。

10 步骤七，参照图 2G，在蚀刻阻挡层 500 中制作形成第一过孔 510 和第二过孔 520，第一过孔 510 暴露出位于通孔 910 和凹槽 410 一侧（左侧）的掺杂多晶硅层 900，而第二过孔 520 暴露出位于通孔 910 和凹槽 410 另一侧（右侧）的掺杂多晶硅层 900。

15 步骤八：参照图 2H，在蚀刻阻挡层 500 上制作形成源极 600 和漏极 700，源极 600 填充第一过孔 510，以与位于通孔 910 和凹槽 410 一侧的掺杂多晶硅层 900 接触，漏极 700 填充第二过孔 520，以与位于通孔 910 和凹槽 410 另一侧的掺杂多晶硅层 900 接触。源极 600 和漏极 700 可采用钼铝钼（ MoAlMo ）结构或钛铝钛（ TiAlTi ）结构，也可以是单层的钼结构或者单层的铝结构，但本发明并不限制于此。

20 步骤九：参照图 2I，在源极 600、漏极 700 和蚀刻阻挡层 500 上制作形成钝化层 800。这里，钝化层 800 由硅的氧化物（诸如 SiO_x ）形成，但本发明并不限制于此。

虽然已经参照特定实施例示出并描述了本发明，但是本领域的技术人员将理解：在不脱离由权利要求及其等同物限定的本发明的精神和范围的情况下，可在此进行形式和细节上的各种变化。

权利要求书

1、一种低温多晶硅薄膜晶体管，其中，包括：

基板；

5 栅极，设置于所述基板上；

栅极绝缘层，设置于所述基板和所述栅极上；

多晶硅层，设置于所述栅极绝缘层上，所述多晶硅层上具有凹槽；

掺杂多晶硅层，设置于所述多晶硅层上，所述掺杂多晶硅层中具有通孔，所述通孔完全暴露所述凹槽；

10 蚀刻阻挡层，设置于所述栅极绝缘层和所述掺杂多晶硅层上并填充所述通孔和所述凹槽，所述蚀刻阻挡层中具有第一过孔和第二过孔，所述第一过孔和所述第二过孔分别暴露出掺杂多晶硅层；

源极和漏极，设置于所述蚀刻阻挡层上，所述源极填充所述第一过孔，以与所述第一过孔暴露出的掺杂多晶硅层接触，所述漏极填充所述第二过孔，以
15 与所述第二过孔暴露出的掺杂多晶硅层接触；

钝化层，设置于所述源极、所述漏极和所述蚀刻阻挡层上。

2、根据权利要求1所述的低温多晶硅薄膜晶体管，其中，所述掺杂多晶硅层中掺杂有硼离子。

3、根据权利要求1所述的低温多晶硅薄膜晶体管，其中，所述蚀刻阻挡
20 层由硅的氧化物和/或硅的氮化物制成。

4、一种显示设备，其中，包括权利要求1所述的低温多晶硅薄膜晶体管。

5、一种低温多晶硅薄膜晶体管的制作方法，其中，包括步骤：

提供一基板；

在所述基板上制作形成栅极；

在所述基板和所述栅极上制作形成栅极绝缘层；

在所述栅极绝缘层上制作形成多晶硅层以及位于所述多晶硅层上的掺杂多晶硅层；

- 5 在所述掺杂多晶硅层中形成通孔，并在所述多晶硅层上形成凹槽，所述通孔完全暴露所述凹槽；

在所述掺杂多晶硅层、所述栅极绝缘层和所述多晶硅层上制作形成蚀刻阻挡层；

- 10 在所述蚀刻阻挡层中制作形成第一过孔和第二过孔，所述第一过孔和所述第二过孔分别暴露出掺杂多晶硅层；

在所述蚀刻阻挡层上制作形成源极和漏极，所述源极填充所述第一过孔，以与所述第一过孔暴露出的掺杂多晶硅层接触，所述漏极填充所述第二过孔，以与所述第二过孔暴露出的掺杂多晶硅层接触；

在所述源极、所述漏极和所述刻蚀阻挡层上制作形成钝化层。

- 15 6、根据权利要求 5 所述的制作方法，其中，所述步骤“在所述栅极绝缘层上制作形成多晶硅层以及位于所述多晶硅层上的掺杂多晶硅层”的方法包括：

在所述栅极绝缘层上制作形成非晶硅层；

利用离子植入技术在所述非晶硅层中植入离子；

- 20 利用快速热退火的方式技术使所述非晶硅层再结晶，从而形成多晶硅层以及位于所述多晶硅层上的掺杂多晶硅层。

7、根据权利要求 5 所述的制作方法，其中，所述步骤“在所述掺杂多晶硅层中形成通孔，并在所述多晶硅层上形成凹槽”的方法包括：利用半色调掩膜工艺在所述掺杂多晶硅层中形成通孔，并在所述多晶硅层上形成凹槽。

8、根据权利要求 5 所述的制作方法，其中，所述蚀刻阻挡层由硅的氧化物和/或硅的氮化物制成。

9、根据权利要求 6 所述的制作方法，其中，所述利用离子植入技术植入的离子为硼离子。

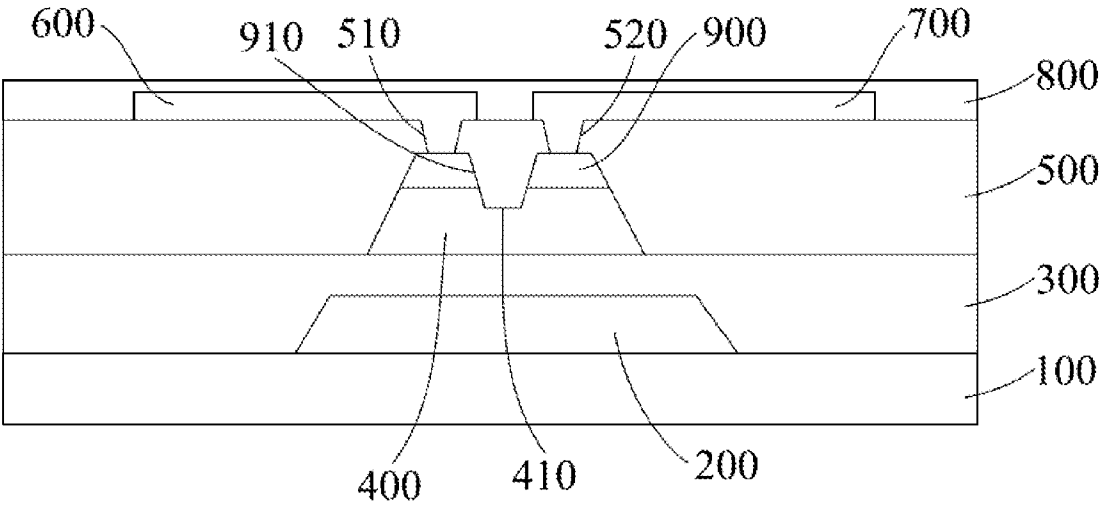


图 1



图2A

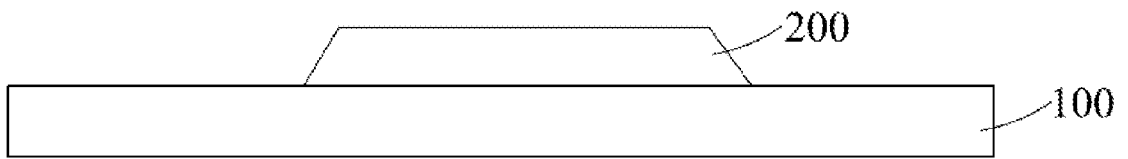


图2B

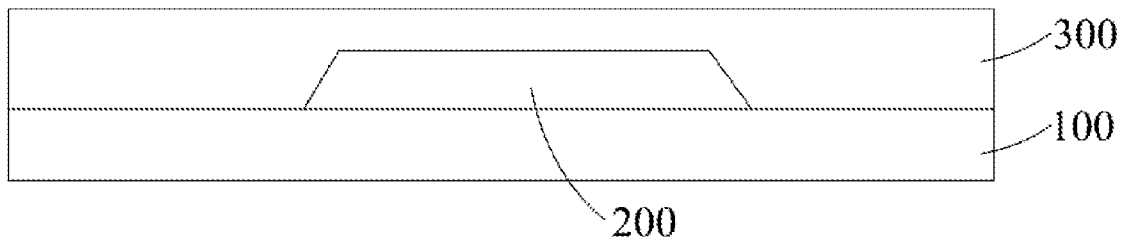


图2C

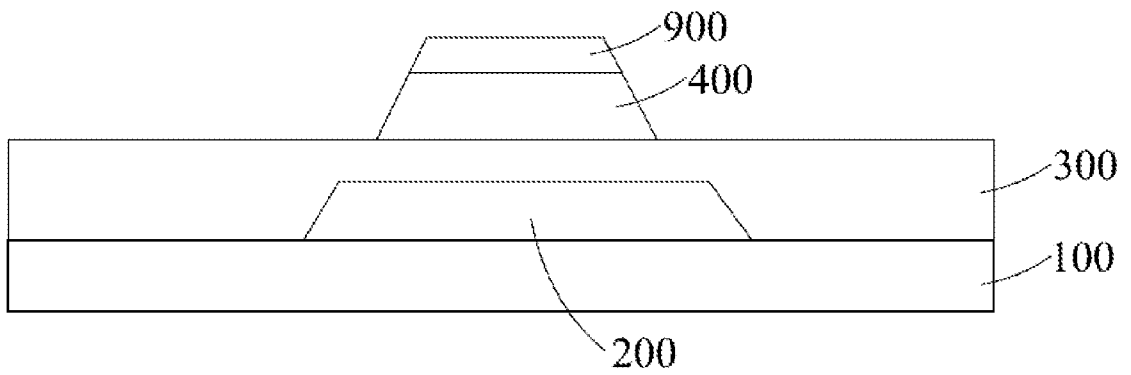


图2D

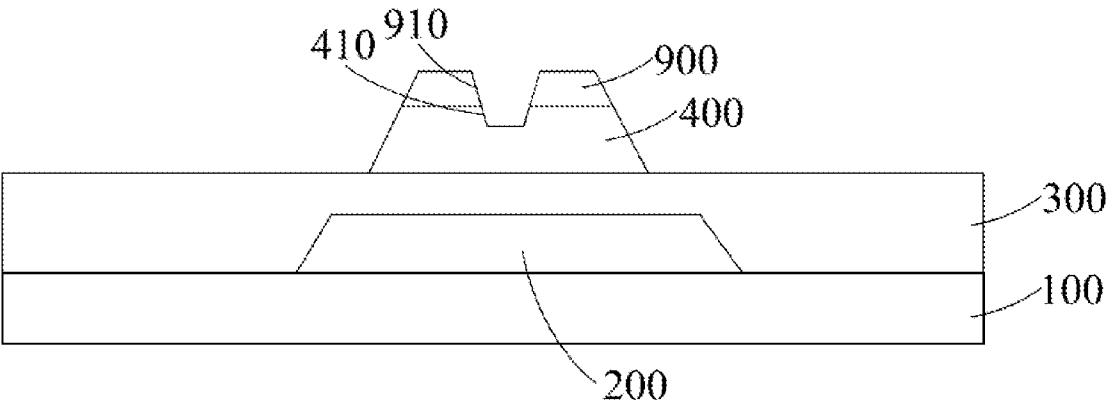


图2E

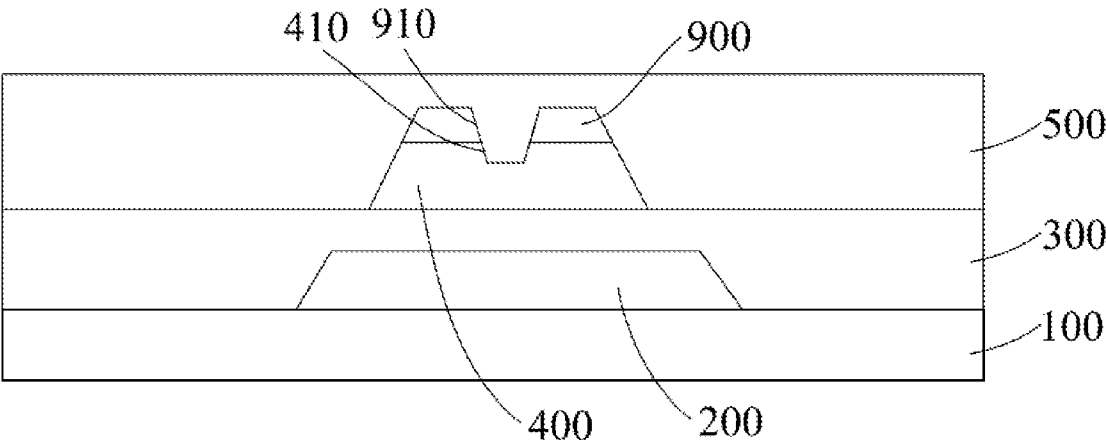


图2F

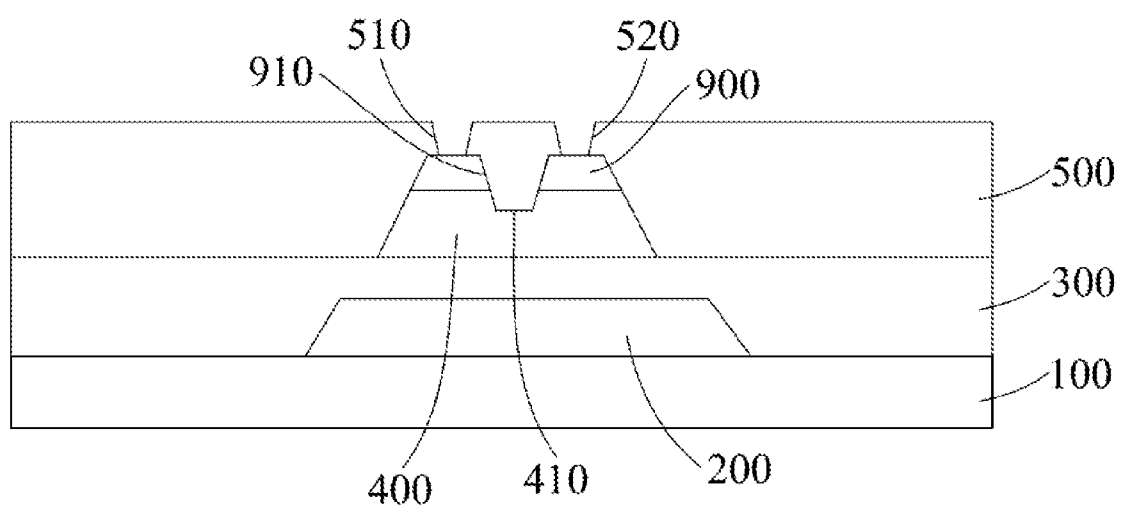


图 2G

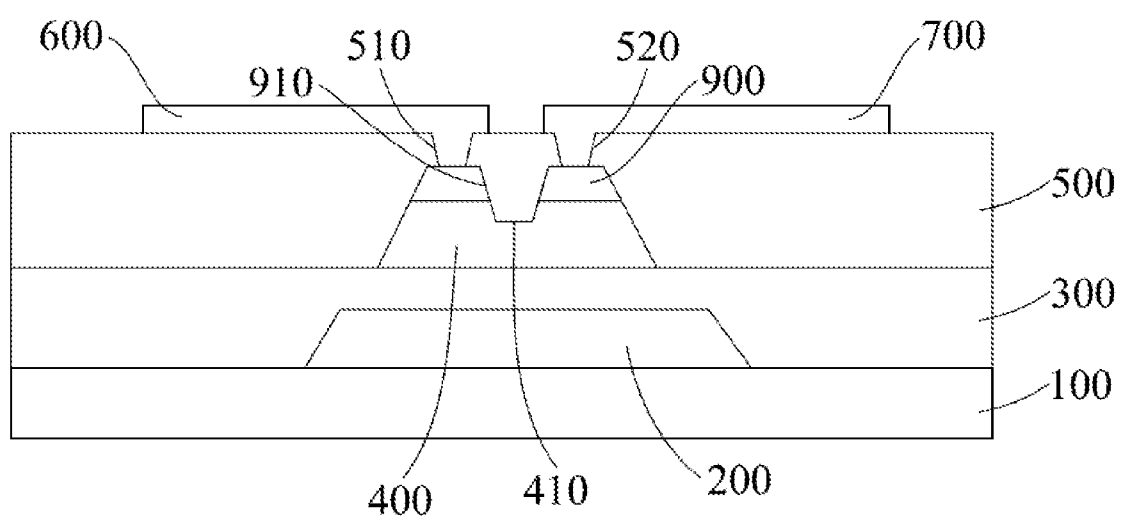


图 2H

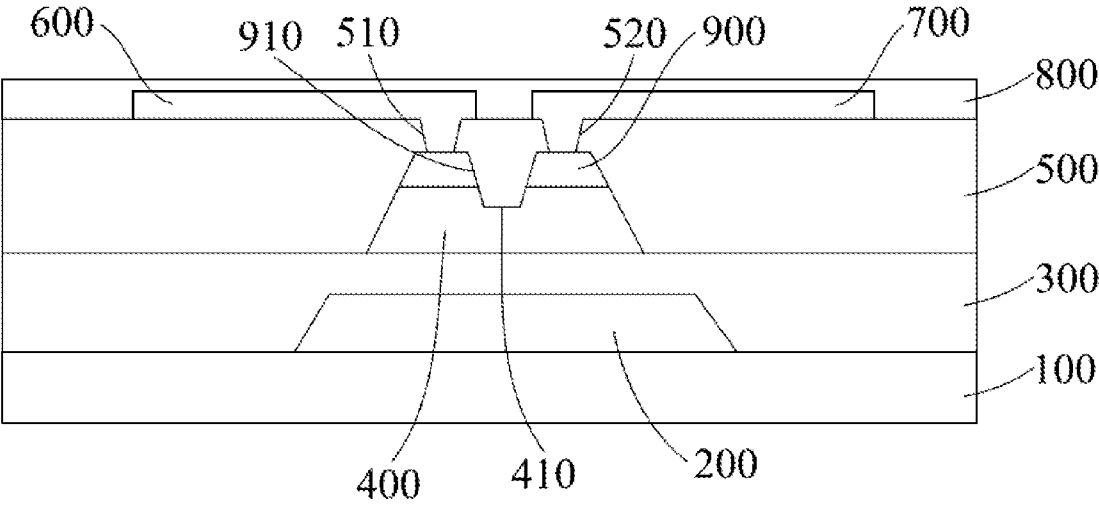


图2I

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/100580

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786 (2006.01) i; H01L 29/06 (2006.01) i; H01L 21/336 (2006.01) i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, IEEE, CNKI: 华星光电, 薄膜晶体管, 多晶硅, 掺杂层, 杂质层, 欧姆接触层, 掺杂多晶硅层, 源, 漏, 孔, TFT, thin film transistor, multicrystal silicon, polycrystalline silicon, polysilicon, silicon polycrystal, dop+, ohmic contact+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 106409844 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 15 February 2017 (15.02.2017), description, paragraphs [0065]-[0111], and figures 2-13	1-9
X	CN 103984130 A (AU OPTRONICS CORP.), 13 August 2014 (13.08.2014), description, paragraphs [0087]-[0093], and figures 1-7	1-9
A	CN 106910748 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 30 June 2017 (30.06.2017), entire document	1-9
A	CN 101320714 A (AU OPTRONICS CORP.), 10 December 2008 (10.12.2008), entire document	1-9
A	CN 103311309 A (SAMSUNG DISPLAY CO., LTD.), 18 September 2013 (18.09.2013), entire document	1-9

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 23 January 2018	Date of mailing of the international search report 26 February 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer PEI, Yafang Telephone No. (86-10) 53961448

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/100580

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106409844 A	15 February 2017	None	
CN 103984130 A	13 August 2014	TW I523205 B	21 February 2016
		TW 201537731 A	01 October 2015
		CN 103984130 B	12 April 2017
		US 9280026 B2	08 March 2016
		US 2015277199 A1	01 October 2015
CN 106910748 A	30 June 2017	None	
CN 101320714 A	10 December 2008	None	
CN 103311309 A	18 September 2013	CN 103311309 B	25 August 2017
		TW 201338172 A	16 September 2013
		TW I581437 B	01 May 2017
		US 2013240846 A1	19 September 2013
		US 8723170 B2	13 May 2014
		KR 20130104770 A	25 September 2013

国际检索报告

国际申请号

PCT/CN2017/100580

A. 主题的分类

H01L 29/786(2006.01)i; H01L 29/06(2006.01)i; H01L 21/336(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPODOC, CNPAT, IEEE, CNKI:华星光电, 薄膜晶体管, 多晶硅, 掺杂层, 杂质层, 欧姆接触层, 掺杂多晶硅层, 源, 漏, 孔, TFT, thin film transistor, multicrystal silicon, polycrystalline silicon, polysilicon, silicon polycrystal, dop+, ohmic contact+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 106409844 A (深圳华星光电技术有限公司) 2017年 2月 15日 (2017 - 02 - 15) 说明书第[0065]-[0111]段、附图2-13	1-9
X	CN 103984130 A (友达光电股份有限公司) 2014年 8月 13日 (2014 - 08 - 13) 说明书第[0087]-[0093]段、附图1-7	1-9
A	CN 106910748 A (深圳市华星光电技术有限公司) 2017年 6月 30日 (2017 - 06 - 30) 全文	1-9
A	CN 101320714 A (友达光电股份有限公司) 2008年 12月 10日 (2008 - 12 - 10) 全文	1-9
A	CN 103311309 A (三星显示有限公司) 2013年 9月 18日 (2013 - 09 - 18) 全文	1-9

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 1月 23日

国际检索报告邮寄日期

2018年 2月 26日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

裴亚芳

电话号码 (86-10)53961448

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/100580

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106409844	A	2017年 2月 15日	无			
CN	103984130	A	2014年 8月 13日	TW	I523205	B	2016年 2月 21日
				TW	201537731	A	2015年 10月 1日
				CN	103984130	B	2017年 4月 12日
				US	9280026	B2	2016年 3月 8日
				US	2015277199	A1	2015年 10月 1日
CN	106910748	A	2017年 6月 30日	无			
CN	101320714	A	2008年 12月 10日	无			
CN	103311309	A	2013年 9月 18日	CN	103311309	B	2017年 8月 25日
				TW	201338172	A	2013年 9月 16日
				TW	I581437	B	2017年 5月 1日
				US	2013240846	A1	2013年 9月 19日
				US	8723170	B2	2014年 5月 13日
				KR	20130104770	A	2013年 9月 25日

表 PCT/ISA/210 (同族专利附件) (2009年7月)