



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0007366
(43) 공개일자 2018년01월23일

(51) 국제특허분류(Int. Cl.)
G11C 11/4093 (2015.01) G11C 11/4076 (2006.01)
G11C 11/408 (2006.01) G11C 7/10 (2015.01)

(52) CPC특허분류
G11C 11/4093 (2013.01)
G11C 11/4076 (2013.01)

(21) 출원번호 10-2016-0087945
(22) 출원일자 2016년07월12일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091

(72) 발명자
김현승
경기도 이천시 증신로 278, 102동 1702호 (송정동, 풍산아파트)
김광순
경기도 이천시 대산로288번길 89 106동 1401호 (고담동, 현대전자기숙사)
(뒷면에 계속)

(74) 대리인
특허법인신성

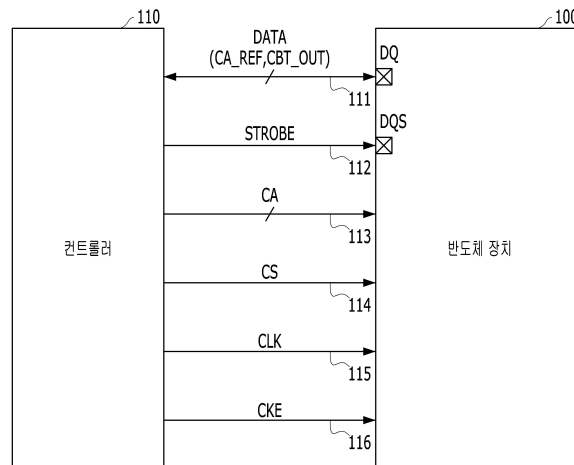
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 반도체 장치 및 반도체 시스템

(57) 요약

본 발명은 컨트롤러와 반도체 장치 간의 트레이닝을 수행하는 반도체 시스템에 관한 것으로, 본 발명의 실시 예에 따른 반도체 시스템은 트레이닝 모드 시에 외부 신호 및 제 1 데이터 신호를 전송하고, 제 2 데이터 신호를 수신하여 상기 외부 신호의 활성화 타이밍을 조절하는 컨트롤러; 및 상기 제 1 데이터 신호에 응답하여 기준 전압의 레벨을 설정하고, 상기 기준 전압을 토대로 상기 외부 신호를 버퍼링하여 상기 제 2 데이터 신호로 출력하며, 상기 제 2 데이터 신호의 출력 구간에서는 터미네이션 동작을 수행하지 않는 반도체 장치를 포함할 수 있다.

대표도 - 도2



(52) CPC특허분류

G11C 11/4082 (2013.01)

G11C 7/1057 (2013.01)

G11C 7/1084 (2013.01)

(72) 발명자

오승욱

경기도 수원시 영통구 봉영로1770번길 21 신명.한
국아파트 202동 1501호

차진엽

서울특별시 송파구 올림픽로 135 리센즈아파트
202-202

명세서

청구범위

청구항 1

트레이닝 모드 시에 외부 신호 및 제 1 데이터 신호를 전송하고, 제 2 데이터 신호를 수신하여 상기 외부 신호의 활성화 타이밍을 조절하는 컨트롤러; 및

상기 제 1 데이터 신호에 응답하여 기준 전압의 레벨을 설정하고, 상기 기준 전압을 토대로 상기 외부 신호를 버퍼링하여 상기 제 2 데이터 신호로 출력하며, 상기 제 2 데이터 신호의 출력 구간에서는 터미네이션 동작을 수행하지 않는 반도체 장치

를 포함하는 반도체 시스템.

청구항 2

제 1 항에 있어서,

상기 외부 신호는 커맨드 및 어드레스 중 적어도 하나를 포함하는 커맨드/어드레스(CMD/ADDR) 신호인 것을 특징으로 하는 반도체 시스템.

청구항 3

제 2 항에 있어서,

상기 제 1 데이터 신호는, 상기 커맨드/어드레스(CMD/ADDR) 신호의 기준값에 대응하고, 상기 제 2 데이터 신호는, 상기 반도체 장치에서 수행된 커맨드/어드레스 버스 트레이닝의 결과값에 대응하며,

상기 제 1 데이터 신호 및 상기 제 2 데이터 신호는 동일한 데이터 패드들을 통해 입출력되는 것을 특징으로 하는 반도체 시스템.

청구항 4

제 2 항에 있어서,

상기 트레이닝 모드 시에 상기 제 1 데이터 신호 및 상기 제 2 데이터 신호를 전송하기 위한 데이터 버스; 및 상기 커맨드/어드레스(CMD/ADDR) 신호를 전송하기 위한 커맨드/어드레스 버스를 더 포함하는 반도체 시스템.

청구항 5

제 4 항에 있어서,

상기 데이터 버스는 상기 반도체 장치의 데이터(DQ) 패드들과 연결되고,

상기 반도체 장치는, 상기 제 2 데이터 신호의 출력 구간에서는 상기 데이터(DQ) 패드에 대해 터미네이션 동작을 수행하지 않는 것

을 특징으로 하는 반도체 시스템.

청구항 6

제 1 데이터 신호에 응답하여 기준 전압의 레벨을 설정하는 기준 전압 생성부;

트레이닝 모드 시 상기 기준 전압을 토대로 외부 신호를 버퍼링하고, 칩 선택 신호에 응답하여 버퍼링된 신호를 래치하여 트레이닝 신호로 출력하는 트레이닝부;

상기 트레이닝 모드 시 상기 칩 선택 신호를 입력 받아 주기 신호를 생성하고, 상기 주기 신호를 토대로 특정 시점에 활성화되는 출력 타이밍 신호를 생성하는 타이밍 제어부;

상기 트레이닝 모드 시 상기 출력 타이밍 신호에 따라 활성화 구간이 결정되는 출력 제어 신호를 생성하는 출력 제어부;

상기 트레이닝 모드 시 터미네이션 제어 신호에 따라 터미네이션 신호를 출력하며, 상기 출력 제어 신호의 활성화 구간에서 터미네이션 동작이 수행되지 않도록 상기 터미네이션 신호를 제어하는 터미네이션 제어부; 및

상기 터미네이션 신호에 따라 출력 임피던스를 조절하며, 상기 출력 제어 신호에 따라 상기 트레이닝 신호를 구동하여 제 2 데이터 신호로 출력하는 출력 구동부

를 포함하는 반도체 장치

청구항 7

제 6 항에 있어서,

상기 외부 신호는 커맨드 및 어드레스 중 적어도 하나를 포함하는 커맨드/어드레스(CMD/ADDR) 신호인 것을 특징으로 하는 반도체 장치.

청구항 8

제 6 항에 있어서,

상기 트레이닝 모드 시에 상기 제 1 데이터 신호 및 상기 제 2 데이터 신호는 동일한 데이터 패드들을 통해 입력 출력되는 것

을 특징으로 하는 반도체 장치.

청구항 9

제 6 항에 있어서,

상기 트레이닝부는,

상기 칩 선택 신호를 내부 클럭 신호의 라이징 에지 혹은 폴링 에지 중 하나에 동기시켜 내부 칩 선택 신호로 출력하는 제 1 버퍼부;

상기 트레이닝 모드 진입을 알리는 트레이닝 제어 신호에 응답하여 인에이블되고, 상기 기준 전압을 토대로 상기 외부 신호를 버퍼링하여 내부 신호를 생성하는 제 2 버퍼부; 및

상기 트레이닝 제어 신호에 응답하여 인에이블되고, 상기 내부 칩 선택 신호에 따라 상기 내부 신호를 래치하여 상기 트레이닝 신호로 출력하는 래치부

를 포함하는 반도체 장치.

청구항 10

제 9 항에 있어서,

모드 레지스터(MRS)로부터 전달되는 트레이닝 모드 신호 및 클럭 인에이블 신호에 응답하여 상기 트레이닝 제어 신호를 생성하는 트레이닝 제어 신호 생성부

를 더 포함하는 반도체 장치.

청구항 11

제 6 항에 있어서,

상기 타이밍 제어부는,

상기 트레이닝 모드 시에, 상기 칩 선택 신호에 따라 상기 주기 신호를 생성하고, 상기 주기 신호를 카운팅하여 복수 개의 카운팅 신호를 생성하고, 상기 주기 신호와 상기 복수 개의 카운팅 신호 중 적어도 하나의 신호의 활성화 시점에 활성화되는 상기 출력 타이밍 신호 및 스트로브 타이밍 신호를 생성하는 것

을 특징으로 하는 반도체 장치.

청구항 12

제 11 항에 있어서,

상기 스트로브 타이밍 신호에 따라 활성화 구간이 결정되는 스트로브 신호를 생성하는 스트로브 신호 생성부

를 더 포함하는 반도체 장치.

청구항 13

제 12 항에 있어서,

상기 출력 구동부는,

상기 출력 제어 신호에 따라 상기 트레이닝 신호를 구동하여 상기 제 2 데이터 신호로 출력하는 동안, 상기 스트로브 신호를 데이터 패드들 중 하나로 출력하는 것

을 특징으로 하는 반도체 장치.

청구항 14

제 6 항에 있어서,

상기 타이밍 제어부는,

상기 트레이닝 모드 시 상기 칩 선택 신호 및 상기 출력 타이밍 신호에 응답하여 활성화 구간 신호 및 초기화 신호를 생성하는 타이밍 제어 신호 생성부;

상기 활성화 구간 신호의 활성화 구간 동안 주기적으로 토글링하는 상기 주기 신호를 생성하는 오실레이터;

상기 초기화 신호에 따라 초기화되며, 상기 주기 신호를 카운팅하여 서로 다른 주기를 가지는 복수 개의 카운팅 신호를 생성하는 카운터; 및

상기 주기 신호와 상기 복수 개의 카운팅 신호 중 적어도 하나의 신호의 활성화 시점에 활성화되는 상기 출력 타이밍 신호 및 스트로브 타이밍 신호를 생성하는 타이밍 신호 생성부

를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 15

제 14 항에 있어서,

상기 타이밍 제어 신호 생성부는,

트레이닝 제어 신호가 활성화 되면 상기 칩 선택 신호에 응답하여 활성화되는 상기 초기화 신호를 생성하는 초기화 신호 생성부; 및

상기 트레이닝 제어 신호가 활성화 되면 상기 칩 선택 신호에 응답하여 활성화되고, 상기 출력 타이밍 신호에 응답하여 비활성화되는 상기 활성화 구간 신호를 생성하는 활성화 구간 신호 생성부

를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 16

제 6 항에 있어서,

상기 터미네이션 제어부는,

트레이닝 제어 신호가 활성화되면, 터미네이션 인에이블 신호를 출력하는 터미네이션 인에이블 신호 생성부; 및

상기 터미네이션 인에이블 신호에 따라 터미네이션용 임피던스 제어 코드를 상기 터미네이션 신호로 출력하되, 상기 출력 제어 신호의 활성화 구간에서는 리드 동작용 임피던스 제어 코드를 상기 터미네이션 신호로 출력하는 임피던스 제어 코드 생성부

를 포함하는 반도체 장치.

청구항 17

제 16 항에 있어서,

상기 임피던스 제어 코드 생성부는,

상기 터미네이션 인에이블 신호에 따라 활성화되며, 상기 출력 제어 신호가 활성화되면 비활성화되는 선택 신호를 생성하는 선택 신호 생성부; 및

상기 선택 신호에 응답하여 상기 리드 동작용 임피던스 제어 코드 또는 상기 터미네이션용 임피던스 제어 코드를 선택하여 상기 터미네이션 신호로 출력하는 코드 선택부

를 포함하는 반도체 장치.

청구항 18

제 16 항에 있어서,

상기 출력 구동부는,

상기 터미네이션 인에이블 신호 및 상기 출력 제어 신호에 따라 상기 트레이닝 신호를 풀업 트레이닝 신호 및 풀다운 트레이닝 신호로 구동하는 드라이버 제어부; 및

상기 터미네이션 신호에 따라 출력 임피던스를 조절하며, 상기 풀업 트레이닝 신호 및 상기 풀다운 트레이닝 신호를 입력 받아 데이터(DQ) 패드로 상기 제 2 데이터 신호를 출력하는 출력 드라이버

를 포함하는 반도체 장치.

청구항 19

제 18 항에 있어서,

상기 드라이버 제어부는,

상기 출력 제어 신호가 비활성화되면, 상기 터미네이션 인에이블 신호에 따라 폴업 트레이닝 신호 및 폴다운 트레이닝 신호를 구동하고,

상기 출력 제어 신호가 활성화되면, 상기 터미네이션 인에이블 신호에 상관 없이 상기 트레이닝 신호를 폴업 트레이닝 신호로 출력하고, 상기 트레이닝 신호의 반전된 신호를 상기 폴다운 트레이닝 신호로 출력하는 것

을 특징으로 하는 반도체 장치.

청구항 20

제 6 항에 있어서,

내부 스트로브 신호에 응답하여 데이터(DQ) 패드를 통해 입력되는 데이터를 버퍼링하여 상기 제 1 데이터 신호를 출력하는 제 1 입력 버퍼; 및

데이터 스트로브(DQS) 패드를 통해 입력되는 스트로브 신호를 버퍼링하여 상기 내부 스트로브 신호를 출력하는 제 2 입력 버퍼

를 더 구비하는 반도체 장치.

발명의 설명

기술 분야

[0001] 본 특허문헌은 반도체 설계 기술에 관한 것으로, 구체적으로는 컨트롤러와 반도체 장치 간의 트레이닝을 수행하는 반도체 시스템에 관한 것이다.

배경 기술

[0003] 반도체 장치, 예를 들어, 반도체 메모리 장치는 집적도의 증가와 더불어 그 동작 속도의 향상을 위하여 지속적으로 개선되어 왔다. 동작 속도를 향상시키기 위하여 메모리 장치 외부에서 주어지는 클럭 신호와 동기되어 동작할 수 있는 동기식(Synchronous) 메모리 장치가 등장 되었다.

[0004] DDR(Double Data Rate) 동기식 메모리 장치는 하나의 클럭 주기에 두 개의 데이터를 처리하는 방식이다. DDR 동기식 메모리 장치의 각 데이터 입출력 핀에서는 외부에서 입력되는 클럭 신호의 상승 에지(rising edge)와 하강 에지(falling edge)에 동기되어 연속적으로 두 개의 데이터가 입출력된다. 따라서, 클럭 신호의 주파수를 증가시키지 않더라도 종래의 SDR 동기식 메모리 장치에 비하여 최소한 두 배 이상의 대역폭(band width)을 구현할 수 있어 그만큼 고속 동작이 구현 가능하다.

[0005] 한편, 반도체 메모리 장치는 저소비 전력에 더하여 고속 동작이 요구되고 있다. 예컨대, LPDDR(Low Power Double Data Rate) 사양의 DRAM이 요구된다. LPDDR DRAM 시스템과 같은 메모리 시스템은, 저전력 조건에서 클럭 신호의 상승 에지(rising edge)와 하강 에지(falling edge)에 동기되어 DRAM과 컨트롤러 사이에서 양방향으로 데이터를 송수신한다.

[0006] 하지만, 메모리 시스템의 저전력 조건에서 동작 주파수가 점점 빨라지게 됨에 따라 노이즈나 스큐에 의한 전파(propagation) 지연이 발생하여 신호 충실도(Signal Integrity)가 나빠진다. 이에 따라, 메모리 시스템은 컨트롤러와 메모리 장치 간의 트레이닝을 통해 최적의 신호 윈도우를 찾거나 신호 스큐를 보상할 필요가 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명의 실시 예가 해결하고자 하는 기술적 과제는 동일한 패드를 이용하여 신호의 입출력이 이루어지는 트레이닝 모드에서 터미네이션 동작을 제어할 수 있는 반도체 장치 및 반도체 시스템을 제공한다.

과제의 해결 수단

[0010] 본 발명의 일 실시예에 따르면, 반도체 시스템은 트레이닝 모드 시에 외부 신호 및 제 1 데이터 신호를 전송하고, 제 2 데이터 신호를 수신하여 상기 외부 신호의 활성화 타이밍을 조절하는 컨트롤러; 및 상기 제 1 데이터 신호에 응답하여 기준 전압의 레벨을 설정하고, 상기 기준 전압을 토대로 상기 외부 신호를 버퍼링하여 상기 제 2 데이터 신호로 출력하며, 상기 제 2 데이터 신호의 출력 구간에서는 터미네이션 동작을 수행하지 않는 반도체 장치를 포함할 수 있다.

[0011] 본 발명의 다른 실시예에 따르면, 반도체 장치는 제 1 데이터 신호에 응답하여 기준 전압의 레벨을 설정하는 기준 전압 생성부; 트레이닝 모드 시 상기 기준 전압을 토대로 외부 신호를 버퍼링하고, 칩 선택 신호에 응답하여 버퍼링된 신호를 래치하여 트레이닝 신호로 출력하는 트레이닝부; 상기 트레이닝 모드 시 상기 칩 선택 신호를 입력 받아 주기 신호를 생성하고, 상기 주기 신호를 토대로 특정 시점에 활성화되는 출력 타이밍 신호를 생성하는 타이밍 제어부; 상기 트레이닝 모드 시 상기 출력 타이밍 신호에 따라 활성화 구간이 결정되는 출력 제어 신호를 생성하는 출력 제어부; 상기 트레이닝 모드 시 터미네이션 제어 신호에 따라 터미네이션 신호를 출력하며, 상기 출력 제어 신호의 활성화 구간에서 터미네이션 동작이 수행되지 않도록 상기 터미네이션 신호를 제어하는 터미네이션 제어부; 및 상기 터미네이션 신호에 따라 출력 임피던스를 조절하며, 상기 출력 제어 신호에 따라 상기 트레이닝 신호를 구동하여 제 2 데이터 신호로 출력하는 출력 구동부를 포함할 수 있다.

발명의 효과

[0013] 제안된 실시예에 따른 반도체 장치는 내부적으로 기준 전압의 레벨을 설정하고, 설정된 기준 전압의 레벨을 토대로 커맨드 및 어드레스를 포함하는 외부 신호에 대한 트레이닝을 수행하며, 외부 신호가 출력되는 구간에서는 터미네이션 동작을 중지함으로써 트레이닝 모드에서 터미네이션 동작을 제어할 수 있는 효과가 있다.

도면의 간단한 설명

- [0015] 도 1 은 CBT 모드에서 커맨드/어드레스 신호의 트레이닝 동작을 설명하는 도면이다.
- 도 2 는 본 발명의 실시 예에 따른 반도체 시스템을 설명하기 위한 도면이다.
- 도 3 은 본 발명의 일 실시 예에 따른 반도체 장치의 상세 구성도 이다.
- 도 4 는 도 3 에 도시된 타이밍 제어부의 내부 구성도 이다.
- 도 5a 및 도 5b 는 도 4 에 도시된 타이밍 제어 신호 생성부의 상세 회로도 및 동작 파형도 이다.
- 도 6 은 도 4 에 도시된 출력 타이밍 신호 생성부의 회로도 이다.
- 도 7 은 도 4 에 도시된 스트로브 타이밍 신호 생성부의 회로도 이다.
- 도 8 은 도 4 에 도시된 타이밍 제어부의 동작을 설명하기 위한 파형도 이다.
- 도 9a 및 도 9b 은 도 3 에 도시된 터미네이션 제어부의 상세 회로도 및 동작 파형도 이다.
- 도 10 은 도 3 에 도시된 제 1 드라이버 제어부의 상세 회로도 이다.
- 도 11 는 도 3 에 도시된 제 1 출력 드라이버의 상세 구성도 이다.
- 도 12a 및 12b 는 본 발명의 실시 예에 따른 반도체 시스템의 동작을 설명하기 위한 타이밍도 이다.
- 도 13 은 본 발명의 다른 실시 예에 따른 반도체 장치의 상세 구성도 이다.
- 도 14 는 도 13 에 도시된 터미네이션 제어부의 상세 회로도 이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시 예들을 첨부 도면을 참조하여 설명하고자 한다.
- [0018] 최근의 메모리 시스템은 DDR 방식의 어드레스 고속화 방식으로서, 종래에 반도체 메모리 장치와 컨트롤러에 각각으로 존재하던 커맨드 신호 입력 핀과 어드레스 신호 입력 핀을 공통화하고, 클럭 신호의 상승 에지(rising edge)와 하강 에지(falling edge)에 동기하여 커맨드 및 어드레스를 컨트롤러로부터 반도체 메모리 장치로 입력할 수 있다. 커맨드 신호와 어드레스 신호로 공통으로 사용하는 신호를 커맨드/어드레스(CMD/ADDR) 신호라 칭한다.
- [0019] 최근의 메모리 시스템은 메모리 장치와 컨트롤러 사이의 커맨드/어드레스 버스 트레이닝(CBT, command/address bus training)을 통해 커맨드/어드레스(CMD/ADDR) 신호의 스큐를 조정함으로써 고속 신호 전달을 수행할 수 있다. 여기서, CBT 란 컨트롤러와 메모리 장치 사이에 미리 약속된 훈련 패턴을 사용하여 커맨드/어드레스(CMD/ADDR) 신호의 스큐(skew)를 조절하는 기술로, CBT 모드에 진입하면 메모리 장치는 커맨드/어드레스(CMD/ADDR) 신호의 기준값을 컨트롤러로부터 입력 받아 내부 기준 전압의 레벨을 설정한 후 커맨드/어드레스(CMD/ADDR) 신호를 입력 받아 버퍼링한 후 CBT 결과값을 다시 컨트롤러로 전송하고, 컨트롤러는 전송된 CBT 결과값을 토대로 커맨드/어드레스(CMD/ADDR) 신호를 트레이닝 할 수 있다.
- [0021] 도 1 은 CBT 모드에서 커맨드/어드레스 신호의 트레이닝 동작을 설명하는 도면이다.
- [0022] 도 1 을 참조하면, X8 CBT 모드에서의 동작이 도시되어 있다. X8 CBT 모드에서는 한쪽 바이트, 즉, 상부 데이터(DQ) 패드(DQ<7:0>)만을 이용하여 커맨드/어드레스(CMD/ADDR) 신호의 기준값(CA_REF<0:5>)을 입력 받아 CBT 결과값(CBT_OUT)을 전송하게 된다.
- [0023] X8 CBT 모드에서, 반도체 메모리 장치는, 클럭 인에이블 신호(CKE)가 로우 레벨로 천이하면 DQS 패드를 통해 입력되는 스트로브 신호에 응답하여 제 1 내지 제 6 DQ 패드(DQ<0:5>)를 통해 전달되는 커맨드/어드레스(CMD/ADDR) 신호의 기준값(CA_REF<0:5>)를 입력 받아 기준 전압(VREF_CA)의 레벨을 조절한다. 이후, 반도체 메모리 장치는, 커맨드/어드레스(CMD/ADDR) 신호(CA<0:5>)가 입력되면 기준 전압(VREF_CA)을 토대로 이를 버퍼링 된다. 반도체 메모리 장치는, 클럭 인에이블 신호(CKE)가 로우 레벨로 천이한 상태에서 칩 선택 신호(CS)가 토글링하면, 클럭 신호(CLK)에 동기된 시점에서 이를 인식하여 제 1 내지 제 6 DQ 패드(DQ<0:5>)를 통해 CBT 결과값(CBT_OUT)을 출력한다. 이 때, 제 1 내지 제 6 DQ 패드(DQ<0:5>)로는 CBT 결과값(CBT_OUT)이 출력되고, 제 8 DQ 패드(DQ<7>)로는 일정 시간 동안 토글링하는 데이터가 출력된다. 제 8 DQ 패드(DQ<7>)로 출력되는 데이터는 제 1 내지 제 6 DQ 패드(DQ<0:5>)로 출력되는 데이터가 유효한 데이터임을 알려주는 스트로브 신호로 이용될 수 있다.
- [0024] 이에 따라, 컨트롤러는 전송된 CBT 결과값(CBT_OUT)을 토대로 커맨드/어드레스(CMD/ADDR) 신호를 트레이닝 할 수 있다. 즉, 컨트롤러는 트레이닝 동작을 통해 클럭 신호 쌍의 상승 에지와 하강 에지의 교점에 커맨드/어드레스(CMD/ADDR) 신호의 유효 윈도우의 중간이 위치하도록 커맨드/어드레스(CMD/ADDR) 신호의 타이밍을 조정할 수 있다. 이에 따라, 커맨드/어드레스(CMD/ADDR) 신호의 타이밍 마진이 최대로 확보될 수 있다.
- [0026] 한편, 반도체 메모리 장치에서는, 장치들 간의 신호 전송을 원활히 하기 위해 JEDEC에서 정해진 스펙(spec)에 따라 온-다이 터미네이션(ODT, On-Die Termination) 동작이 지원되어야 한다. 일반적으로, ODT 동작이란, 외부 기준저항과 비교하여 저항값이 같아지도록 하기 위해 병렬 접속된 복수의 트랜지스터 중 턴오프되는 트랜지스터의 갯수를 조절함으로써 터미네이션단의 저항을 조정하는 동작이다. 그런데, 현재의 반도체 메모리 장치는 동일한 패드를 이용하여 커맨드/어드레스(CMD/ADDR) 신호의 기준값(CA_REF)의 입력 동작과 CBT 결과값(CBT_OUT)의 출력 동작이 수행되는 X8 CBT 모드에서 ODT 동작을 제어하고 있지 않다. 따라서, X8 CBT 모드에서의 정확한 트레이닝 동작이 이루어지기 어렵다.
- [0028] 이하, 본 발명의 실시예에서는, 동일한 패드(즉, 동일한 데이터 버스)를 이용하여 신호의 입출력이 이루어지는

트레이닝 모드에서 터미네이션 동작을 제어할 수 있는 반도체 시스템에 대해 논의하고자 한다.

- [0029] 도 2 는 본 발명의 실시 예에 따른 반도체 시스템을 설명하기 위한 도면이다.
- [0030] 도 2 를 참조하면, 반도체 시스템은 컨트롤러(110) 및 반도체 장치(100)를 포함할 수 있다. 컨트롤러(110)는, 트레이닝 모드 시에 외부에서 입력되는 커맨드/어드레스(CMD/ADDR) 신호(CA) 및 제 1 데이터 신호(CA_REF)를 전송하고, 제 2 데이터 신호(CBT_OUT)를 수신하여 커맨드/어드레스(CMD/ADDR) 신호(CA)의 활성화 타이밍을 조절할 수 있다. 반도체 장치(100)는, 제 1 데이터 신호(CA_REF)에 응답하여 내부의 기준 전압(VREF_CA)의 레벨을 설정하고, 기준 전압(VREF_CA)을 토대로 커맨드/어드레스(CMD/ADDR) 신호(CA)를 버퍼링하여 제 2 데이터 신호(CBT_OUT)로 출력할 수 있다. 이 때, 본 발명의 실시 예에 따른 반도체 장치(100)는, 제 2 데이터 신호(CBT_OUT)의 출력 구간에서는 터미네이션 동작을 수행하지 않음으로써 정확한 데이터 출력 동작이 이루어질 수 있도록 한다. 일 실시 예에서, 반도체 장치(100)는 반도체 메모리 장치를 포함할 수 있다.
- [0031] 컨트롤러(110)와 반도체 장치(100) 사이에는, 트레이닝 모드 시에 제 1 데이터 신호(CA_REF) 및 제 2 데이터 신호(CBT_OUT)가 전송되는 데이터 버스(111), 스트로브 신호(STROBE) 라인(112), 커맨드/어드레스 버스(113), 칩 선택 신호(CS) 라인(114), 클럭 신호(CLK) 라인(115), 및 클럭 인에이블 신호(CKE) 라인(116)이 연결될 수 있다.
- [0032] 컨트롤러(110)에서 발생된 클럭 신호(CLK)는 클럭 신호 라인(115)을 통해 반도체 장치(100)로 제공된다. 클럭 신호(CLK)는 반전 클럭 신호(CLKB)와 함께 연속 교번 반전 신호로 제공될 수 있다. 클럭 신호쌍(CLK, CLKB)은 이들의 교점을 기준으로 상승/하강 에지들이 검출될 수 있기 때문에, 타이밍 정확도를 향상시킬 수 있다. 설명의 편의를 위하여, 2개의 클럭 신호 쌍(CLK, CLKB)은 클럭 신호(CLK)로 설명한다.
- [0033] 컨트롤러(110)에서 발생하는 커맨드/어드레스 신호(CA)는 커맨드/어드레스 버스(113)를 통해 반도체 장치(100)로 제공된다. 커맨드/어드레스 버스(113)에는 반도체 장치(100)의 커맨드 신호 또는 어드레스 신호가 실릴 수 있다. 컨트롤러(110)는 커맨드/어드레스 버스(113)를 통해 커맨드/어드레스 버스 트레이닝(CBT) 모드 진입을 지시하는 모드 레지스터(MRS) 커맨드를 전송할 수 있다. MRS 커맨드에는 CBT 모드 진입 커맨드와 CBT 모드 탈출 커맨드가 있다. 커맨드/어드레스 버스(113)를 통해 CBT 모드 진입 커맨드를 나타내는 시작 신호를 전송하거나 CBT 모드 탈출 커맨드를 나타내는 종료 신호를 전송할 수 있다.
- [0034] 데이터 버스(111)는 컨트롤러(110)와 반도체 장치(100) 사이의 데이터 신호를 송수신할 수 있다. 또한, 데이터 버스(111)는, 트레이닝 모드 시에 커맨드/어드레스(CMD/ADDR) 신호(CA)의 기준값에 대응하는 제 1 데이터 신호(CA_REF)를 반도체 장치(100)로 전송하고, 반도체 장치(100)에서 수행된 커맨드/어드레스 버스 트레이닝(CBT) 결과값에 대응하는 제 2 데이터 신호(CBT_OUT)를 반도체 장치(100)로부터 컨트롤러(110)로 전송할 수 있다.
- [0035] 한편, 데이터 버스(111)는 반도체 장치(100)의 데이터(DQ) 패드들과 연결되고, 스트로브 신호 라인(112)은 반도체 장치(100)의 DQS 패드와 연결될 수 있다. 이 때, 데이터(DQ) 패드들은 상부 데이터(DQ) 패드(DQ<7:0>)와 하부 데이터 패드(DQ<15:8>)가 구비될 수 있으며, X8 CBT 모드에서는 상부 데이터(DQ) 패드(DQ<7:0>)만을 이용하여 커맨드/어드레스(CMD/ADDR) 신호의 기준값(CA_REF<0:5>)을 입력 받아 CBT 결과값(CBT_OUT)을 전송하게 된다. 제 2 데이터 신호(CBT_OUT)와 DQ 패드와의 맵핑은 다양하게 설정될 수 있다. 예컨대, X8 CBT 모드에서는, 상부 DQ 패드(DQ<7:0>) 중 제 1 내지 제 6 DQ 패드(DQ<0:5>)를 통해 커맨드/어드레스(CMD/ADDR) 신호의 기준값(CA_REF<0:5>)을 입력 받아 CBT 결과값(CBT_OUT<0:5>)을 전송하고, 제 8 DQ 패드(DQ<7>)를 통해 제 1 내지 제 6 DQ 패드(DQ<0:5>)로 출력되는 데이터가 유효한 데이터임을 알려주는 스트로브 신호를 출력할 수 있다.
- [0036] 상기와 같은 구성을 가지는 반도체 시스템에서, 컨트롤러(110)는, 트레이닝 모드 시에 커맨드/어드레스 버스(113)를 통해 커맨드/어드레스(CMD/ADDR) 신호(CA)를 반도체 장치(100)로 전송하고, 데이터 버스(111)를 통해 제 1 데이터 신호(CA_REF)를 반도체 장치(100)로 전송할 수 있다. 반도체 장치(100)는, DQ 패드를 통해 입력되는 제 1 데이터 신호(CA_REF)에 응답하여 내부의 기준 전압(VREF_CA)의 레벨을 설정하고, 기준 전압(VREF_CA)을 토대로 커맨드/어드레스(CMD/ADDR) 신호(CA)를 버퍼링하여 제 2 데이터 신호(CBT_OUT)를 다시 DQ 패드로 출력할 수 있다. 이 때, 본 발명의 실시 예에 따른 반도체 장치(100)는 제 2 데이터 신호(CBT_OUT)의 출력 구간에서는 DQ 패드에 대해 터미네이션 동작을 수행하지 않는다. 따라서, 커맨드/어드레스(CMD/ADDR) 신호의 기준값(CA_REF)의 입력 동작과 CBT 결과값(CBT_OUT)의 출력 동작이 동일한 패드를 통해 수행되는 X8 CBT 모드에서, ODT 동작을 제어함으로써 정확한 트레이닝 동작이 이루어질 수 있다.
- [0038] 이하, 도면을 참조하여 X8 CBT 모드에서 ODT 동작을 제어하는 반도체 장치(100)의 상세 구성을 설명하고자

한다.

- [0039] 도 3 은 본 발명의 일 실시 예에 따른 반도체 장치(100)의 상세 구성도 이다.
- [0040] 도 3 을 참조하면, 반도체 장치(100)는, 기준 전압 생성부(210), 트레이닝부(220), 타이밍 제어부(230), 출력 제어부(240), 터미네이션 제어부(250) 및 출력 구동부(260)를 포함할 수 있다.
- [0041] 기준 전압 생성부(210)는, 데이터 버스(도 2 의 111)를 통해 컨트롤러(도 2 의 110)로부터 전달되는 제 1 데이터 신호(CA_REF<0:6>)에 응답하여 기준 전압(VREF_CA<0:6>)의 레벨을 설정할 수 있다.
- [0042] 참고로, 반도체 장치(100)는 DQ 패드를 통해 입력되는 데이터를 버퍼링하여 제 1 데이터 신호(CA_REF<0:6>)를 출력하는 제 1 입력 버퍼(212) 및 DQS 패드를 통해 입력되는 스트로브 신호를 버퍼링하여 내부 스트로브 신호(IDQS)를 출력하는 제 2 입력 버퍼(214)를 구비할 수 있다. 제 1 입력 버퍼(212)는, 내부 스트로브 신호(IDQS)에 응답하여 DQ 패드를 통해 입력되는 데이터를 입력받고 출력 제어 신호(OUT)에 응답하여 비활성화되도록 제어될 수 있다.
- [0043] 트레이닝부(220)는, 커맨드/어드레스 버스(도 2 의 113)를 통해 컨트롤러(110)로부터 전달되는 커맨드/어드레스(CMD/ADDR) 신호(CA<0:5>)를 기준 전압(VREF_CA<0:6>)을 토대로 버퍼링하여 내부 커맨드/어드레스(CMD/ADDR) 신호(ICA<0:5>)를 출력하고, 칩 선택 신호(CS) 및 트레이닝 제어 신호(CKECAL)에 응답하여 내부 커맨드/어드레스(CMD/ADDR) 신호(ICA<0:5>)를 래치하여 트레이닝 신호(CAOUT<0:5>)로 출력할 수 있다.
- [0044] 보다 상세하게, 트레이닝부(220)는 제 1 버퍼부(222), 제 2 버퍼부(224) 및 래치부(226)를 포함할 수 있다.
- [0045] 제 1 버퍼부(222)는 클럭 신호(CLK)를 버퍼링 하여 내부 클럭 신호(ICLK)로 출력하고, 칩 선택 신호(CS)를 내부 클럭 신호(ICLK)의 라이징 에지 혹은 폴링 에지 중 하나에 동기시켜 내부 칩 선택 신호(ICS)로 출력할 수 있다. 제 2 버퍼부(224)는 트레이닝 제어 신호(CKECAL)가 활성화될 때 인에이블되어, 커맨드/어드레스(CMD/ADDR) 신호(CA<0:5>)를 기준 전압(VREF_CA<0:6>)을 토대로 버퍼링하여 내부 커맨드/어드레스(CMD/ADDR) 신호(ICA<0:5>)를 생성하며, 생성된 내부 커맨드/어드레스(CMD/ADDR) 신호(ICA<0:5>)를 내부 클럭 신호(ICLK)에 동기시켜 출력할 수 있다. 래치부(226)는 트레이닝 제어 신호(CKECAL)가 활성화될 때 인에이블되어, 내부 칩 선택 신호(ICS)에 따라 내부 커맨드/어드레스(CMD/ADDR) 신호(ICA<0:5>)를 래치하여 트레이닝 신호(CAOUT<0:5>)로 출력할 수 있다.
- [0046] 참고로, 반도체 장치(100)는 트레이닝 제어 신호(CKECAL)를 생성하는 트레이닝 제어 신호 생성부(228)를 더 포함할 수 있다. 트레이닝 제어 신호 생성부(228)는, 모드 레지스터(MRS, 미도시)로부터 전달되는 트레이닝 모드 신호(CBT_MRS) 및 클럭 인에이블 신호(CKE)에 응답하여 트레이닝 제어 신호(CKECAL)를 생성할 수 있다. 바람직하게는, 트레이닝 제어 신호 생성부(228)는, 트레이닝 모드 신호(CBT_MRS) 및 클럭 인에이블 신호(CKE)가 활성화될 때 트레이닝 제어 신호(CKECAL)를 활성화시켜 출력할 수 있다. 참고로, 모드 레지스터(MRS)는 컨트롤러(110)로부터 커맨드/어드레스 버스(113)를 통해 전달되는 커맨드/어드레스 버스 트레이닝(CBT) 모드 진입을 지시하는 모드 레지스터(MRS) 커맨드를 입력 받아 트레이닝 모드 신호(CBT_MRS)를 생성할 수 있다.
- [0047] 타이밍 제어부(230)는, 내부 칩 선택 신호(ICS) 및 트레이닝 제어 신호(CKECAL)를 입력 받아 주기 신호(OSC_OUT)를 생성하고, 주기 신호(OSC_OUT)를 토대로 특정 시점에 활성화되는 제 1 및 제 2 출력 타이밍 신호(OUT_EN, OUT_DIS)와 제 1 및 제 2 스트로브 타이밍 신호(DQ7_EN, DQ7_DIS)를 생성할 수 있다. 바람직하게는, 타이밍 제어부(230)는, 주기 신호(OSC_OUT)를 카운팅하여 복수 개의 카운팅 신호(미도시)를 생성하고, 주기 신호(OSC_OUT)와 복수 개의 카운팅 신호 중 적어도 하나의 신호의 활성화 시점에 활성화되는 제 1 및 제 2 출력 타이밍 신호(OUT_EN, OUT_DIS)와 제 1 및 제 2 스트로브 타이밍 신호(DQ7_EN, DQ7_DIS)를 생성할 수 있다.
- [0048] 출력 제어부(240)는, 제 1 및 제 2 출력 타이밍 신호(OUT_EN, OUT_DIS)에 따라 활성화 구간이 결정되는 출력 제어 신호(OUT)를 생성할 수 있다. 또한, 출력 제어부(240)는, 트레이닝 제어 신호(CKECAL)에 따라 출력 제어 신호(OUT)를 구동 제어 신호(QDRDEN)로 출력할 수 있다.
- [0049] 보다 상세하게, 출력 제어부(240)는 출력 제어 신호 생성부(242) 및 구동 제어 신호 생성부(244)를 포함할 수 있다.
- [0050] 출력 제어 신호 생성부(242)는 제 1 출력 타이밍 신호(OUT_EN)에 따라 활성화되고, 제 2 출력 타이밍 신호(OUT_DIS)에 따라 비활성화되는 출력 제어 신호(OUT)를 생성할 수 있다. 구동 제어 신호 생성부(244)는 트레이닝 제어 신호(CKECAL)가 활성화될 때 인에이블되어, 출력 제어 신호(OUT)를 구동 제어 신호(QDRDEN)로 출력할 수 있다. 일 실시 예에서, 구동 제어 신호 생성부(244)는 트레이닝 제어 신호(CKECAL) 및 출력 제어 신호(OUT)

를 입력받는 앤드 게이트로 구현될 수 있다.

- [0051] 참고로, 반도체 장치(100)는 트레이닝 모드 시 제 8 DQ 패드(DQ<7>)로 출력되는 트레이닝 신호(CAOUT<7>)를 생성하기 위한 스트로브 신호 생성부(246)를 추가로 구비할 수 있다. 스트로브 신호 생성부(246)는, 제 1 및 제 2 스트로브 타이밍 신호(DQ7_EN, DQ7_DIS)에 따라 트레이닝 신호(CAOUT<7>)의 활성화 구간이 제어되도록 할 수 있다. 바람직하게는, 스트로브 신호 생성부(246)는, 제 1 스트로브 타이밍 신호(DQ7_EN)에 따라 활성화되고, 제 2 스트로브 타이밍 신호(DQ7_DIS)에 따라 비활성화되는 트레이닝 신호(CAOUT<7>)를 생성할 수 있다. 트레이닝 신호(CAOUT<7>)는, 트레이닝부(220)로부터 제 1 내지 제 6 DQ 패드(DQ<0:5>)로 트레이닝 신호(CAOUT<0:5>)가 출력되는 구간 동안, 일정 시간 동안 토글링하는 신호로서, 제 1 내지 제 6 DQ 패드(DQ<0:5>)로 출력되는 데이터가 유효한 데이터임을 알려주는 스트로브 신호로 이용될 수 있다.
- [0052] 터미네이션 제어부(250)는, 트레이닝 제어 신호(CKECAL) 및 터미네이션 제어 신호(ODTEN)에 따라 터미네이션 신호를 출력하며, 출력 제어 신호(OUT)의 활성화 구간에서 터미네이션 동작이 수행되지 않도록 터미네이션 신호를 제어할 수 있다. 이 때, 터미네이션 신호는 폴업 임피던스 제어 코드(PCODE<0:5>) 및/또는 풀다운 임피던스 제어 코드(NCODE<0:5>)를 포함할 수 있다.
- [0053] 일반적으로, 터미네이션 제어 신호(ODTEN)가 활성화되면, DQ 패드를 풀다운 시키기 위한 풀다운 임피던스 제어 코드(NCODE<0:5>), 또는 DQ 패드를 폴업 시키기 위한 폴업 임피던스 제어 코드(PCODE<0:5>)가 입력된다. 이에 따라, 출력 구동부는 DQ 패드를 기설정된 임피던스로 풀다운 또는 폴업시켜 터미네이션 동작을 수행할 수 있다. 본 발명의 실시 예에서는, 터미네이션 제어 신호(ODTEN)가 활성화되더라도, 출력 제어 신호(OUT)의 활성화 구간, 즉, 제 1 내지 제 6 DQ 패드(DQ<0:5>)로 트레이닝 신호(CAOUT<0:5>)가 출력되는 구간에서는 폴업 임피던스 제어 코드(PCODE<0:5>) 및 풀다운 임피던스 제어 코드(NCODE<0:5>)를 모두 입력 받아 터미네이션 동작이 수행되지 않도록 한다. 즉, 트레이닝 신호(CAOUT<0:5>)가 출력되는 구간에서는 터미네이션 제어 신호(ODTEN)가 활성화되더라도 반도체 장치(100) 즉 출력 구동부(260)는 폴업 임피던스 제어 코드(PCODE<0:5>) 및 풀다운 임피던스 제어 코드(NCODE<0:5>)에 따라 트레이닝 신호(CAOUT<0:5>)를 구동하여 DQ 패드로 출력할 수 있도록 한다.
- [0054] 도 3 에 도시된 터미네이션 제어부(250)는, 트레이닝 제어 신호(CKECAL) 및 터미네이션 제어 신호(ODTEN)에 따라 제 1 터미네이션 인에이블 신호(DQ_ODTEN) 및 제 2 터미네이션 인에이블 신호(DQS_ODTEN)를 출력한다. 또한, 터미네이션 제어부(250)는, 트레이닝 제어 신호(CKECAL) 및 터미네이션 제어 신호(ODTEN)에 따라 풀다운 임피던스 제어 코드(NCODE<0:5>)를 출력하며, 출력 제어 신호(OUT)의 활성화 구간에서는 터미네이션용 풀다운 임피던스 제어 코드(N_ODT<0:2>)를 디코딩한 신호(NCODE_ODT<0:5>, 미도시)가 아닌 리드 동작용 풀다운 임피던스 제어 코드(N_RD<0:2>)를 디코딩한 신호(NCODE_RD<0:5>, 미도시)를 풀다운 임피던스 제어 코드(NCODE<0:5>)로 출력할 수 있다. 한편, 도 3 의 실시 예에서는 터미네이션 동작 시 DQ 패드를 풀다운 시키기 위한 풀다운 임피던스 제어 코드(NCODE<0:5>)가 입력되는 경우가 도시되어 있지만, 본 발명은 이에 한정되지 않는다. 즉, 터미네이션 동작 시 DQ 패드를 폴업 시키기 위한 폴업 임피던스 제어 코드(PCODE<0:5>)가 입력되거나, 폴업 임피던스 제어 코드(PCODE<0:5>) 및 풀다운 임피던스 제어 코드(NCODE<0:5>)가 모두 입력될 수도 있다.
- [0055] 출력 구동부(260)는, 제 1 터미네이션 인에이블 신호(DQ_ODTEN) 및 제 2 터미네이션 인에이블 신호(DQS_ODTEN)가 활성화되면 폴업 임피던스 제어 코드(PCODE<0:5>) 및 풀다운 임피던스 제어 코드(NCODE<0:5>)에 따라 출력 임피던스를 조절하며, 구동 제어 신호(QDRDEN)에 따라 트레이닝 신호(CAOUT<0:5>)를 구동하여 제 2 데이터 신호(CBT_OUT<0:5>)를 제 1 내지 제 6 DQ 패드(DQ<0:5>)로 출력하고, 트레이닝 신호(CAOUT<7>)를 구동하여 스트로브 신호로 제 8 DQ 패드(DQ<7>)로 출력할 수 있다. 즉, 출력 구동부(260)는, 구동 제어 신호(QDRDEN)에 따라 트레이닝 신호(CAOUT<0:5>)를 구동하여 제 2 데이터 신호(CBT_OUT<0:5>)를 제 1 내지 제 6 DQ 패드(DQ<0:5>)로 출력하는 동안, 스트로브 신호 생성부(246)로부터 출력되는 트레이닝 신호(CAOUT<7>)를 상부 데이터(DQ) 패드(DQ<7:0>) 중 하나, 즉, 제 8 DQ 패드(DQ<7>)로 출력할 수 있다.
- [0056] 보다 자세하게, 출력 구동부(260)는, 제 1 드라이버 제어부(262), 제 2 드라이버 제어부(264), 제 1 출력 드라이버(266) 및 제 2 출력 드라이버(268)를 포함할 수 있다.
- [0057] 제 1 드라이버 제어부(262)는, 제 1 터미네이션 인에이블 신호(DQ_ODTEN) 및 구동 제어 신호(QDRDEN)에 따라 트레이닝 신호(CAOUT<0:5, 7>)를 폴업 트레이닝 신호(CAOUT_UP<0:5, 7>) 및 풀다운 트레이닝 신호(CAOUT_DN<0:5, 7>)로 구동할 수 있다.
- [0058] 바람직하게는, 제 1 드라이버 제어부(262)는, 구동 제어 신호(QDRDEN)가 비활성화되면, 제 1 터미네이션 인에이블 신호(DQ_ODTEN)에 따라 폴업 트레이닝 신호(CAOUT_UP<0:5, 7>) 및 풀다운 트레이닝 신호(CAOUT_DN<0:5,

7>)를 구동할 수 있다. 이 때, 제 1 드라이버 제어부(262)는, 제 1 터미네이션 인에이블 신호(DQ_ODTEN)가 비활성화되면 폴업 트레이닝 신호(CAOUT_UP<0:5, 7>) 및 폴다운 트레이닝 신호(CAOUT_DN<0:5, 7>)를 모두 로직 로우 레벨로 고정(STUCK)시켜 출력하여 DQ 패드가 하이-임피던스(High-Z) 상태로 구동되도록 하고, 제 1 터미네이션 인에이블 신호(DQ_ODTEN)가 활성화되면 폴업 트레이닝 신호(CAOUT_UP<0:5, 7>)를 로직 로우 레벨로 출력하고, 폴다운 트레이닝 신호(CAOUT_DN<0:5, 7>)를 로직 하이 레벨로 출력하여 DQ 패드가 폴다운 터미네이션 되도록 한다.

[0059] 반면, 제 1 드라이버 제어부(262)는, 구동 제어 신호(QDRDEN)가 활성화되면, 제 1 터미네이션 인에이블 신호(DQ_ODTEN)에 상관 없이 트레이닝 신호(CAOUT<0:5>)를 폴업 트레이닝 신호(CAOUT_UP<0:5, 7>)로 출력하고, 트레이닝 신호(CAOUT<0:5>)의 반전된 신호를 폴다운 트레이닝 신호(CAOUT_DN<0:5, 7>)로 출력할 수 있다. 이에 따라, 정상적인 데이터 출력 동작이 수행될 수 있다. 따라서, 본 발명의 실시 예에서는, 트레이닝 모드 시에 제 1 터미네이션 인에이블 신호(DQ_ODTEN)가 활성화되더라도, 구동 제어 신호(QDRDEN)의 활성화 구간, 즉, 제 1 내지 제 6 DQ 패드(DQ<0:5>)로 트레이닝 신호(CAOUT<0:5>)가 출력되는 구간에서는 터미네이션 동작이 수행되지 않고, 정상적인 데이터 출력 동작이 수행될 수 있다.

[0060] 제 1 출력 드라이버(266)는, 폴업 임피던스 제어 코드(PCODE<0:5>) 및 폴다운 임피던스 제어 코드(NCODE<0:5>)에 따라 출력 임피던스를 조절하며, 폴업 트레이닝 신호(CAOUT_UP<0:5, 7>) 및 폴다운 트레이닝 신호(CAOUT_DN<0:5, 7>)를 입력 받아 DQ 패드로 제 2 데이터 신호(CBT_OUT<0:5>) 및 스트로브 신호를 출력할 수 있다.

[0061] 제 2 드라이버 제어부(264)는, 제 2 터미네이션 인에이블 신호(DQS_ODTEN)에 따라 제 2 출력 드라이버(268)가 DQS 패드에 터미네이션 동작을 수행하도록 제어할 수 있다. 이 때, DQS 패드는 스트로브 신호 라인(도 2의 112)을 통해 스트로브 신호가 입력 되는 입력 모드에서만 사용되므로, 터미네이션 제어부(250)는, DQS 패드를 터미네이션 시키기 위한 터미네이션용 폴다운 임피던스 제어 코드(NCODE_S<0:5>)를 출력하고, 제 2 드라이버 제어부(264)는, 제 2 터미네이션 인에이블 신호(DQS_ODTEN)가 활성화되면 제 2 출력 드라이버(268)가 터미네이션용 폴다운 임피던스 제어 코드(NCODE_S<0:5>)에 따라 DQS 패드에 터미네이션 동작을 수행하도록 제어할 수 있다.

[0062] 참고로, 반도체 장치(100)는 트레이닝부(220)의 래치부(226)로부터 출력되는 트레이닝 신호(CAOUT<0:5>) 및 스트로브 신호 생성부(246)로부터 출력되는 트레이닝 신호(CAOUT<7>)을 입력 받아 출력 구동부(260)로 전달하는 내부 트랜스미터들(TX)을 추가로 구비할 수 있다. 트랜스미터들(TX)은 출력 제어 신호(OUT)에 응답하여 입력되는 트레이닝 신호(CAOUT<0:5, 7>)를 출력 구동부(260)로 전달할 수 있다.

[0063] 상기와 같이, 본 발명의 실시 예에 따르면, 트레이닝 모드 시에 트레이닝 신호(CAOUT<0:5>)가 출력되는 구간에서는 터미네이션 제어 신호(ODTEN)가 활성화되더라도 반도체 장치(100) 측 출력 구동부(260)는 터미네이션 동작을 수행하지 않고 트레이닝 신호(CAOUT<0:5>)를 구동하여 DQ 패드로 출력하는 정상적인 데이터 출력 동작을 수행할 수 있다.

[0065] 도 4는 도 3에 도시된 타이밍 제어부(230)의 내부 구성도이다.

[0066] 도 4를 참조하면, 타이밍 제어부(230)는 타이밍 제어 신호 생성부(310), 링 오실레이터(320), 카운터(330), 출력 타이밍 신호 생성부(340) 및 스트로브 타이밍 신호 생성부(350)을 포함할 수 있다.

[0067] 타이밍 제어 신호 생성부(310)는, 트레이닝 제어 신호(CKECAL)가 활성화되면 내부 칩 선택 신호(ICS) 및 제 2 출력 타이밍 신호(OUT_DIS)에 응답하여 활성화 구간 신호(EN) 및 초기화 신호(RESET)를 생성할 수 있다. 링 오실레이터(320)는, 활성화 구간 신호(EN)의 활성화 구간 동안 주기적으로 토글링하는 주기 신호(OSC_OUT)를 생성할 수 있다. 카운터(330)는, 초기화 신호(RESET)에 따라 초기화되며, 주기 신호(OSC_OUT)를 카운팅하여 서로 다른 주기를 가지는 제 1 내지 제 5 카운팅 신호(CNT<0:4>)를 생성할 수 있다. 이 때, 제 1 카운팅 신호(CNT<0>)는 주기 신호(OSC_OUT)의 2 배의 주기를 가지며, 제 2 카운팅 신호(CNT<1>)는 제 1 카운팅 신호(CNT<0>)의 2 배의 주기를 가지며, 제 3 카운팅 신호(CNT<2>)는 제 2 카운팅 신호(CNT<1>)의 2 배의 주기를 가지며, 제 4 카운팅 신호(CNT<3>)는 제 3 카운팅 신호(CNT<2>)의 2 배의 주기를 가지며, 제 5 카운팅 신호(CNT<4>)는 제 4 카운팅 신호(CNT<3>)의 2 배의 주기를 가지도록 생성될 수 있다.

[0068] 출력 타이밍 신호 생성부(340)는, 주기 신호(OSC_OUT) 및 제 1 내지 제 5 카운팅 신호(CNT<0:4>)를 토대로 특정 시점에 활성화되는 제 1 및 제 2 출력 타이밍 신호(OUT_EN, OUT_DIS)를 생성할 수 있다. 스트로브 타이밍 신호

생성부(350)는, 주기 신호(OSC_OUT) 및 제 1 내지 제 5 카운팅 신호(CNT<0:4>)를 토대로 특정 시점에 활성화되는 제 1 및 제 2 스트로브 타이밍 신호(DQ7_EN, DQ7_DIS)를 생성할 수 있다.

- [0070] 도 5a 및 도 5b 는 도 4 에 도시된 타이밍 제어 신호 생성부(310)의 상세 회로도 및 동작 파형도 이다.
- [0071] 도 5a 를 참조하면, 타이밍 제어 신호 생성부(310)는 초기화 신호 생성부(312) 및 활성화 구간 신호 생성부(314)를 포함할 수 있다.
- [0072] 초기화 신호 생성부(312)는, 트레이닝 제어 신호(CKECAL)가 활성화 되면 내부 칩 선택 신호(ICS)에 응답하여 활성화되는 초기화 신호(RESET)를 생성할 수 있다. 일 실시 예에서, 초기화 신호 생성부(312)는, 트레이닝 제어 신호(CKECAL) 및 내부 칩 선택 신호(ICS)를 입력 받아 초기화 신호(RESET)를 출력하는 앤드 게이트(AND1)로 구성될 수 있다.
- [0073] 활성화 구간 신호 생성부(314)는, 초기화 신호(RESET)를 입력받는 인버터(INV1), 제 2 출력 타이밍 신호(OUT_DIS)를 소정 시간 지연시키는 지연부(DELAY), 전원전압단(VDD)과 접지전압단(VSS) 사이에 직렬 연결되어 게이트로 인터버(INV1)의 출력 및 지연부(DELAY)의 출력을 각각 입력받는 PMOS 트랜지스터(PM1) 및 NMOS 트랜지스터(NM1), 및 PMOS 트랜지스터(PM1) 및 NMOS 트랜지스터(NM1)의 공통 노드의 신호를 래치하여 활성화 구간 신호(EN)로 출력하는 래치부(LAT)를 포함할 수 있다.
- [0074] 따라서, 도 5b 를 참조하면, 초기화 신호 생성부(312)는, 트레이닝 제어 신호(CKECAL)가 활성화 되면 내부 칩 선택 신호(ICS)에 따라 일정 구간 펄싱하는 펄스 신호인 초기화 신호(RESET)를 생성할 수 있다. 또한, 활성화 구간 신호(314)는, 트레이닝 제어 신호(CKECAL)가 활성화 되면 내부 칩 선택 신호(ICS)에 응답하여 활성화되고, 제 2 출력 타이밍 신호(OUT_DIS)에 응답하여 비활성화되는 활성화 구간 신호(EN)를 생성할 수 있다.
- [0076] 도 6 은 도 4 에 도시된 출력 타이밍 신호 생성부(340)의 회로도 이다.
- [0077] 도 6 을 참조하면, 출력 타이밍 신호 생성부(340)는, 제 1 신호 생성부(342) 및 제 2 신호 생성부(344)를 포함할 수 있다.
- [0078] 제 1 신호 생성부(342)는, 주기 신호(OSC_OUT), 제 1 카운팅 신호(CNT<0>), 제 2 카운팅 신호(CNT<1>)의 반전 신호(CNTB<1>), 제 3 카운팅 신호(CNT<2>)의 반전 신호(CNTB<2>), 제 4 카운팅 신호(CNT<3>)의 반전 신호(CNTB<3>) 및 제 5 카운팅 신호(CNT<4>)의 반전 신호(CNTB<4>)를 입력 받아 제 1 출력 타이밍 신호(OUT_EN)를 생성할 수 있다. 제 2 신호 생성부(344)는, 주기 신호(OSC_OUT), 제 1 카운팅 신호(CNT<0>), 제 2 카운팅 신호(CNT<1>)의 반전 신호(CNTB<1>), 제 3 카운팅 신호(CNT<2>)의 반전 신호(CNTB<2>), 제 4 카운팅 신호(CNT<3>)의 반전 신호(CNTB<3>) 및 제 5 카운팅 신호(CNT<4>)를 입력 받아 제 2 출력 타이밍 신호(OUT_DIS)를 생성할 수 있다. 일 실시 예에서, 제 1 신호 생성부(342) 및 제 2 신호 생성부(344)는, 앤드 게이트(AND2, AND3)로 각각 구성될 수 있다.
- [0080] 도 7 은 도 4 에 도시된 스트로브 타이밍 신호 생성부(350)의 회로도 이다.
- [0081] 도 7 을 참조하면, 스트로브 타이밍 신호 생성부(350)는, 제 3 신호 생성부(352) 및 제 4 신호 생성부(354)를 포함할 수 있다.
- [0082] 제 3 신호 생성부(352)는, 주기 신호(OSC_OUT), 제 1 카운팅 신호(CNT<0>), 제 2 카운팅 신호(CNT<1>), 제 3 카운팅 신호(CNT<2>)의 반전 신호(CNTB<2>), 제 4 카운팅 신호(CNT<3>)의 반전 신호(CNTB<3>) 및 제 5 카운팅 신호(CNT<4>)의 반전 신호(CNTB<4>)를 입력 받아 제 1 스트로브 타이밍 신호(DQ7_EN)를 생성할 수 있다. 제 4 신호 생성부(354)는, 주기 신호(OSC_OUT), 제 1 카운팅 신호(CNT<0>), 제 2 카운팅 신호(CNT<1>)의 반전 신호(CNTB<1>), 제 3 카운팅 신호(CNT<2>), 제 4 카운팅 신호(CNT<3>)의 반전 신호(CNTB<3>) 및 제 5 카운팅 신호(CNT<4>)의 반전 신호(CNTB<4>)를 입력 받아 제 2 스트로브 타이밍 신호(DQ7_DIS)를 생성할 수 있다. 일 실시 예에서, 제 3 신호 생성부(352) 및 제 4 신호 생성부(354)는, 앤드 게이트(AND4, AND5)로 각각 구성될 수 있다.
- [0084] 도 8 은 도 4 에 도시된 타이밍 제어부(230)의 동작을 설명하기 위한 파형도 이다.

- [0085] 도 8 을 참조하면, 타이밍 제어부(230)의 링 오실레이터(320)는 활성화 구간 신호(EN)의 활성화 구간 동안 주기적으로 토글링하는 주기 신호(OSC_OUT)를 생성하고, 카운터(330)는 주기 신호(OSC_OUT)를 카운팅하여 서로 다른 주기를 가지는 제 1 내지 제 5 카운팅 신호(CNT<0:4>)를 생성한다.
- [0086] 출력 타이밍 신호 생성부(340)는 주기 신호(OSC_OUT)와 제 1 카운팅 신호(CNT<0>)만이 활성화되는 구간에서 활성화하는 제 1 출력 타이밍 신호(OUT_EN)를 생성하고, 주기 신호(OSC_OUT), 제 1 카운팅 신호(CNT<0>)와 제 5 카운팅 신호(CNT<4>)만이 활성화되는 구간에서 활성화하는 제 2 출력 타이밍 신호(OUT_DIS)를 생성한다. 스트로브 타이밍 신호 생성부(350)는 주기 신호(OSC_OUT), 제 1 카운팅 신호(CNT<0>)와 제 2 카운팅 신호(CNT<1>)만이 활성화되는 구간에서 활성화하는 제 1 스트로브 타이밍 신호(DQ7_EN)를 생성하고, 주기 신호(OSC_OUT), 제 1 카운팅 신호(CNT<0>)와 제 3 카운팅 신호(CNT<2>)만이 활성화되는 구간에서 활성화하는 제 2 스트로브 타이밍 신호(DQ7_DIS)를 생성한다.
- [0087] 이후, 타이밍 제어 신호 생성부(310)는 제 2 출력 타이밍 신호(OUT_DIS)가 활성화된 후 일정 시간 후에 활성화 구간 신호(EN)를 비활성화 시킬 수 있다.
- [0089] 도 9a 및 도 9b 은 도 3 에 도시된 터미네이션 제어부(250)의 상세 회로도 및 동작 파형도 이다.
- [0090] 도 9a 를 참조하면, 터미네이션 제어부(250)는 제 1 터미네이션 인에이블 신호 생성부(410), 제 2 터미네이션 인에이블 신호 생성부(420) 및 임피던스 제어 코드 생성부(430)을 포함할 수 있다.
- [0091] 제 1 터미네이션 인에이블 신호 생성부(410) 및 제 2 터미네이션 인에이블 신호 생성부(420)는 각각 트레이닝 제어 신호(CKECAL)가 활성화되면 터미네이션 제어 신호(ODTEN)를 제 1 터미네이션 인에이블 신호(DQ_ODTEN) 및 제 2 터미네이션 인에이블 신호(DQS_ODTEN)로 출력할 수 있다. 일 실시 예에서, 제 1 터미네이션 인에이블 신호 생성부(410) 및 제 2 터미네이션 인에이블 신호 생성부(420)는, 앤드 게이트(AND6, AND7)로 각각 구성될 수 있다. 다른 실시예에서, 제 1 터미네이션 인에이블 신호 생성부(410) 및 제 2 터미네이션 인에이블 신호 생성부(420)는 하나의 신호 생성부로 구현될 수 있다.
- [0092] 임피던스 제어 코드 생성부(430)는, 제 1 터미네이션 인에이블 신호(DQ_ODTEN)에 따라 터미네이션용 풀다운 임피던스 제어 코드(N_ODT<0:2>)를 디코딩한 신호(NCODE_ODT<0:5>)를 풀다운 임피던스 제어 코드(NCODE<0:5>)로 출력하되, 출력 제어 신호(OUT)의 활성화 구간에서는 리드 동작용 풀다운 임피던스 제어 코드(N_RD<0:2>)를 디코딩한 신호(NCODE_RD<0:5>)를 풀다운 임피던스 제어 코드(NCODE<0:5>)로 출력할 수 있다. 또한, 임피던스 제어 코드 생성부(430)는, DQS 패드를 터미네이션 시키기 위한 터미네이션용 풀다운 임피던스 제어 코드(NCODE_S<0:5>)를 출력할 수 있다.
- [0093] 보다 자세하게, 임피던스 제어 코드 생성부(430)는 선택 신호 생성부(432), 제 1 코드 선택부(434) 및 제 2 코드 선택부(436)를 포함할 수 있다.
- [0094] 선택 신호 생성부(432)는, 제 1 터미네이션 인에이블 신호(DQ_ODTEN)에 따라 활성화되며, 출력 제어 신호(OUT)가 활성화되면 비활성화되는 선택 신호(CODE_SEL)를 생성할 수 있다. 일 실시 예에서, 선택 신호 생성부(432)는, 출력 제어 신호(OUT)를 입력 받는 인버터(INV2), 인버터(INV2)의 출력과 제 1 터미네이션 인에이블 신호(DQ_ODTEN)를 입력 받아 선택 신호(CODE_SEL)를 출력하는 앤드 게이트(AND8)를 포함할 수 있다.
- [0095] 제 1 코드 선택부(434)는, 선택 신호(CODE_SEL)에 응답하여 리드 동작용 풀다운 임피던스 제어 코드(N_RD<0:2>)를 디코딩한 신호(NCODE_RD<0:5>) 또는 터미네이션용 풀다운 임피던스 제어 코드(N_ODT<0:2>)를 디코딩한 신호(NCODE_ODT<0:5>)를 선택하여 풀다운 임피던스 제어 코드(NCODE<0:5>)로 출력할 수 있다. 제 1 코드 선택부(434)는, 선택 신호(CODE_SEL)가 비활성화되면, 즉, 출력 제어 신호(OUT)의 활성화 구간에서는 리드 동작용 풀다운 임피던스 제어 코드(N_RD<0:2>)를 디코딩한 신호(NCODE_ODT<0:5>)를 풀다운 임피던스 제어 코드(NCODE<0:5>)로 출력할 수 있다. 제 2 코드 선택부(436)는, 터미네이션용 풀다운 임피던스 제어 코드(N_ODT<0:2>)를 디코딩한 신호를 풀다운 임피던스 제어 코드(NCODE_S<0:5>)로 출력할 수 있다.
- [0096] 도 9b 를 참조하면, 터미네이션 제어 신호(ODTEN)가 활성화된 경우가 도시되어 있다.
- [0097] 제 1 터미네이션 인에이블 신호 생성부(410) 및 제 2 터미네이션 인에이블 신호 생성부(420)는, 트레이닝 제어 신호(CKECAL)가 활성화되면 제 1 터미네이션 인에이블 신호(DQ_ODTEN) 및 제 2 터미네이션 인에이블 신호(DQS_ODTEN)를 활성화시켜 출력할 수 있다.

- [0098] 선택 신호 생성부(432)는 제 1 터미네이션 인에이블 신호(DQ_ODTEN)에 따라 선택 신호(CODE_SEL)를 활성화시킨다. 이에 따라, 제 1 코드 선택부(434)는 터미네이션용 풀다운 임피던스 제어 코드(N_ODT<0:2>)를 디코딩한 신호를 풀다운 임피던스 제어 코드(NCODE<0:5>)로 출력할 수 있다. 이후, 선택 신호 생성부(432)는 출력 제어 신호(OUT)가 활성화되면 선택 신호(CODE_SEL)를 비활성화시킨다. 이에 따라, 제 1 코드 선택부(434)는 리드 동작용 풀다운 임피던스 제어 코드(N_RD<0:2>)를 디코딩한 신호를 풀다운 임피던스 제어 코드(NCODE<0:5>)로 출력할 수 있다. 참고로, 제 2 코드 선택부(436)는, 터미네이션용 풀다운 임피던스 제어 코드(N_ODT<0:2>)를 디코딩한 신호를 풀다운 임피던스 제어 코드(NCODE_S<0:5>)로 출력할 수 있다.
- [0099] 한편, 도면에 도시되지 않았지만, 터미네이션 제어 신호(ODTEN)가 비활성화된 경우, 선택 신호(CODE_SEL)는 항상 비활성화되어, 제 1 코드 선택부(434)는 리드 동작용 풀다운 임피던스 제어 코드(N_RD<0:2>)를 디코딩한 신호를 풀다운 임피던스 제어 코드(NCODE<0:5>)로 출력할 수 있다.
- [0101] 도 10 은 도 3 에 도시된 제 1 드라이버 제어부(262)의 상세 회로도 이다.
- [0102] 도 10 을 참조하면, 제 1 드라이버 제어부(262)는, 트레이닝 신호(CAOUT<0:5, 7>)의 각 비트에 대응되는 복수 개의 단위 드라이버 제어부(262_1~262_7)로 구성될 수 있다. 복수 개의 단위 제어부(262_1~262_7) 각각은 동일한 구성을 가지므로 제 1 단위 드라이버 제어부(262_1)를 예로 들어 설명하기로 한다.
- [0103] 제 1 단위 드라이버 제어부(262_1)는 제 1 풀업 트레이닝 신호(CAOUT_UP<0>)를 구동하는 풀업 제어부(PU_CTRL) 및 제 1 풀다운 트레이닝 신호(CAOUT_DN<0>)를 구동하는 풀다운 제어부(PD_CTRL)를 포함할 수 있다.
- [0104] 풀업 제어부(PU_CTRL)는 구동 제어 신호(QDRDEN)에 따라 제 1 트레이닝 신호(CAOUT<0>)를 제 1 풀업 트레이닝 신호(CAOUT_UP<0>)로 구동할 수 있다. 바람직하게는, 풀업 제어부(PU_CTRL)는 구동 제어 신호(QDRDEN)가 활성화되면 제 1 트레이닝 신호(CAOUT<0>)를 제 1 풀업 트레이닝 신호(CAOUT_UP<0>)로 구동할 수 있다. 본 발명의 일 실시 예에서, 풀업 제어부(PU_CTRL)는 구동 제어 신호(QDRDEN) 및 제 1 트레이닝 신호(CAOUT<0>)를 입력 받아 제 1 풀업 트레이닝 신호(CAOUT_UP<0>)를 출력하는 앤드 게이트(AND9)로 구현될 수 있다.
- [0105] 풀다운 제어부(PD_CTRL)는 구동 제어 신호(QDRDEN) 및 제 1 터미네이션 인에이블 신호(DQ_ODTEN)에 따라 제 1 트레이닝 신호(CAOUT<0>)를 제 1 풀다운 트레이닝 신호(CAOUT_DN<0>)로 구동할 수 있다. 바람직하게는, 풀다운 제어부(PD_CTRL)는 구동 제어 신호(QDRDEN)가 비활성화되면 제 1 터미네이션 인에이블 신호(DQ_ODTEN)에 따라 제 1 풀다운 트레이닝 신호(CAOUT_DN<0>)를 구동하고, 풀다운 제어부(PD_CTRL)는 구동 제어 신호(QDRDEN)가 활성화되면 제 1 터미네이션 인에이블 신호(DQ_ODTEN)에 상관 없이 제 1 트레이닝 신호(CAOUT<0>)의 반전된 신호를 제 1 풀다운 트레이닝 신호(CAOUT_DN<0>)로 구동할 수 있다.
- [0106] 일 실시 예에서, 풀다운 제어부(PD_CTRL)는 제 1 터미네이션 인에이블 신호(DQ_ODTEN)를 반전하는 제 1 인버터(INV3), 제 1 인버터(INV3)와 구동 제어 신호(QDRDEN)를 입력받는 오아 게이트(OR1), 제 1 트레이닝 신호(CAOUT<0>)를 반전하는 제 2 인버터(INV4), 제 2 인버터(INV4)와 구동 제어 신호(QDRDEN)를 입력받는 제 1 낸드 게이트(ND1), 오아 게이트(OR1)의 출력과 제 1 낸드 게이트(ND1)의 출력을 입력 받아 제 1 풀다운 트레이닝 신호(CAOUT_DN<0>)를 출력하는 제 2 낸드 게이트(ND2)를 포함할 수 있다.
- [0107] 이하, 풀업 제어부(PU_CTRL) 및 풀다운 제어부(PD_CTRL)의 동작을 설명하면 다음과 같다.
- [0108] 구동 제어 신호(QDRDEN)가 비활성화되면, 풀업 제어부(PU_CTRL)는 제 1 풀업 트레이닝 신호(CAOUT_UP<0>)를 로직 로우 레벨로 고정(STUCK)시켜 출력하고, 풀다운 제어부(PD_CTRL)는 제 1 터미네이션 인에이블 신호(DQ_ODTEN)에 따라 제 1 풀다운 트레이닝 신호(CAOUT_DN<0>)를 구동할 수 있다. 이 때, 풀다운 제어부(PD_CTRL)는, 제 1 터미네이션 인에이블 신호(DQ_ODTEN)가 비활성화되면, 풀다운 트레이닝 신호(CAOUT_DN<0>)를 로직 로우 레벨로 고정(STUCK)시켜 출력하여 DQ 패드를 하이-임피던스(High-Z) 상태로 구동할 수 있다. 또한, 풀다운 제어부(PD_CTRL)는, 제 1 터미네이션 인에이블 신호(DQ_ODTEN)가 활성화되면, 풀다운 트레이닝 신호(CAOUT_DN<0>)를 로직 하이 레벨로 고정(STUCK)시켜 출력하여 DQ 패드를 풀다운 터미네이션 시킬 수 있다.
- [0109] 반면, 구동 제어 신호(QDRDEN)가 활성화되면, 풀업 제어부(PU_CTRL)는 제 1 트레이닝 신호(CAOUT<0>)를 제 1 풀업 트레이닝 신호(CAOUT_UP<0>)로 구동하고, 풀다운 제어부(PD_CTRL)는 제 1 트레이닝 신호(CAOUT<0>)의 반전 신호를 제 1 풀다운 트레이닝 신호(CAOUT_DN<0>)로 구동하여 정상적인 데이터 출력 동작이 수행될 수 있다.
- [0110] 상기의 내용을 다음의 표로 요약할 수 있다.

표 1

[0111]

QDRDEN	0	1	
DQ_ODTEN	0	1	0 1
CAOUT_UP	0	0	CAOUT
CAOUT_DN	0	1	/CAOUT
DQ PAD state	High-Z	Termination	data output operation

[0113]

상기와 같이, 본 발명의 제 1 드라이버 제어부(262)는, 트레이닝 모드 시에 제 1 터미네이션 인에이블 신호(DQ_ODTEN)가 활성화되더라도, 구동 제어 신호(QDRDEN)의 활성화 구간, 즉, DQ 패드로 트레이닝 신호(CAOUT<0:5, 7>)가 출력되는 구간에서는 터미네이션 동작이 수행하지 않고, 정상적인 데이터 출력 동작이 수행 되도록 풀업 트레이닝 신호(CAOUT_UP<0:5, 7>) 및 풀다운 트레이닝 신호(CAOUT_DN<0:5, 7>)를 구동 할 수 있다.

[0115]

도 11 는 도 3 에 도시된 제 1 출력 드라이버(266)의 상세 구성도 이다.

[0116]

도 11 을 참조하면, 제 1 출력 드라이버(266)는 프리 드라이빙부(510) 및 메인 드라이빙부(530)을 포함할 수 있다. 프리 드라이빙부(510) 및 메인 드라이빙부(530) 각각은 트레이닝 신호(CAOUT<0:5, 7>)의 각 비트에 대응되는 복수 개의 프리 드라이버(510_1~510_7) 및 복수 개의 메인 드라이버(530_1~530_7)로 구성될 수 있다. 복수 개의 드라이버 각각은 동일한 구성을 가지므로 제 1 프리 드라이버(510_1) 및 제 1 메인 드라이버(530_1)를 예로 들어 설명하기로 한다.

[0117]

제 1 프리 드라이버(510_1)는 풀업 터미네이션부(PU_TM) 및 풀다운 터미네이션부(PD_TM)를 포함할 수 있다. 풀업 터미네이션부(PU_TM)는, 풀업 임피던스 제어 코드(PCODE<0:5>)에 따라 풀업 임피던스를 조절하며, 제 1 풀업 트레이닝 신호(CAOUT_UP<0>)를 입력 받아 제 1 풀업 신호(PUP<0>)를 출력할 수 있다. 풀다운 터미네이션부(PD_TM)는, 풀다운 임피던스 제어 코드(NCODE<0:5>)에 따라 풀다운 임피던스를 조절하며, 제 1 풀다운 트레이닝 신호(CAOUT_DN<0>)를 입력 받아 제 1 풀다운 신호(PDN<0>)를 출력할 수 있다. 일 실시 예에서, 풀업 터미네이션부(PU_TM) 및 풀다운 터미네이션부(PD_TM)는 각각, 병렬 접속된 복수의 트랜지스터(미도시)를 포함할 수 있으며, 각 트랜지스터는 게이트로 풀업 임피던스 제어 코드(PCODE<0:5>) 및 풀다운 임피던스 제어 코드(NCODE<0:5>)의 각 비트를 입력 받을 수 있다.

[0118]

제 1 메인 드라이버(530_1)는 전원전압단(VDD)과 접지전압단(VSS) 사이에 직렬 연결되어 게이트로 제 1 풀업 신호(PUP<0>) 및 제 1 풀업 신호(PUP<0>)를 각각 입력받는 제 1 NMOS 트랜지스터(NM2) 및 제 2 NMOS 트랜지스터(NM3)를 포함할 수 있다. 제 1 NMOS 트랜지스터(NM2) 및 제 2 NMOS 트랜지스터(NM3)의 공통 노드는 제 1 DQ 패드(DQ<0>)와 연결될 수 있다.

[0119]

상기와 같이, 제 1 출력 드라이버(266)는, 풀업 임피던스 제어 코드(PCODE<0:5>) 및 풀다운 임피던스 제어 코드(NCODE<0:5>)에 따라 출력 임피던스를 조절하며, 풀업 트레이닝 신호(CAOUT_UP<0:5, 7>) 및 풀다운 트레이닝 신호(CAOUT_DN<0:5, 7>)를 입력 받아 DQ 패드로 제 2 데이터 신호(CBT_OUT<0:5>) 및 스트로브 신호를 출력할 수 있다.

[0121]

이하, 도 2 내지 도 12 를 참조하며, 본 발명의 실시 예에 따른 반도체 시스템의 동작을 설명하기로 한다.

[0122]

도 12a 및 도 12b 는 본 발명의 실시 예에 따른 반도체 시스템의 동작을 설명하기 위한 타이밍도 이다.

[0123]

도 12a 를 참조하면, 터미네이션 제어 신호(ODTEN)가 로직 하이 레벨로 활성화된 경우가 도시되어 있다.

[0124]

먼저, 트레이닝 제어 신호(CKECAL)가 활성화되기 전에는, 터미네이션 제어부(250)는 리드 동작용 풀다운 임피던스 제어 코드(N_RD<0:2>)를 디코딩한 신호(NCODE_RD<0:5>)를 풀다운 임피던스 제어 코드(NCODE<0:5>)로 출력하고, 출력 구동부(260)의 제 1 드라이버 제어부(262)는, 풀업 트레이닝 신호(CAOUT_UP<0:5, 7>) 및 풀다운 트레이닝 신호(CAOUT_DN<0:5, 7>)를 로직 로우 레벨로 출력한다. 따라서, 제 1 출력 드라이버(266)는 DQ 패드를 하이-임피던스(High-Z) 상태로 구동할 수 있다.

- [0125] 이 후, 트레이닝 제어 신호 생성부(228)는 클럭 인에이블 신호(CKE)에 응답하여 트레이닝 제어 신호(CKECAL)를 활성화 시킨다. 이에 따라, 터미네이션 제어부(250)는 터미네이션용 풀다운 임피던스 제어 코드(N_ODT<0:2>)를 디코딩한 신호(NCODE_ODT<0:5>)를 풀다운 임피던스 제어 코드(NCODE<0:5>)로 출력하고, 출력 구동부(260)의 제 1 드라이버 제어부(262)는, 풀업 트레이닝 신호(CAOUT_UP<0:5, 7>)를 로직 로우 레벨로 출력하고, 풀다운 트레이닝 신호(CAOUT_DN<0:5, 7>)를 로직 하이 레벨로 출력한다. 따라서, 제 1 출력 드라이버(266)는 DQ 패드를 풀다운 터미네이션 시킬 수 있다.
- [0126] 반도체 장치(100)의 기준 전압 생성부(210)는 데이터 버스(111)를 통해 컨트롤러(110)로부터 전달되는 제 1 데이터 신호(CA_REF<0:6>)에 응답하여 기준 전압(VREF_CA<0:6>)의 레벨을 조절한다. 제 2 입력 버퍼(214)는 DQS 패드를 통해 입력되는 스트로브 신호를 버퍼링하여 내부 스트로브 신호(IDQS)를 출력하고, 제 1 입력 버퍼(212)는 내부 스트로브 신호(IDQS)에 응답하여 DQ 패드를 통해 입력되는 제 1 내지 제 6 DQ 패드(DQ<0:5>)를 통해 전달되는 제 1 데이터 신호(CA_REF<0:6>)를 기준 전압 생성부(210)로 전달할 수 있다.
- [0127] 이 후, 트레이닝부(220)의 제 1 버퍼부(222)는 클럭 신호(CLK)를 버퍼링 하여 내부 클럭 신호(ICLK)로 출력하고, 칩 선택 신호(CS)를 내부 클럭 신호(ICLK)의 라이징 에지에 동기시켜 내부 칩 선택 신호(ICS)로 출력한다. 트레이닝부(220)의 제 2 버퍼부(224)는 커맨드/어드레스(CMD/ADDR) 신호(CA<0:5>)를 기준 전압(VREF_CA<0:6>)을 토대로 버퍼링하고, 내부 클럭 신호(ICLK)에 동기시켜 내부 커맨드/어드레스(CMD/ADDR) 신호(ICA<0:5>)로 출력한다. 래치부(226)는 내부 칩 선택 신호(ICS)에 따라 내부 커맨드/어드레스(CMD/ADDR) 신호(ICA<0:5>)를 래치하여 트레이닝 신호(CAOUT<0:5>)로 출력한다.
- [0128] 타이밍 제어부(230)는 내부 칩 선택 신호(ICS) 및 트레이닝 제어 신호(CKECAL)를 입력 받아 주기 신호(OSC_OUT)를 생성하고, 주기 신호(OSC_OUT)를 토대로 특정 시점에 활성화되는 제 1 및 제 2 출력 타이밍 신호(OUT_EN, OUT_DIS)와 제 1 및 제 2 스트로브 타이밍 신호(DQ7_EN, DQ7_DIS)를 생성한다. 출력 제어부(240)는, 제 1 및 제 2 출력 타이밍 신호(OUT_EN, OUT_DIS)에 따라 활성화 구간이 결정되는 출력 제어 신호(OUT)를 생성하고, 출력 제어 신호(OUT)를 구동 제어 신호(QDRDEN)로 출력한다. 이 때, 스트로브 신호 생성부(246)는, 제 1 및 제 2 스트로브 타이밍 신호(DQ7_EN, DQ7_DIS)에 따라 트레이닝 신호(CAOUT<7>)를 생성할 수 있다.
- [0129] 구동 제어 신호(QDRDEN)의 활성화 구간 동안, 터미네이션 제어부(250)는 리드 동작용 풀다운 임피던스 제어 코드(N_RD<0:2>)를 디코딩한 신호(NCODE_RD<0:5>)를 풀다운 임피던스 제어 코드(NCODE<0:5>)로 출력하고, 출력 구동부(260)의 제 1 드라이버 제어부(262)는 트레이닝 신호(CAOUT<0:5, 7>)를 풀업 트레이닝 신호(CAOUT_UP<0:5, 7>)로 출력하고, 트레이닝 신호(CAOUT<0:5, 7>)의 반전된 신호를 풀다운 트레이닝 신호(CAOUT_DN<0:5, 7>)로 출력한다. 이에 따라, 제 1 출력 드라이버(266)는, 풀업 임피던스 제어 코드(PCODE<0:5>) 및 풀다운 임피던스 제어 코드(NCODE<0:5>)에 따라 출력 임피던스를 조절하며, DQ 패드(DQ<0:5, 7>)로 제 2 데이터 신호(CBT_OUT<0:5>) 및 스트로브 신호를 출력함으로써 정상적인 데이터 출력 동작이 수행될 수 있다.
- [0131] 도 12b 를 참조하면, 터미네이션 제어 신호(ODTEN)가 로직 로우 레벨로 비활성화된 경우가 도시되어 있다.
- [0132] 먼저, 트레이닝 제어 신호(CKECAL)가 활성화되기 전에, 터미네이션 제어부(250)는 리드 동작용 풀다운 임피던스 제어 코드(N_RD<0:2>)를 디코딩한 신호(NCODE_RD<0:5>)를 풀다운 임피던스 제어 코드(NCODE<0:5>)로 출력하고, 출력 구동부(260)의 제 1 드라이버 제어부(262)는, 풀업 트레이닝 신호(CAOUT_UP<0:5, 7>) 및 풀다운 트레이닝 신호(CAOUT_DN<0:5, 7>)를 로직 로우 레벨로 출력한다. 따라서, 제 1 출력 드라이버(266)는 DQ 패드를 하이-임피던스(High-Z) 상태로 구동할 수 있다.
- [0133] 이 후, 트레이닝 제어 신호 생성부(228)는 클럭 인에이블 신호(CKE)에 응답하여 트레이닝 제어 신호(CKECAL)를 활성화 시킨다. 이 때, 터미네이션 제어 신호(ODTEN)가 비활성화되어 있으므로, DQ 패드는 계속하여 하이-임피던스(High-Z) 상태를 유지한다.
- [0134] 반도체 장치(100)의 기준 전압 생성부(210)는 데이터 버스(111)를 통해 컨트롤러(110)로부터 전달되는 제 1 데이터 신호(CA_REF<0:6>)에 응답하여 기준 전압(VREF_CA<0:6>)의 레벨을 조절한다. 이 후, 트레이닝부(220)는 커맨드/어드레스(CMD/ADDR) 신호(CA<0:5>)를 기준 전압(VREF_CA<0:6>)을 토대로 버퍼링하여 내부 커맨드/어드레스(CMD/ADDR) 신호(ICA<0:5>)를 출력하고, 내부 칩 선택 신호(ICS)에 따라 내부 커맨드/어드레스(CMD/ADDR) 신호(ICA<0:5>)를 래치하여 트레이닝 신호(CAOUT<0:5>)를 출력한다.

- [0135] 타이밍 제어부(230)는 내부 칩 선택 신호(ICS) 및 트레이닝 제어 신호(CKECAL)에 따라 제 1 및 제 2 출력 타이밍 신호(OUT_EN, OUT_DIS)와 제 1 및 제 2 스트로브 타이밍 신호(DQ7_EN, DQ7_DIS)를 생성한다. 출력 제어부(240)는, 제 1 및 제 2 출력 타이밍 신호(OUT_EN, OUT_DIS)에 따라 활성화 구간이 결정되는 출력 제어 신호(OUT)를 생성하고, 출력 제어 신호(OUT)를 구동 제어 신호(QDRDEN)로 출력한다. 이 때, 스트로브 신호 생성부(246)는, 제 1 및 제 2 스트로브 타이밍 신호(DQ7_EN, DQ7_DIS)에 따라 트레이닝 신호(CAOUT<7>)를 생성할 수 있다.
- [0136] 구동 제어 신호(QDRDEN)의 활성화 구간 동안, 터미네이션 제어부(250)는 리드 동작용 폴다운 임피던스 제어 코드(N_RD<0:2>)를 디코딩한 신호(NCODE_RD<0:5>)를 폴다운 임피던스 제어 코드(NCODE<0:5>)로 출력하고, 출력 구동부(260)의 제 1 드라이버 제어부(262)는 트레이닝 신호(CAOUT<0:5, 7>)를 폴업 트레이닝 신호(CAOUT_UP<0:5, 7>)로 출력하고, 트레이닝 신호(CAOUT<0:5, 7>)의 반전된 신호를 폴다운 트레이닝 신호(CAOUT_DN<0:5, 7>)로 출력할 수 있다. 이에 따라, 제 1 출력 드라이버(266)는, 폴업 임피던스 제어 코드(PCODE<0:5>) 및 폴다운 임피던스 제어 코드(NCODE<0:5>)에 따라 출력 임피던스를 조절하며, DQ 패드(DQ<0:5, 7>)로 제 2 데이터 신호(CBT_OUT<0:5>) 및 스트로브 신호를 출력함으로써 정상적인 데이터 출력 동작이 수행될 수 있다.
- [0137] 상기와 같이, 본 발명의 실시 예에 따르면, 트레이닝 모드 시에 트레이닝 신호(CAOUT<0:5>)가 출력되는 구간에서는 터미네이션 제어 신호(ODTEN)가 활성화되더라도 반도체 장치(100) 측 출력 구동부(260)는 터미네이션 동작을 수행하지 않고 트레이닝 신호(CAOUT<0:5>)를 구동하여 DQ 패드로 출력하는 정상적인 데이터 출력 동작을 수행할 수 있다.
- [0138] 한편, 상기의 설명에서는 DQS 패드가 스트로브 신호 라인(도 2 의 112)을 통해 스트로브 신호가 입력 되는 입력 모드에서만 사용되는 경우만을 고려하였다. 즉, 도 3 의 DQS 패드는 스트로브 신호 라인(도 2 의 112)을 통해 스트로브 신호가 입력 되는 입력 모드에서만 사용되므로, 제 2 드라이버 제어부(264)는, 출력 모드 시 구동 제어 신호(QDRDEN)의 제어를 받지 않고, 제 2 터미네이션 인에이블 신호(DQS_ODTEN)가 활성화되면 제 2 출력 드라이버(268)가 DQS 패드에 항상 터미네이션 동작을 수행하도록 제어할 수 있다
- [0139] 이하의 실시예에서는, DQS 패드가 입력 모드 및 출력 모드에서 모두 사용되는 경우를 설명하기로 한다.
- [0140] 도 13 은 본 발명의 다른 실시 예에 따른 반도체 장치(100)의 상세 구성도 이다.
- [0141] 도 13 을 참조하면, 반도체 장치(100)는, 기준 전압 생성부(1210), 트레이닝부(1220), 타이밍 제어부(1230), 출력 제어부(1240), 터미네이션 제어부(1250) 및 출력 구동부(1260)를 포함할 수 있다. 또한, 반도체 장치(100)는, 제 1 입력 버퍼(1212), 제 2 입력 버퍼(1214), 트레이닝 제어 신호 생성부(1228) 및 스트로브 신호 생성부(1246)를 더 포함할 수 있다. 설명의 편의를 위해 도 13 의 구성 중 도 3 과 중복되는 구성의 설명은 생략하기로 한다.
- [0142] 터미네이션 제어부(1250)는, 트레이닝 제어 신호(CKECAL) 및 터미네이션 제어 신호(ODTEN)에 따라 터미네이션 신호를 출력하며, 출력 제어 신호(OUT)의 활성화 구간에서 터미네이션 동작이 수행되지 않도록 터미네이션 신호를 제어할 수 있다. 이 때, 터미네이션 신호는 폴업 임피던스 제어 코드(PCODE<0:5>) 및/또는 폴다운 임피던스 제어 코드(NCODE_DQ<0:5>, NCODE_DQS<0:5>)를 포함할 수 있다.
- [0143] 보다 자세하게, 터미네이션 제어부(1250)는, 트레이닝 제어 신호(CKECAL) 및 터미네이션 제어 신호(ODTEN)에 따라 제 1 터미네이션 인에이블 신호(DQ_ODTEN) 및 제 2 터미네이션 인에이블 신호(DQS_ODTEN)를 출력한다. 또한, 터미네이션 제어부(1250)는, 트레이닝 제어 신호(CKECAL) 및 터미네이션 제어 신호(ODTEN)에 따라 제 1 폴다운 임피던스 제어 코드(NCODE_DQ<0:5>) 및 제 2 폴다운 임피던스 제어 코드(NCODE_DQS<0:5>)를 출력하며, 출력 제어 신호(OUT)의 활성화 구간에서는 터미네이션용 폴다운 임피던스 제어 코드(N_ODT<0:2>)가 아닌 리드 동작용 폴다운 임피던스 제어 코드(N_RD<0:2>)를 디코딩한 신호를 제 1 폴다운 임피던스 제어 코드(NCODE_DQ<0:5>) 및 제 2 폴다운 임피던스 제어 코드(NCODE_DQS<0:5>)로 출력할 수 있다.
- [0144] 출력 구동부(1260)는, 제 1 드라이버 제어부(1262), 제 2 드라이버 제어부(1264), 제 1 출력 드라이버(1266) 및 제 2 출력 드라이버(1268)를 포함할 수 있다.
- [0145] 도 13 의 제 1 드라이버 제어부(1262) 및 제 1 출력 드라이버(1266)의 구성 및 동작은 도 3 의 제 1 드라이버 제어부(262) 및 제 1 출력 드라이버(266)와 실질적으로 동일하므로 상세한 설명은 생략하기로 한다. 제 2 드라이버 제어부(1264)는, 제 2 터미네이션 인에이블 신호(DQS_ODTEN) 및 구동 제어 신호(QDRDEN)에 따라 입력되는

내부 스트로브 신호(IDQS)를 구동할 수 있다. 제 2 출력 드라이버(1268)는, 폴업 임피던스 제어 코드(PCODE<0:5>) 및 제 2 폴다운 임피던스 제어 코드(NCODE_DQS<0:5>)에 따라 출력 임피던스를 조절하며, 제 2 드라이버 제어부(1264)를 통해 전달되는 신호를 입력 받아 DQS 패드를 구동하여 스트로브 신호 라인(도 2 의 11 2)을 통해 스트로브 신호를 출력할 수 있다. 한편, 제 2 드라이버 제어부(1264) 및 제 2 출력 드라이버(1268)의 상세 구성은 도 10 의 제 1 단위 드라이버 제어부(262_1) 및 도 11 의 제 1 프리 드라이버(510_1) 및 제 1 메인 드라이버(530_1)와 동일한 구성으로 구현될 수 있다.

[0146] 상기와 같이, 본 발명의 다른 실시 예에 따르면, 트레이닝 모드 시에 트레이닝 신호(CAOUT<0:5>)가 출력되는 구간에서는 터미네이션 제어 신호(ODTEN)가 활성화되더라도 반도체 장치(100) 측 출력 구동부(1260)는 터미네이션 동작을 수행하지 않고 트레이닝 신호(CAOUT<0:5>) 및 내부 스트로브 신호(IDQS)를 구동하여 DQ 패드 및 DQS 패드로 출력하는 정상적인 데이터 출력 동작을 수행할 수 있다.

[0148] 도 14 는 도 13 에 도시된 터미네이션 제어부(1250)의 상세 회로도 이다.

[0149] 도 14 를 참조하면, 터미네이션 제어부(1250)는 제 1 터미네이션 인에이블 신호 생성부(1410), 제 2 터미네이션 인에이블 신호 생성부(1420) 및 임피던스 제어 코드 생성부(1430)을 포함할 수 있다. 임피던스 제어 코드 생성부(1430)는, 선택 신호 생성부(1432) 및 제 1 코드 선택부(1434) 및 제 2 코드 선택부(1436)를 포함할 수 있다.

[0150] 도 14 의 구성들은 도 3 의 구성들과 실질적으로 동일하므로 상세한 설명은 생략하기로 한다.

[0151] 단, 제 2 코드 선택부(1436)는, 선택 신호(CODE_SEL)에 응답하여 리드 동작용 폴다운 임피던스 제어 코드(N_RD<0:2>)를 디코딩한 신호 또는 터미네이션용 폴다운 임피던스 제어 코드(N_ODT<0:2>)를 디코딩한 신호를 선택하여 제 2 폴다운 임피던스 제어 코드(NCODE_DQS<0:5>)로 출력할 수 있다.

[0152] 상기와 같이, 본 발명의 실시예에 따르면, 내부적으로 기준 전압의 레벨을 설정하고, 설정된 기준 전압의 레벨을 토대로 커맨드 및 어드레스를 포함하는 외부 신호에 대한 트레이닝을 수행하며, 외부 신호가 출력되는 구간에서는 터미네이션 동작을 중지함으로써 트레이닝 모드에서 터미네이션 동작을 제어할 수 있다.

[0153] 또한, 본 발명의 실시예에 따르면, 동일한 패드를 이용하여 커맨드/어드레스(CMD/ADDR) 신호의 기준값(CA_REF)의 입력 동작과 CBT 결과값(CBT_OUT)의 출력 동작이 수행되는 X8 CBT 모드에서 ODT 동작을 지원함으로써 정확한 트레이닝 동작을 수행할 수 있다.

[0154] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기록되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

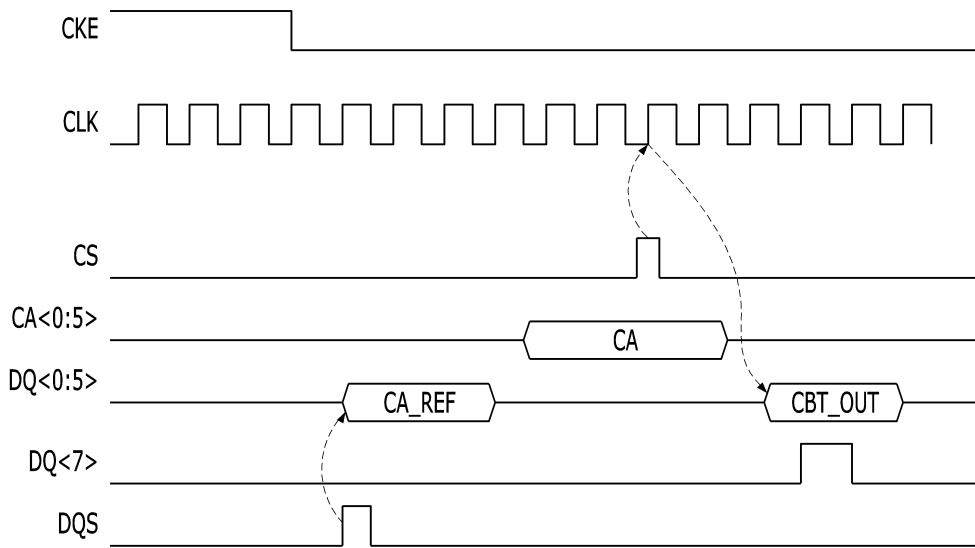
[0155] 예컨대, 전술한 실시예에서 예시한 논리 게이트 및 트랜지스터는 입력되는 신호의 극성에 따라 그 위치 및 종류가 다르게 구현되어야 할 것이다.

부호의 설명

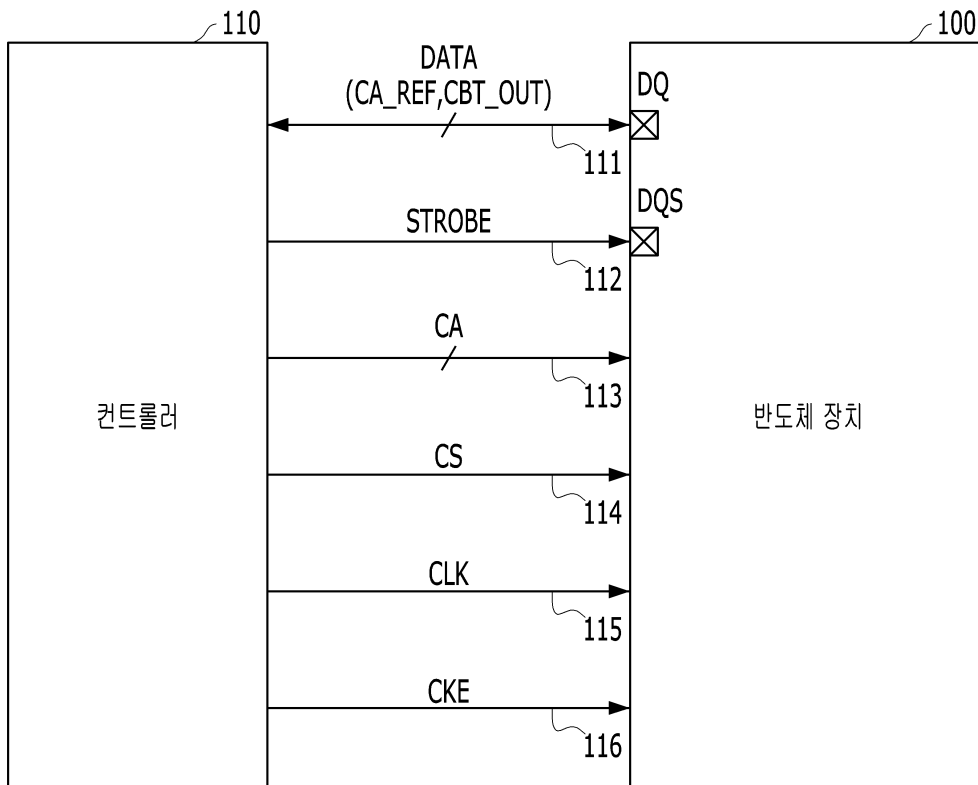
- [0157] 100: 반도체 장치 110: 컨트롤러
- 111: 데이터 버스 112: 스트로브 신호 라인
- 113: 커맨드/어드레스 버스 114: 칩 선택 신호 라인
- 115: 클럭 신호 라인 116: 클럭 인에이블 신호 라인
- 210: 기준 전압 생성부 220: 트레이닝부
- 230: 타이밍 제어부 240: 출력 제어부
- 250: 터미네이션 제어부 260: 출력 구동부

도면

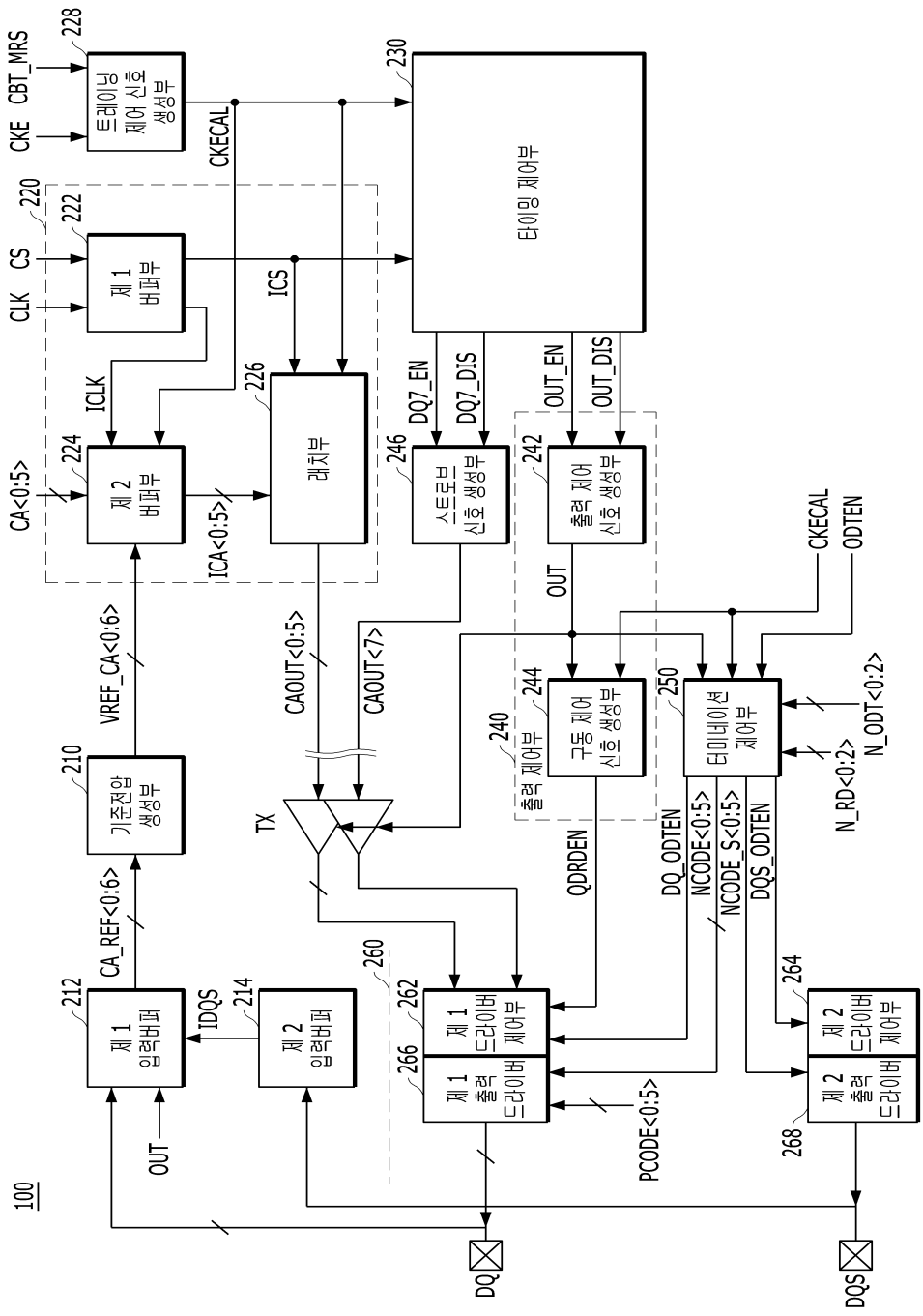
도면1



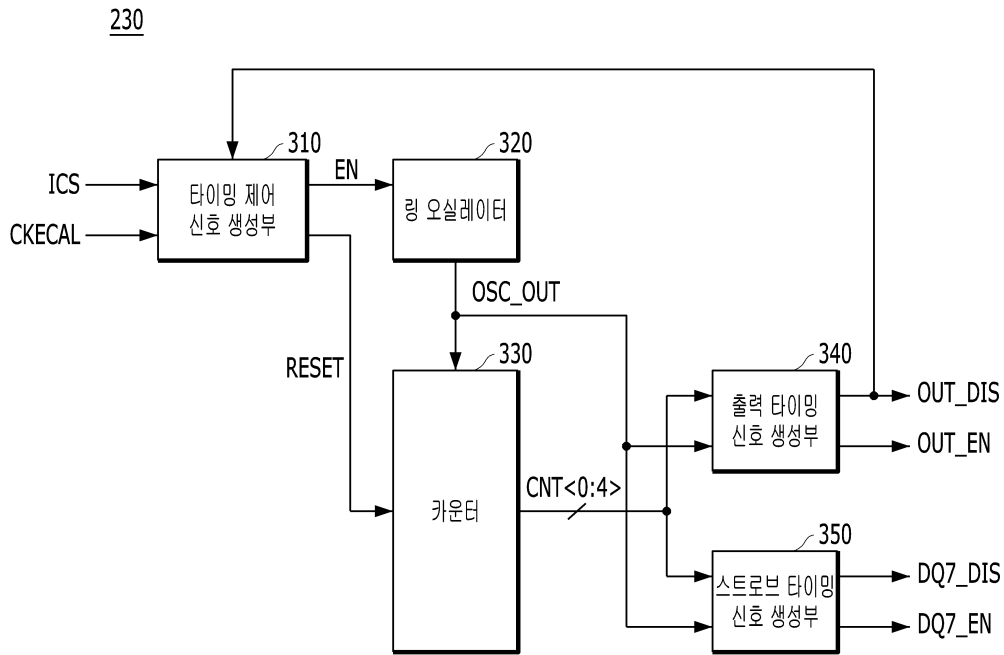
도면2



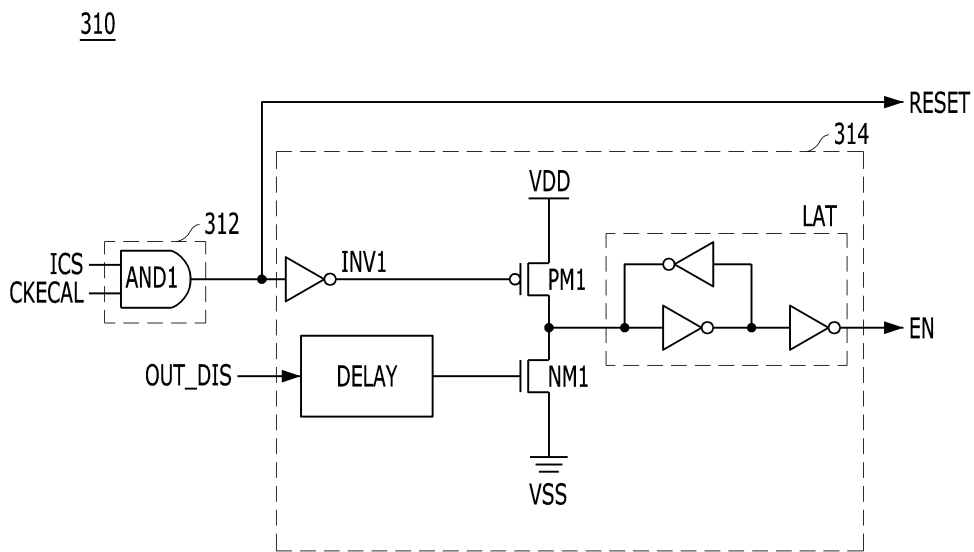
도면3



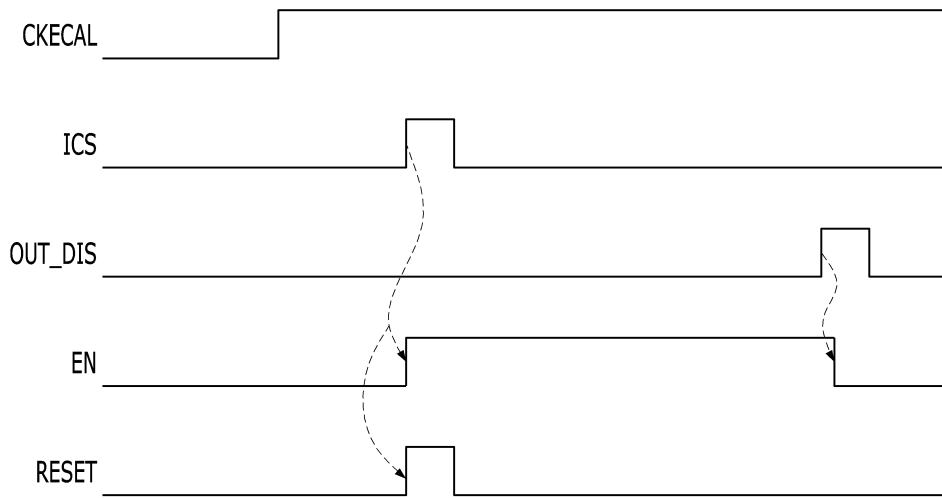
도면4



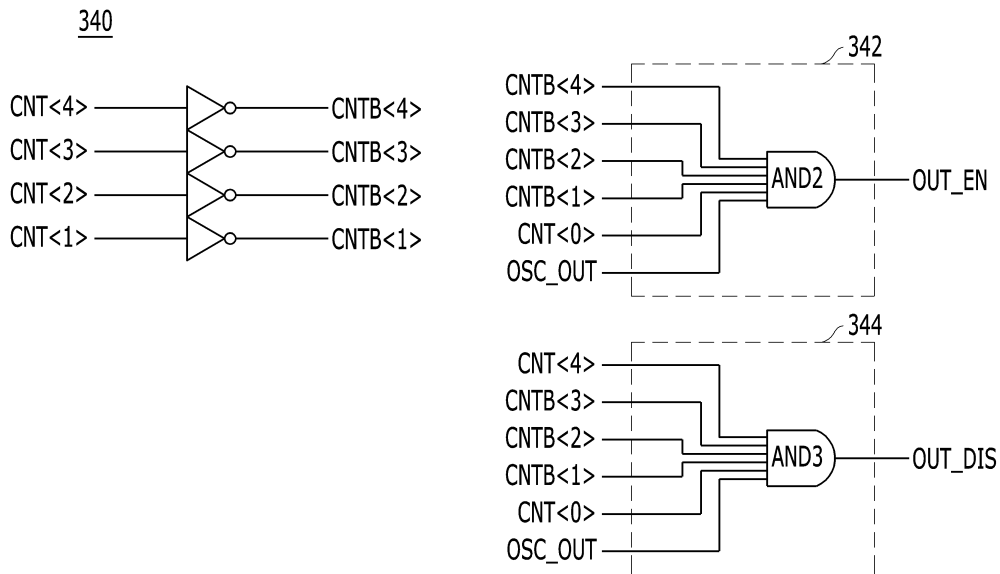
도면5a



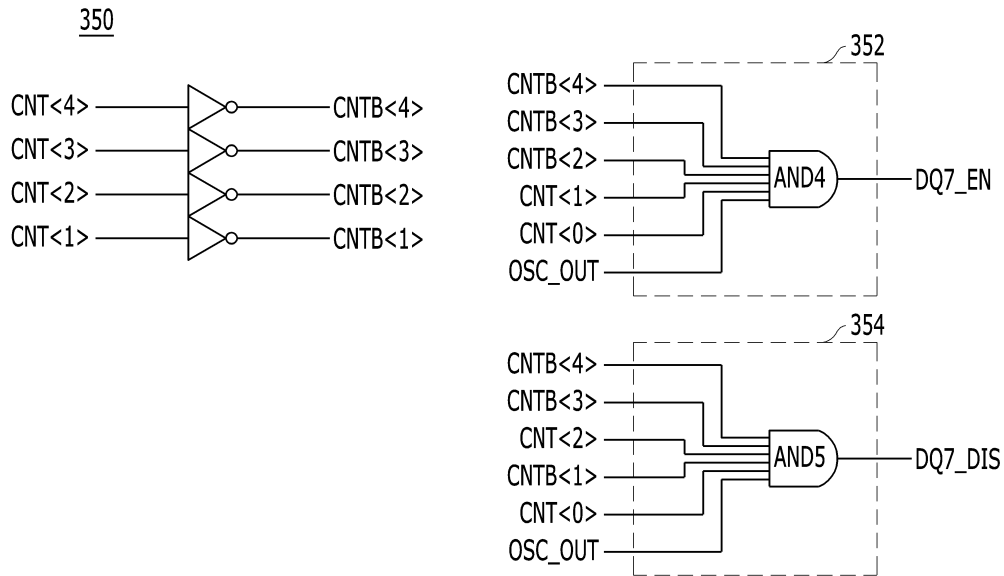
도면5b



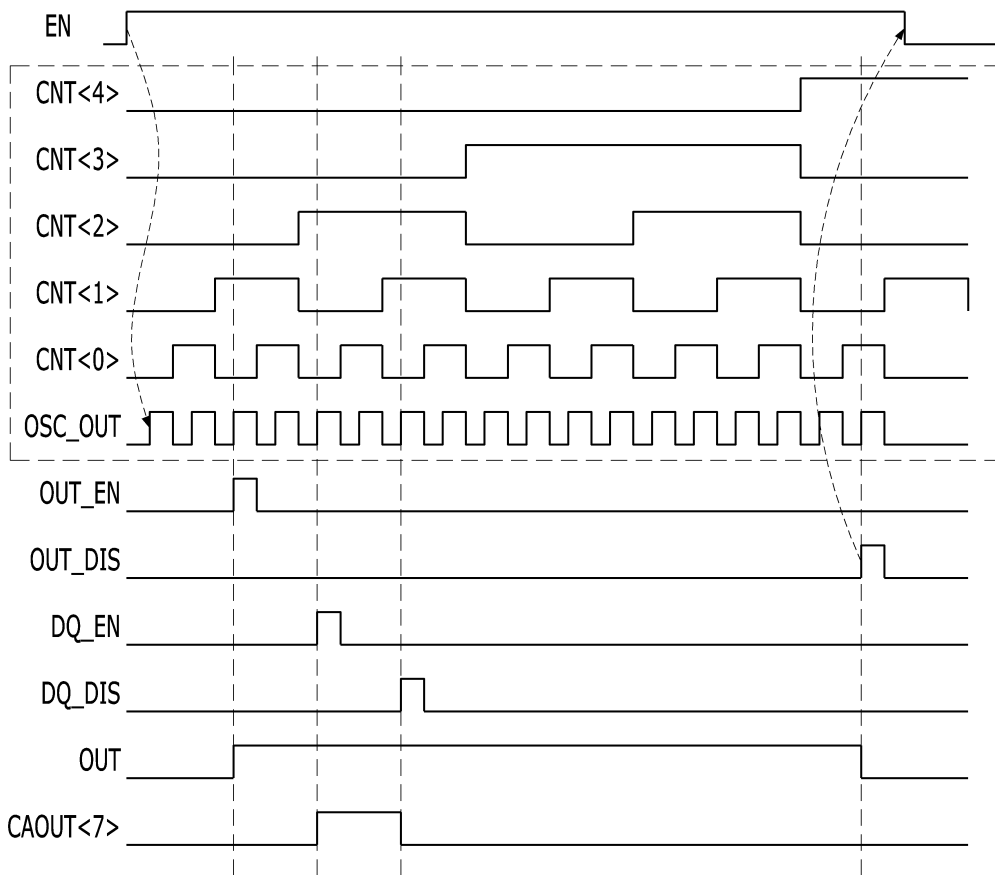
도면6



도면7

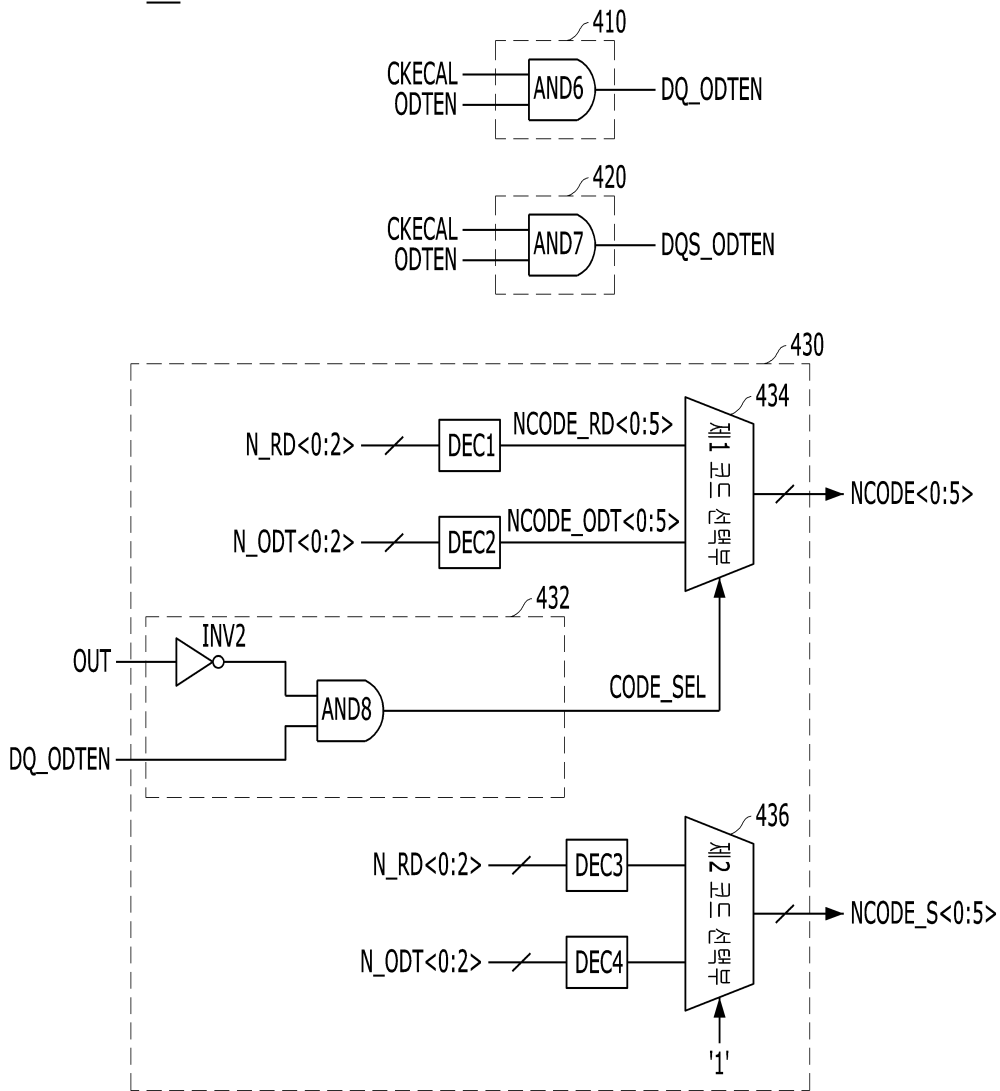


도면8

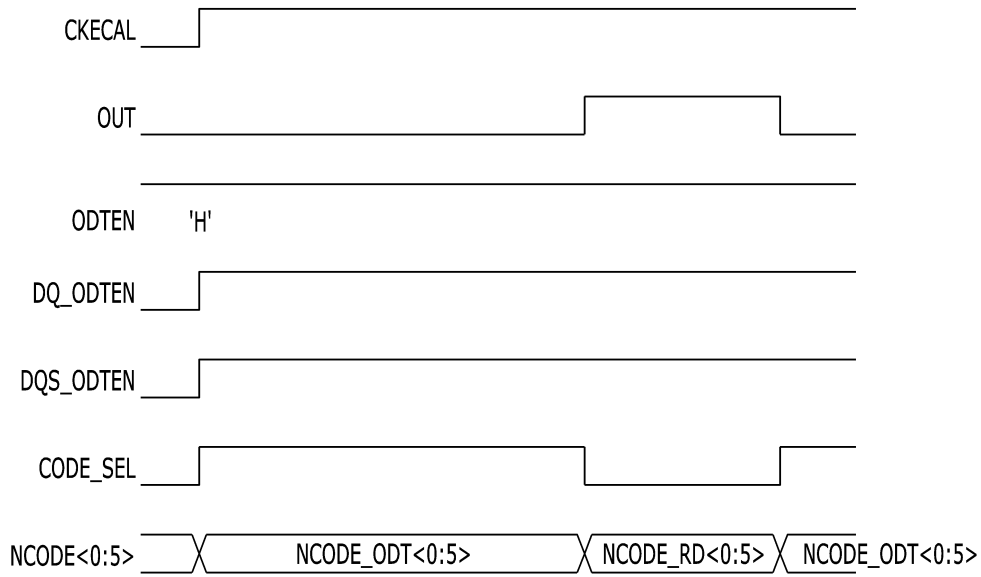


도면9a

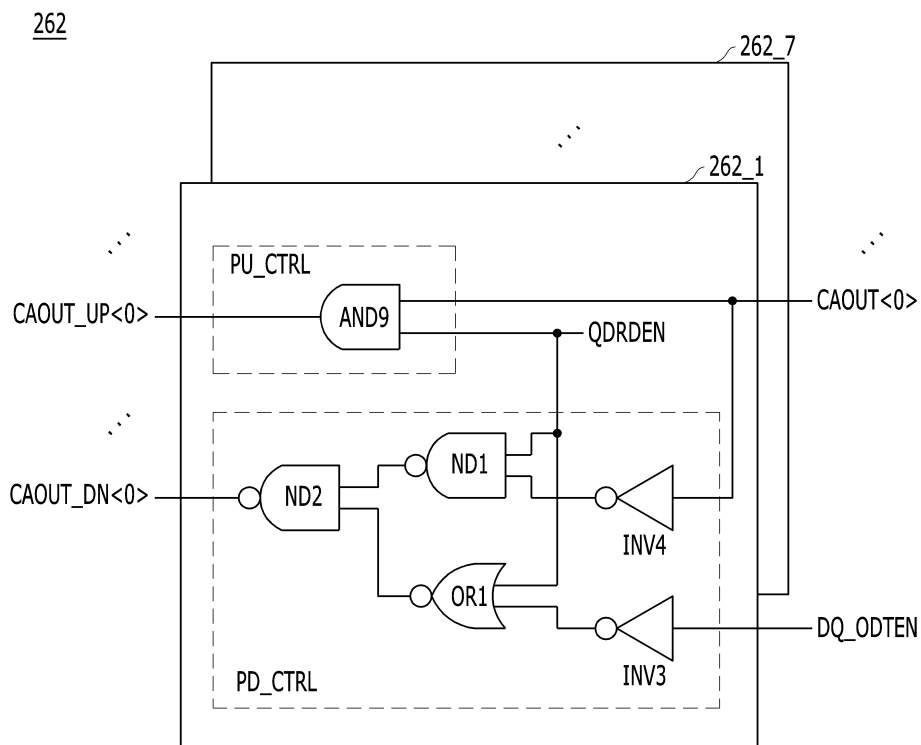
250



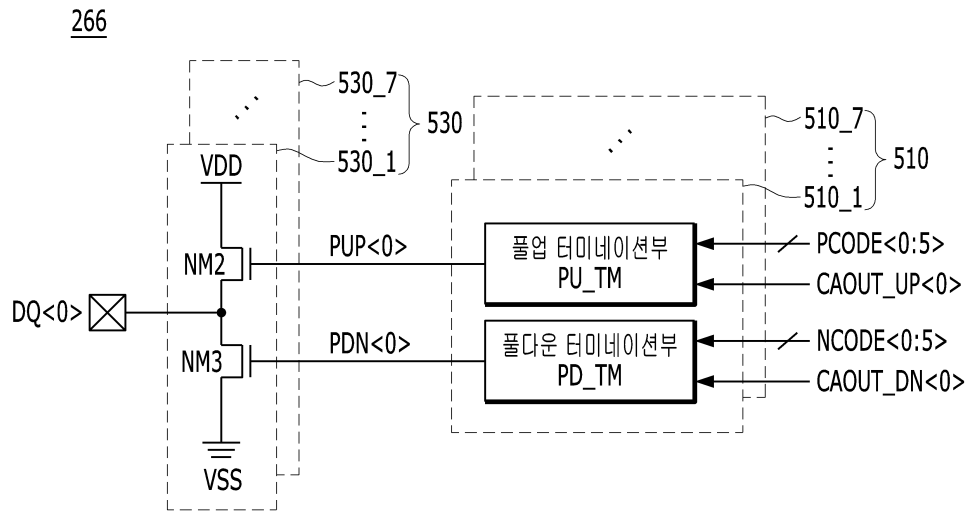
도면9b



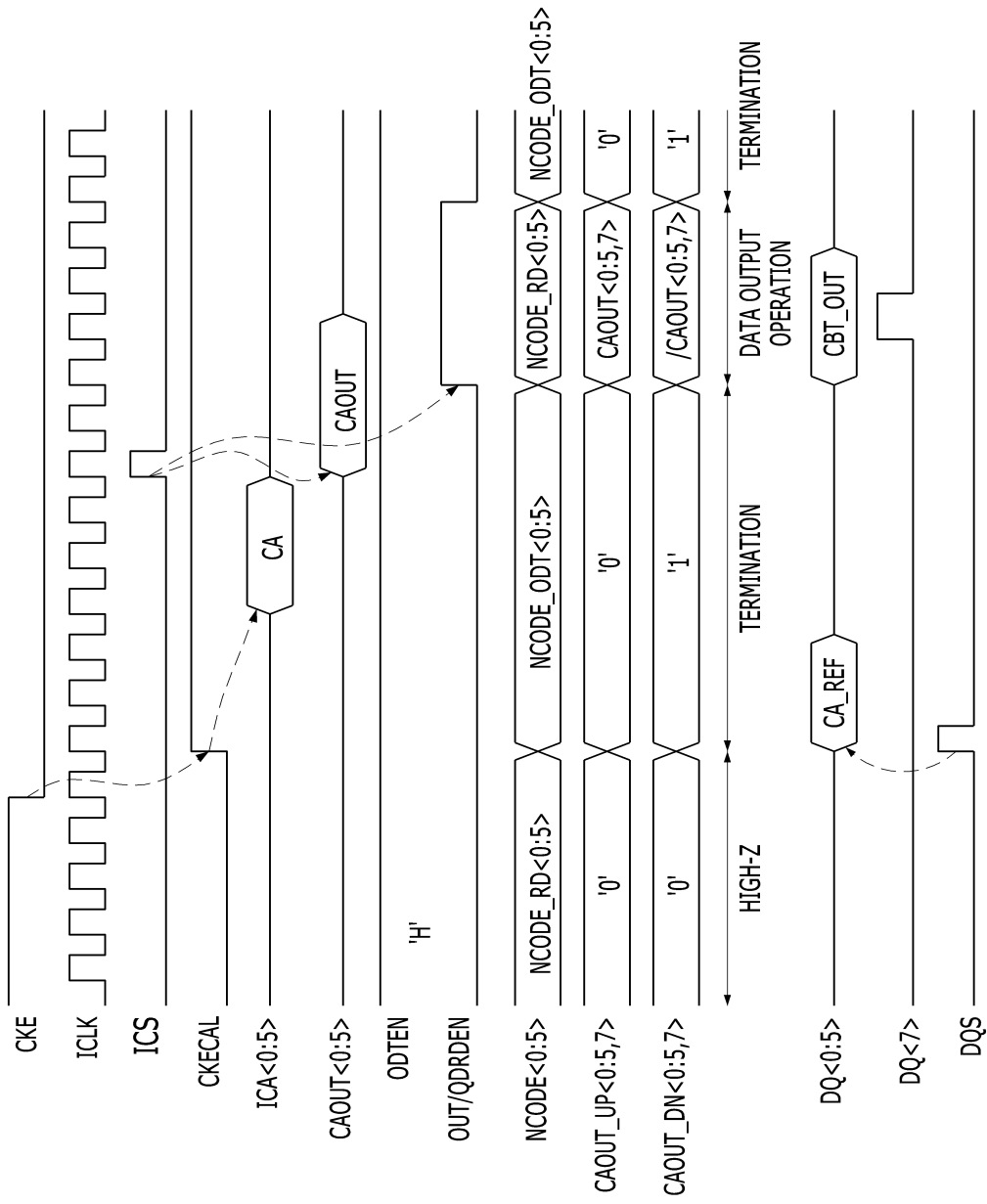
도면10



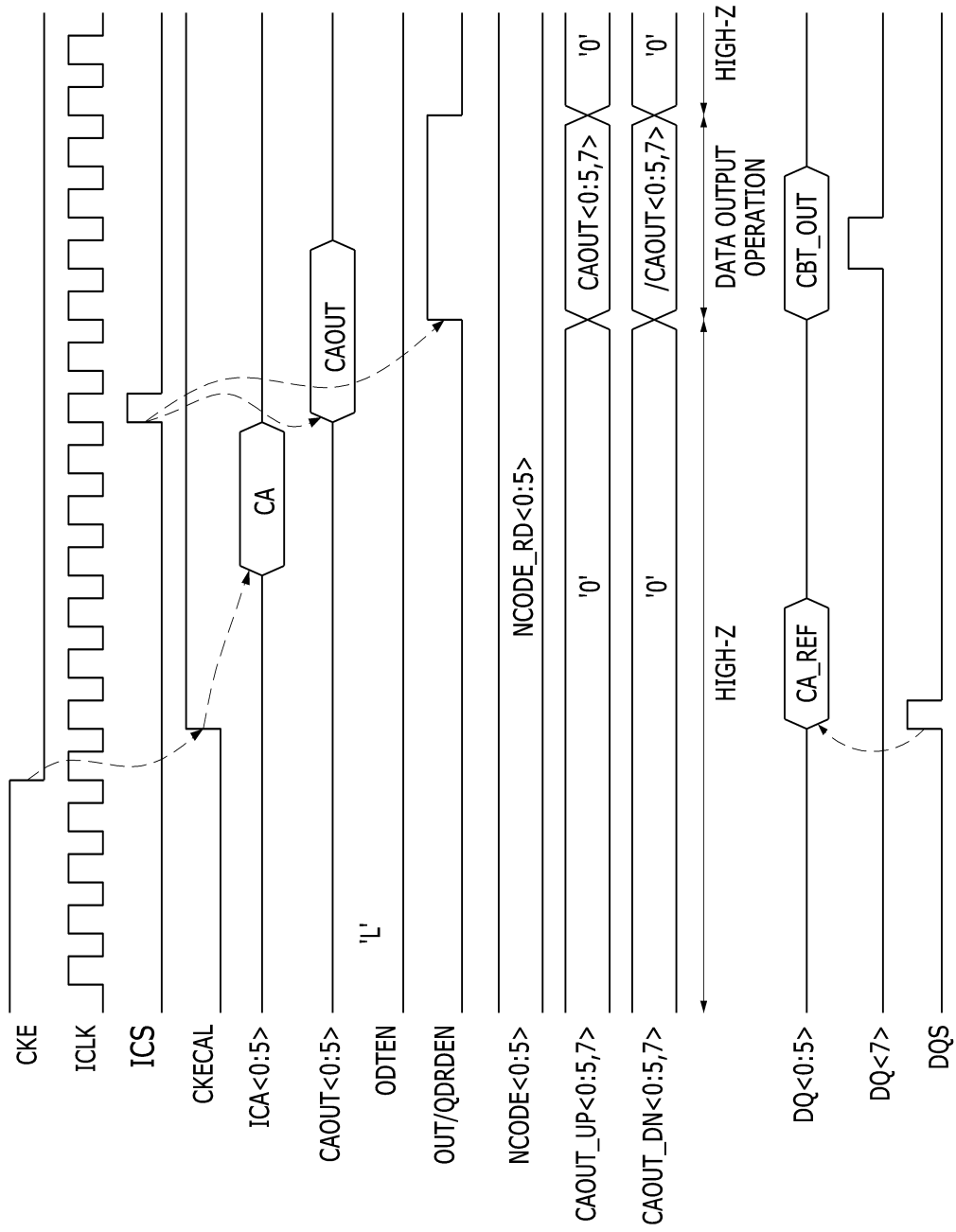
도면11



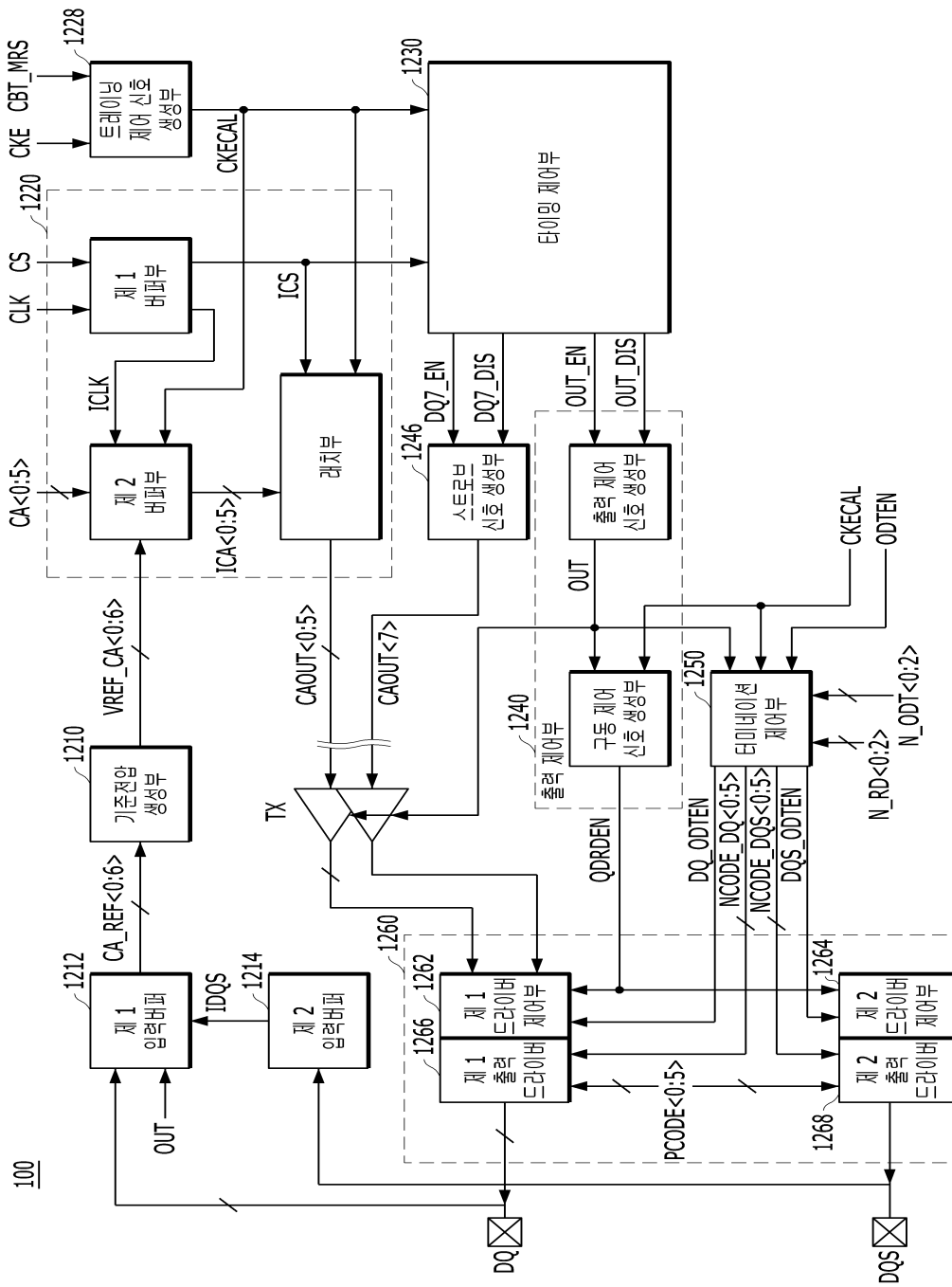
도면12a



도면12b



도면13



도면14

1250

