



(10) **DE 10 2004 026 526 B4** 2010.09.23

(12)

Patentschrift

(21) Aktenzeichen: **10 2004 026 526.7**
(22) Anmeldetag: **25.05.2004**
(43) Offenlegungstag: **13.01.2005**
(45) Veröffentlichungstag
der Patenterteilung: **23.09.2010**

(51) Int Cl.⁸: **G11C 7/10** (2006.01)
G11C 11/4093 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:

03-35604	03.06.2003	KR
03-42840	27.06.2003	KR
10/792,425	03.03.2004	US

(73) Patentinhaber:

Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR

(74) Vertreter:

Patentanwälte Ruff, Wilhelm, Beier, Dauster & Partner, 70174 Stuttgart

(72) Erfinder:

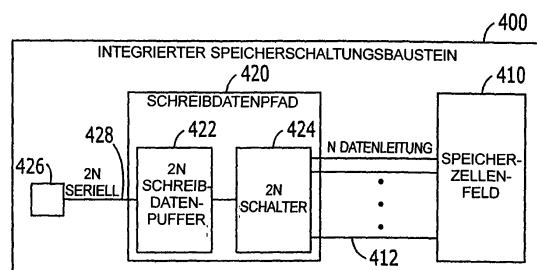
Lee, Yun-sang, Yongin, Kyonggi, KR; Lee, Jung-bae, Yongin, Kyonggi, KR; La, One-gyun, Hwaseong, Kyonggi, KR; Kim, Sung-ryul, Suwon, Kyonggi, KR

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:

US	64 27 197	B1
US	2001/00 05 012	A1
US	61 44 616	A
US	58 54 767	A

(54) Bezeichnung: **Integrierter Schaltungsbaustein und Betriebsverfahren**

(57) Hauptanspruch: Integrierter Schaltungsbaustein mit
– einem Speicherzellenfeld (410), das eine Mehrzahl von Speicherzellen umfasst, und
– einem Schreibdatenpfad (420), der so ausgeführt ist, dass er 2N Datenbits seriell von einem externen Anschluss (426) empfängt, wobei der Schreibdatenpfad folgende Komponenten umfasst:
– 2N Schreibdatenpuffer (422), die so ausgeführt sind, dass sie 2N Datenbits speichern,
– 2N Schalter (424) und
– N Datenleitungen (412), die so ausgeführt sind, dass sie wenigstens N der 2N Schalter mit dem Speicherzellenfeld verbinden, um N Datenbits parallel in das Speicherzellenfeld einzuschreiben.



Beschreibung

[0001] Die Erfindung bezieht sich auf einen integrierten Speicherschaltungsbaustein und ein Betriebsverfahren hierfür.

[0002] Integrierte Speicherschaltungsbausteine sind in vielen Verbraucherapplikationen und kommerziellen Applikationen weit verbreitet. Mit dem Ansteigen der Integrationsdichte von integrierten Speicherschaltungsbausteinen nimmt auch die Anzahl von Speicherzellen innerhalb der integrierten Speicherschaltungsbausteine kontinuierlich zu. Überdies kann das Vorabrufschema für die integrierten Speicherschaltungsbausteine ebenfalls zunehmen. Wie dem Fachmann allgemein bekannt ist, bestimmt das Vorabrufen, wie viele Bits gleichzeitig in ein integriertes Speicherzellenfeld geschrieben oder aus diesem gelesen werden können. Das Vorabrufschema wird auch von einer Burst- bzw. Bündellänge bestimmt, d. h. wie viele Bits während eines Vorgangs seriell an einen externen Anschluss ausgegeben oder an diesem eingegeben werden können. Viele integrierte Schaltungsbausteine benutzen gegenwärtig ein Vier-Bit-Vorabrufschema, d. h. eine Bündellänge von vier Bit. Es ist jedoch wünschenswert, diese auf ein 8-Bit-Vorabrufschema oder eine Bündellänge von 8-Bit zu vergrößern, um den Speicherbaustein mit einer größeren Datenrate betreiben zu können. In der Zukunft können sogar noch größere Vorabrufschema oder Bündellängen benutzt werden.

[0003] Unglücklicherweise nimmt ein Schreibdatenpfad des integrierten Speicherschaltungsbausteins in Abmessung und/oder Komplexität zu, wenn auf ein höheres Vorabrufschema gewechselt wird. Wie dem Fachmann allgemein bekannt ist, wird der Schreibdatenpfad benutzt, um seriell Mehrdatenbits von einem externen Anschluss zu empfangen und um die Mehrdatenbits dem Speicherzellenfeld parallel zur Verfügung zu stellen, um die Mehrdatenbits in das Speicherzellenfeld zu schreiben. Daher kann der Schreibdatenpfad einen sehr großen Bereich der Chipfläche einnehmen.

[0004] [Fig. 1](#) zeigt ein Blockschaltbild eines herkömmlichen dynamischen Speicherbausteins mit direktem Zugriff (DRAM). DRAMs aus [Fig. 1](#) können auch als DRAM mit schneller Periode (Fast Cycle DRAM; FCDRAM) bezeichnet werden. Wie aus [Fig. 1](#) ersichtlich ist, umfasst der FCDRAM **100** einen Taktpuffer **102**, der ein Taktsignal empfängt und ein internes Taktsignal erzeugt, einen Befehlsdecoder **104**, der Befehle aus externen Eingabesignalen erzeugt, einen Adressenpuffer **106**, der Adressensignale aus Adressdaten A0 bis A14 und Bankauswahlbits BA0, BA1 erzeugt, und einen Auffrischungszähler **108**. Ein Steuersignalgenerator **110** erzeugt Steuersignale aus den Signalen, die vom Befehlsdecoder **104** zur Verfügung gestellt werden. Ein Modus-

registersatz (MRS) **112** erzeugt geeignete Modussignale. Ein oberer Adressenzwischenspeicher **114** und ein unterer Adressenzwischenspeicher **116** erzeugen Adressensignale, die an einen Zeilendecoder bzw. an einen Spaltendecoder angelegt werden. Ein Bündelzähler **118** wird benutzt, um die Bündellänge der Lese- und Schreibdaten zu steuern. Eine Schreibadressenzwischenspeicher-/Vergleichsschaltung **120** wird benutzt, um eine vorherige und eine aktuelle Schreibadresse zu vergleichen.

[0005] Wie weiter aus [Fig. 1](#) ersichtlich ist, können vier Bänke von Speicherzellenfeldern **122** bis **128** zur Verfügung gestellt werden. Es können jedoch auch mehr oder weniger Bänke zur Verfügung gestellt werden. Ein Eingabe-/Ausgabedatenpfad **200** umfasst eine Datensteuer- und Zwischenspeicherschaltung **130**, einen Lesedatenpuffer **132** und einen Schreibdatenpuffer **134** und einen Eingabe-/Ausgabepuffer (DQ-Puffer) **136**. Der DQ-Puffer **136** reagiert auf ein Datenmaskensignal (DM-Signal), welches vorbestimmte Eingänge maskiert. Die beschriebene Funktionsweise des FCDRAM aus [Fig. 1](#) ist dem Fachmann allgemein bekannt und muss hier nicht weiter beschrieben werden.

[0006] [Fig. 2](#) zeigt ein detaillierteres Blockschaltbild des Dateneingabe-/Datenausgabepfads **200** aus [Fig. 1](#). Wie aus [Fig. 2](#) ersichtlich ist, empfängt jeder der Dateneingabe-/Datenausgabeanschlüsse DQ0 bis DQ15 seriell vier Datenbits, die vom externen Anschluss übertragen werden, wenn das Modusregister **112** aus [Fig. 1](#) eine Bündellänge von vier auswählt. Dann wird jedes Eingabedatenbit vom Dateneingabepuffer **38** im DQ-Puffer **136** an einen Seriell-Parallel-Wandler (S-P-Wandler) **30** übertragen. Die Eingabedaten auf der Schreibdatenbusleitung (DBW), die vom Seriell-Parallel-Wandler **30** von seriellen Daten in parallele Daten umgewandelt werden, werden an einen passenden Schreibdatenpfad **31**, **32**, **33**, **34** übertragen, der von den Bankadressenbits BA0, BA1 ausgewählt wird.

[0007] Wie weiter aus [Fig. 2](#) ersichtlich ist, werden zum Lesen Daten aus einer Mehrzahl von Bänken Bank0 bis Bank3 ausgegeben und über einen Lesedatenpfad **41**, **42**, **43**, **44**, der von den Bankadressenbits BA0, BA1 ausgewählt wird, zur Lesedatenbusleitung (DBR) übertragen. Die parallelen Daten, die auf der DBR gelesen werden, werden dann durch einen Parallel-Seriell-Wandler (P-S-Wandler) **40** in serielle Daten umgewandelt. Die seriellen Daten werden dann über die Dateneingabe- und -ausgabeanschlüsse DQ0 bis DQ15 und über den Datenausgabepuffer **48** nach extern ausgegeben. Entsprechend können in einigen Ausführungsbeispielen 64 Bits (4-Bits mal 16) von Eingabedaten in ein Speicherzellenfeld der ausgewählten Speicherbank gleichzeitig geschrieben werden und 64 Datenbits können durch die Anschlüsse DQ0 bis DQ15 gleichzeitig gelesen

werden.

[0008] [Fig. 3](#) ist ein Blockschaltbild, welches ein 4-Bit-Vorabrufschema eines herkömmlichen FCDRAM darstellt, wie er im Zusammenhang mit [Fig. 1](#) und [Fig. 2](#) beschrieben wurde. Wie aus [Fig. 3](#) ersichtlich ist, werden genauer gesagt, wenn vom MRS 112 aus [Fig. 1](#) eine Bündellänge von vier ausgewählt ist, die ersten Eingabedaten, die vom Eingabepuffer 38 gepuffert werden, in einem ersten Zwischenspeicher 311 eines Eingabedatenzwischenspeichers 301 des Seriell-Parallel-Wandler (S-P-Wandler) 30 in Reaktion auf eine ansteigende Flanke eines ersten internen Datenabtastsignals (PDS) gespeichert. Das zweite Bit der Eingabedaten, welches seriell empfangen wird, wird in einem zweiten Zwischenspeicher 312 des Eingabedatenzwischenspeichers 301 des Seriell-Parallel-Wandlers (S-P-Wandler) 30 in Reaktion auf eine abfallende Flanke des ersten internen Datenabtastsignals (PDS) gespeichert.

[0009] Hierbei werden die ersten Eingabedaten, die im ersten Zwischenspeicher 311 gespeichert sind, und die zweiten Eingabedaten, die im zweiten Zwischenspeicher 312 gespeichert sind, zu einem ersten Register 313 bzw. einem zweiten Register 314 eines Parallelwandlers 302 in Reaktion auf ein zweites internes Datenabtastsignal PDSP übertragen. Das dritte Bit der Eingabedaten wird in Reaktion auf die nächste ansteigende Flanke des ersten internen Datenabtastsignals (PDS) im ersten Zwischenspeicher 311 gespeichert und das vierte Bit der Eingabedaten wird in Reaktion auf die nächste abfallende Flanke des ersten internen Datenabtastsignals (PDS) im zweiten Zwischenspeicher 312 gespeichert.

[0010] Hierbei werden das dritte Eingabedatenbit und das vierte Eingabedatenbit zu einem dritten Register 315 bzw. zu einem vierten Register 316 des Parallelwandlers 302 in Reaktion auf die ansteigende und abfallende Flanke des ersten internen Datenabtastsignals PDS übertragen. Daher werden, wie in [Fig. 3](#) dargestellt ist, ungerade Eingabedaten DIN-0, wie das erste und dritte Eingabedatenbit, nacheinander zum ersten und dritten Register 313 und 315 übertragen und gerade Eingabedaten, wie das zweite und vierte Eingabedatenbit, werden zum zweiten und vierten Register 314, 316 übertragen. Nachdem alle Eingabedaten D0, D1, D2, D3 in den Parallelwandler 302 übertragen sind, werden dann alle Eingabedaten an eine Paralleldatenausgabeschaltung 303 in Reaktion auf eine ansteigende Flanke eines dritten internen Datenabtastsignals PDS parallel übertragen und gespeichert.

[0011] [Fig. 4](#) zeigt ein Zeitablaufdiagramm, welches die oben beschriebenen Vorgänge mit der seriellen Eingabe von vier Datenbits D0 bis D3 auf dem Eingabe-DQ-Pfad und der parallelen Ausgabe der vier Da-

tenbits auf den Ausgabeleitungen DBW_0 bis DBW_3 darstellt.

[0012] Wie weiter aus [Fig. 3](#) ersichtlich ist, werden die im Seriell-Parallel-Wandler (S-P-Wandler) 30 gespeicherten Daten anschließend in Schreibdatenpuffern 330, 331, 332 und 333 gespeichert, die einen Teil der Schreibdatenpfade 31, 32, 33 oder 34 aus [Fig. 2](#) bilden. Von den Schreibdatenpuffern 330 bis 333 werden die Eingabedaten dann in Reaktion auf ein Steuersignal PS4, das an Parallelbitschalter PSW 340 bis 343 angelegt wird, zu einer Spaltenauswahlleitung (CSL) 350 übertragen. Die vier Bits an Eingabedaten werden gleichzeitig in den Speicherzellenblock 360 geschrieben. Entsprechend zeigen die [Fig. 3](#) und [Fig. 4](#) ein 4-Bit-Vorabrufschema, weil vier Datenbits gleichzeitig in einen Speicherzellenblock geschrieben werden. In [Fig. 3](#) werden die Leitungen, welche die Schreibdatenpuffer 330 bis 333 mit den Parallelbitschaltern PSW 340 bis 343 koppeln, als globale Datenleitungen GDL_0 bis GDL_3 bezeichnet. Die Leitungen, welche die Parallelbitschalter PSW mit den Spaltenauswahlleitungen 350 koppeln, werden als lokale Datenleitungen LDL_0 bis LDL_3 bezeichnet. Schließlich sind die Bitleitungen des Speicherzellenfeldes aus [Fig. 3](#) mit BL_0 bis BL_511 bezeichnet.

[0013] [Fig. 5](#) ist ein Blockschaltbild eines herkömmlichen FCDRAM mit einem 8-Bit-Vorabrufschema. Wie dem Fachmann allgemein bekannt ist, ermöglicht es ein 8-Bit-Vorabrufschema, den FCDRAM mit einer höheren Datenrate zu betreiben. In [Fig. 5](#) bezeichnen gleiche Bezugszeichen wie in [Fig. 3](#) gleiche Elemente. Außerdem sind in [Fig. 5](#) zur Umsetzung des 8-Bit-Vorabrufschemas viele Elemente aus [Fig. 3](#) verdoppelt. So wird ein zweiter Satz von Registern 313' bis 316' im Parallelwandler 302 und auch ein zweiter Satz von Registern 317' bis 320' in der Paralleldatenausgabeschaltung 303 zur Verfügung gestellt. Ein zweiter Satz von Schreibdatenpuffern 334 bis 337 und ein zweiter Satz von Parallelbitschaltern 344 bis 347 werden ebenfalls zur Verfügung gestellt.

[0014] Wie aus [Fig. 5](#) ersichtlich ist, ist die Anzahl von lokalen Datenleitungen LDL und globalen Datenleitungen GDL verglichen mit [Fig. 3](#) verdoppelt.

[0015] Anders ausgedrückt, ist in dem 8-Bit-Vorabrufschema aus [Fig. 5](#) die Anzahl der globalen Datenleitungen GDL und die Anzahl der lokalen Datenleitungen LDL um das Doppelte erhöht im Vergleich zum 4-Bit-Vorabrufschema aus [Fig. 3](#). Insbesondere werden in [Fig. 5](#) acht globale Datenleitungen GDL_0 bis GDL_7 benutzt, um einen jeweiligen Schreibdatenpuffer 330 bis 337 mit einem entsprechenden Parallelbitschalter 340 bis 347 zu verbinden. Überdies werden acht lokale Datenleitungen LDL_0 bis LDL_7 benutzt, um einen entsprechenden Parallelbitschal-

ter (PSW) **340** bis **347** mit der Spaltenauswahlleitung **350** zu verbinden. Ungünstigerweise erhöht die größere Anzahl von lokalen und/oder globalen Datenleitungen die Layoutfläche des integrierten Speicherschaltungsbausteins übermäßig.

[0016] Lese- und/oder Schreibdatenpfade für andere Hochgeschwindigkeitsspeicherbausteine sind in den Patentschriften US 6.144.616 und US 6.427.197 B1 und in der Offenlegungsschrift US 2001/0005012 A beschrieben.

[0017] Die Patentschrift US 5.854.767 offenbart einen integrierten Speicherschaltungsbaustein mit zwei parallelen Speicherzellenfeldern, denen je ein Schreibdatenpfad und Lesedatenpfad zugeordnet ist. Die beiden Schreibdatenpfade sind parallel an einen Eingabepuffer angekoppelt, und die beiden Lesedatenpfade führen zu einem gemeinsamen Ausgabepuffer. Zu schreibende Eingabedaten werden in eine erste Gruppe von vier Datenbits und eine zweite Gruppe von vier Datenbits gruppiert und in zwei Taktzyklen einem zugewiesenen Speicherzellenfeld zugeführt. Dazu wird in einem ersten Zyklus die erste Gruppe von vier Datenbits seriell empfangen und über einen Seriell/Parallel-Wandler gepuffert, um dann parallel über einen lokalen Datenbus und einen Abtastverstärker dem Speicherzellenfeld zugeführt zu werden. In einem anschließenden zweiten Zyklus wird die zweite Gruppe von vier Datenbits seriell empfangen und über den Seriell/Parallel-Wandler gepuffert, um dann am Ende des zweiten Zyklus parallel über den lokalen Datenbus und den Abtastverstärker dem Speicherzellenfeld zugeführt zu werden. Analog erfolgt das Schreiben von Daten in das jeweils andere Speicherzellenfeld, z. B. während zweier anschließender Taktzyklen.

[0018] Der Erfindung liegt als technisches Problem die Bereitstellung eines integrierten Schaltungsbausteins und eines zugehörigen Betriebsverfahrens zugrunde, mit denen sich die oben erwähnten Schwierigkeiten des Standes der Technik wenigstens teilweise vermeiden lassen.

[0019] Die Erfindung löst dieses Problem durch die Bereitstellung eines integrierten Schaltungsbausteins mit den Merkmalen des Anspruchs 1 und eines Betriebsverfahrens mit den Merkmalen des Anspruchs 27. Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

[0020] In einigen Ausführungsbeispielen der vorliegenden Erfindung umfasst der Schreibdatenpfad einen ersten und zweiten Seriell-Parallel-Wandler, die mit dem externen Anschluss verbunden sind, N erste globale Datenleitungen und N zweite globale Datenleitungen. In einigen Ausführungsbeispielen reagiert der erste Seriell-Parallel-Wandler auf einen ersten Satz von internen Datenabtastsignalen und der zwei-

te Seriell-Parallel-Wandler reagiert auf einen zweiten Satz von internen Datenabtastsignalen. In anderen Ausführungsbeispielen reagieren der erste Seriell-Parallel-Wandler und der zweite Seriell-Parallel-Wandler auf einen gleichen Satz von internen Datenabtastsignalen. Die 2N Schreibdatenpuffer umfassen N erste Schreibdatenpuffer und N zweite Schreibdatenpuffer, und die 2N Schalter umfassen N erste Schalter und N zweite Schalter. In diesem Ausführungsbeispiel sind die N ersten Schreibdatenpuffer mit dem ersten Seriell-Parallel-Wandler verbunden und je eine der N ersten globalen Datenleitungen ist zwischen einem entsprechenden der N ersten Schalter und einem entsprechenden der N ersten Schreibdatenpuffer eingeschleift. In diesem Ausführungsbeispiel sind die N zweiten Schreibdatenpuffer mit dem zweiten Seriell-Parallel-Wandler verbunden und je eine der N zweiten globalen Datenleitungen ist zwischen einem entsprechenden der N zweiten Schalter und einem entsprechenden der N zweiten Schreibdatenpuffer eingeschleift. Überdies sind in diesen Ausführungsbeispielen die N Datenleitungen N lokale Datenleitungen, und je eine der N lokalen Datenleitungen ist zwischen einem entsprechenden der N ersten Schalter, einem entsprechenden der N zweiten Schalter und dem Speicherzellenfeld eingeschleift.

[0021] In diesen Ausführungsbeispielen kann der Schreibdatenpfad auch erste und zweite Datenanordnungsschaltungen umfassen, von denen je eine zwischen einem entsprechenden der ersten und zweiten Seriell-Parallel-Wandler und einem entsprechenden der N ersten Schreibdatenpuffer und N zweiten Schreibdatenpuffer eingeschleift ist. Überdies können in diesen Ausführungsbeispielen die N ersten Schalter auf ein erstes Steuersignal und die N zweiten Schalter auf ein zweites Steuersignal reagieren, das gegenüber dem ersten Steuersignal zeitlich verzögert ist. Das erste und zweite Steuersignal kann mit unterschiedlichen Verzögerungszeiten von einem Schreibaktivsignal erzeugt werden.

[0022] Diese Ausführungsbeispiele können auch einen Befehlsdecoder, der auf einen Chipauswahlbefehl und einen Funktionsbefehl reagiert, um das Schreibaktivsignal zu erzeugen, und eine Steuersignalgeneratorschaltung umfassen, die auf das Schreibaktivsignal reagiert und ausgeführt ist, um das erste und zweite Steuersignal zu erzeugen. Der Befehlsdecoder kann weiter ausgeführt sein, um einen Aktivbefehl und einen Lesebefehl in Reaktion auf den Chipauswahlbefehl und den Funktionsbefehl zu erzeugen. In einigen Ausführungsbeispielen ist der Befehlsdecoder weiter ausgeführt, um einen Lesebefehl, einen Auffrischungsbefehl und einen Modusrücksetzbefehl in Reaktion auf den Chipauswahlbefehl und den Funktionsbefehl zu erzeugen.

[0023] Diese Ausführungsbeispiele können auch N

dritte Schalter und N vierte Schalter umfassen. Je einer der N dritten Schalter ist zwischen dem ersten Seriell-Parallel-Wandler und einem entsprechenden der N ersten Schreibdatenpuffer eingeschleift. Je einer der N vierten Schalter ist zwischen dem zweiten Seriell-Parallel-Wandler und einem entsprechenden der N zweiten Schreibdatenpuffer eingeschleift. In einigen Ausführungsbeispielen reagieren die N dritten Schalter auf ein drittes Steuersignal und die N vierten Schalter reagieren auf ein viertes Steuersignal, das gegenüber dem dritten Steuersignal zeitlich verzögert ist. Das dritte und vierte Steuersignal können von entsprechend versetzten abfallenden Flanken eines Datenabtastsignals erzeugt werden. Schließlich kann ein Datenabtastzähler auf das Datenabtastsignal reagieren und ausgeführt sein, um abfallende Flanken des Datenabtastsignals zu zählen und das dritte und vierte Steuersignal von entsprechend versetzten abfallenden Flanken des Datenabtastsignals zu erzeugen.

[0024] In anderen Ausführungsbeispielen der vorliegenden Erfindung umfasst der Schreibdatenpfad einen Seriell-Parallel-Wandler, der mit dem externen Anschluss und N globalen Datenleitungen verbunden ist. In diesen Ausführungsbeispielen umfassen die 2N Schreibdatenpuffer N erste Schreibdatenpuffer und N zweite Schreibdatenpuffer, und die 2N Schalter umfassen N erste Schalter und N zweite Schalter. Die N ersten Schreibdatenpuffer sind mit dem Seriell-Parallel-Wandler verbunden und je einer der N ersten Schreibdatenpuffer ist mit einem entsprechenden der N ersten Schalter verbunden. Je einer der N zweiten Schreibdatenpuffer ist mit einem entsprechenden der N ersten Schalter verbunden und je einer der N globalen Datenleitungen ist zwischen einem entsprechenden der N zweiten Schalter und einem entsprechenden der N zweiten Schreibdatenpuffer eingeschleift. Schließlich ist je eine der N lokalen Datenleitungen zwischen einem entsprechenden der N zweiten Schalter und dem Speicherzellenfeld eingeschleift.

[0025] In einigen dieser anderen Ausführungsbeispiele umfasst der Schreibdatenpfad weiter eine Datenanordnungsschaltung, die zwischen dem Seriell-Parallel-Wandler und einem entsprechenden der N ersten Schreibdatenpuffer eingeschleift ist. Überdies umfassen einige dieser anderen Ausführungsbeispiele N dritte Schalter, von denen je einer zwischen dem Seriell-Parallel-Wandler und einem entsprechenden der N ersten Schreibdatenpuffer eingeschleift ist. Überdies können die N dritten Schalter auf ein erstes Steuersignal und die N ersten Schalter auf ein zweites Steuersignal reagieren, das gegenüber dem ersten Steuersignal zeitlich verzögert ist. Das erste und zweite Steuersignal können von entsprechend versetzten abfallenden Flanken eines Datenabtastsignals erzeugt werden.

[0026] Noch weitere Ausführungsbeispiele der vorliegenden Erfindung umfassen eine Vorladesteuerschaltung, welche eine Wortleitung des Speicherzellenfeldes für eine ausreichende Zeitspanne aktiviert, um die 2N Datenbits als zwei Gruppen von N parallelen Bits in das Speicherzellenfeld zu schreiben. In einigen Ausführungsbeispielen aktiviert die Vorladesteuerschaltung eine Wortleitung des Speicherzellenfeldes für eine ausreichende Zeit, um die 2N Datenbits als zwei Gruppen von N parallelen Bits in das Speicherzellenfeld in einem ersten Vorlademodus des integrierten Speicherschaltungsbausteins zu schreiben. Die Vorladesteuerschaltung aktiviert eine Wortleitung des Speicherzellenfeldes für eine ausreichende Zeit, um die N Datenbits als eine Gruppe von N parallelen Bits in einem zweiten Vorlademodus des integrierten Speicherschaltungsbausteins in das Speicherzellenfeld zu schreiben. Ein Modusregistersatz kann ausgeführt sein, um den ersten oder zweiten Vorlademodus auszuwählen, wobei die Vorladesteuerschaltung auf den Modusregistersatz reagiert.

[0027] In einigen Ausführungsbeispielen umfasst die Vorladesteuerschaltung ein erstes und ein zweites Verzögerungselement. Das erste Verzögerungselement reagiert auf ein erstes Vorlademodussignal, hat eine erste Verzögerung und ist ausgeführt, um die Wortleitung des Speicherzellenfeldes für eine ausreichende Zeit zu aktivieren, um die 2N Datenbits als zwei Gruppen von N parallelen Bits in das Speicherzellenfeld zu schreiben. Das zweite Verzögerungselement reagiert auf ein zweites Vorlademodussignal, hat eine zweite Verzögerung, die kürzer als die erste Verzögerung ist, und ist ausgeführt, um die Wortleitung des Speicherzellenfeldes für eine ausreichende Zeit zu aktivieren, um die N Datenbits als eine Gruppe von N parallelen Bits in das Speicherzellenfeld zu schreiben.

[0028] Gemäß anderen Ausführungsbeispielen der Erfindung umfasst wenigstens einer der Schreibdatenpuffer einen Adressenzwischenspeicher, der ausgeführt ist, um eine Schreibadresse zwischenzuspeichern, einen Adressenkomparator, der ausgeführt ist, um eine aktuelle Adresse mit der im Adressenzwischenspeicher zwischengespeicherten Adresse zu vergleichen, und einen Datenzwischenspeicher, der ausgeführt ist, um die Schreibdaten, die mit der Schreibadresse korrespondieren, darin zwischenzuspeichern. In einigen Ausführungsbeispielen ist die aktuelle Adresse eine Leseadresse und der integrierte Speicherschaltungsbaustein ist weiter ausgeführt, die gelesenen Daten an den externen Anschluss vom Datenzwischenspeicher statt vom Speicherzellenfeld auszugeben, wenn der Adressenkomparator feststellt, dass die Leseadresse mit der im Adressenzwischenspeicher zwischengespeicherten Adresse übereinstimmt. In anderen Ausführungsbeispielen ist der integrierte Speicherschaltungsbaustein weiter ausgeführt, die gelesenen Daten vom Speicherzel-

lenfeld an den externen Anschluss auszugeben, wenn der Adressenkomparator feststellt, dass die Le-seadresse nicht mit der im Adressenzwischenspei-cher zwischengespeicherten Adresse übereinstimmt.

[0029] Entsprechend umfassen integrierte Spei-cherschaltungsbausteine gemäß verschiedener Aus-führungsbeispiele der Erfindung ein Speicherzellen-feld, das ausgeführt ist, eine Mehrzahl von Datenbits parallel darin zu speichern. Ein Schreibdatenpfad ist ausgeführt, um seriell eine doppelte Anzahl der Mehrzahl von Datenbits von einem externen An-schluss zu empfangen, eine erste Hälfte der Daten-bits parallel in das Speicherzellenfeld zu schreiben und anschließend die zweite Hälfte der Datenbits pa-rallel in das Speicherzellenfeld zu schreiben.

[0030] Integrierte Speicherschaltungsbausteine mit einem Speicherzellenfeld, das ausgeführt ist, eine Mehrzahl von Datenbits parallel zu speichern, kön-nen entsprechend verschiedenen Ausführungsbei-spielen der Erfindung durch serielles Empfangen ei-ner doppelten Anzahl der Mehrzahl von Datenbits von einem externen Anschluss betrieben werden. Die empfangenen Datenbits werden in einer Mehr-zahl von Schreibdatenpuffern gespeichert. Eine erste Hälfte der Datenbits wird von den Schreibdatenpuf-fern parallel in das Speicherzellenfeld geschrieben. Dann wird eine zweite Hälfte der Datenbits von den Schreibdatenpuffern parallel in das Speicherzellen-feld geschrieben.

[0031] In einigen Ausführungsbeispielen wird die doppelte Anzahl der Mehrzahl von Datenbits durch serielles Empfangen der ersten Hälfte der Datenbits und anschließendes serielles Empfangen der zwei-ten Hälfte der Datenbits von einem externen An-schluss empfangen. Die Datenbits werden durch Speichern der ersten Hälfte der Datenbits in einem ersten Satz von Schreibdatenpuffern und Speichern der zweiten Hälfte der Datenbits in einem zweiten Satz von Schreibdatenpuffern gespeichert. Schließ-lich werden das Schreiben der ersten Hälfte der Da-tenbits und das Schreiben der zweiten Hälfte der Da-tenbits jeweils von dem entsprechenden ersten und zweiten Satz von Schreibdatenpuffern über einen ge-meinsamen Satz von lokalen Datenleitungen durch-geführt.

[0032] Gemäß anderen Ausführungsbeispielen der vorliegenden Erfindung wird die doppelte Anzahl der Mehrzahl von Datenbits durch serielles Empfangen der ersten Hälfte der Datenbits und anschließendes serielles Empfangen der zweiten Hälfte der Datenbits von einem externen Anschluss empfangen. Die Da-tenbits werden durch Speichern der ersten Hälfte der Datenbits in einem ersten Satz von Schreibdatenpuf-fern und Verschieben der ersten Hälfte der Datenbits vom ersten Satz der Schreibdatenpuffer in einen zweiten Satz von Schreibdatenpuffern und Speichern

der zweiten Hälfte der Datenbits im ersten Satz der Schreibdatenpuffern gespeichert. Die erste Hälfte der Datenbits wird vom zweiten Satz der Schreibdaten-puffer in das Speicherzellenfeld geschrieben.

[0033] Die zweite Hälfte der Datenbits wird vom ers-ten Satz der Schreibdatenpuffer in den zweiten Satz der Schreibdatenpuffer verschoben und dann wird die zweite Hälfte der Datenbits vom zweiten Satz der Schreibdatenpuffer in das Speicherzellenfeld ge-schrieben.

[0034] Vorteilhafte Ausführungsformen der Erfin-dung sowie die zu deren besserem Verständnis oben erläuterten herkömmlichen Ausführungsbeispiele sind in den Zeichnungen dargestellt und werden nachfolgend beschrieben.

[0035] [Fig. 1](#) ist ein Blockschaltbild eines herkömm-lichen dynamischen Speicherbausteins mit direktem Zugriff.

[0036] [Fig. 2](#) ist ein detaillierteres Blockschaltbild eines Dateneingabe-/Datenausgabepfades aus [Fig. 1](#).

[0037] [Fig. 3](#) ist ein Blockschaltbild, das ein 4-Bit-Vorabrufschema in einem herkömmlichen dy-namischen Direktzugriffsspeicherbausteins mit schneller Periode darstellt.

[0038] [Fig. 4](#) ist ein Zeitablaufdiagramm, das die Funktionsweise von Bausteinen gemäß [Fig. 3](#) dar-stellt.

[0039] [Fig. 5](#) ist ein Blockschaltbild eines herkömm-lichen dynamischen Direktzugriffsspeicherbausteins mit schneller Periode, der ein 8-Bit-Vorabrufschema umfasst.

[0040] [Fig. 6](#) ist ein Blockschaltbild eines integrierten Speicherschaltungsbausteins gemäß verschie-dener Ausführungsformen der vorliegenden Erfin-dung.

[0041] [Fig. 7](#) und [Fig. 8](#) sind Blockschaltbilder von Schreibdatenpfaden gemäß verschiedener Ausfüh-rungsformen der vorliegenden Erfindung.

[0042] [Fig. 9A](#) und [Fig. 9B](#) sind detailliertere Block-schaltbilder von integrierten Speicherschaltungsba-usteinen, die allgemein in [Fig. 7](#) dargestellt sind.

[0043] [Fig. 10](#) ist ein Blockschaltbild zur Darstellung der Erzeugung von Schreibsteuersignalen gemäß Ausführungsformen der vorliegenden Erfindung.

[0044] [Fig. 11](#) ist ein Blockschaltbild zur Darstellung der Erzeugung von Schaltsignalen gemäß Ausfüh-rungsformen der vorliegenden Erfindung aus [Fig. 9](#).

[0045] [Fig. 12A](#) und [Fig. 12B](#) sind Zeitablaufdiagramme zur Darstellung von Vorgängen, die bei einem 8-Bit-Vorabrufbetrieb gemäß Ausführungsformen der vorliegenden Erfindung, die in den [Fig. 7](#) und [Fig. 9A](#) bis [Fig. 11](#) beschrieben wurden, ausgeführt werden.

[0046] [Fig. 13](#) und [Fig. 14](#) sind Zeitablaufdiagramme zur Darstellung eines herkömmlichen 4-Bit-Vorabrufbetriebs in einem dynamischen Direktzugriffsspeicherbaustein mit schneller Periode, wie er in Verbindung mit [Fig. 3](#) beschrieben wurde, bzw. in einem synchronen dynamischen Direktzugriffsspeicherbaustein mit doppelter Datenrate.

[0047] [Fig. 15](#) ist ein detailliertes Blockschaltbild von Ausführungsformen der vorliegenden Erfindung, die allgemein in [Fig. 8](#) dargestellt sind.

[0048] [Fig. 16](#) ist ein Zeitablaufdiagramm einer herkömmlichen Vorladesteuerschaltung.

[0049] [Fig. 17](#) veranschaulicht eine herkömmliche Technik zur Freigabe einer Wortleitung in einem 8-Bit-Vorabrufschema.

[0050] [Fig. 18](#) veranschaulicht ein Zeitablaufdiagramm eines Vorladevorgangs gemäß einiger Ausführungsformen der vorliegenden Erfindung.

[0051] [Fig. 19](#) ist ein Blockschaltbild einer Vorladesteuerschaltung gemäß verschiedener Ausführungsformen der vorliegenden Erfindung.

[0052] [Fig. 20](#) ist ein Blockschaltbild von Lese-/Schreibdatenpuffern und Lese-/Schreibvorgängen gemäß verschiedener Ausführungsformen der vorliegenden Erfindung.

[0053] [Fig. 21](#) ist ein Zeitablaufdiagramm zur Darstellung von Lese-/Schreibvorgängen für Daten gemäß verschiedener Ausführungsformen der vorliegenden Erfindung.

[0054] Die Erfindung wird nachfolgend unter Bezugnahme auf die begleitenden Zeichnungen eingehender beschrieben, die Ausführungsformen der Erfindung zeigen. Die Erfindung kann jedoch in vielen verschiedenen Formen ausgeführt sein und ist nicht auf die nachfolgend beschriebenen Ausführungsformen begrenzt anzusehen. Diese Ausführungsformen werden vielmehr zur Verfügung gestellt, um eine gründliche und vollständige Beschreibung zu ermöglichen, und sie werden das Wesen der Erfindung dem Fachmann vollständig vermitteln. In den Zeichnungen können Größe und relative Größen von Elementen zur Klarstellung übertrieben dargestellt sein. Überdies umfasst jedes hierin beschriebene und dargestellte Ausführungsbeispiel auch seine Realisierung durch den komplementären Leitungstyp. In allen

Zeichnungen bezeichnen gleiche Bezugszeichen gleiche Elemente. Es versteht sich, dass, wenn ein Element als „verbunden“ oder „gekoppelt“ mit einem anderen Element bezeichnet wird, das Element direkt oder über zwischenliegende Elemente mit dem anderen Element verbunden oder gekoppelt sein kann. Im Gegensatz dazu gibt es keine zwischenliegende Elemente, wenn ein Element als mit dem anderen Element „direkt verbunden“ oder „direkt gekoppelt“ bezeichnet wird.

[0055] Es versteht sich, dass trotz der Verwendung der Ausdrücke „erster“, „zweiter“ usw. zur Beschreibung von verschiedenen Elementen diese Elemente nicht durch diese Ausdrücke begrenzt sind. Diese Ausdrücke werden nur verwendet, um ein Element von einem anderen Element zu unterscheiden. Daher kann ein nachfolgend erwähntes erstes Element auch als zweites Element bezeichnet werden und ein zweites Element kann auch als erstes Element bezeichnet werden, ohne sich von den Lehren der vorliegenden Erfindung zu entfernen.

[0056] [Fig. 6](#) ist ein Blockschaltbild eines integrierten Speicherschaltungsbausteins gemäß verschiedenen Ausführungsformen der vorliegenden Erfindung. Wie aus [Fig. 6](#) ersichtlich ist, umfassen diese integrierten Speicherschaltungsbausteine **400** ein Speicherzellenfeld **410**, welches so ausgeführt ist, dass N Datenbits parallel einschreibbar sind. Ein Schreibdatenpfad **420** ist so ausgeführt, dass er 2N Datenbits seriell von einem externen Anschluss **426** über eine serielle Leitung **428** empfängt. Wie aus [Fig. 6](#) ersichtlich ist, umfasst der Schreibdatenpfad **420** 2N Schreibdatenpuffer **422**, die ausgeführt sind, um die 2N Datenbits zu speichern, die von der Leitung **428** empfangen werden, und 2N Schalter **424**. Zudem werden N Datenleitungen **412** zur Verfügung gestellt, die ausgeführt sind, um wenigstens N der 2N Schalter mit dem Speicherzellenfeld **410** zu verbinden, um N Datenbits parallel einzuschreiben.

[0057] [Fig. 6](#) zeigt außerdem Ausführungsbeispiele der vorliegenden Erfindung, bei welchen ein integrierter Speicherschaltungsbaustein **400** ein Speicherzellenfeld **410** umfasst, welches ausgeführt ist, um eine Mehrzahl von Datenbits parallel zu speichern. Ein Schreibdatenpfad **420** ist ausgeführt, um seriell das Doppelte der Mehrzahl von Datenbits von einem externen Anschluss **426** zu empfangen, eine erste Hälfte der Datenbits parallel in das Speicherzellenfeld zu schreiben und anschließend eine zweite Hälfte der Datenbits parallel in das Speicherzellenfeld zu schreiben. [Fig. 6](#) stellt zudem Verfahren zum Betreiben eines integrierten Speicherschaltungsbausteins **400** gemäß verschiedenen Ausführungsformen der vorliegenden Erfindung dar, die seriell die doppelte Anzahl der Mehrzahl von Datenbits von einem externen Anschluss **426** empfangen, die empfangenen Datenbits in einer Mehrzahl von Schreibda-

tenpuffern **422** speichern, eine erste Hälfte der Datenbits von den Schreibdatenpuffern **422** parallel in das Speicherzellenfeld **410** schreiben und dann eine zweite Hälfte der Datenbits von den Schreibdatenpuffern **422** parallel in das Speicherzellenfeld **410** schreiben.

[0058] [Fig. 7](#) und [Fig. 8](#) sind Blockschaltbilder eines Schreibdatenpfades gemäß verschiedener Ausführungsformen der vorliegenden Erfindung. Die Ausführungsformen aus [Fig. 7](#) werden hier auch als erste Ausführungsbeispiele der Erfindung bezeichnet und werden im Zusammenhang mit den [Fig. 9](#) bis [12](#) im Detail beschrieben. Die Ausführungsformen aus [Fig. 8](#) werden hier auch als zweite Ausführungsbeispiele der Erfindung bezeichnet und werden im Zusammenhang mit den [Fig. 15](#) und [Fig. 21](#) detaillierter beschrieben.

[0059] Wie aus [Fig. 7](#) ersichtlich ist, umfasst der Schreibdatenpfad **420'** dieser Ausführungsformen erste und zweite Seriell-Parallel-Wandler **430a**, **430b**, die mit dem externen Anschluss **426** über die Leitung **428** verbunden sind. N erste globale Datenleitungen **434a** und N zweite globale Datenleitungen **434b** werden zur Verfügung gestellt. Die 2N Schreibdatenpuffer **422** aus [Fig. 6](#) umfassen N erste Schreibdatenpuffer **432a** und N zweite Schreibdatenpuffer **432b**. Überdies umfassen die 2N Schalter **424** aus [Fig. 6](#) N erste Schalter **436a** und N zweite Schalter **436b**. Wie aus [Fig. 7](#) ersichtlich ist, sind die N ersten Schreibdatenpuffer **432a** mit dem ersten Seriell-Parallel-Wandler **430a** verbunden und je eine der N ersten globalen Datenleitungen **434a** ist zwischen einem entsprechenden der N ersten Schalter **436a** und einem entsprechenden der ersten Schreibdatenpuffer **432a** eingeschleift. Analog sind die N zweiten Schreibdatenpuffer **432b**, wie in [Fig. 7](#) dargestellt ist, mit dem zweiten Seriell-Parallel-Wandler **430b** verbunden und je eine der N zweiten globalen Datenleitungen **434b** ist zwischen einem entsprechenden der N zweiten Schalter **436b** und einem entsprechenden der zweiten Schreibdatenpuffer **432b** eingeschleift. Schließlich sind, wie ebenfalls in [Fig. 7](#) dargestellt ist, die N Datenleitungen **412** aus [Fig. 6](#) N lokale Datenleitungen **438**. Je eine der N lokalen Datenleitungen **438** ist zwischen einem entsprechenden der N ersten Schalter **436a**, einem entsprechenden der N zweiten Schalter **436b** und dem Speicherzellenfeld **410** eingeschleift.

[0060] Wie weiter aus [Fig. 7](#) ersichtlich ist, werden in Funktion die erste Hälfte der Datenbits vom externen Anschluss **426** empfangen und im ersten Seriell-Parallel-Wandler **430a** gespeichert und die zweite Hälfte der Datenbits, die seriell vom externen Anschluss **426** empfangen werden, werden vom zweiten Seriell-Parallel-Wandler **430b** empfangen. Die erste Hälfte der Datenbits wird in einem ersten Satz von Schreibdatenpuffern **432a** gespeichert und die

zweite Hälfte der Datenbits wird in einem zweiten Satz von Schreibdatenpuffern **432b** gespeichert. Über einen gemeinsamen Satz von lokalen Datenleitungen **438** werden dann die erste Hälfte der Datenbits von den ersten Schreibdatenpuffern **432a** in das Speicherzellenfeld **410** geschrieben und die zweite Hälfte der Datenbits werden von den zweiten Schreibdatenpuffern **432b** in das Speicherzellenfeld **410** geschrieben.

[0061] [Fig. 8](#) ist ein Blockschaltbild von Schreibdatenpfaden gemäß anderer Ausführungsformen der vorliegenden Erfindung, die auch als zweite Ausführungsbeispiele der Erfindung bezeichnet werden. Wie aus [Fig. 8](#) ersichtlich ist, umfassen diese Schreibdatenpfade **420''** einen Seriell-Parallel-Wandler **440**, der mit dem externen Anschluss **426** verbunden ist. N erste Schreibdatenpuffer **442a** und N zweite Schreibdatenpuffer **442b** werden zur Verfügung gestellt. Überdies werden N erste Schalter **446a** und N zweite Schalter **446b** zur Verfügung gestellt. Die N ersten Schreibdatenpuffer **442a** sind mit dem Seriell-Parallel-Wandler **440** verbunden und je einer der N ersten Schreibdatenpuffer **442a** ist mit einem entsprechenden der N ersten Schalter **446a** verbunden. Überdies ist je einer der N zweiten Schreibdatenpuffer **442b** mit einem entsprechenden der N ersten Schalter **446a** verbunden. Je eine der N globalen Datenleitungen **444** ist zwischen einem entsprechenden der N zweiten Schalter **446b** und einem entsprechenden der N zweiten Schreibdatenpuffer **442b** eingeschleift. Schließlich ist je eine der N lokalen Datenleitungen **448** zwischen einem entsprechenden der N zweiten Schalter **446b** und dem Speicherzellenfeld **410** eingeschleift.

[0062] [Fig. 8](#) zeigt weiter Betriebsverfahren für diese Ausführungsformen der vorliegenden Erfindung, bei denen eine erste Hälfte der Datenbits seriell vom externen Anschluss **426** empfangen und dann seriell eine zweite Hälfte der Datenbits vom externen Anschluss **426** empfangen werden. Die erste Hälfte der Datenbits wird in dem ersten Satz von Schreibdatenpuffern **442a** gespeichert und vom ersten Satz der Schreibdatenpuffer **442a** über die N ersten Schalter **446a** in den zweiten Satz von Schreibdatenpuffern **442b** verschoben, während die zweite Hälfte der Datenbits im ersten Satz der Schreibdatenpuffer **442a** gespeichert wird. Die erste Hälfte der Datenbits wird vom zweiten Satz der Schreibdatenpuffer **442b** über die N zweiten Schalter **446b** in das Speicherzellenfeld **410** geschrieben. Die zweite Hälfte der Datenbits wird vom ersten Satz der Schreibdatenpuffer **442a** über die N ersten Schalter **446a** in den zweiten Satz von Schreibdatenpuffern **442b** verschoben und dann über die N zweiten Schalter **446b** in das Speicherzellenfeld **410** geschrieben. Entsprechend zeigt [Fig. 8](#) ein Pipelineverfahren von Schreibdaten, bei dem 2N Datenbits im Schreibpfad **420''** gespeichert werden und N Bits parallel in das Speicherzellenfeld **410** ge-

schrieben werden.

[0063] [Fig. 9A](#) und [Fig. 9B](#) zeigen detailliertere Blockschaltbilder von integrierten Speicherschaltungsbausteinen gemäß einiger Ausführungsbeispiele der vorliegenden Erfindung, die hier auch als erste Ausführungsbeispiele der Erfindung bezeichnet werden und im Wesentlichen in [Fig. 7](#) dargestellt wurden. [Fig. 9A](#) und [Fig. 9B](#) zeigen Ausführungsformen zum Implementieren eines 8-Bit-Vorabrufbetriebs mit einem Schema mit Bündellänge vier (BL = 4). Es versteht sich jedoch für den Fachmann, dass andere Ausführungsformen auch größere oder kleinere Vorabrufschemas verwenden können. Wie ebenfalls aus [Fig. 9A](#) und [Fig. 9B](#) ersichtlich ist, werden trotz des Vorhandenseins des 8-Bit-Vorabrufbetriebs acht globale Datenleitungen GDL_0 bis GDL_7, aber nur vier lokale Bitleitungen LDL_0 bis LDL3 benutzt. Entsprechend verkleinert sich die Layoutfläche des Speicherbausteins beispielsweise im Vergleich zu den in [Fig. 5](#) dargestellten, obwohl ein 8-Bit-Vorabrufbetrieb ausgeführt wird.

[0064] Wie aus [Fig. 9A](#) ersichtlich ist, wird eine Bündellänge von acht (BL8) von einem Modusregistersatz MRS ausgewählt und acht Bits der Eingabedaten, die mit der BL8 korrespondieren, werden seriell in einem Puffer 502 empfangen. Das erste Bit der Eingabedaten, das vom Puffer 502 erzeugt wird, wird einem ersten Zwischenspeicher 511 einer ersten Eingabedatenzwischenspeicherschaltung 512 in Reaktion auf die ansteigende Flanke des ersten internen Datenabtastsignals PDS gespeichert. Das zweite Bit der Eingabedaten wird in einem zweiten Zwischenspeicher 513 der ersten Eingabedatenzwischenspeicherschaltung 512 in Reaktion auf die abfallende Flanke des ersten internen Datenabtastsignals PDS gespeichert. Nachdem die beiden Eingabedatenbits in der ersten Eingabedatenzwischenspeicherschaltung 512 gespeichert sind, werden die ersten Eingabedaten im ersten Zwischenspeicher 511 und die zweiten Eingabedaten im zweiten Zwischenspeicher 513 gleichzeitig in einen dritten Zwischenspeicher 515 bzw. einen vierten Zwischenspeicher 517 eines Parallelwandlers 514 in Reaktion auf ein zweites internes Datenabtastsignal PDSP übertragen, das von der ersten abfallenden Flanke des Signals PDS erzeugt wird.

[0065] Wie weiter aus [Fig. 9A](#) ersichtlich ist, wird dann das dritte Eingabedatenbit im ersten Zwischenspeicher 511 der ersten Eingabedatenzwischenspeicherschaltung 512 in Reaktion auf die zweite ansteigende Flanke des ersten internen Datenabtastsignals PDS gespeichert und das vierte Eingabedatenbit wird im zweiten Zwischenspeicher 513 der ersten Eingabedatenzwischenspeicherschaltung 512 in Reaktion auf die zweite abfallende Flanke des Signals PDS gespeichert. Hierbei werden das dritte Eingabedatenbit und das vierte Eingabedatenbit zu einem

Knoten P1 bzw. einem Knoten P4 des Parallelwandlers 514 in Reaktion auf die zweite ansteigende bzw. die zweite abfallende Flanke des Signals PDS übertragen. Daher werden vier Bits von seriellen Eingabedaten in vier Bits von parallelen Eingabedaten umgewandelt, wie durch die Bezugszeichen P1 bis P4 im Parallelwandler 514 dargestellt ist. Dann gibt die parallele Datenausgabe 516 die vier Bit Eingabedaten an eine Datenanordnungsschaltung 520 aus. Die Datenanordnungsschaltung bestimmt die Ausgabereihenfolge der vier Bit parallelen Eingabedaten. Es versteht sich jedoch, dass manche Ausführungsformen der vorliegenden Erfindung keine Datenanordnungsschaltung 520 benutzen. Die vier Bit parallelen Daten P1 bis P4 werden jeweils in entsprechenden Schreibdatenpuffern 532, 534, 536, 538 in Reaktion auf ein erstes Schreibsteuersignal WDBICS gespeichert, das an eine Mehrzahl von Schreibschaltern (WSW) 522 bis 528 angelegt wird. Das erste Schreibsteuersignal WDBICS wird von einem Datenabtastzähler erzeugt, wie in Verbindung mit [Fig. 10](#) beschrieben wird.

[0066] Weiter mit der Beschreibung von [Fig. 9A](#) fortsetzend, wird das fünfte vom Puffer 502 erzeugte Eingabedatenbit in einem fünften Zwischenspeicher 611 einer zweiten Eingabedatenzwischenspeicherschaltung 612 in Reaktion auf die ansteigende Flanke des vierten internen Datenabtastsignals PDS' gespeichert. Das sechste Bit der Eingabedaten wird in einem sechsten Zwischenspeicher 613 der zweiten Eingabedatenzwischenspeicherschaltung 612 in Reaktion auf die abfallende Flanke des vierten internen Datenabtastsignals PDS' gespeichert. Nachdem das fünfte und sechste Eingabedatenbit in der Eingabedatenzwischenspeicherschaltung 612 gespeichert sind, werden das fünfte und sechste Eingabedatenbit im fünften bzw. sechsten Zwischenspeicher 611 und 613 gleichzeitig in einen siebten Zwischenspeicher 615 bzw. einen achten Zwischenspeicher 617 des Parallelwandlers 614 in Reaktion auf ein fünftes internes Datenabtastsignal (PDSP') übertragen, das von der ersten abfallenden Flanke des Signals PDS' erzeugt wird.

[0067] Dann wird das siebte Eingabedatenbit im fünften Zwischenspeicher 611 in Reaktion auf die zweite ansteigende Flanke des vierten internen Datenabtastsignals (PDS') gespeichert und das achte Eingabedatenbit wird im sechsten Zwischenspeicher 613 in Reaktion auf die zweite abfallende Flanke des Signals PDS' gespeichert. Hierbei werden das siebte und achte Eingabedatenbit zu einem Knoten P1' bzw. einem Knoten P4' des Parallelwandlers 614 in Reaktion auf die zweite ansteigende bzw. die zweite abfallende Flanke des Signals PDS' übertragen. Daher werden die fünften bis achten seriell empfangenen Bits in fünfte bis achte parallele Bits P1' bis P4' umgewandelt. Die parallele Datenausgabe 616 gibt die vier Bit paralleler Eingabedaten an eine Datenanord-

nungsschaltung **620** aus, welche die Ausgabenreihenfolge der vier Bit paralleler Eingabedaten bestimmen kann. Wie oben bereits ausgeführt ist, benutzen manche Ausführungsformen eventuell keine Datenanordnungsschaltung **620**.

[0068] Die vier Bit paralleler Daten werden dann in einer Mehrzahl von Schreibdatenpuffern **632** bis **638** in Reaktion auf ein zweites Schreibsteuersignal WD-BICS' gespeichert. Das zweite Schreibsteuersignal WDBICS' kann von einem Datenabtastzähler erzeugt werden, wie er in Verbindung mit [Fig. 10](#) beschrieben wird. Entsprechend werden acht Bits von seriell empfangenen Daten in acht Bits von parallelen Daten umgewandelt und in acht Schreibdatenpuffern **532** bis **538** und **632** bis **638** gespeichert.

[0069] Entsprechend den Ausführungsformen der Erfindung, die im Zusammenhang mit [Fig. 9A](#) beschrieben wurden, reagiert ein erster Seriell-Parallel-Wandler **510** auf einen ersten Satz von internen Datenabtastsignalen, wie die Signale PDS, PDSP und PDSN, und ein zweiter Seriell-Parallel-Wandler **610** reagiert auf einen zweiten Satz von internen Datenabtastsignalen, beispielsweise die Signale PDS', PDSP' und PDSN'. Im Gegensatz dazu reagieren, nunmehr auf [Fig. 9B](#) bezugnehmend, ein erster Seriell-Parallel-Wandler **510'** und ein zweiter Seriell-Parallel-Wandler **610'** beide auf einen gleichen Satz von internen Datenabtastsignalen, wie die Signale PDS, PDSP und PDSN.

[0070] Die Vorgänge zu den [Fig. 9A](#) und [Fig. 9B](#) können dann identisch verlaufen, wie nachfolgend beschrieben wird. Insbesondere werden, nachdem die acht Bits von seriell eingegebenen Daten in acht Schreibdatenpuffern gespeichert sind, die ersten vier Bits der parallelen Eingabedaten, die im ersten Satz von Schreibdatenpuffern **532** bis **538** gespeichert sind, zu entsprechenden lokalen Datenleitungen LDL_0 bis LDL_3 übertragen und die Bitleitungen BL des Speicherzellenfeldes **560** werden in die ausgewählten Speicherzellen geschrieben, in Reaktion auf ein erstes Schaltsignal CICS, das an eine Mehrzahl von Steuerschaltern (CSW) **542** bis **548** angelegt wird, und ein Spaltenauswahlleitungssignal (CSL-Signal), das an eine Spaltenauswahlleitung **550** angelegt wird. Danach wird die zweite Hälfte der 4-Bit an parallelen Eingabedaten, die im zweiten Satz der Schreibdatenpuffer **632** bis **638** gespeichert sind, ebenfalls zu entsprechenden lokalen Datenleitungen LDL_0 bis LDL_3 in Reaktion auf das zweite Schaltsignal CICS' übertragen, das an einen zweiten Satz von Steuerschaltern (CSW) **642** bis **648** angelegt wird.

[0071] Wie hier benutzt, können die CSW **542** bis **548** auch als erste Schalter und die CSW **642** bis **648** auch als zweite Schalter bezeichnet werden. Überdies können die WSW **522** bis **528** hier auch als dritte

Schalter und die WSW **622** bis **628** auch als vierte Schalter bezeichnet werden.

[0072] Entsprechend werden, wie in den [Fig. 9A](#) und [Fig. 9B](#) dargestellt ist, bei diesen Ausführungsformen der vorliegenden Erfindung zusammen mit acht globalen Datenleitungen GDL_0 bis GDL_7 nur vier lokale Datenleitungen LDL_0 bis LDL_3 benutzt. Die Layoutfläche der integrierten Schaltung kann verglichen mit einem herkömmlichen Schreibdatenpfad verkleinert werden, der für einen 8-Bit-Vorabruf acht globale Datenleitungen und acht lokale Datenleitungen benutzt.

[0073] [Fig. 10](#) ist ein Blockschaltbild zur Darstellung der Erzeugung des ersten Schreibsteuersignals WD-BICS und des zweiten Schreibsteuersignals WDBICS' gemäß einigen Ausführungsformen der vorliegenden Erfindung. Wie aus [Fig. 10](#) ersichtlich ist, können die Schreibsteuersignale durch einen Puffer **710**, der auf das erste Datenabtastsignal PDS reagiert, und einen Datenabtastzähler **720** erzeugt werden, der auf den Puffer **710** reagiert, um die Anzahl der ansteigenden und abfallenden Flanken des ersten Datenabtastsignals PDS zu zählen und das erste Schreibsteuersignal WDBICS von der zweiten abfallenden Flanke des Datenabtastsignals und das zweite Schreibsteuersignal WDBICS' von der vierten abfallenden Flanke des Datenabtastsignals zu erzeugen. Die Signale PDSN und PDSN' können auch durch diese Ausführungsformen erzeugt werden.

[0074] [Fig. 11](#) ist ein Blockschaltbild zur Darstellung der Erzeugung von Schaltsignalen gemäß verschiedenen Ausführungsformen der Erfindung, die in [Fig. 9](#) dargestellt sind. Wie aus [Fig. 11](#) ersichtlich ist, können die Schaltsignale durch Benutzung eines Befehlsdecoders **1104** erzeugt werden, der auf das Chipauswahlsignal /CS und das Funktionssignal FN reagiert und der ein Aktivbefehlssignal ACT, ein Lesebefehlssignal RDA und ein Schreibbefehlssignal WRA erzeugt. Eine Steuersignalerzeugungsschaltung **1110** ist ausgeführt, um das erste und zweite Schaltsignal CICS, CSCS' in Reaktion auf das Schreibbefehlssignal innerhalb eines vorbestimmten Zeitintervalls zu erzeugen.

[0075] Wie weiter aus [Fig. 11](#) ersichtlich ist, kann in anderen Ausführungsformen der vorliegenden Erfindung der Befehlsdecoder **1104** wie im gestrichelt dargestellten Teil **1104'** ausgeführt sein, um auch einen Modusrücksetzbefehl und einen Auffrischungsbefehl REF in Reaktion auf das Chipauswahlsignal und das Funktionssignal zu erzeugen, die dem Befehlsdecoder **1104** zur Verfügung gestellt werden.

[0076] [Fig. 12A](#) und [Fig. 12B](#) sind Zeitablaufdiagramme zur Darstellung von Vorgängen, die bei einem 8-Bit-Vorabrufbetrieb gemäß Ausführungsformen der vorliegenden Erfindung, die zu den [Fig. 7](#)

und [Fig. 9A](#) bis [Fig. 11](#) beschrieben wurden, ausführbar sind. Insbesondere zeigt [Fig. 12A](#) ein Zeitablaufdiagramm für [Fig. 9A](#) und [Fig. 12B](#) ein Zeitablaufdiagramm für [Fig. 9B](#). Diese Zeitablaufdiagramme zeigen verschiedene Steuersignale, die zu diesen Figuren beschrieben wurden, und auch Abläufe der oben beschriebenen Schreibdatenpuffer **532** bis **538** und **632** bis **638**. Als Kontrast zeigen [Fig. 13](#) bis [Fig. 14](#) Zeitablaufdiagramme zur Darstellung eines 4-Bit-Vorabrufbetriebs in einem FCD RAM, wie er oben in Verbindung mit [Fig. 3](#) beschrieben ist, und eines 4-Bit-Vorabrufs in einem synchronen DRAM mit doppelter Datenrate (DDRSDRAM).

[0077] In [Fig. 13](#) werden vier Eingabedatenbits in eine Adresse „0000“ der korrespondierenden Speicherzellen nach Empfang des nächsten Schreibbefehls WR1 geschrieben, statt in Reaktion auf den vorherigen Schreibbefehl WR0. Daher werden die Eingabedaten in die Speicherzelle in Reaktion auf einen nächsten Befehl WR1 in der nächsten Periode CYC#2 nach dem Speichern in einen Schreibdatenpuffer in der vorangegangenen Periode CYC#1 geschrieben.

[0078] In [Fig. 14](#) werden vier Eingabedatenbits zum Schreiben eines Werts „0000“ in den DDRSDRAM in die korrespondierende Speicherzelle in Reaktion auf den korrespondierenden Schreibbefehl WR0 geschrieben, statt in Reaktion auf den nächsten Schreibbefehl WR1, wie es in [Fig. 13](#) dargestellt ist. Im DDRSDRAM ist ein Schreibdatenpuffer nicht enthalten, so dass Eingabedaten direkt in die Speicherzelle ohne Speicherung in einem Schreibdatenpuffer geschrieben werden.

[0079] [Fig. 15](#) ist ein detaillierteres Blockschaltbild von Ausführungsformen der vorliegenden Erfindung, die allgemein zu [Fig. 8](#) beschrieben wurden und auch als zweite Ausführungsbeispiele der vorliegenden Erfindung bezeichnet werden können. Wie in [Fig. 8](#) gezeigt wurde, wird in diesen Ausführungsformen eine Pipelineanordnung im Schreibdatenpfad verwendet, so dass nur N globale Datenleitungen und N lokale Datenleitungen in einem 2N-Schreibdatenpfad benutzt werden. Daher kann die Anzahl von globalen Datenleitungen und die Anzahl von lokalen Datenleitungen verglichen mit einem herkömmlichen Schreibdatenpfad reduziert werden.

[0080] Insbesondere ist der Schreibdatenpfad **700** aus [Fig. 15](#) als Pipelinestufe ausgeführt, die einen Seriell-Parallel-Wandler **510**, wie er z. B. bereits im Zusammenhang mit [Fig. 9](#) beschrieben wurde, eine optionale Datenanordnungsschaltung **520**, erste Schalter **722** bis **728**, erste Schreibdatenpuffer **732** bis **738**, zweite Schalter **742** bis **748**, zweite Schreibdatenpuffer **752** bis **758** und dritte Schalter **762** bis **768** umfasst. Wie aus [Fig. 15](#) ersichtlich ist, können diese Ausführungsformen über weniger Datenleitun-

gen als beispielsweise Ausführungsformen aus [Fig. 9](#) verfügen, da die Anzahl von globalen Datenleitungen GDL0 bis GDL3 identisch zu einem 4-Bit-Vorabrufschema sein kann und die Anzahl von lokalen Datenleitungen LDL0 bis LDL3 ebenfalls identisch zu einem 4-Bit-Vorabrufschema sein kann. Die Layoutfläche des Speicherbausteins kann dadurch verkleinert werden.

[0081] Wie weiter aus [Fig. 15](#) ersichtlich ist, werden acht Eingabedatenbits korrespondierend zu BL8 seriell im Puffer **502** empfangen. Die ersten vier Bits der seriellen Eingabedaten werden in vier Bits von parallelen Eingabedaten in der Paralleldatenausgabeschaltung **510** umgewandelt und die ersten vier Bits der parallelen Eingabedaten werden der optionalen Datenanordnungsschaltung **520** zur Verfügung gestellt. Die Datenanordnungsschaltung **520** kann die Ausgabereihenfolge der vier Bit paralleler Eingabedaten bestimmen. Die ersten vier Bits der parallelen Daten werden dann in den ersten Schreibdatenpuffern **732** bis **738** in Reaktion auf ein erstes Schreibsteuersignal WDBICS gespeichert, welches an Schreibschalter (WSW) **722** bis **728** angelegt wird. Gleichzeitig werden die zweiten vier Bits der seriellen Eingabedaten ebenfalls in vier Bits von parallelen Eingabedaten in der Paralleldatenausgabeschaltung **510** umgewandelt und dann der Datenanordnungsschaltung **520** zur Verfügung gestellt, wenn vorhanden.

[0082] Dann werden die ersten vier Bits von parallelen Eingabedaten, die in den ersten Schreibdatenpuffern **732** bis **738** gespeichert sind, in Reaktion auf ein zweites Schreibsteuersignal WDBICS', das an Schreibschalter (WSW) **742** bis **748** angelegt wird, in den zweiten Schreibdatenpuffern **752** bis **758** gespeichert. Gleichzeitig wird die zweite Gruppe von vier parallelen Datenbits aus der Datenanordnungsschaltung **500** ebenfalls in den ersten Schreibdatenpuffer **732** bis **738** in Reaktion auf eine zweite Aktivierung des ersten Schreibsteuersignals WDBICS gespeichert. Somit werden die ersten vier Bits und die zweiten vier Bits paralleler Eingabedaten sequentiell in das Speicherzellenfeld **560** übertragen und in die ausgewählten Speicherzellen in Reaktion auf eine Mehrzahl von Signalen WDBICS, WDBICS', CICS und CSL geschrieben. Wie aus [Fig. 15](#) ersichtlich ist, werden die Signale WDBICS, WDBICS', CICS und CSL zweifach für die ersten vier Bits und die zweiten vier Bits freigegeben, um den Pipelinebetrieb zur Verfügung zu stellen.

[0083] Vorladesteuerschaltungen gemäß verschiedener Ausführungsformen der vorliegenden Erfindung werden nun beschrieben. Diese Vorladeschaltungen können in Verbindung mit den Ausführungsformen der [Fig. 6](#) bis [Fig. 12](#) und [Fig. 15](#) benutzt werden, um eine Wortleitung des Speicherzellenfeldes für eine ausreichende Zeitspanne zu aktivieren, um 2N

Datenbits in das Speicherzellenfeld als zwei Gruppen von N parallelen Bits zu schreiben. Zur Erläuterung von Vorladesteuerschaltungen gemäß verschiedenen Ausführungsformen der Erfindung werden zuerst herkömmliche Vorladesteuerschaltungen in Verbindung mit [Fig. 16](#) beschrieben.

[0084] [Fig. 16](#) ist ein Zeitablaufdiagramm einer herkömmlichen Vorladesteuerschaltung, wie sie z. B. im Zusammenhang mit [Fig. 13](#) benutzt werden kann. Wie aus [Fig. 16](#) ersichtlich ist, wird, um die Wortleitung so zu aktivieren, dass alle Eingabedaten D0, D1, D2 und D3 in die korrespondierende Speicherzelle unter Verwendung eines 4-Bit-Vorabrufschemas geschrieben werden können, die Wortleitung für eine Zeitspanne T_0 freigegeben.

[0085] [Fig. 17](#) zeigt eine Darstellung einer herkömmlichen Technik zur Freigabe einer Wortleitung in einem 8-Bit-Vorabrufschema, wie es beispielsweise im Zusammenhang mit [Fig. 5](#) beschrieben wurde. Da in [Fig. 17](#) acht Bits parallel in dem 8-Bit-Vorabrufschema aus [Fig. 5](#) geschrieben werden, ist die Zeitspanne T_0 , die für das 4-Bit-Vorabrufschema aus [Fig. 16](#) benutzt wird, auch lang genug, um acht Eingabedatenbits in die Speicherzelle mit dem 8-Bit-Vorabrufschema zu schreiben. Dies liegt daran, dass die acht Eingabedatenbits in [Fig. 5](#) in parallele Eingabedaten umgewandelt werden und dann gleichzeitig in korrespondierende Speicherzellen geschrieben werden, wie aus [Fig. 5](#) ersichtlich ist.

[0086] [Fig. 18](#) zeigt, dass ein Vorabrufschema aus [Fig. 16](#) und [Fig. 17](#) nicht für Ausführungsformen der vorliegenden Erfindung benutzt werden sollte. Insbesondere wird, wie aus [Fig. 18](#) ersichtlich ist, wenn die gleiche Vorabrufzeit T_0 für Ausführungsformen der vorliegenden Erfindung benutzt wird, die zweite Hälfte der Datenbits eventuell nicht in das Speicherzellenfeld geschrieben. In anderen Worten ausgedrückt, die Eingabedatenbits D4 bis D7 können fehlen. Gemäß Ausführungsformen der vorliegenden Erfindung aktiviert eine Vorladesteuerschaltung eine Wortleitung eines Speicherzellenfeldes für eine ausreichende Zeitspanne, um die $2N$ Datenbits als zwei Gruppen von N parallelen Bits in das Speicherzellenfeld zu schreiben.

[0087] Insbesondere ist, wie aus [Fig. 18](#) ersichtlich ist, die Zeitspanne T_0 , die mit einem 4-Bit-Vorabrufschema benutzt wird, eventuell nicht lang genug, um acht Eingabedatenbits in das Speicherzellenfeld gemäß Ausführungsformen der vorliegenden Erfindung zu schreiben. Dies liegt daran, dass in einigen Ausführungsformen der Erfindung nicht acht Eingabedatenbits gleichzeitig in die Speicherzellen geschrieben werden, wie bereits erläutert. Anders ausgedrückt, es werden acht serielle Eingabedatenbits in zwei Gruppen aufgeteilt (eine erste Gruppe und eine zweite Gruppe). Die erste Gruppe von vier seriell eingege-

benen Datenbits wird in vier parallele Datenbits umgewandelt. Danach werden die ersten vier Datenbits parallel in das Speicherzellenfeld geschrieben und dann die zweiten vier Datenbits parallel in das Speicherzellenfeld geschrieben. Gemäß einigen Ausführungsformen der vorliegenden Erfindung kann die Freigabezeit einer Wortleitung entsprechend der Bündellänge (BL4, BL8) angepasst werden.

[0088] [Fig. 19](#) ist ein schematisches Blockdiagramm einer Vorladesteuerschaltung, welche eine Wortleitung eines Speicherzellenfeldes für eine ausreichende Zeitspanne aktiviert, um $2N$ Datenbits in zwei Gruppen von N parallelen Bits in das Speicherzellenfeld zu schreiben, gemäß verschiedenen Ausführungsformen der vorliegenden Erfindung. Wie aus [Fig. 19](#) ersichtlich ist, aktiviert eine Vorladesteuerschaltung **1900** eine Wortleitung eines Speicherzellenfeldes für eine ausreichende Zeitspanne, um die $2N$ Datenbits in zwei Gruppen von N parallelen Bits in einem ersten Vorlademodus des integrierten Speicherschaltungsbausteins in das Speicherzellenfeld zu schreiben. Die Vorladesteuerschaltung **1900** aktiviert die Wortleitung des Speicherzellenfeldes für eine ausreichende Zeitspanne, um die N Datenbits als eine Gruppe von N parallelen Bits in einem zweiten Vorlademodus des integrierten Speicherschaltungsbausteins in das Speicherzellenfeld zu schreiben.

[0089] Insbesondere gibt, wie aus [Fig. 19](#) ersichtlich ist, die Vorladesteuerschaltung **1900** ein Vorladesteuersignal AP nach dem Empfang von Bündellängensignalen BI-1, BL-2 und eines Vorladebefehlssignals AP_CMD aus, das von einem Befehlsdecoder **1904** erzeugt wird. Der Befehlsdecoder **1904** kann auf externe Befehlssignale /CS und FN und externe Taktsignale CLK, /CLK reagieren. Wird der Speicherbaustein beispielsweise mit einem 4-Bit-Vorabrufschema betrieben (BL4 ist ausgewählt), dann ist BL-1 freigegeben. Analog ist, wenn der Speicherbaustein beispielsweise mit einem 8-Bit-Vorabrufschema betrieben wird (BL8 ist ausgewählt), gemäß Ausführungsbeispielen der vorliegenden Erfindung BL-2 freigegeben.

[0090] Wie aus [Fig. 19](#) ersichtlich ist, ist die Verzögerungszeit DT1 für BL4 kleiner als die Verzögerungszeit DT2 für BL8. Dementsprechend stellt eine erste Verzögerungsschaltung **1910** eine erste Verzögerungszeit DT1 zur Verfügung, die relativ kurz ist, und eine zweite Verzögerungsschaltung **1920** stellt eine Verzögerungszeit DT2 zur Verfügung, die relativ lang ist. In einigen Ausführungsformen kann DT1 3,5 Taktperioden lang sein, während DT2 5,5 Taktperioden lang sein kann. Eine Kombinationsschaltung **1930** erzeugt das Vorladesteuersignal AP von der ersten oder zweiten Verzögerungsschaltung **1910** oder **1920**. Entsprechend wird das Vorladesteuersignal AP für BL4 schneller aktiviert als das Vorladesteu-

ersignal AP für BL8, um die freigegebene Wortleitung zu deaktivieren. Daher ist die WL-Freigabezeit für BL8 verglichen mit T0 aus [Fig. 18](#) erhöht.

[0091] Wie aus [Fig. 13](#) ersichtlich ist, kann die Wortleitungsfreigabezeit für BL4 ungefähr 3,5 Taktperioden sein. Im Gegensatz dazu kann, wie aus [Fig. 12](#) ersichtlich ist, die Wortleitungsfreigabezeit für BL8 ungefähr 5,5 Taktperioden lang sein. In einigen Ausführungsformen kann der Modusregistersatz ausgeführt sein, um den ersten oder zweiten Vorlademodus auszuwählen, und die Vorladesteuerschaltung **1900** kann auf den Modusregistersatz reagieren.

[0092] Zusätzliche Details der Schreibdatenpuffer gemäß verschiedener Ausführungsformen der vorliegenden Erfindung werden nun zur Verfügung gestellt. Insbesondere ist, wie aus [Fig. 20](#) ersichtlich ist, wenigstens einer der Schreibdatenpuffer, wie beispielsweise die Schreibdatenpuffer aus [Fig. 6](#) bis 9 und [Fig. 15](#), in [Fig. 20](#) dargestellt. Diese Schreibdatenpuffer **2010** umfassen einen Adressenzwischenspeicher **2012**, der ausgeführt ist, um Schreibadressen zwischenzuspeichern. Ein Adressenkomparator **2014** ist ausgeführt, um eine aktuelle Adresse mit der im Adressenzwischenspeicher **2012** zwischengespeicherten Schreibadresse zu vergleichen. Ein Datenzwischenspeicher **2016** ist ausgeführt, um die Schreibdaten korrespondierend mit der Schreibadresse darin zwischenzuspeichern. In einigen Ausführungsformen ist die aktuelle Adresse eine Leseadresse und der integrierte Speicherschaltungsbaustein weiter ausgeführt, um Lesedaten an den externen Anschluss vom Datenzwischenspeicher **2016** statt vom Speicherzellenfeld auszugeben, wenn der Adressenkomparator **2014** feststellt, dass die Leseadresse mit der Schreibadresse übereinstimmt, die im Adressenzwischenspeicher **2012** zwischengespeichert ist. In anderen Ausführungsformen ist die aktuelle Adresse eine Leseadresse und der integrierte Speicherschaltungsbaustein ist weiter ausgeführt, um Lesedaten an den externen Anschluss vom Speicherzellenfeld auszugeben, wenn der Adressenkomparator **2014** feststellt, dass die Leseadresse nicht mit der Schreibadresse übereinstimmt, die im Adressenzwischenspeicher **2012** zwischengespeichert ist.

[0093] Insbesondere zeigt [Fig. 20](#) eine Datenlesestruktur und einen Datenlesevorgang und auch eine Datenschreibstruktur und einen Datenschreibvorgang gemäß verschiedenen Ausführungsformen der vorliegenden Erfindung. Wie dargestellt ist, umfasst ein Schreibdatenpuffer **2010** einen Adressenzwischenspeicher **2012**, einen Adressenkomparator **2014** und einen Datenzwischenspeicher **2016**. Der Adressenzwischenspeicher **2012** wird von einem Schreibbefehlssignal WR gesteuert, das von einem Befehlsdecoder, wie dem Befehlsdecoder **104**, angelegt wird, und speichert die Eingabeadresse, die vom Adressenpuffer **106** empfangen wird. Gleichzeitig

werden Eingabedaten, die mit der eingegebenen Adresse korrespondieren, im Datenzwischenspeicher **2016** gespeichert. Ein Adressenkomparator **2014** vergleicht eine aktuelle Eingabeadresse mit der im Adressenzwischenspeicher **2012** gespeicherten Eingabeadresse und gibt ein Adressenvergleichssignal ADCMP an einen DQ-Puffer **2020** aus. Ist die aktuelle Eingabeadresse die gleiche wie die gespeicherte Eingabeadresse, dann wird das Signal ADCMP aktiviert, beispielsweise auf einen hohen Pegel. Daher werden die im Datenzwischenspeicher **2016** gespeicherten Lesedaten an den DQ-Anschluss über das erste Übertragungsgatter **2022** ausgegeben. Unterscheidet sich jedoch die aktuelle Eingabeadresse von der gespeicherten Eingabeadresse **2612**, dann ist das Signal ADCMP deaktiviert. Unter diesen Umständen werden die im Speicherzellenfeld **560** gespeicherten Lesedaten an den DQ-Anschluss über das zweite Übertragungsgatter **2024** ausgegeben.

[0094] [Fig. 21](#) ist ein Zeitablaufdiagramm zur Darstellung von Lese-/Schreibvorgängen gemäß verschiedener Ausführungsformen der vorliegenden Erfindung, die beispielsweise in Verbindung mit [Fig. 15](#) und [Fig. 18](#) bis [Fig. 20](#) beschrieben wurden. Wie aus [Fig. 21](#) ersichtlich ist, wird das Pipelinespeicherverfahren von Datenbits während zweier Perioden CYC#1 und CYC#2 einschließlich des ausgedehnten Wortleitungsfreigabesignals ausgeführt. Überdies vergleicht, wie ebenfalls in [Fig. 21](#) dargestellt ist, wenn der Speicherbaustein einen Lesebefehl RD von einem Befehlsdecoder **104** empfängt, der Adressenkomparator **2014** aus [Fig. 20](#) die aktuelle Eingabeadresse (0001 RD-Befehlseingabe) mit der Eingabeadresse (0001 WR1-Befehlseingabe), die in den Adressenzwischenspeichern gespeichert ist. Da die gleiche Adresse vorliegt, werden die Lesedaten direkt von den Schreibdatenpuffern **532** bis **538** statt vom Speicherzellenfeld ausgegeben.

Patentansprüche

1. Integrierter Schaltungsbaustein mit
 - einem Speicherzellenfeld (**410**), das eine Mehrzahl von Speicherzellen umfasst, und
 - einem Schreibdatenpfad (**420**), der so ausgeführt ist, dass er 2N Datenbits seriell von einem externen Anschluss (**426**) empfängt, wobei der Schreibdatenpfad folgende Komponenten umfasst:
 - 2N Schreibdatenpuffer (**422**), die so ausgeführt sind, dass sie 2N Datenbits speichern,
 - 2N Schalter (**424**) und
 - N Datenleitungen (**412**), die so ausgeführt sind, dass sie wenigstens N der 2N Schalter mit dem Speicherzellenfeld verbinden, um N Datenbits parallel in das Speicherzellenfeld einzuschreiben.
2. Integrierter Schaltungsbaustein nach Anspruch 1, dadurch gekennzeichnet, dass der Schreibdatenpfad folgende Komponenten umfasst:

- einen ersten und einen zweiten Seriell-Parallel-Wandler (**430a**, **430b**), die mit dem externen Anschluss verbunden sind, und
- N erste globale Datenleitungen (**434a**) und N zweite globale Datenleitungen (**434b**),
- wobei die 2N Schreibdatenpuffer N erste Schreibdatenpuffer (**432a**) und N zweite Schreibdatenpuffer (**432b**) umfassen,
- wobei die 2N Schalter N erste Schalter (**436a**) und N zweite Schalter (**436b**) umfassen,
- wobei die N ersten Schreibdatenpuffer mit dem ersten Seriell-Parallel-Wandler verbunden sind und je eine der N ersten globalen Datenleitungen zwischen einem entsprechenden der N ersten Schalter und einem entsprechenden der N ersten Schreibdatenpuffer eingeschleift ist,
- wobei die N zweiten Schreibdatenpuffer mit dem zweiten Seriell-Parallel-Wandler verbunden sind und je eine der N zweiten globalen Datenleitungen zwischen einem entsprechenden der N zweiten Schalter und einem entsprechenden der N zweiten Schreibdatenpuffer eingeschleift ist,
- wobei die N Datenleitungen N lokale Datenleitungen (**438**) sind und
- wobei je eine der N lokalen Datenleitungen zwischen einem entsprechenden der N ersten Schalter, einem entsprechenden der N zweiten Schalter und dem Speicherzellenfeld eingeschleift ist.

3. Integrierter Schaltungsbaustein nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass der Schreibdatenpfad folgende Komponenten umfasst:

- eine erste und eine zweite Datenanordnungsschaltung (**520**, **620**), von denen je eine zwischen einem entsprechenden des ersten und zweiten Seriell-Parallel-Wandlers (**510**, **610**) und einem entsprechenden der N ersten Schreibdatenpuffer (**532**, **534**, **536**, **538**) und N zweiten Schreibdatenpuffer (**632**, **634**, **636**, **638**) eingeschleift ist.

4. Integrierter Schaltungsbaustein nach Anspruch 2 oder 3, dadurch gekennzeichnet, dass die N ersten Schalter auf ein erstes Steuersignal (CICS) und die N zweiten Schalter auf ein zweites Steuersignal (CICS') reagieren, das gegenüber dem ersten Steuersignal zeitlich verzögert ist.

5. Integrierter Schaltungsbaustein nach Anspruch 4, dadurch gekennzeichnet, dass das erste und zweite Steuersignal mit unterschiedlichen Verzögerungszeiten von einem Schreibaktivsignal (WRA) erzeugt werden.

6. Integrierter Schaltungsbaustein nach Anspruch 4 oder 5, gekennzeichnet durch:

- einen Befehlsdecoder (**1104**, **1104'**), der auf einen Chipauswahlbefehl (/CS) und einen Funktionsbefehl (FN) reagiert, um das Schreibaktivsignal (WRA) zu erzeugen, und
- eine Steuersignalgeneratorschaltung (**1110**), die

auf das Schreibaktivsignal reagiert und so ausgeführt ist, dass sie das erste und zweite Steuersignal (CICS, CICS') erzeugt.

7. Integrierter Schaltungsbaustein nach Anspruch 6, dadurch gekennzeichnet, dass der Befehlsdecoder weiter so ausgeführt ist, dass er einen Aktivbefehl (ACT) und einen Lesebefehl (RDA) in Reaktion auf den Chipauswahlbefehl (/CS) und den Funktionsbefehl (FN) erzeugt.

8. Integrierter Schaltungsbaustein nach Anspruch 6 oder 7, dadurch gekennzeichnet, dass der Befehlsdecoder (**1104'**) weiter so ausgeführt ist, dass er einen Lesebefehl (RDA), einen Auffrischungsbe- fehl (REF) und einen Modusrücksetzbe- fehl in Reaktion auf den Chipauswahlbefehl (/CS) und den Funktionsbefehl (FN) erzeugt.

9. integrierter Schaltungsbaustein nach einem der Ansprüche 2 bis 8, gekennzeichnet durch N dritte Schalter (**522**, **524**, **526**, **528**) und N vierte Schalter (**622**, **624**, **626**, **628**), wobei je einer der N dritten Schalter zwischen dem ersten Seriell-Parallel-Wandler und einem entsprechenden der N ersten Schreibdatenpuffer eingeschleift ist und je einer der N vierten Schalter zwischen dem zweiten Seriell-Parallel-Wandler und einem entsprechenden der N zweiten Schreibdatenpuffer eingeschleift ist.

10. Integrierter Schaltungsbaustein nach Anspruch 9, dadurch gekennzeichnet, dass die N dritten Schalter auf ein drittes Steuersignal (WDBICS) und die N vierten Schalter auf ein viertes Steuersignal (WDBICS') reagieren, das gegenüber dem dritten Steuersignal zeitlich verzögert ist.

11. Integrierter Schaltungsbaustein nach Anspruch 10, dadurch gekennzeichnet, dass das dritte und vierte Steuersignal von entsprechenden versetzten abfallenden Flanken eines Datenabtastsignals (PDS) erzeugt werden.

12. Integrierter Schaltungsbaustein nach Anspruch 11, gekennzeichnet durch einen Datenabtastzähler (**720**), der auf das Datenabtastsignal reagiert und so ausgeführt ist, dass er abfallende Flanken des Datenabtastsignals zählt und das dritte und vierte Steuersignal von entsprechenden versetzten abfallenden Flanken des Datenabtastsignals erzeugt.

13. Integrierter Schaltungsbaustein nach Anspruch 1, dadurch gekennzeichnet, dass der Schreibdatenpfad folgende Komponenten umfasst:

- die N Datenleitungen als lokale Datenleitungen (**448**),
- einen Seriell-Parallel-Wandler (**440**), der mit dem externen Anschluss verbunden ist, und
- globale Datenleitungen (**444**),
- wobei die 2N Schalter N erste Schalter und N zwei-

te Schalter umfassen und die 2N Schreibdatenpuffer N erste Schreibdatenpuffer (**446a**) und N zweite Schreibdatenpuffer (**446b**) umfassen, von denen die N ersten Schreibdatenpuffer mit dem Seriell-Parallel-Wandler verbunden sind und je einer mit einem entsprechenden der N ersten Schalter verbunden ist und je einer der N zweiten Schreibdatenpuffer mit einem entsprechenden der N ersten Schalter verbunden ist, und

– wobei je eine der N globalen Datenleitungen zwischen einem entsprechenden der N zweiten Schalter und einem entsprechenden der N zweiten Schreibdatenpuffer eingeschleift ist und je eine der N lokalen Datenleitungen zwischen einem entsprechenden der N zweiten Schalter und dem Speicherzellenfeld eingeschleift ist.

14. Integrierter Schaltungsbaustein nach Anspruch 13, dadurch gekennzeichnet, dass der Schreibdatenpfad eine Datenanordnungsschaltung (**520**) aufweist, die zwischen dem Seriell-Parallel-Wandler (**510**) und einem jeden der N ersten Schreibdatenpuffer (**732, 734, 736, 738**) eingeschleift ist.

15. Integrierter Schaltungsbaustein nach Anspruch 13 oder 14, gekennzeichnet durch N dritte Schalter (**722, 724, 726, 728**), von denen je einer zwischen dem Seriell-Parallel-Wandler (**510**) und einem entsprechenden der N ersten Schreibdatenpuffer (**732, 734, 736, 738**) eingeschleift ist.

16. Integrierter Schaltungsbaustein nach Anspruch 15, dadurch gekennzeichnet, dass die N dritten Schalter auf ein erstes Steuersignal (WDBICS) und die N ersten Schalter auf ein zweites Steuersignal (WDBICS') reagieren, das gegenüber dem ersten Steuersignal zeitlich verzögert ist.

17. Integrierter Schaltungsbaustein nach Anspruch 16, dadurch gekennzeichnet, dass das erste und zweite Steuersignal von entsprechenden versetzten abfallenden Flanken eines Datenabstastsignals (DS) erzeugt werden.

18. Integrierter Schaltungsbaustein nach Anspruch 1, gekennzeichnet durch eine Vorladesteuerschaltung (**1900**), die eine Wortleitung des Speicherzellenfeldes für eine ausreichende Zeitspanne aktiviert, um 2N Datenbits als zwei Gruppen von N parallelen Bits in das Speicherzellenfeld zu schreiben.

19. Integrierter Schaltungsbaustein nach Anspruch 18, dadurch gekennzeichnet, dass

- die Vorladesteuerschaltung eine Wortleitung des Speicherzellenfeldes für eine ausreichende Zeit aktiviert, um 2N Datenbits als zwei Gruppen von N parallelen Bits in das Speicherzellenfeld in einem ersten Vorlademodus des integrierten Schaltungsbausteins zu schreiben, und

- die Vorladesteuerschaltung eine Wortleitung des Speicherzellenfeldes für eine ausreichende Zeit aktiviert, um N Datenbits als eine Gruppe von N parallelen Bits in einem zweiten Vorlademodus des integrierten Schaltungsbausteins in das Speicherzellenfeld zu schreiben.

20. Integrierter Schaltungsbaustein nach Anspruch 19, gekennzeichnet durch einen Modusregistersatz, der so ausgeführt ist, dass er den ersten oder zweiten Vorlademodus auswählt, wobei die Vorladesteuerschaltung auf den Modusregistersatz reagiert.

21. Integrierter Schaltungsbaustein nach einem der Ansprüche 18 bis 20, dadurch gekennzeichnet, dass die Vorladesteuerschaltung folgende Komponenten umfasst:

- ein erstes Verzögerungselement (**1920**), das auf ein erstes Vorlademodussignal (BL-2) reagiert, wobei das erste Verzögerungselement eine erste Verzögerung aufweist und so ausgeführt ist, dass es die Wortleitung des Speicherzellenfeldes für ein ausreichende Zeit aktiviert, um 2N Datenbits als zwei Gruppen von N parallelen Bits in das Speicherzellenfeld zu schreiben, und

- ein zweites Verzögerungselement (**1910**), das auf ein zweites Vorlademodussignal (BL-1) reagiert, wobei das zweite Verzögerungselement eine zweite Verzögerung aufweist, die kürzer als die erste Verzögerung ist, und so ausgeführt ist, dass es die Wortleitung des Speicherzellenfeldes für ein ausreichende Zeit aktiviert, um N Datenbits als eine Gruppe von N parallelen Bits in das Speicherzellenfeld zu schreiben.

22. Integrierter Schaltungsbaustein nach einem der Ansprüche 1 bis 21, dadurch gekennzeichnet, dass der jeweilige Schreibdatenpuffer (**2010**) folgende Komponenten umfasst:

- einen Adressenzwischenspeicher (**2012**), der so ausgeführt ist, dass er eine Schreibadresse zwischenspeichert,

- einen Adressenkomparator (**2014**), der so ausgeführt ist, dass er eine aktuelle Adresse mit der im Adressenzwischenspeicher zwischengespeicherten Schreibadresse vergleicht, und

- einen Datenzwischenspeicher (**2016**), der so ausgeführt ist, dass er die Schreibdaten, die mit der Schreibadresse korrespondieren, zwischenspeichert.

23. Integrierter Schaltungsbaustein nach Anspruch 22, dadurch gekennzeichnet, dass die aktuelle Adresse eine Leseadresse ist, wobei der integrierte Schaltungsbaustein weiter so ausgeführt ist, dass er gelesene Daten an den externen Anschluss vom Datenzwischenspeicher statt vom Speicherzellenfeld ausgibt, wenn der Adressenkomparator feststellt, dass die Leseadresse mit der im Adressenzwischenspeicher zwischengespeicherten Schreibadresse

übereinstimmt.

24. Integrierter Schaltungsbaustein nach Anspruch 22, dadurch gekennzeichnet, dass die aktuelle Adresse eine Leseadresse ist, wobei der integrierte Schaltungsbaustein weiter so ausgeführt ist, dass er gelesene Daten vom Speicherzellenfeld an den externen Anschluss ausgibt, wenn der Adressenkomparator feststellt, dass die Leseadresse mit der im Adressenzwischenspeicher zwischengespeicherten Schreibadresse nicht übereinstimmt.

25. Integrierter Schaltungsbaustein nach einem der Ansprüche 2 bis 24, dadurch gekennzeichnet, dass der erste Seriell-Parallel-Wandler (**510**) auf einen ersten Satz von internen Datenabtastsignalen (PDS, PDSP, PDSPEN) reagiert und der zweite Seriell-Parallel-Wandler (**520**) auf einen zweiten Satz von internen Datenabtastsignalen (PDS', PDSP', PDS-PEN') reagiert.

26. Integrierter Schaltungsbaustein nach einem der Ansprüche 2 bis 24, dadurch gekennzeichnet, dass der erste Seriell-Parallel-Wandler (**510'**) und der zweite Seriell-Parallel-Wandler (**610'**) beide auf den gleichen Satz von internen Datenabtastsignalen (PDS, PDSP, PDSPEN) reagieren.

27. Verfahren zum Betrieb eines integrierten Schaltungsbausteins mit einem Speicherzellenfeld, das so ausgeführt ist, dass es eine Mehrzahl von Datenbits parallel speichert, wobei das Verfahren umfasst:

- Serielles Empfangen einer doppelten Anzahl (2N) der Mehrzahl (1N) von Datenbits von einem externen Anschluss (**426**),
- Speichern der empfangenen Datenbits in einer Mehrzahl (2N) von Schreibdatenpuffern,
- Schreiben einer ersten Hälfte der Datenbits von den Schreibdatenpuffern parallel in das Speicherzellenfeld und
- anschließendes Schreiben einer zweiten Hälfte der Datenbits von den Schreibdatenpuffern parallel in das Speicherzellenfeld.

28. Verfahren nach Anspruch 27, dadurch gekennzeichnet, dass

- das serielle Empfangen ein serielles Empfangen der ersten Hälfte der Datenbits und dann ein serielles Empfangen der zweiten Hälfte der Datenbits umfasst,
- das Speichern ein Speichern der ersten Hälfte der Datenbits in einem ersten Satz von Schreibdatenpuffern (**432a**) und ein Speichern der zweiten Hälfte der Datenbits in einem zweiten Satz von Schreibdatenpuffern (**432b**) umfasst und
- das Schreiben der ersten Hälfte der Datenbits und das Schreiben der zweiten Hälfte der Datenbits von dem ersten bzw. zweiten Satz von Schreibdatenpuffern über einen gemeinsamen Satz von lokalen Da-

tenleitungen (**438**) durchgeführt werden.

29. Verfahren nach Anspruch 27, dadurch gekennzeichnet, dass

- das serielle Empfangen ein serielles Empfangen der ersten Hälfte der Datenbits und dann ein serielles Empfangen der zweiten Hälfte der Datenbits umfasst,
- das Speichern ein Speichern der ersten Hälfte der Datenbits in einem ersten Satz von Schreibdatenpuffern, Verschieben der ersten Hälfte der Datenbits von dem ersten Satz von Schreibdatenpuffern (**442a**) in einen zweiten Satz von Schreibdatenpuffern (**442b**) und Speichern der zweiten Hälfte der Datenbits im ersten Satz von Schreibdatenpuffern umfasst,
- das Schreiben der ersten Hälfte der Datenbits ein Schreiben der ersten Hälfte der Datenbits vom zweiten Satz von Schreibdatenpuffern in das Speicherzellenfeld umfasst und
- das Schreiben der zweiten Hälfte der Datenbits ein Verschieben der zweiten Hälfte der Datenbits vom ersten Satz von Schreibdatenpuffern in den zweiten Satz Schreibdatenpuffern und ein Schreiben der zweiten Hälfte der Datenbits vom zweiten Satz von Schreibdatenpuffern in das Speicherzellenfeld umfasst.

30. Verfahren nach Anspruch 28 oder 29, dadurch gekennzeichnet, dass das Schreiben der ersten Hälfte der Datenbits in Reaktion auf ein erstes Steuersignal (CICS) und das Schreiben der zweiten Hälfte der Datenbits in Reaktion auf ein zweites Steuersignal (CICS') ausgeführt wird, welches gegenüber dem ersten Steuersignal zeitlich verzögert ist.

31. Verfahren nach Anspruch 30, dadurch gekennzeichnet, dass das erste und zweite Steuersignal mit unterschiedlichen Verzögerungszeiten von einem Schreibaktivsignal (WAR) erzeugt werden.

32. Verfahren nach Anspruch 30 oder 31, dadurch gekennzeichnet, dass das Speichern der ersten Hälfte der Datenbits im ersten Satz von Schreibdatenpuffern in Reaktion auf ein drittes Steuersignal (WDBICS) ausgeführt wird und das Speichern der zweiten Hälfte der Datenbits im zweiten Satz von Schreibdatenpuffern in Reaktion auf ein viertes Steuersignal (WDBICS') ausgeführt wird, welches gegenüber dem dritten Steuersignal zeitlich verzögert ist.

33. Verfahren nach Anspruch 32, dadurch gekennzeichnet, dass das dritte und vierte Steuersignal von entsprechenden versetzten abfallenden Flanken eines Datenabtastsignals (PDS) erzeugt werden.

34. Verfahren nach Anspruch 33, dadurch gekennzeichnet, dass die abfallenden Flanken des Datenabtastsignals gezählt werden und das dritte und vierte Steuersignal von entsprechenden versetzten abfallenden Flanken des Datenabtastsignals erzeugt

werden.

35. Verfahren nach Anspruch 28 oder 29, dadurch gekennzeichnet, dass die Datenbits im ersten Satz von Schreibdatenpuffern in Reaktion auf ein erstes Steuersignal (WDBICS) gespeichert werden und Datenbits vom ersten Satz von Schreibdatenpuffern zum zweiten Satz von Schreibdatenpuffern in Reaktion auf ein zweites Steuersignal (WDBICS') verschoben werden, welches gegenüber dem ersten Steuersignal zeitlich verzögert ist.

36. Verfahren nach Anspruch 35, dadurch gekennzeichnet, dass das erste und zweite Steuersignal von entsprechenden versetzten abfallenden Flanken eines Datenabtastsignals (DS) erzeugt werden.

37. Verfahren nach einem der Ansprüche 27 bis 36, weiter dadurch gekennzeichnet, dass eine Wortleitung des Speicherzellenfeldes für eine ausreichende Zeitspanne aktiviert wird, um die erste Hälfte der Datenbits parallel in das Speicherzellenfeld zu schreiben und anschließend die zweite Hälfte der Datenbits parallel in das Speicherzellenfeld zu schreiben.

Es folgen 19 Blatt Zeichnungen

Anhängende Zeichnungen

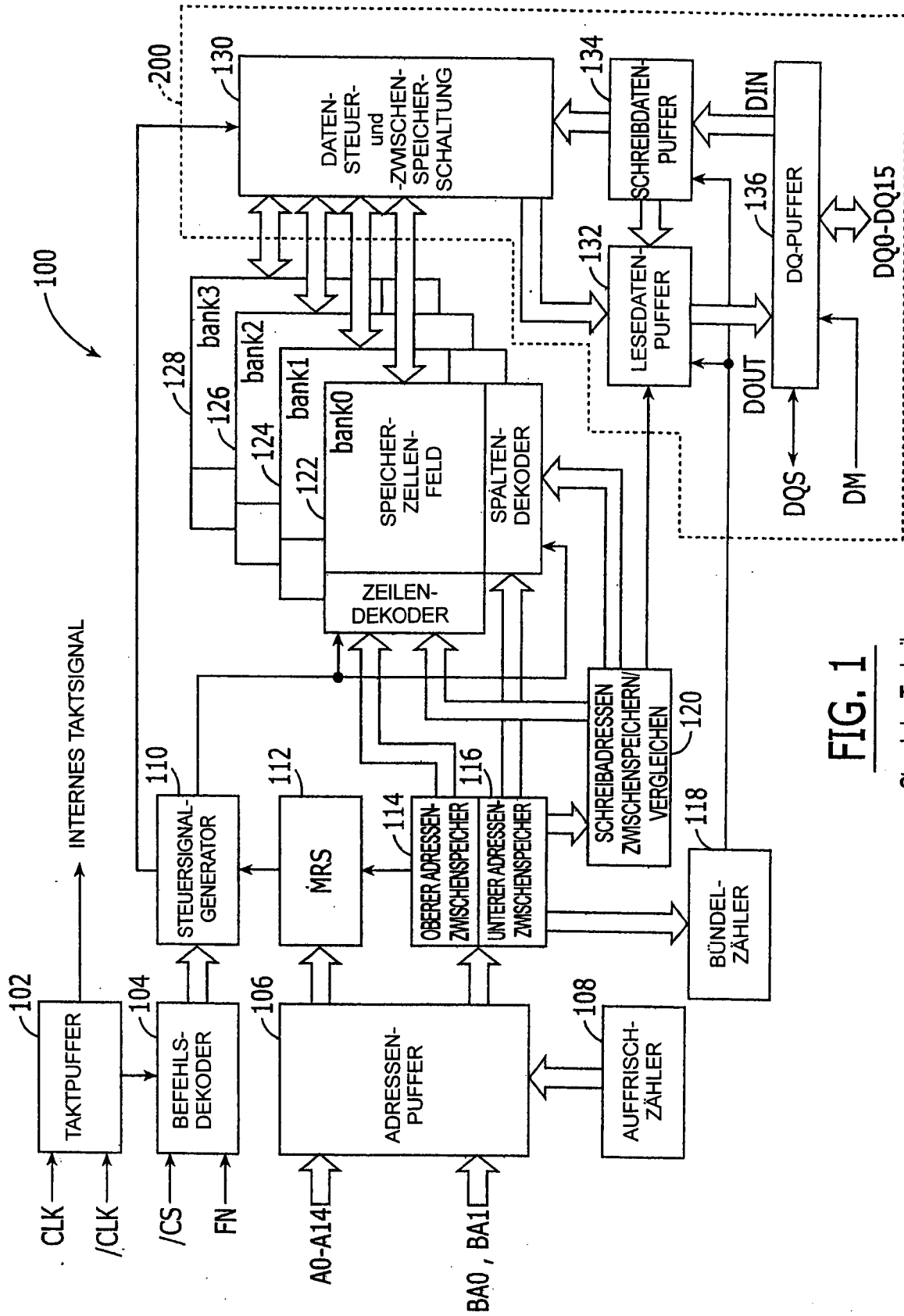


FIG. 1

Stand der Technik

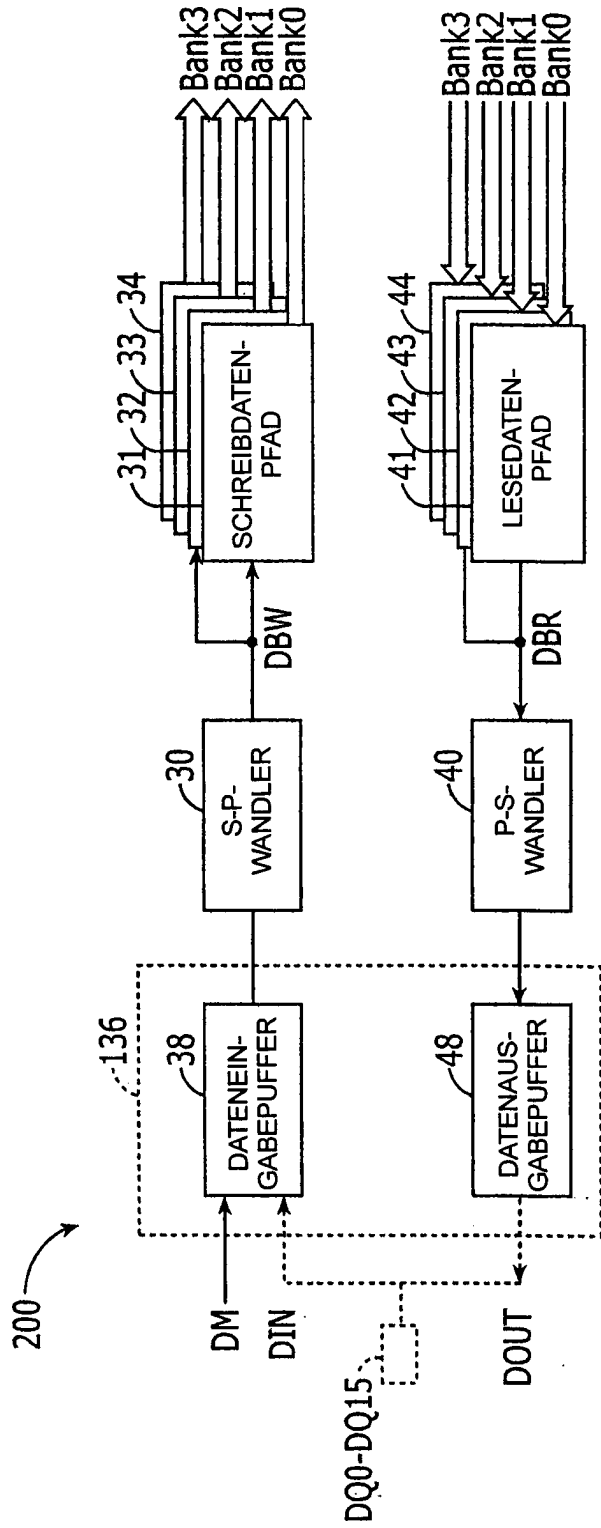


FIG. 2

Stand der Technik

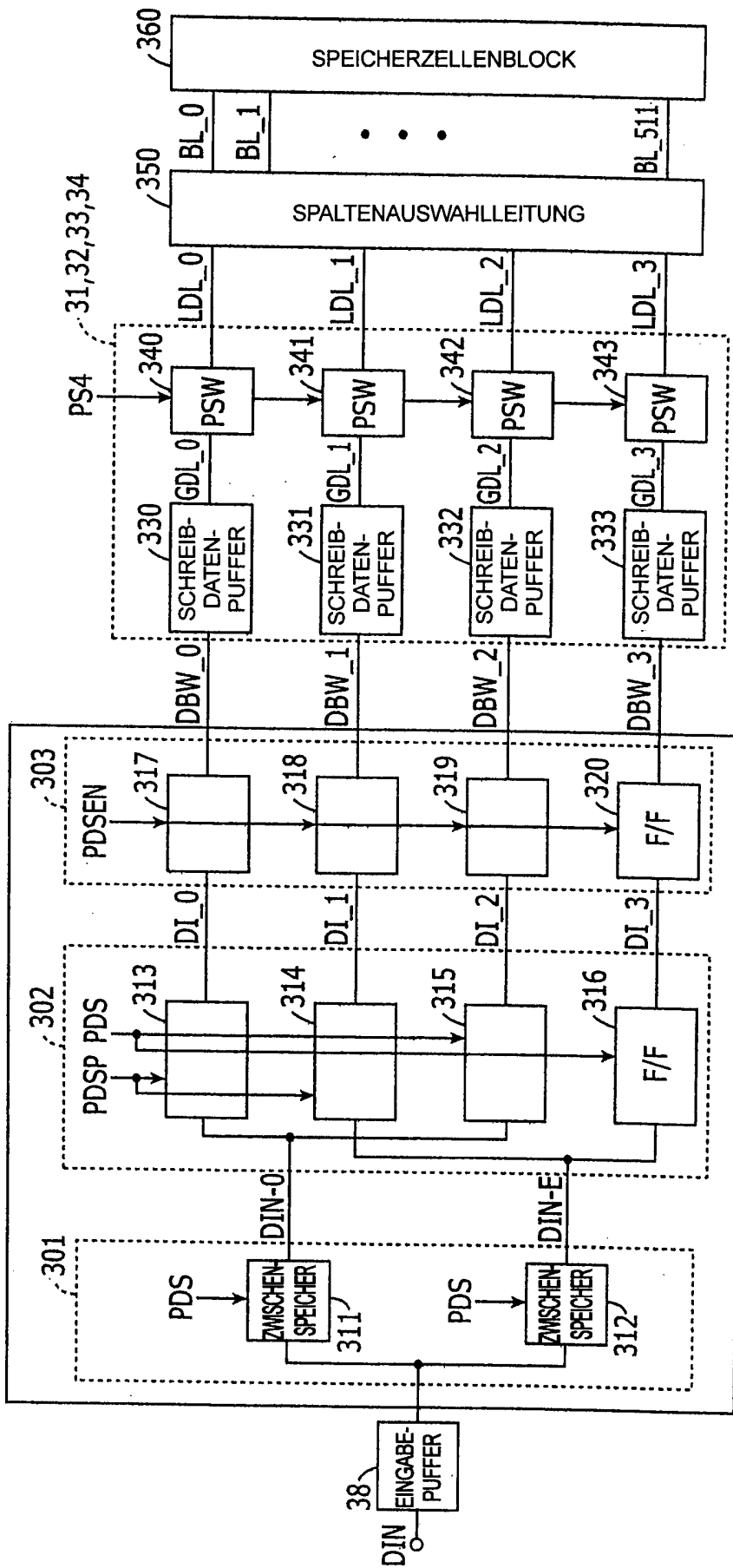


FIG. 3

Stand der Technik

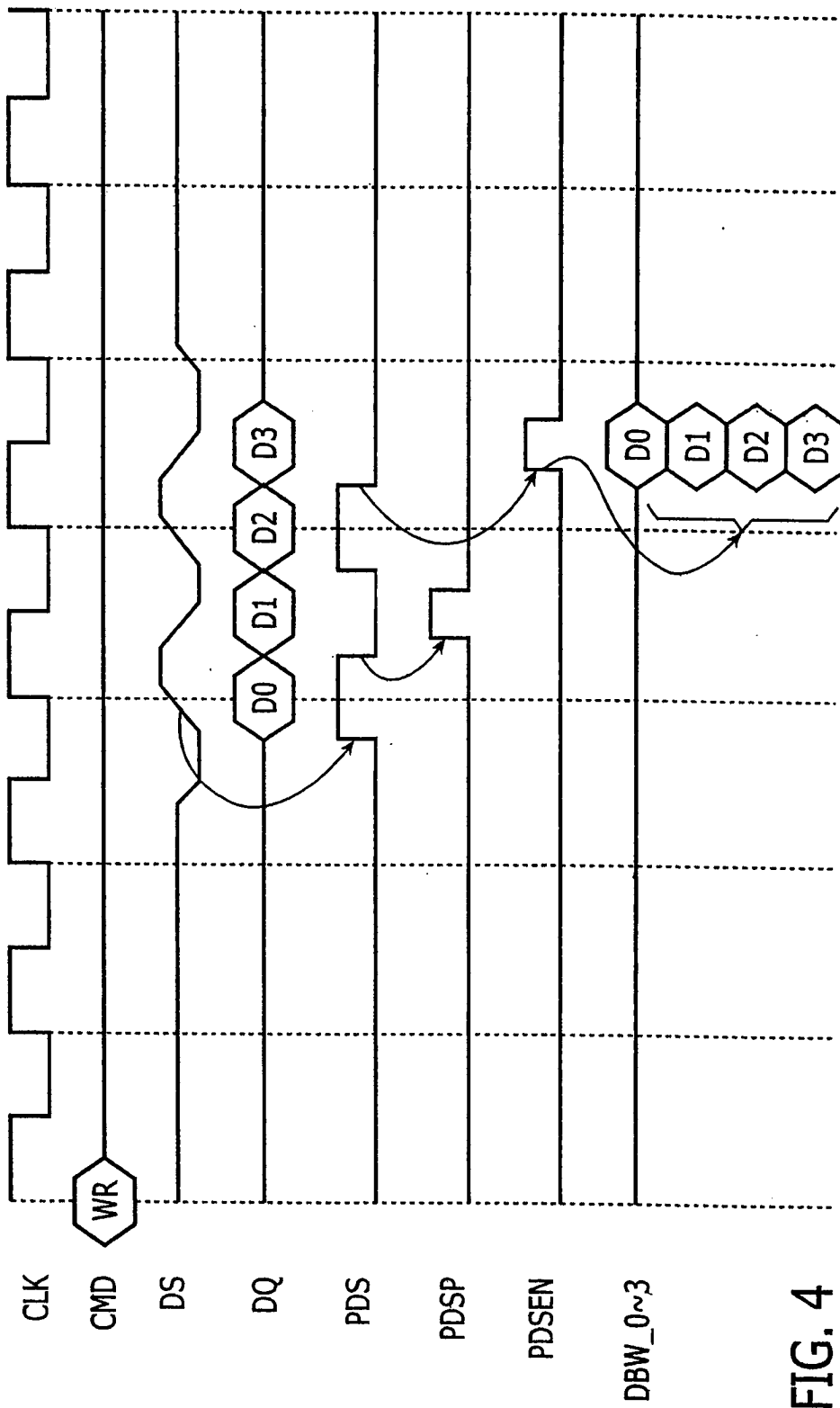


FIG. 4

Stand der Technik

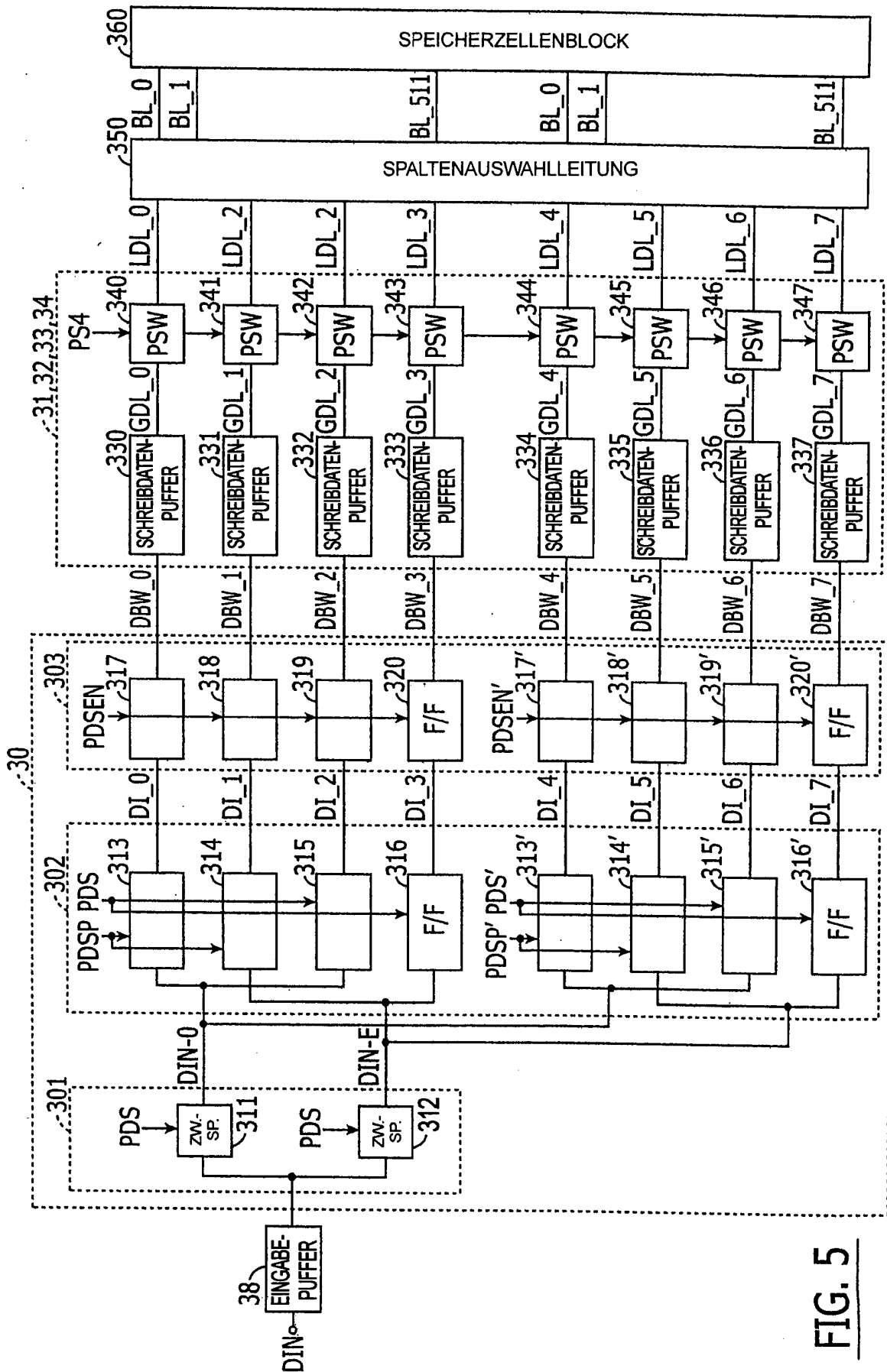


FIG. 5

Stand der Technik

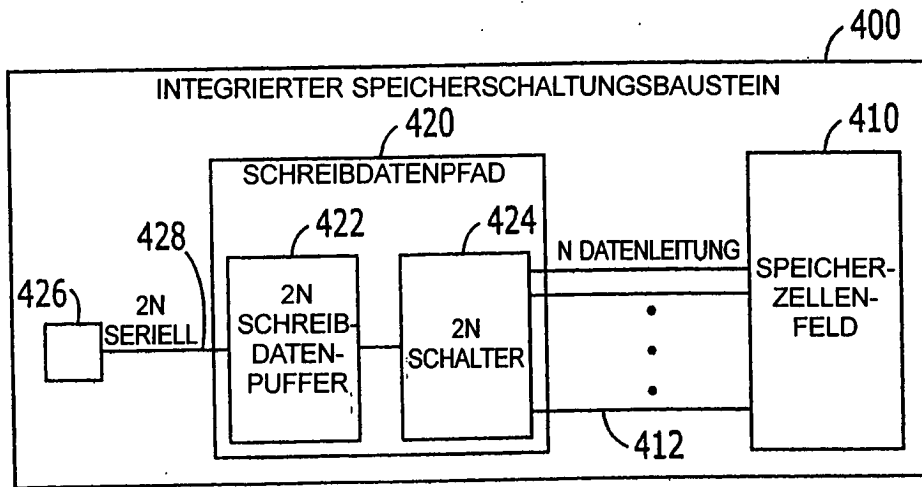


FIG. 6

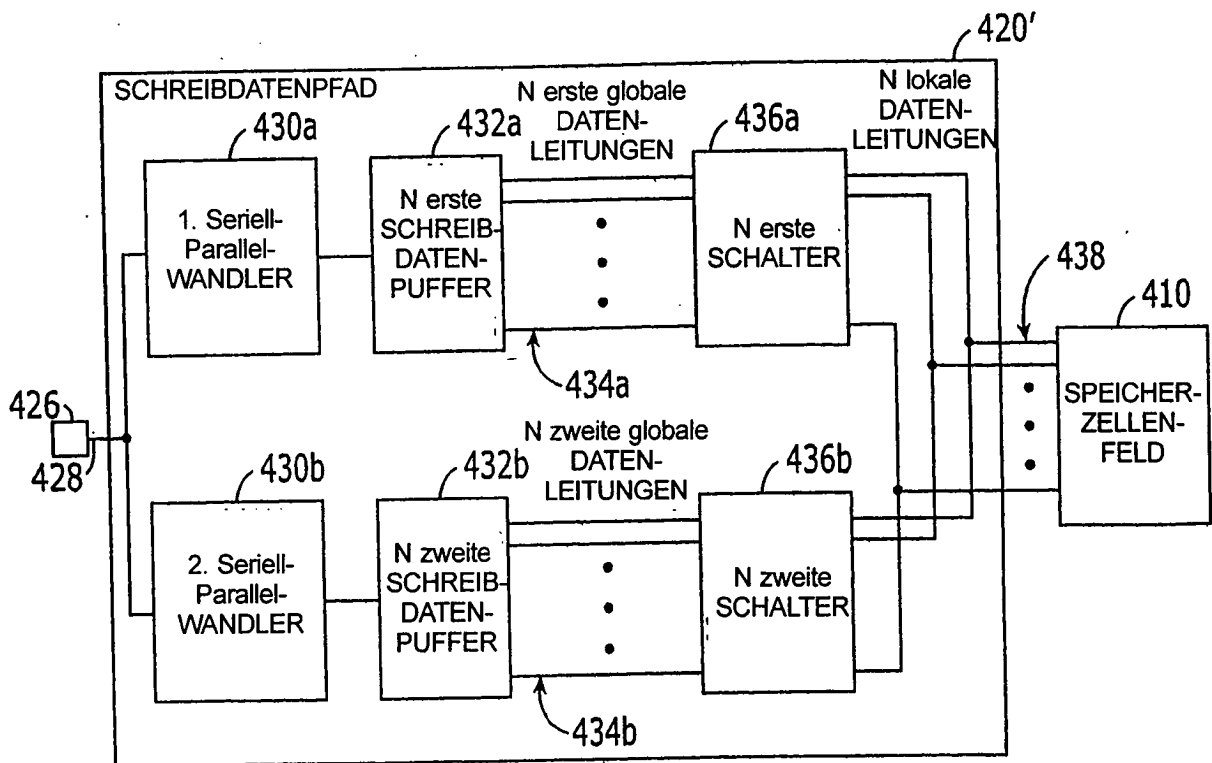


FIG. 7

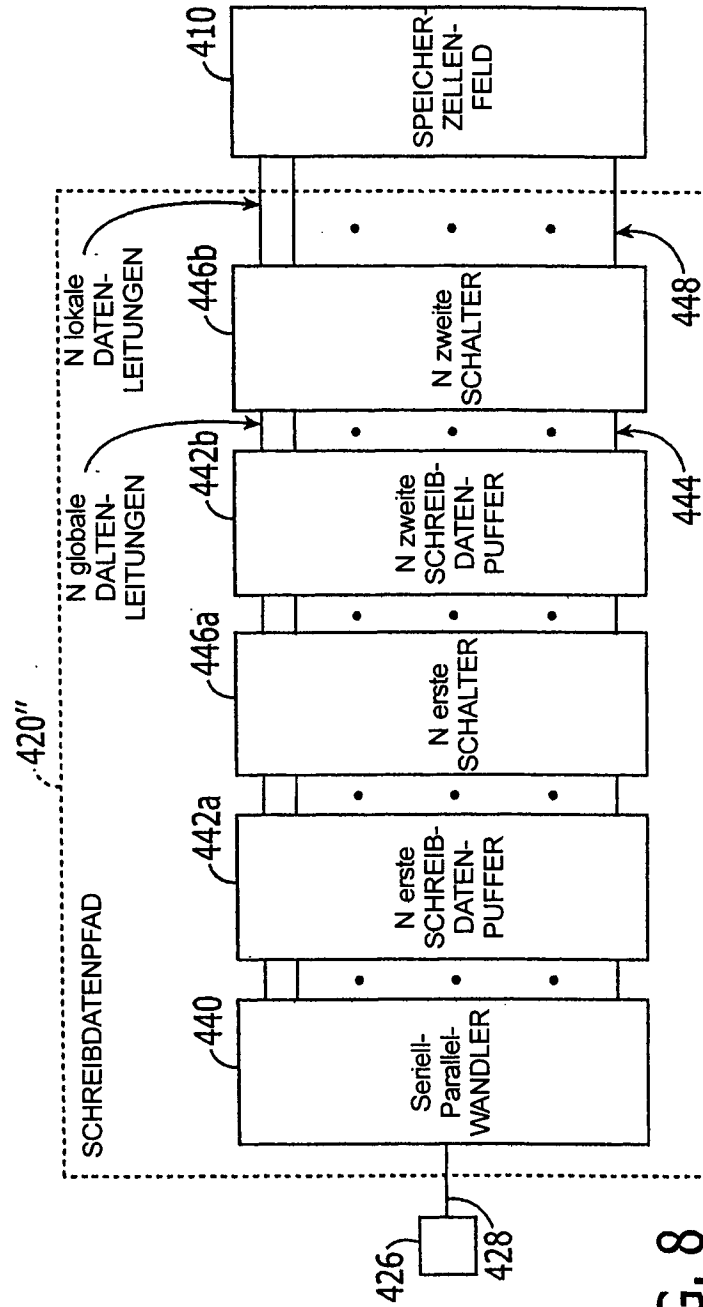


FIG. 8

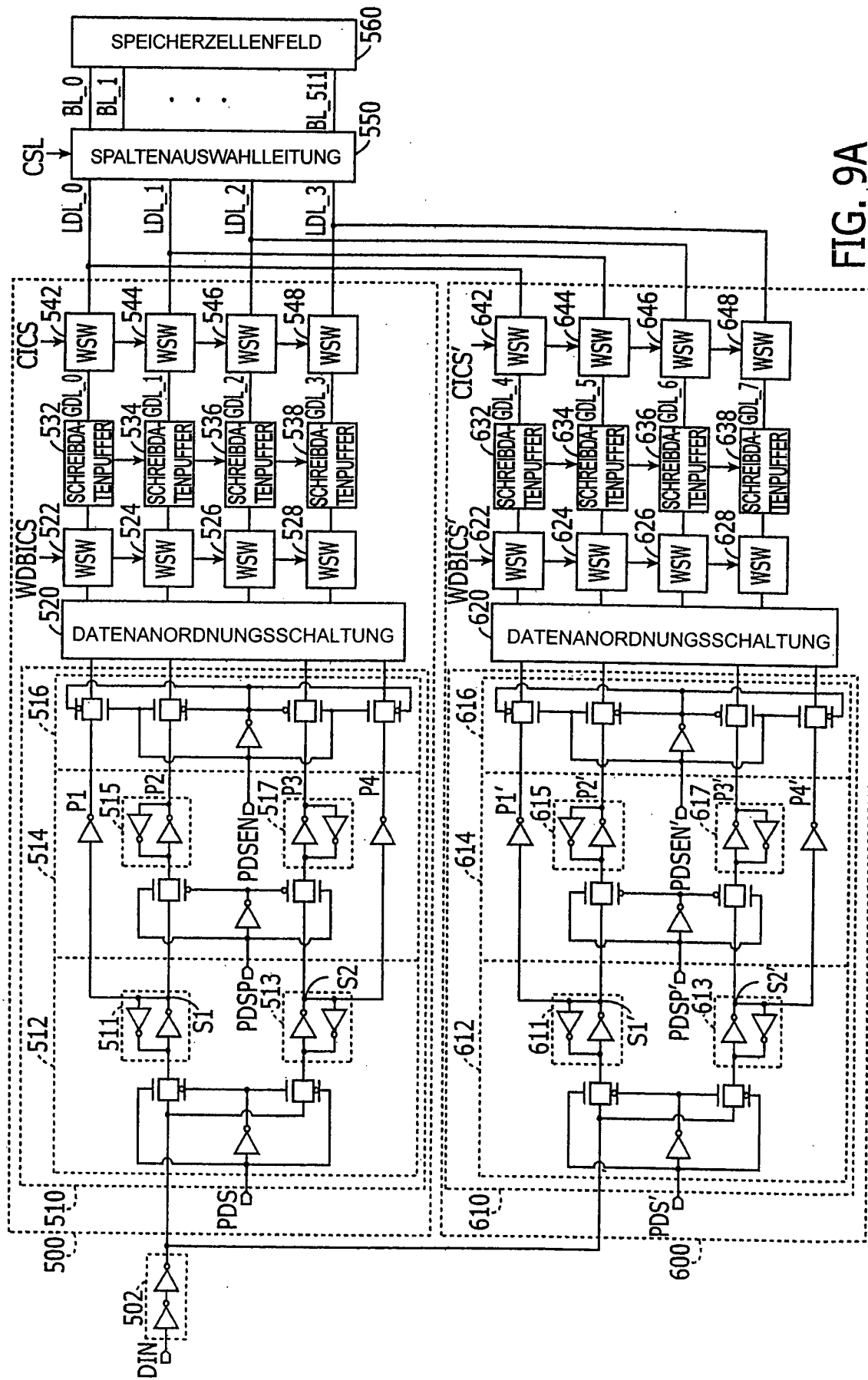


FIG. 9A

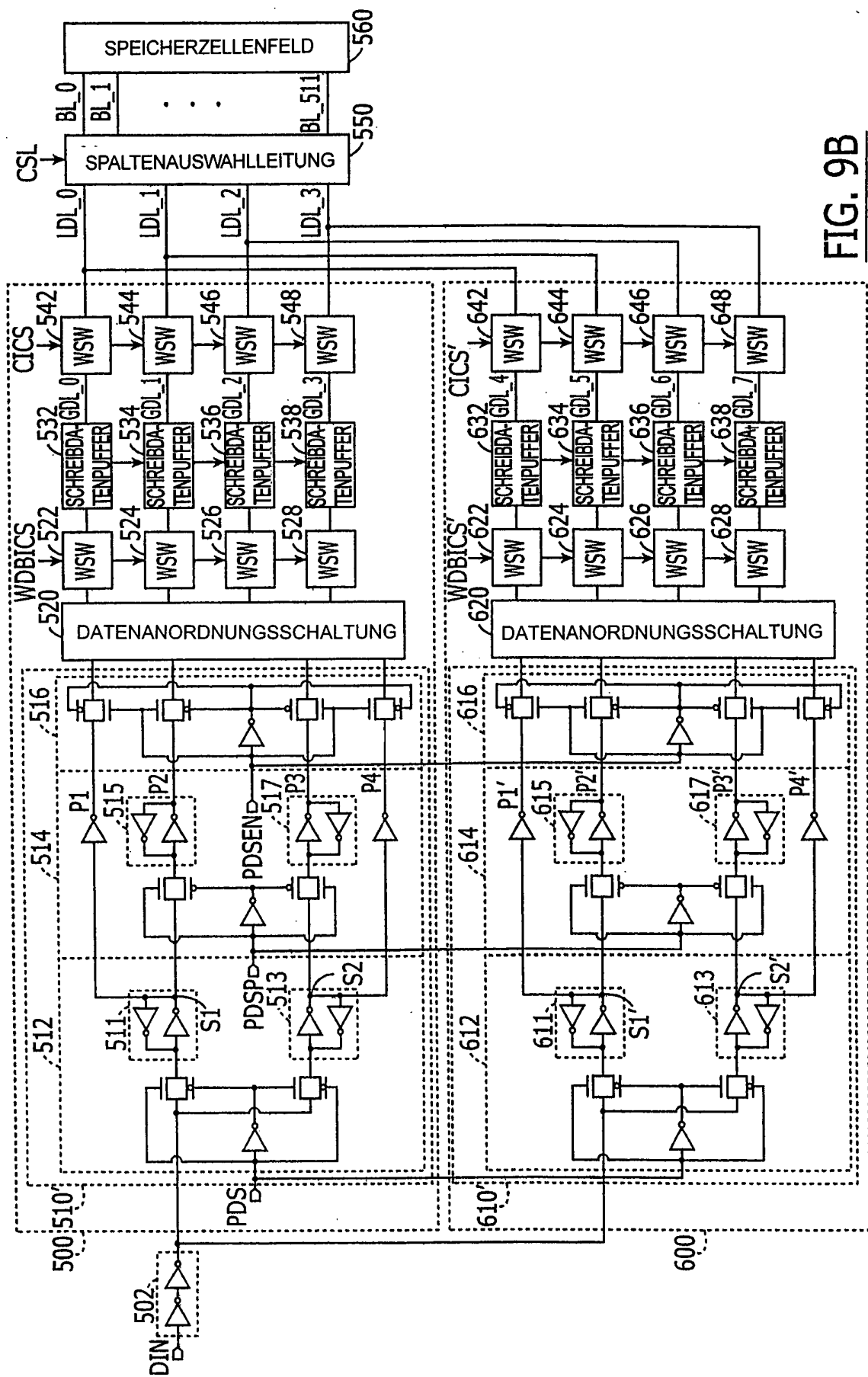
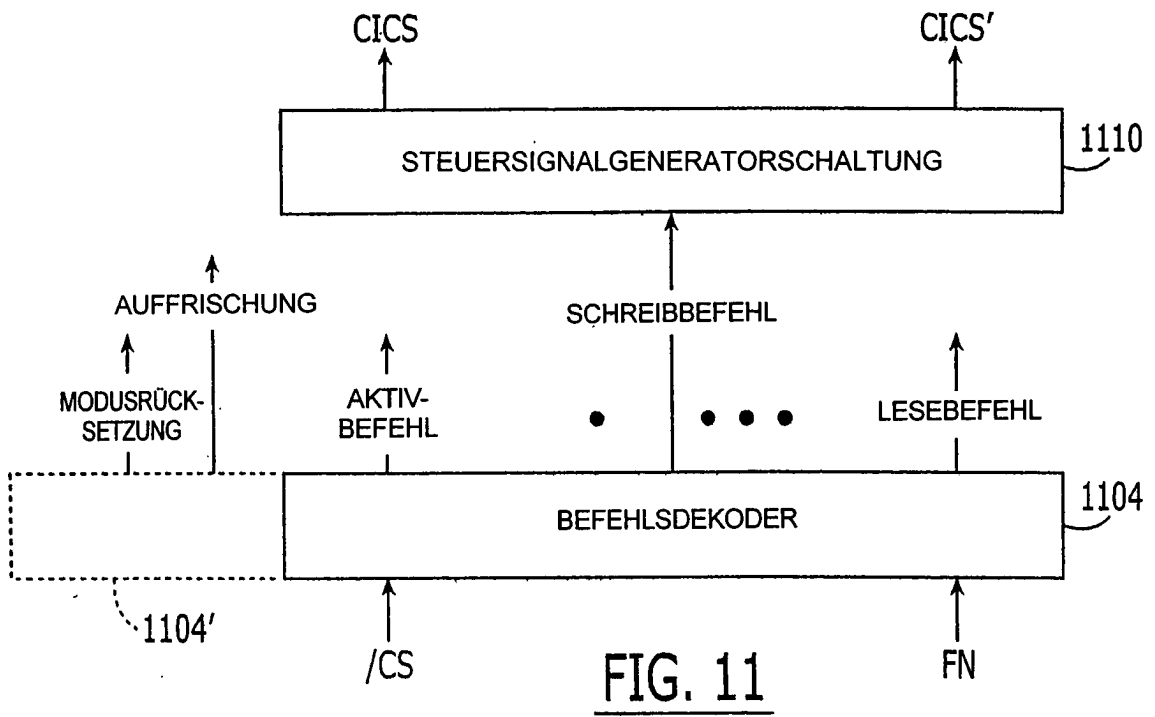
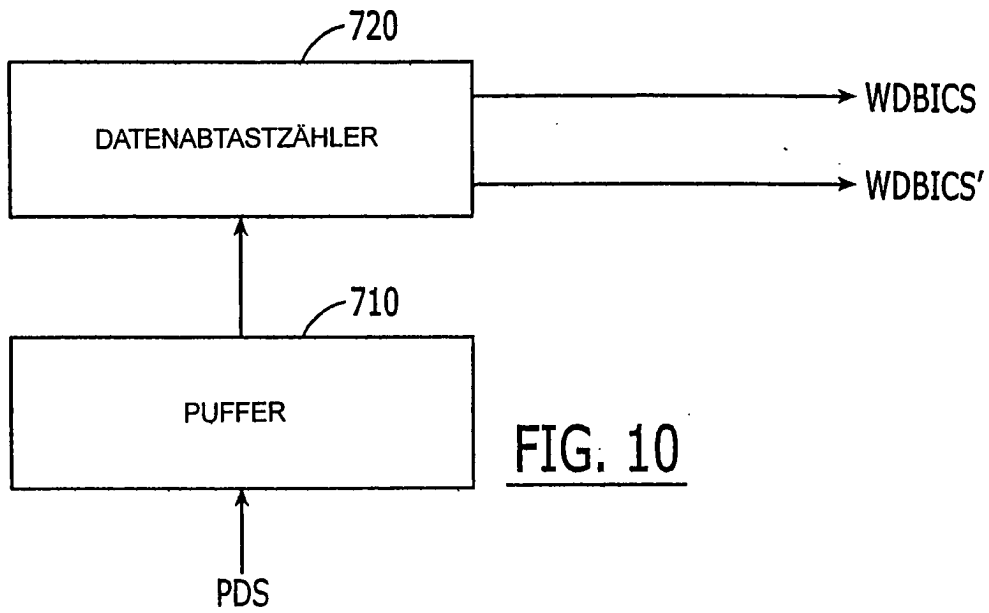


FIG. 9B



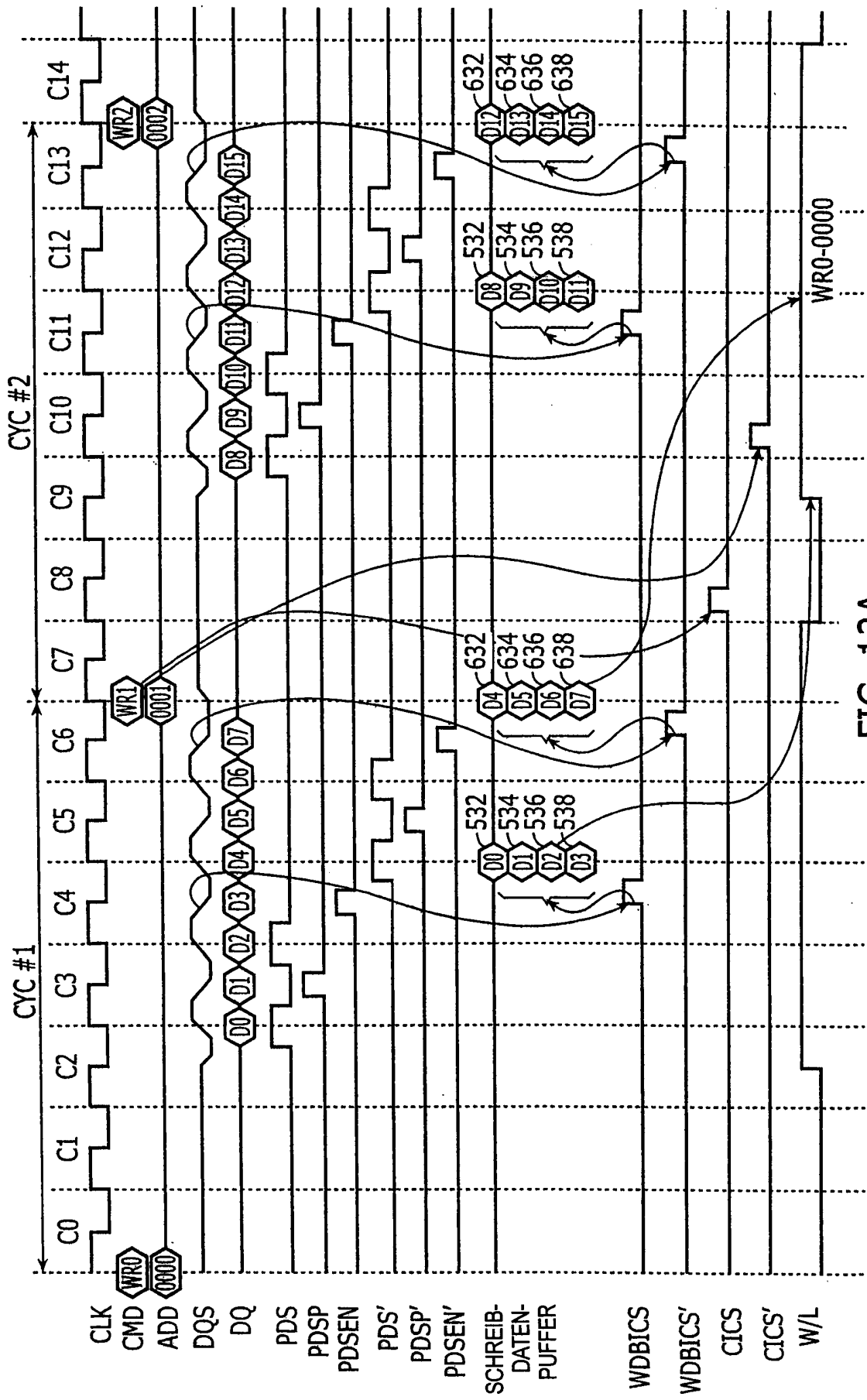


FIG. 12A

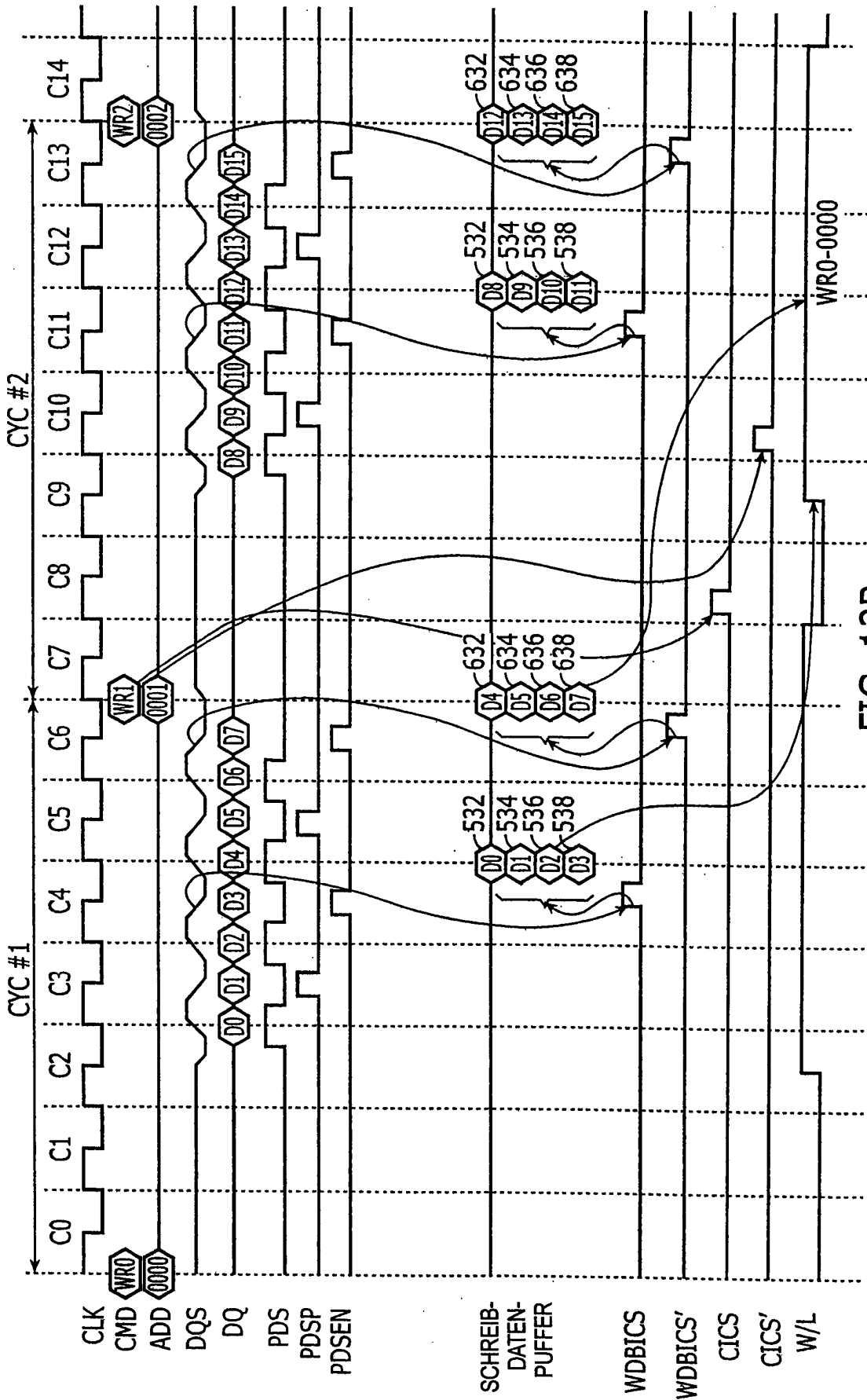


FIG. 12B

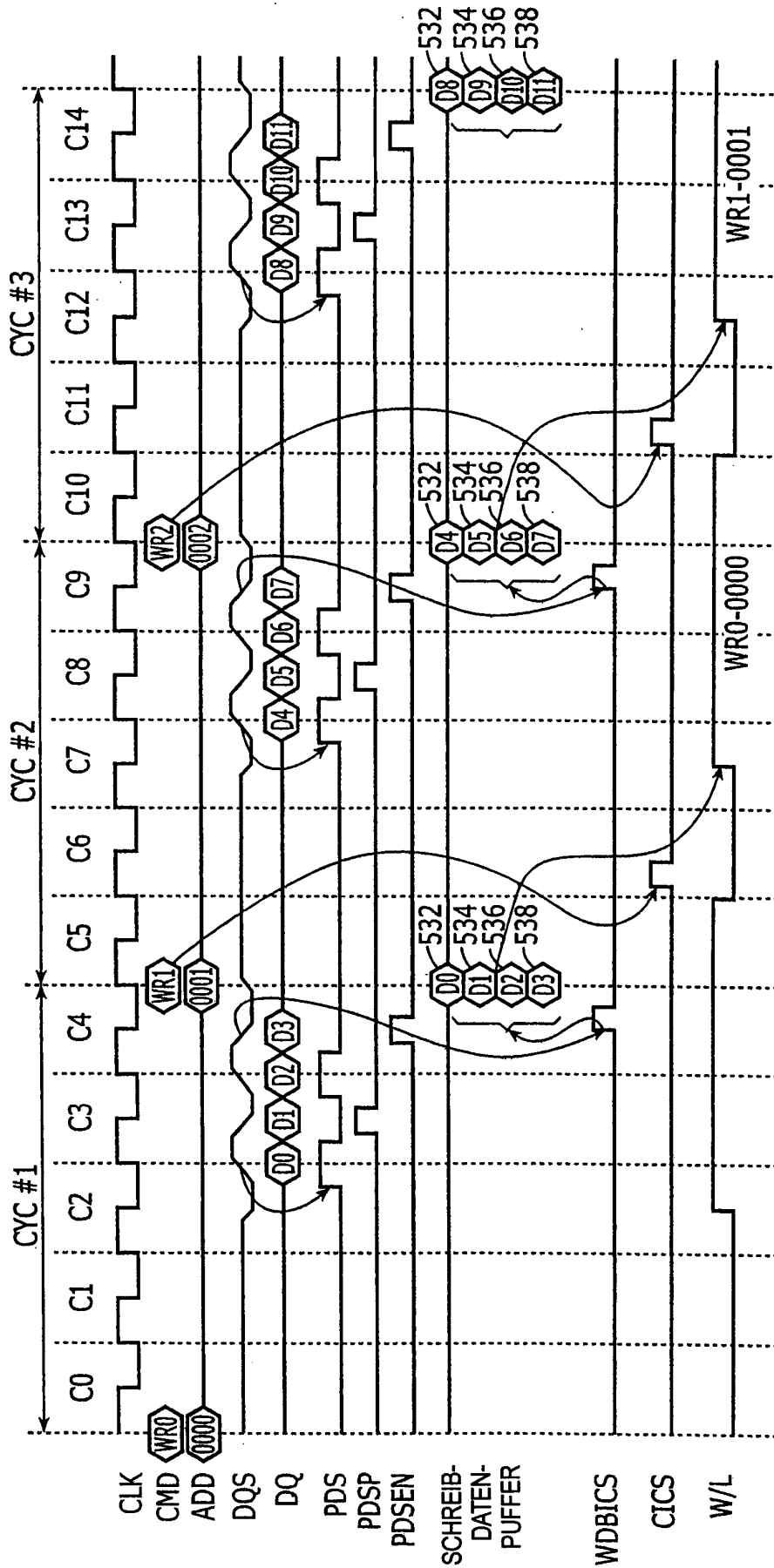


FIG. 13

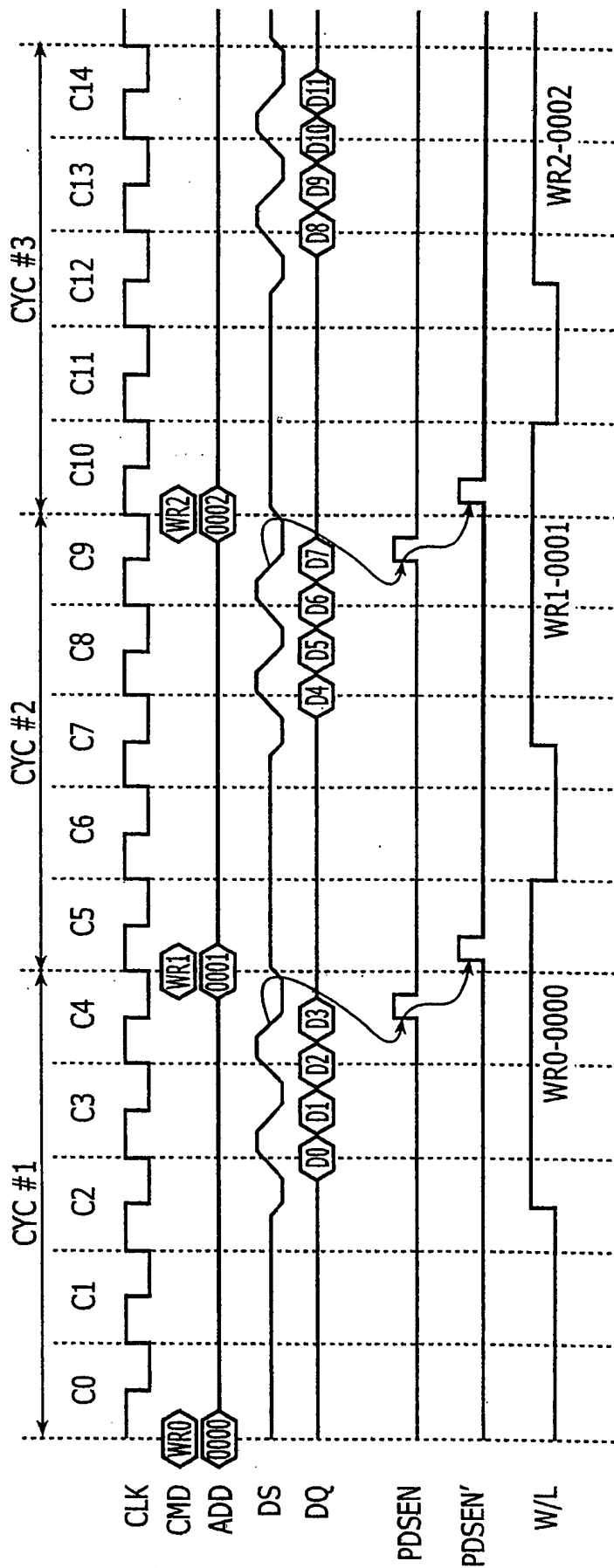


FIG. 14

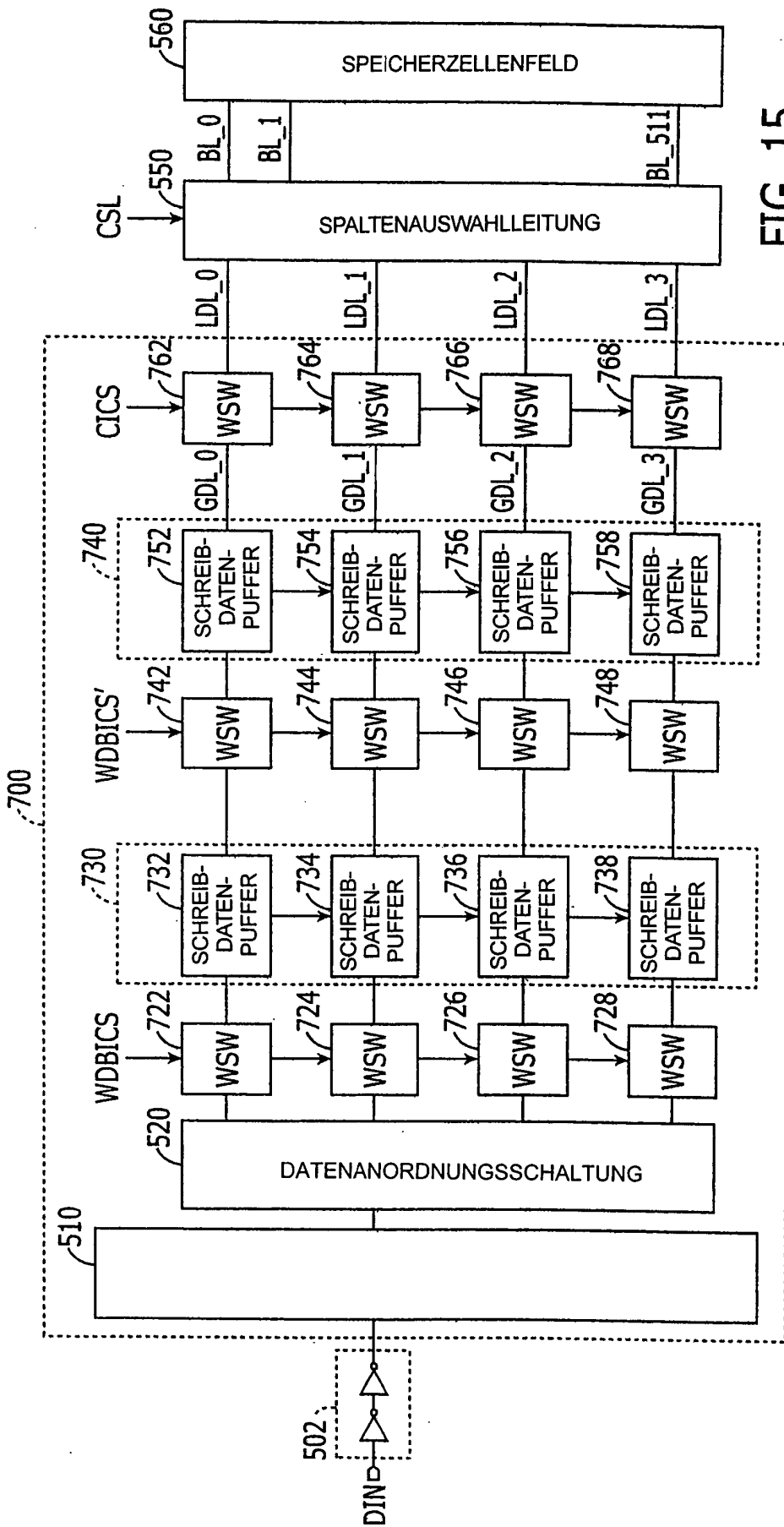
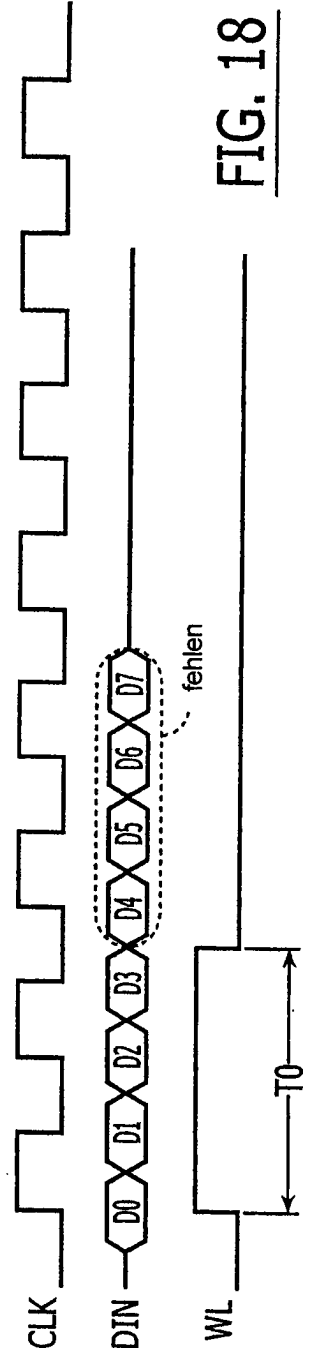
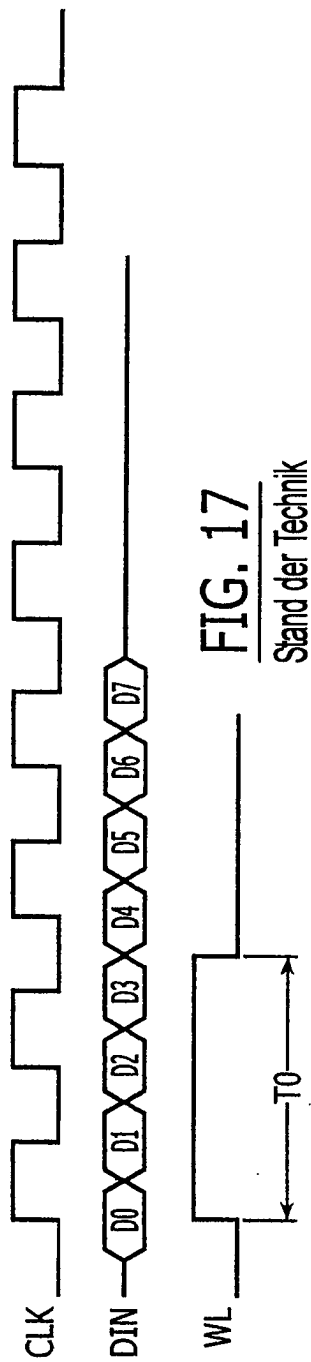
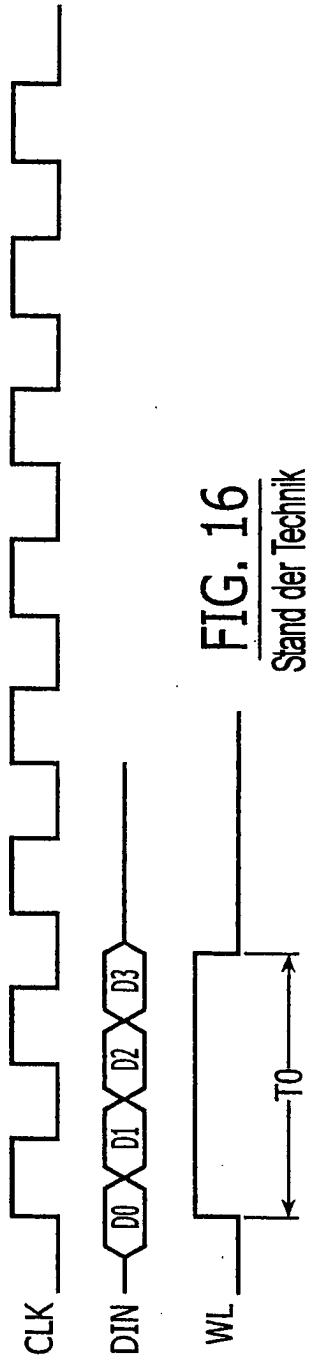


FIG. 15



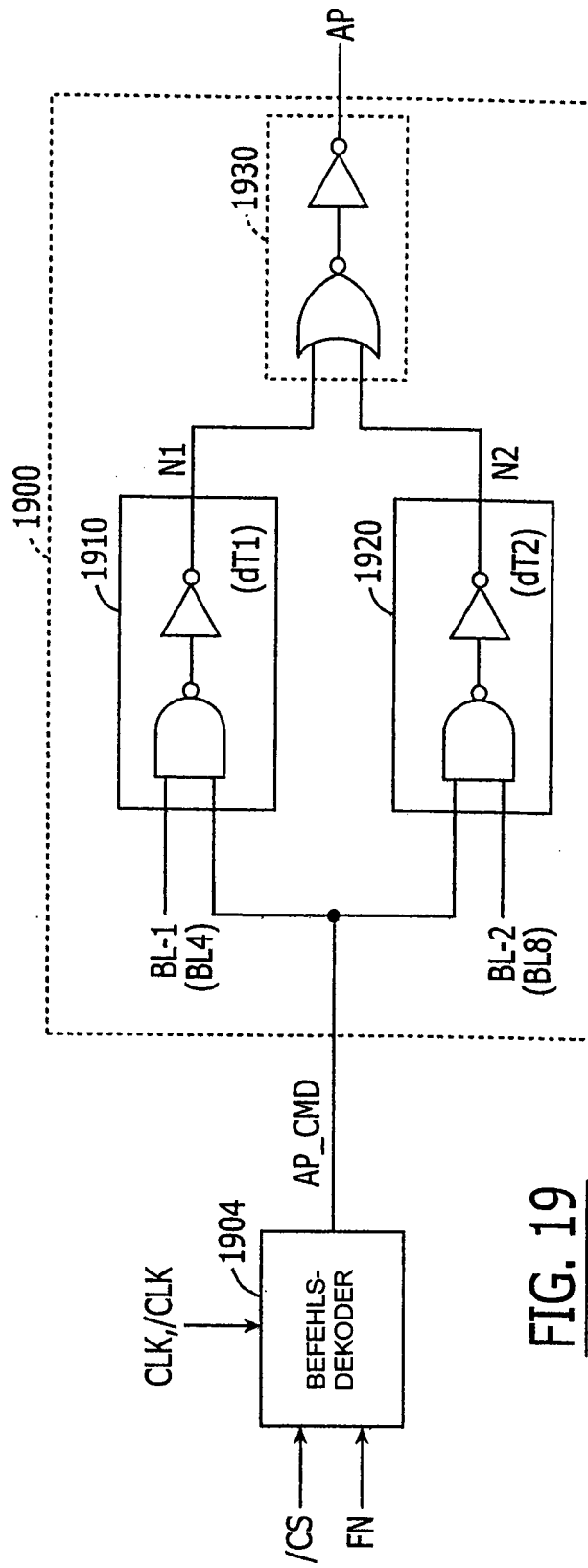


FIG. 19

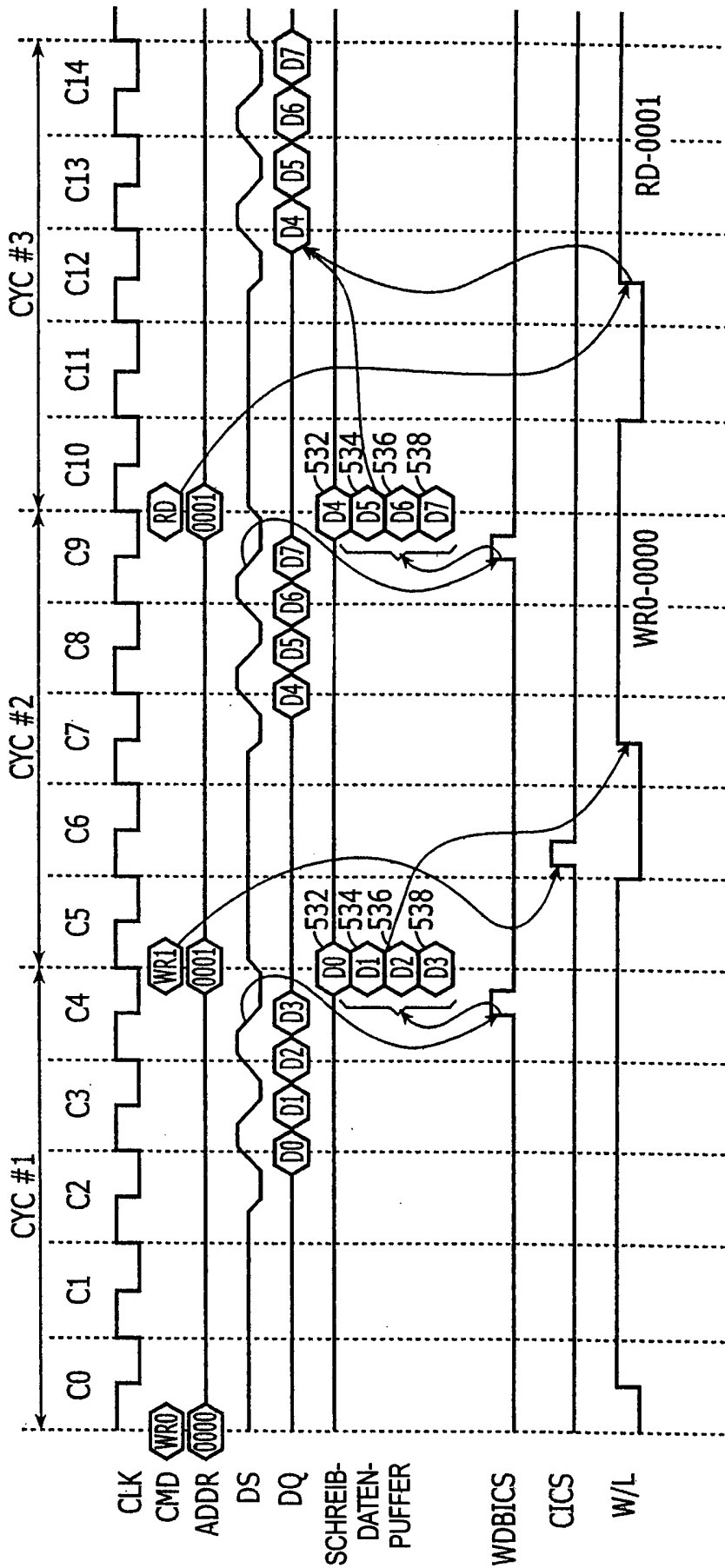


FIG. 21