



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I590467 B

(45)公告日：中華民國 106 (2017) 年 07 月 01 日

(21)申請案號：104137890

(22)申請日：中華民國 99 (2010) 年 10 月 13 日

(51)Int. Cl. : H01L29/786 (2006.01)

H03K19/08 (2006.01)

(30)優先權：2009/10/16 日本

2009-238914

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；小山潤 KOYAMA, JUN (JP)；津吹將志
TSUBUKU, MASASHI (JP)；野田耕生 NODA, KOSEI (JP)

(74)代理人：林志剛

(56)參考文獻：

JP 2007-123861A

US 2006/0113565A1

US 2008/0299702A1

審查人員：謝介銘

申請專利範圍項數：16 項 圖式數：30 共 191 頁

(54)名稱

邏輯電路及半導體裝置

LOGIC CIRCUIT AND SEMICONDUCTOR DEVICE

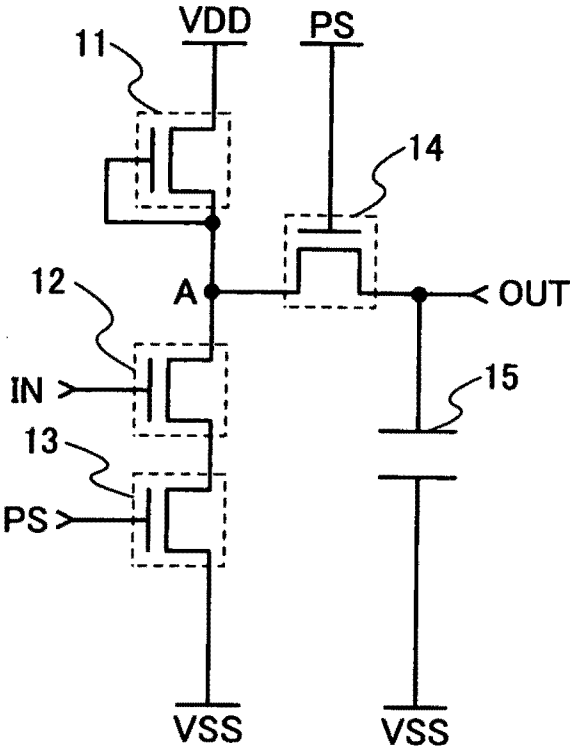
(57)摘要

邏輯電路包括薄膜電晶體及電容器，該薄膜電晶體具有使用氧化物半導體形成的通道形成區，該電容器具有端子，該端子其中之一藉由關閉該薄膜電晶體而進入浮接狀態。該氧化物半導體具有 $5 \times 10^{19}(\text{atoms}/\text{cm}^3)$ 之氫濃度或更少，且因此實質上作為處於電場未產生之狀態中的絕緣材料。因此，經由薄膜電晶體可減少薄膜電晶體的截止狀態電流，導致抑制儲存於電容器中的電荷洩漏。於是，可防止邏輯電路的故障。並且，經由減少薄膜電晶體的截止狀態電流，可減少在邏輯電路中流動的過量電流，導致邏輯電路的低電力消耗。

A logic circuit includes a thin film transistor having a channel formation region formed using an oxide semiconductor, and a capacitor having terminals one of which is brought into a floating state by turning off the thin film transistor. The oxide semiconductor has a hydrogen concentration of $5 \times 10^{19}(\text{atoms}/\text{cm}^3)$ or less and thus substantially serves as an insulator in a state where an electric field is not generated. Therefore, off-state current of a thin film transistor can be reduced, leading to suppressing the leakage of electric charge stored in a capacitor, through the thin film transistor. Accordingly, a malfunction of the logic circuit can be prevented. Further, the excessive amount of current which flows in the logic circuit can be reduced through the reduction of off-state current of the thin film transistor, resulting in low power consumption of the logic circuit.

指定代表圖：

圖 1A



- 符號簡單說明：
- 11 . . . 薄膜電晶體
 - 12 . . . 薄膜電晶體
 - 13 . . . 薄膜電晶體
 - 14 . . . 薄膜電晶體
 - 15 . . . 電容器
 - VSS . . . 低電源供應電位
 - VDD . . . 高電源電位
 - PS . . . 脈衝信號
 - A . . . 節點
 - IN . . . 輸入信號
 - OUT . . . 輸出信號

發明摘要

※申請案號： 104127890 (由102145351 分割)

※申請日：099年10月13日

※IPC分類：H01L 29/186 (2006.01)

【發明名稱】(中文/英文)

H03K 19/08 (2006.01)

邏輯電路及半導體裝置

Logic circuit and semiconductor device

【中文】

邏輯電路包括薄膜電晶體及電容器，該薄膜電晶體具有使用氧化物半導體形成的通道形成區，該電容器具有端子，該端子其中之一藉由關閉該薄膜電晶體而進入浮接狀態。該氧化物半導體具有 5×10^{19} (atoms/cm³) 之氫濃度或更少，且因此實質上作為處於電場未產生之狀態中的絕緣材料。因此，經由薄膜電晶體可減少薄膜電晶體的截止狀態電流，導致抑制儲存於電容器中的電荷洩漏。於是，可防止邏輯電路的故障。並且，經由減少薄膜電晶體的截止狀態電流，可減少在邏輯電路中流動的過量電流，導致邏輯電路的低電力消耗。

【 英文 】

A logic circuit includes a thin film transistor having a channel formation region formed using an oxide semiconductor, and a capacitor having terminals one of which is brought into a floating state by turning off the thin film transistor. The oxide semiconductor has a hydrogen concentration of 5×10^{19} (atoms/cm³) or less and thus substantially serves as an insulator in a state where an electric field is not generated. Therefore, off-state current of a thin film transistor can be reduced, leading to suppressing the leakage of electric charge stored in a capacitor, through the thin film transistor. Accordingly, a malfunction of the logic circuit can be prevented. Further, the excessive amount of current which flows in the logic circuit can be reduced through the reduction of off-state current of the thin film transistor, resulting in low power consumption of the logic circuit.

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

11：薄膜電晶體

12：薄膜電晶體

13：薄膜電晶體

14：薄膜電晶體

15：電容器

VSS：低電源供應電位

VDD：高電源電位

PS：脈衝信號

A：節點

IN：輸入信號

OUT：輸出信號

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

邏輯電路及半導體裝置

Logic circuit and semiconductor device

【技術領域】

本發明的一方面有關包括使用氧化物半導體形成之場效電晶體的邏輯電路。此外，本發明的另一方面有關包括該邏輯電路的半導體裝置。

應注意的是，在本說明書中的半導體裝置表示所有可以藉由使用半導體特性操作的裝置，且光電裝置、半導體電路、及電子設備全都包含在半導體裝置的範疇中。

【先前技術】

藉由使用形成於基底上具有絕緣表面之半導體薄膜，形成薄膜電晶體（TFT）的技術已被賦予許多關注。薄膜電晶體係用於典型為液晶電視之顯示裝置。矽基半導體材料已知為適用於薄膜電晶體之半導體薄膜的材料。除了矽基半導體材料，氧化物半導體已引起關注。

作為用於該氧化物半導體的材料，已知有氧化鋅和含有氧化鋅作為其成分的材料。此外，揭示使用非晶氧化物（氧化物半導體）形成之薄膜電晶體，該非晶氧化物具有少於 $10^{18}/\text{cm}^3$ 之電子載體密度（專利文獻 1 至 3）。

[參考文獻]

[專利文獻]

[專利文獻 1]日本公告專利申請案第 2006-165527 號

[專利文獻 2]日本公告專利申請案第 2006-165528 號

[專利文獻 3]日本公告專利申請案第 2006-165529 號

【發明內容】

然而，在薄膜形成過程中產生來自氧化物半導體中的化學計量組成差異。例如，氧化物半導體的電導度因為氧氣的過量或不足而改變。此外，在薄膜形成期間進入氧化物半導體薄膜的氫氣形成氧-氫（O-H）鍵，並作為改變電導度之因素的電子供體。而且，因為 O-H 鍵為極性分子，其作為改變主動元件諸如使用氧化物半導體製造的薄膜電晶體之特性的因素。

即使當具有少於 $10^{18}/\text{cm}^3$ 之電子載體密度時，氧化物半導體實質上為 n 型氧化物半導體。因此，已獲得揭示於專利文獻中的薄膜電晶體之約 10^3 的通斷比（on-off ratio）。這樣低的薄膜電晶體的通斷比是因為大的截止狀態電流。

通斷比係用來衡量開關特性。操作包括具有低通斷比的薄膜電晶體的電路變得不穩定。此外，電流因為大的截止狀態電流而過量流動；因此，增加電力消耗。

有鑑於上述問題，本發明之實施例的目的為抑制包含

使用氧化物半導體所形成的薄膜電晶體的邏輯電路的故障。

並且，本發明之實施例的目的為降低包含使用氧化物半導體所形成的薄膜電晶體的邏輯電路的電力消耗。

根據本發明的實施例，邏輯電路包括具有使用氧化物半導體形成的通道形成區的薄膜電晶體，該氧化物半導體係藉由移除具有成為電子供體（或供體）的雜質（例如，氫氣或水）而成為本質（intrinsic）或實質本質，並具有大於矽半導體能隙的能隙。

具體地，邏輯電路包括具有使用氧化物半導體形成的通道形成區的薄膜電晶體，該氧化物半導體中，氫濃度被設定為 $5 \times 10^{19}/\text{cm}^3$ 或更少，較佳為 $5 \times 10^{18}/\text{cm}^3$ 或更少，更佳為 $5 \times 10^{17}/\text{cm}^3$ 或更少，以移除氫氣或包含在氧化物半導體中的 O-H 鍵，並且載體密度被設定為 $5 \times 10^{14}/\text{cm}^3$ 或更少，較佳為 $5 \times 10^{12}/\text{cm}^3$ 或更少。

氧化物半導體的能隙被設定為 2eV 或更多，較佳為 2.5eV 或更多，更佳為 3eV 或更多，以減少盡可能多的形成供體的雜質（例如，氫氣）。此外，氧化物半導體的載體密度被設定為 $1 \times 10^{14}/\text{cm}^3$ 或更少，較佳為 $1 \times 10^{12}/\text{cm}^3$ 或更少。

如此純淨的氧化物半導體被使用為薄膜電晶體的通道形成區。因此，即使在通道寬度為 10nm 的情況中，在 1V 和 10V 的汲極電壓和在範圍 -5V 至 -20V 的閘極電壓獲得 1×10^{-13} [A] 或更少的汲極電流。

即，本發明的實施例為包括薄膜電晶體及電容器的邏輯電路，該電容器具有端子，該端子其中之一電連接到藉由關閉該薄膜電晶體而進入浮接狀態的節點。薄膜電晶體的通道形成區係使用具有 5×10^{19} (atoms/cm³) 之氫濃度的氧化物半導體所形成。

應注意的是在此說明書中，濃度係由二次離子質譜法（下文稱 SIMS）所量測。然而，並沒有限制，特別是有其他量測方法的說明時。

並且，包括邏輯電路的半導體裝置亦是本發明之一實施例。

根據本發明的實施例，邏輯電路包括具有使用氧化物半導體形成的通道形成區的薄膜電晶體；及電容器，其具有端子，該端子其中之一藉由關閉該薄膜電晶體而進入浮接狀態。該氧化物半導體係具有減少的氫濃度的氧化物半導體。具體地，該氧化物半導體的氫濃度為 5×10^{19} (atoms/cm³) 或更少，且當無電場時，該氧化物半導體作為絕緣體或接近絕緣體的半導體（接近絕緣體的半導體係實質地為絕緣體）。因此，可減少薄膜電晶體的截止狀態電流。因此，可抑制經由薄膜電晶體儲存在電容器中的電荷洩漏。因此，可防止邏輯電路的故障。並且，可增長電容器的一端子在浮接狀態中的期間。換句話說，可減少資料重寫進電容器（亦指更新）的次數。

此外，經由減少薄膜電晶體的截止狀態電流可減少流進邏輯電路的過量電流。因此，可減少邏輯電路的電力消

耗。

【圖式簡單說明】

圖 1A 及 1C 為表示反相器範例之電路圖，及圖 1B 及 1D 為表示反相器範例之時序圖。

圖 2A 至 2D 為表示反相器範例之電路圖。

圖 3A 為表示移位暫存器範例之電路圖，及圖 3B 為表示移位暫存器範例之時序圖。

圖 4A 為表示移位暫存器之電路圖，及圖 4B 為表示移位暫存器範例之時序圖。

圖 5A 為表示薄膜電晶體範例之平面圖，及圖 5B 為表示薄膜電晶體範例之橫截面圖。

圖 6A 至 6E 為表示用於製造薄膜電晶體之方法範例的橫截面圖。

圖 7A 為表示薄膜電晶體範例之平面圖，及圖 7B 為表示薄膜電晶體範例之橫截面圖。

圖 8A 至 8E 為表示用於製造薄膜電晶體之方法範例的橫截面圖。

圖 9A 及 9B 為表示薄膜電晶體範例之橫截面圖。

圖 10A 至 10E 為表示用於製造薄膜電晶體之方法範例的橫截面圖。

圖 11A 至 11E 為表示用於製造薄膜電晶體之方法範例的橫截面圖。

圖 12A 至 12D 為表示用於製造薄膜電晶體之方法範

例的橫截面圖。

圖 13A 至 13D 為表示用於製造薄膜電晶體之方法範例的橫截面圖。

圖 14 為表示薄膜電晶體範例之橫截面圖。

圖 15A 及 15C 為表示半導體裝置範例之平面圖，及圖 15B 為表示半導體裝置之任何範例的橫截面圖。

圖 16 為表示半導體裝置之像素等效電路範例的示意圖。

圖 17A 至 17C 為表示半導體裝置範例之橫截面圖。

圖 18A 為表示半導體裝置範例之平面圖，及圖 18B 為表示半導體裝置範例之橫截面圖。

圖 19 為表示半導體裝置範例之橫截面圖。

圖 20A 及 20B 表示半導體裝置之範例。

圖 21A 及 21B 表示半導體裝置之範例。

圖 22 表示半導體裝置之範例。

圖 23 表示半導體裝置之範例。

圖 24 表示介於使用氧化物半導體形成之 MOS 電晶體的源極與汲極之間的部位的能帶結構。

圖 25 表示施加正電壓位於圖 24 中之汲極側的狀態。

圖 26A 及 26B 為使用氧化物半導體形成之 MOS 電晶體的 MOS 結構的能帶圖，施加正閘極電壓於該處（圖 26A）或施加負閘極電壓於該處（圖 26B）。

圖 27 表示介於矽 MOS 電晶體的源極與汲極之間的部位的能帶結構。

圖 28 為表示薄膜電晶體範例之初始特性的圖。

圖 29A 及 29B 為用於評估之元件的頂視圖，其為薄膜電晶體之範例。

圖 30A 及 30B 為表示用於評估之元件的 V_g - I_d 特性的圖，其為薄膜電晶體之範例。

【實施方式】

下文將參考圖式詳細說明本發明之實施例。應注意的是本發明並不侷限於以下的說明，且熟習此技藝者將可輕易瞭解各式改變及修改可在沒有偏離本發明的精神及範圍下被實施。因此，本發明不應受限於下面的實施例之描述。

應注意的是因為電晶體的源極端子和汲極端子依據電晶體的架構、操作條件和類此者改變，很難定義哪一個是源極端子或汲極端子。因此，在本說明書中，為了區別，以下將源極端子和汲極端子其中之一者稱為第一端子，而另一者稱為第二端子。

應注意的是在某些例子中，在實施例中顯示於圖式中的層的尺寸和厚度，或每個架構的範圍，或類此者為了簡化而被誇大。因此，本發明的實施例並不侷限於此規模。並且，在此說明書中，為了避免元件間的混淆，使用例如”第一”、”第二”和”第三”之序數詞，該等詞並不使用數字表示地限制該等元件。

(實施例 1)

在此實施例中，說明邏輯電路的範例。具體地，參考圖 1A 至 1D 和圖 2A 至 2D，說明每個包含具有使用氧化物半導體形成之通道形成區的薄膜電晶體之反相器的範例。

圖 1A 為表示此實施例之反相器範例的電路圖。示於圖 1A 中之反相器包含薄膜電晶體 11 至 14 和電容器 15。此處，該薄膜電晶體 11 係空乏型電晶體，且該等薄膜電晶體 12 至 14 係增強型電晶體。應注意的是在此說明書中，臨界值電壓為正的 n-通道電晶體係指增強型電晶體，且臨界值電壓為負的 n-通道電晶體係指空乏型電晶體。

薄膜電晶體 11 的第一端子係電連接至用來供應高電源供應電位 (V_{DD}) 的佈線 (以下，此佈線亦被稱為高電源供應電位線)。

薄膜電晶體 12 的閘極端子係電連接至用來供應輸入信號 (IN) 的佈線 (以下，此佈線亦被稱為輸入信號線)，且薄膜電晶體 12 的第一端子係電連接至閘極端子和薄膜電晶體 11 的第二端子。

薄膜電晶體 13 的閘極端子係電連接至用來供應脈衝信號 (PS) 的佈線 (以下，此佈線亦被稱為脈衝信號線)，薄膜電晶體 13 的第一端子係電連接至薄膜電晶體 12 的第二端子，且薄膜電晶體 13 的第二端子係電連接至用來供應低電源供應電位 (V_{SS}) 的佈線 (以下，此佈線亦被稱為低電源供應電位線)。

薄膜電晶體 14 的閘極端子係電連接至脈衝信號線，薄膜電晶體 14 的第一端子係電連接至閘極端子和薄膜電晶體 11 的第二端子及薄膜電晶體 12 的第一端子，且薄膜電晶體 14 的第二端子係電連接至用來輸出一輸出信號的佈線（以下，此佈線亦被稱為輸出信號線）。

電容器 15 的一端子係電連接至薄膜電晶體 14 的第二端子及輸出信號線，電容器 15 的另一端子係電連接至低電源供應電位線。

應注意的是，薄膜電晶體 11 係空乏型電晶體，其中該第一端子係電連接至高電源供應電位線，且該閘極端子係電連接至該第二端子。即，薄膜電晶體 11 係在任何期間被維持在開啓（on）的狀態。換句話說，薄膜電晶體 11 係作為電阻器。

並且，在此說明書中，高電源供應電位（ V_{DD} ）和低電源供應電位（ V_{SS} ）可為任意電位，只要高電源供應電位（ V_{DD} ）高於低電源供應電位（ V_{SS} ）。例如，可使用接地電位 0V 或類此者作為低電源供應電位（ V_{SS} ），並且可使用給定正電位或類此者作為高電源供應電位（ V_{DD} ）。

接著，參考圖 1B 中的時序圖說明示於圖 1A 中的的電路操作。應注意的是圖 1B 同時說明了薄膜電晶體 11 的閘極端子和第二端子、薄膜電晶體 12 的第一端子及薄膜電晶體 14 的第一端子彼此電連接的節點被視為一節點 A。

在 T1 期間，輸入信號（IN）和脈衝信號（PS）的電

位被增加至高位準。因此，薄膜電晶體 12 至 14 被開啓。因此，節點 A 和電容器的一端子被電連接至低電源供應電位線；亦即，節點 A 的電位和反相器的輸出信號（OUT）被降低至低位準。電荷並未被儲存在電容器 15 中。

在 T2 期間，脈衝信號（PS）的電位被降低至低位準。因此，薄膜電晶體 13 和 14 被關閉。當薄膜電晶體 13 被關閉時，節點 A 的電位被增加至高位準。當薄膜電晶體 14 被關閉時，電容器 15 的一端子進入浮接狀態。因此，反相器的輸出信號（OUT）被維持在低位準。

在 T3 期間，輸入信號（IN）的電位被降低至低位準，且脈衝信號（PS）的電位被增加至高位準。因此，薄膜電晶體 12 被關閉，且薄膜電晶體 13 和 14 被開啓。因此，節點 A 和電容器 15 的一端子經由薄膜電晶體 11 被電連接至高電源供應電位線；亦即，節點 A 的電位和反相器的輸出信號（OUT）被增加至高位準。正電荷被儲存在電容器 15 的一端子中。

在包含於本實施例之反相器中的複數個薄膜電晶體的每一個中，通道形成區係使用氧化物半導體形成。該氧化物半導體係具有減少的氫濃度的氧化物半導體。具體地，該氧化物半導體的氫濃度為 5×10^{19} (atoms/cm³) 或更少，且當無電場時，該氧化物半導體作為絕緣體或接近絕緣體的半導體（接近絕緣體的半導體係實質地為絕緣體）。因此，可減少具有使用該氧化物半導體所形成的通道形成區的薄膜電晶體的截止狀態電流。因此，可抑制經

由薄膜電晶體的電荷洩漏。

例如，藉由薄膜電晶體 14 的通道形成區（其使用該氧化物半導體所形成），可抑制在電容器 15 的一端子處於浮接狀態期間（亦即，T2 期間）的電位的位準變化，例如在 T2 期間的電位增加。因此，可防止反相器的故障。並且，可增長電容器 15 的一端子處於浮接狀態的期間。換句話說，可減少資料重寫進電容器 15（亦指更新）的次數。

並且，薄膜電晶體 13 的通道形成區（其使用該氧化物半導體所形成）可減少在輸入信號（IN）的電位位於高位準且脈衝信號（PS）的電位位於低位準的期間（亦即，T2 期間），由高電源供應電位線流向低電源供應電位線的通過電流。因此，可減少反相器的電力消耗。

應注意的是本實施例的反相器並不侷限於圖 1A 中所示之反相器。以下參考圖 1C 說明一反相器範例，其不同於圖 1A 中所示之反相器。

圖 1C 中所示的反相器包括薄膜電晶體 21 至 24 和電容器 25。此處，該薄膜電晶體 21 係空乏型電晶體且該等薄膜電晶體 22 至 24 為增強型電晶體。

薄膜電晶體 21 的第一端子係電連接至高電源供應電位線。

薄膜電晶體 22 的閘極端子係電連接至脈衝信號線，且薄膜電晶體 22 的第一端子係電連接至閘極端子及薄膜電晶體 21 的第二端子。

薄膜電晶體 23 的閘極端子係電連接至輸入信號線，
薄膜電晶體 23 的第一端子係電連接至薄膜電晶體 22 的第二端子，且薄膜電晶體 23 的第二端子係電連接至低電源供應電位線。

薄膜電晶體 24 的閘極端子係電連接至脈衝信號線，
薄膜電晶體 24 的第一端子係電連接至薄膜電晶體 22 的第二端子和薄膜電晶體 23 的第一端子，且薄膜電晶體 24 的第二端子係電連接至輸出信號線。

電容器 25 的一端子係電連接至薄膜電晶體 24 的第二端子及輸出信號線，且電容器 25 的另一端子係電連接至低電源供應電位線。

簡而言之，示於圖 1C 中的反相器係其中以薄膜電晶體 22 取代圖 1A 中的薄膜電晶體 13 的電路。

接著，參考圖 1D 中的時序圖說明示於圖 1C 中的電路操作。應注意的是圖 1D 同時說明了薄膜電晶體 22 的第二端子、薄膜電晶體 23 的第一端子及薄膜電晶體 24 的第一端子彼此電連接的節點被視為一節點 B。

在 T4 期間，輸入信號（IN）和脈衝信號（PS）的電位被增加至高位準。因此，薄膜電晶體 22 至 24 被開啓。因此，節點 B 和電容器 25 的一端子被電連接至低電源供應電位線；亦即，節點 B 的電位和反相器的輸出信號（OUT）被降低至低位準。電荷並未被儲存在電容器 25 中。

在 T5 期間，脈衝信號（PS）的電位被降低至低位

準。因此，薄膜電晶體 22 及 24 被關閉。當薄膜電晶體 24 被關閉時，電容器 25 的一端子進入浮接狀態。因此，反相器的輸出信號（OUT）被維持在低位準。應注意的是節點 B 的電位位於低位準。

在 T6 期間，輸入信號（IN）的電位被降低至低位準，且脈衝信號（PS）的電位被增加至高位準。因此，薄膜電晶體 23 被關閉，且薄膜電晶體 22 和 24 被開啓。因此，節點 B 和電容器 25 的一端子經由薄膜電晶體 21 被電連接至高電源供應電位線；亦即，節點 B 的電位和反相器的輸出信號（OUT）被增加至高位準。正電荷被積累在電容器 25 的一端子中。

在包含於示於圖 1C 中之反相器中的複數個薄膜電晶體的每一個中，通道形成區係使用氧化物半導體形成。該氧化物半導體係具有減少的氫濃度的氧化物半導體。具體地，該氧化物半導體的氫濃度為 5×10^{19} (atoms/cm³) 或更少，且當無電場時，該氧化物半導體作為絕緣體或接近絕緣體的半導體（接近絕緣體的半導體係實質地為絕緣體）。因此，可減少具有使用該氧化物半導體所形成的通道形成區的薄膜電晶體的截止狀態電流。因此，可抑制經由薄膜電晶體的電荷洩漏。

例如，藉由薄膜電晶體 24 的通道形成區（其使用該氧化物半導體所形成），可抑制在電容器 25 的一端子處於浮接狀態期間的電位的位準變化。因此，可防止反相器的故障。並且，可增長節點 B 處於浮接狀態的期間。換句

話說，可減少資料重寫進電容器 25（亦指更新）的次數。

並且，薄膜電晶體 22 的通道形成區（其使用該氧化物半導體所形成）可減少在輸入信號（IN）的電位位於高位準且脈衝信號（PS）的電位位於低位準的期間（亦即，T5 期間），由高電源供應電位線流向低電源供應電位線的通過電流。因此，可減少反相器的電力消耗。

雖然被電連接至反相器中的高電源供應電位線的薄膜電晶體使用空乏型電晶體，但薄膜電晶體可使用增強型電晶體。圖 2A 為係其中以薄膜電晶體 31（其為增強型電晶體）取代包含在示於圖 1A 中之反相器中的薄膜電晶體 11 的電路圖。相似地，圖 2B 為其中以薄膜電晶體 41（其為增強型電晶體）取代包含在示於圖 1C 中之反相器中的薄膜電晶體 21 的電路圖。應注意的是閘極端子和薄膜電晶體 31 及 41 各者的第一端子被電連接至高電源供應電位線。

雖然各個反相器包含電容器，但也可操作各個反相器而不需要電容器。圖 2C 顯示一電路圖，其中自示於圖 2A 中的反相器中移除電容器 15。相似地，圖 2D 顯示一電路圖，其中自示於圖 2B 中的反相器中移除電容器 25。

可以與任何其他實施例的適當結合來實施此實施例。

（實施例 2）

在此實施例中，說明邏輯電路的範例。具體地，參考

圖 3A 和 3B 及圖 4A 和 4B 說明移位暫存器的範例，該等移位暫存器各者包含實施例 1 中的反相器。

本實施例的移位暫存器包括複數個脈衝輸出電路；用於提供第一時脈信號（CK1）的佈線，其電連接至複數個脈衝輸出電路的奇數脈衝輸出電路（以下，此佈線亦被稱為第一時脈信號線）；及用於提供第二時脈信號（CK2）的佈線，其電連接至複數個脈衝輸出電路的偶數脈衝輸出電路（以下，此佈線亦被稱為第二時脈信號線）。並且，各個脈衝輸出電路的輸入端子係電連接至用於提供啓動脈衝信號（SP）的佈線（以下，此佈線亦被稱為啓動脈衝線）或前階段的脈衝輸出電路的輸出端子。

參考圖 3A 說明脈衝輸出電路的電路組態之一具體範例。應注意的是，於圖 3A 中顯示脈衝輸出電路 110、120 和 130。

脈衝輸出電路 110 包括薄膜電晶體 101 至 104 及電容器 105。此處，薄膜電晶體 101 為空乏型電晶體，且薄膜電晶體 102 至 104 為增強型電晶體。

薄膜電晶體 101 的第一端子係電連接至高電源供應電位線。

薄膜電晶體 102 的閘極端子係電連接至啓動脈衝線，且薄膜電晶體 102 的第一端子係電連接至薄膜電晶體 101 的閘極端子及第二端子。

薄膜電晶體 103 的閘極端子係電連接至第一時脈信號線，薄膜電晶體 103 的第一端子係電連接至薄膜電晶體

102 的第二端子，且薄膜電晶體 103 的第二端子係電連接至低電源供應電位線。

薄膜電晶體 104 的閘極端子係電連接至第一時脈信號線，且薄膜電晶體 104 的第一端子係電連接至薄膜電晶體 101 的閘極端子及第二端子和薄膜電晶體 102 的第一端子。

電容器 105 的一端子係電連接至薄膜電晶體 104 的第二端子，且電容器 105 的另一端子係電連接至低電源供應電位線。

即，示於圖 3A 中的脈衝輸出電路 110 係使用示於圖 1A 中的反相器所形成。

應注意的是"脈衝輸出電路 110 的輸入端子"意指輸入啟動脈衝信號（SP）或前階段的脈衝輸出電路的輸出信號至其的一端子，且"脈衝輸出電路 110 的輸出端子"意指信號從其輸出至次階段的脈衝輸入端子的一端子。即，此處，薄膜電晶體 102 的閘極端子係電連接至脈衝輸出電路的輸入端子，且薄膜電晶體 104 的第二端子和電容器 105 的一端子被電連接至輸出端子。在沒有給定對應於輸出端子和輸入端子的元件的情況中，薄膜電晶體 102 的閘極端子可被視為脈衝輸出電路的輸入端子，且薄膜電晶體 104 的第二端子及電容器 105 的一端子可被視為脈衝輸出電路的輸出端子。

脈衝輸出電路 120 的一具體電路組態相似於脈衝輸出電路 110 的電路組態；因此，該說明將參考此處。應注意

的是，脈衝輸出電路 120 和脈衝輸出電路 110 的不同處在於脈衝輸出電路 120 的輸入端子係電連接至脈衝輸出電路 110 的輸出端子，且第二時脈信號（CK2）被輸入至對應於脈衝輸出電路 110 中第一時脈信號（CK1）被輸入至其之端子的一端子。

在脈衝輸出電路 120 之後的脈衝輸出電路的電路組態相同於脈衝輸出電路 110 和 120 的電路組態。因此，該說明將參考此處。並且，如上所述，奇數脈衝輸出電路被電連接至第一時脈信號線且偶數脈衝輸出電路被電連接至第二時脈信號線。

接著，參考圖 3B 的時序圖說明示於圖 3A 中的電路操作。應注意的是，爲了方便，將圖 3A 中的電路的具體節點標示爲 C 至 G，並且依序參考各個節點的電位變化以說明圖 3B 的時序圖。

在 t1 期間，啓動脈衝信號（SP）的電位被增加至高位準。因此，薄膜電晶體 102 被開啓。薄膜電晶體 101 爲空乏型電晶體，其中閘極端子係電連接至第二端子。即，薄膜電晶體 101 在任何期間被維持在開啓（on）狀態。換句話說，薄膜電晶體 101 係作爲電阻器。

在 t2 期間，啓動脈衝信號（SP）的電位被維持在高位準。因此，薄膜電晶體 102 被維持在開啓狀態。

在 t3 期間，第一時脈信號（CK1）的電位被增加至高位準。因此，薄膜電晶體 103 和 104 被開啓。並且，啓動脈衝信號（SP）的電位被維持在高位準。因此，薄膜電晶

體 102 被維持在開啓狀態。因此，節點 C 和 D 被電連接至低電源供應電位線；亦即，節點 C 和 D 的電位被降低至低位準。

在 t4 期間，第一時脈信號（CK1）的電位被降低至低位準。因此，薄膜電晶體 103 和 104 被關閉。因此，節點 C 係經由薄膜電晶體 101 被電連接至高電源供應電位線，且節點 D 進入浮接狀態。即，節點 C 的電位被增加至高位準，且節點 D 的電位被維持在低位準。

在 t5 期間，啓動脈衝信號（SP）的電位被降低至低位準。因此，薄膜電晶體 102 被關閉。並且，第二時脈信號（CK2）的電位被增加至高位準。因此，薄膜電晶體 113 和 114 被開啓。因此，節點 F 經由薄膜電晶體 111 被電連接至高電源供應電位線；亦即，節點 F 的電位被增加至高位準。因此，薄膜電晶體 122 被開啓。

在 t6 期間，第二時脈信號（CK2）的電位被降低至低位準。因此，薄膜電晶體 113 和 114 被關閉。因此，節點 F 進入浮接狀態；亦即，節點 E 和 F 的電位被維持在高位準。

在 t7 期間，第一時脈信號（CK1）的電位被增加至高位準。因此，薄膜電晶體 103、104、123 及 124 被開啓。當薄膜電晶體 104 被開啓時，節點 D 係經由薄膜電晶體 101 電連接至高電源供應電位線；亦即，節點 D 的電位被增加至高位準。因此，薄膜電晶體 112 被開啓。節點 F 的電位被維持在高位準；因此，薄膜電晶體 122 被維持在開

啓狀態。因此，節點 G 係電連接至低電源供應電位線；亦即，節點 G 的電位被降低至低位準。

在 t8 期間，第一時脈信號（CK1）的電位被降低至低位準。因此，薄膜電晶體 103、104、123 及 124 被關閉。當薄膜電晶體 104 被關閉時，節點 C 係經由薄膜電晶體 101 電連接至高電源供應電位線，且節點 D 進入浮接狀態。因此，節點 C 和 D 被維持在高位準。當薄膜電晶體 123 被關閉時，節點 G 係經由薄膜電晶體 121 電連接至高電源供應電位線；亦即，節點 G 的電位被增加至高位準。

在 t9 期間，第二時脈信號（CK2）的電位被增加至高位準。因此，薄膜電晶體 113 和 114 被開啓。節點 D 的電位被維持在高位準，使得薄膜電晶體 112 被維持在開啓狀態。因此，節點 E 和 F 被電連接至低電源供應電位線；亦即，節點 E 和 F 的電位被降低至低位準。因此，薄膜電晶體 122 被關閉。並且，啓動脈衝（SP）的電位再次被增加至高位準。應注意的是，在該期間之後的期間中伴隨啓動脈衝（SP）的電位增加的操作相同於在 t1 期間之後的期間中的操作。因此，該說明將參考此處。

在 t10 期間，第二時脈信號（CK2）的電位被降低至低位準。因此，薄膜電晶體 113 和 114 被關閉。因此，節點 F 進入浮接狀態；亦即，節點 F 的電位被維持在低位準。並且，節點 E 係經由薄膜電晶體 111 電連接至高電源供應電位線；亦即，節點 E 的電位被增加至高位準。

關於接在 t10 期間之後的期間中的操作，重複前述的

操作。因此，該說明將參考此處。

應注意的是，包含在脈衝輸出電路中的電容器（例如，電容器 105、115 和 125）依序被提供以維持各個脈衝輸出電路的輸出信號。

在包含於本實施例之移位暫存器中的複數個薄膜電晶體的每一個中，通道形成區係使用氧化物半導體形成。該氧化物半導體係具有減少的氫濃度的氧化物半導體。具體地，該氧化物半導體的氫濃度為 5×10^{19} (atoms/cm³) 或更少，且當無電場時，該氧化物半導體作為絕緣體或接近絕緣體的半導體（接近絕緣體的半導體係實質地為絕緣體）。因此，可減少具有使用該氧化物半導體所形成的通道形成區的薄膜電晶體的截止狀態電流。因此，可抑制經由薄膜電晶體的電荷洩漏。

例如，藉由薄膜電晶體 104 的通道形成區（其使用該氧化物半導體所形成），可抑制在節點 D 處於浮接狀態期間（亦即，t4 至 t6 期間）的電位的位準變化，例如在 t4 至 t6 期間的電位增加。因此，可防止移位暫存器的故障。並且，可增長節點 D 處於浮接狀態的期間。換句話說，可減少資料重寫進電容器 105（亦指更新）的次數。

並且，薄膜電晶體 103 的通道形成區（其使用該氧化物半導體所形成）可減少在啟動脈衝（SP）的電位位於高位準且第一時脈信號（CK1）的電位位於低位準的期間（亦即，t1、t2 及 t4 期間），由高電源供應電位線流向低電源供應電位線的通過電流。因此，可減少移位暫存器

的電力消耗。

應注意的是本實施例的移位暫存器並不侷限於示於圖 3A 中的移位暫存器。參考圖 4A 和 4B 說明移位暫存器的一範例，該移位暫存器不同於示於圖 3A 和 3B 中的移位暫存器。

示於圖 4A 中的移位暫存器包括脈衝輸出電路 210、220 及 230。脈衝輸出電路 210 包括薄膜電晶體 201 至 204 及電容器 205。此處，薄膜電晶體 201 為空乏型電晶體，薄膜電晶體 202 至 204 為增強型電晶體。

薄膜電晶體的第一端子 201 係電連接至高電源供應電位線。

薄膜電晶體 202 的閘極端子係電連接至第一時脈信號線，薄膜電晶體 202 的第一端子係電連接至薄膜電晶體 201 的閘極端子和第二端子。

薄膜電晶體 203 的閘極端子係電連接至啟動脈衝線，薄膜電晶體 203 的第一端子係電連接至薄膜電晶體 202 的第二端子，薄膜電晶體 203 的第二端子係電連接至低電源供應電位線。

薄膜電晶體 204 的閘極端子係電連接至第一時脈信號線，薄膜電晶體 204 的第一端子係電連接至薄膜電晶體 202 的第二端子和薄膜電晶體 203 的第一端子。

電容器 205 的一端子係電連接至薄膜電晶體 204 的第二端子，電容器 205 的另一端子係電連接至低電源供應電位線。

簡而言之，示於圖 4A 中的脈衝輸出電路 210 係其中以薄膜電晶體 202 取代圖 3A 中包含於脈衝輸出電路 110 中的薄膜電晶體 103 的電路。

圖 4B 為一時序圖，顯示圖 4A 中的電路操作。應注意的是，為了方便，將圖 4A 中的電路的具體節點標示為 H 至 L，並且依序參考各個節點的電位變化以說明圖 4B 的時序圖。

在 t11 的期間，啟動脈衝信號（SP）的電位被增加至高位準。因此，薄膜電晶體 203 被開啓。因此，節點 H 係電連接至低電源供應電位線；亦即，節點 H 的電位被降低至低位準。

在 t12 的期間，啟動脈衝信號（SP）的電位被維持在高位準。即，節點 H 的電位被維持在低位準。

在 t13 的期間，第一時脈信號（CK1）的電位被增加至高位準。因此，薄膜電晶體 202 和 204 被開啓。並且，啟動脈衝信號（SP）的電位被維持在高位準，使得薄膜電晶體 203 被維持在開啓狀態。因此，節點 I 係電連接至低電源供應電位線；亦即，節點 I 的電位被降低至低位準。

在 t14 的期間，第一時脈信號（CK1）的電位被降低至低位準。因此，薄膜電晶體 202 和 204 被關閉。因此，節點 I 進入浮接狀態，使得節點 I 的電位被維持在低位準。

在 t15 的期間，啟動脈衝信號（SP）的電位被降低至低位準。因此，薄膜電晶體 203 被關閉。因此，節點 H 進

入浮接狀態，使得節點 H 的電位被維持在低位準。並且，第二時脈信號（CK2）的電位被增加至高位準。因此，薄膜電晶體 212 和 214 被開啓。因此，節點 J 和 K 經由薄膜電晶體 211 被電連接至高電源供應電位線；亦即，節點 J 和 K 的電位被增加至高位準。因此，薄膜電晶體 223 被開啓。因此，節點 L 係電連接至低電源供應電位線；亦即，節點 L 的電位被降低至低位準。

在 t16 的期間，第二時脈信號（CK2）的電位被降低至低位準。因此，薄膜電晶體 212 和 214 被關閉，使得節點 J 和 K 進入浮接狀態。因此，節點 J 和 K 的電位被維持在高位準，節點 L 的電位被維持在低位準。

在 t17 的期間，第一時脈信號（CK1）的電位被增加至高位準。因此，薄膜電晶體 202、204、222 及 224 被開啓。當薄膜電晶體 202 和 204 被開啓時，節點 H 和 I 經由薄膜電晶體 201 被電連接至高電源供應電位線；亦即，節點 H 和 I 的電位被增加至高位準。因此，薄膜電晶體 213 被開啓。因此，節點 J 係電連接至低電源供應電位線；亦即，節點 J 的電位被降低至低位準。

在 t18 的期間，第一時脈信號（CK1）的電位被降低至低位準。因此，薄膜電晶體 202、204、222 及 224 被關閉。當薄膜電晶體 202 和 204 被關閉時，節點 H 和 I 進入浮接狀態。因此，節點 H 和 I 的電位被維持在高位準。

在 t19 的期間，第二時脈信號（CK2）的電位被增加至高位準。因此，薄膜電晶體 212 和 214 被開啓。並且，

節點 I 的電位被維持在高位準，使得薄膜電晶體 213 被維持在開啓狀態。因此，節點 J 和 K 被電連接至低電源供應電位線；亦即，節點 J 的電位被維持在低位準，節點 K 的電位被降低至低位準。因此，薄膜電晶體 223 被關閉。因此，節點 L 係電連接至低電源供應電位線；亦即，節點 L 的電位被維持在低位準。並且，啓動脈衝（SP）的電位再次被增加至高位準。應注意的是，在該期間之後的期間中伴隨啓動脈衝（SP）的電位增加的操作相同於在 t11 期間之後的期間中的操作。因此，該說明將參考此處。

在 t20 的期間，第二時脈信號（CK2）的電位被降低至低位準。因此，薄膜電晶體 212 和 214 被關閉。因此，節點 J 和 K 進入浮接狀態。因此，節點 J 和 K 的電位被維持在低位準。

關於接在 t20 期間之後的期間中的操作，重複前述的操作。因此，該說明將參考此處。

應注意的是，包含在脈衝輸出電路中的電容器（例如，電容器 205、215 及 225）依序被提供以維持各個脈衝輸出電路的輸出信號。

在包含於示於圖 4A 中之移位暫存器中的複數個薄膜電晶體的每一個中，通道形成區係使用氧化物半導體形成。該氧化物半導體係具有減少的氫濃度的氧化物半導體。具體地，該氧化物半導體的氫濃度為 5×10^{19} (atoms/cm³) 或更少，且當無電場時，該氧化物半導體作為絕緣體或接近絕緣體的半導體（接近絕緣體的半導體

係實質地為絕緣體)。因此，可減少具有使用該氧化物半導體所形成的通道形成區的薄膜電晶體的截止狀態電流。因此，可抑制經由薄膜電晶體的電荷洩漏。

例如，藉由薄膜電晶體 204 的通道形成區（其使用該氧化物半導體所形成），可抑制在節點 I 處於浮接狀態期間（亦即， t_{11} 、 t_{12} 、 t_{14} 至 t_{16} 及 t_{18} 至 t_{20} 期間）的電位的位準變化，例如在 t_{11} 、 t_{12} 、 t_{19} 、 t_{20} 等期間的電位降低。因此，可防止移位暫存器的故障。並且，可增長節點 I 處於浮接狀態的期間。換句話說，可減少資料重寫進電容器 205（亦指更新）的次數。

並且，薄膜電晶體 202 的通道形成區（其使用該氧化物半導體所形成）可減少在啓動脈衝（SP）的電位位於高位準且第一時脈信號（CK1）的電位位於低位準的期間（亦即， t_{11} 、 t_{12} 、 t_{14} 至 t_{16} 及 t_{18} 至 t_{20} 期間），由高電源供應電位線流向低電源供應電位線的通過電流。因此，可減少移位暫存器的電力消耗。

雖然被電連接至上述移位暫存器中的高電源供應電位線的薄膜電晶體使用空乏型電晶體，但薄膜電晶體可替代地使用增強型電晶體。即，本實施例的脈衝輸出電路可使用示於圖 2A 和 2B 中的反相器。

雖然各個移位暫存器的脈衝輸出電路包含電容器，但也可操作各個移位暫存器而不需要電容器。即，本實施例的脈衝輸出電路可使用示於圖 2C 和 2D 中的反相器。

可以與任何其他實施例的適當結合來實施此實施例。

(實施例 3)

在此實施例中，說明包含在實施例 1 或實施例 2 的邏輯電路中的薄膜電晶體之範例。

參考圖 5A 和 5B 及圖 6A 至 6E 說明薄膜電晶體的一實施例及此實施例的薄膜電晶體的製造方法。

圖 5A 和 5B 顯示薄膜電晶體的平面結構和橫截面結構的一範例。示於圖 5A 和 5B 中的薄膜電晶體 410 為頂閘極薄膜電晶體之一。

圖 5A 為具有頂閘極結構的薄膜電晶體 410 的平面圖，圖 5B 為沿著圖 5A 中的線 C1-C2 所擷取的橫截面圖。

薄膜電晶體 410 包括於具有絕緣表面的基板 400 上的絕緣層 407、氧化物半導體層 412、源極或汲極電極層 415a、源極或汲極電極層 415b、閘極絕緣層 402 及閘極電極層 411。提供佈線層 414a 和佈線層 414b 使得各別連接及電連接至源極或汲極電極層 415a 和源極或汲極電極層 415b。

雖然說明係使用單一閘極薄膜電晶體作為薄膜電晶體 410，但可視需求形成包含有複數個通道形成區的多閘極薄膜電晶體。

參考圖 6A 至 6E 於以下說明在基板 400 上的薄膜電晶體 410 的製造過程。

可被使用作為具有絕緣表面的基板 400 的基板並沒有

特別限制，只要其具有耐熱性以承受稍後實施的熱處理。可使用以鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃或類此者形成的玻璃基板。

當稍後實施的熱處理的溫度係高的時，玻璃基板較佳使用具有 730°C 或更高的應變點的基板。例如，使用玻璃材料例如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鋇硼矽酸鹽玻璃作為玻璃基板的材料。應注意的是，藉由含有氧化鋇 (BaO) 和氧化硼 (B_2O_3) 使得 BaO 的量大於 B_2O_3 的量，玻璃基板係耐熱的且有很多實際用途。因此，較佳使用含有 BaO (相較於 B_2O_3) 以致 BaO 的量大於 B_2O_3 的量的玻璃基板。

應注意的是，取代上述的玻璃基板，可使用以絕緣體形成的基板，例如陶瓷基板、石英基板、或藍寶石基板做為基板。或者，可使用微晶玻璃或類此者。再或者，可適當地使用塑膠基板或類此者。

首先，作為基底膜的絕緣層 407 係形成於具有絕緣表面的基板 400 上。較佳使用氧化物絕緣層例如氧化矽層、氮氧化矽層、氧化鋁層或氮氧化鋁層作為與該氧化物半導體層接觸的絕緣層 407。雖然可使用電漿 CVD 法、濺鍍法或類此者作為形成絕緣層 407 的方法，但較佳使用濺鍍法形成絕緣層 407，使得絕緣層 407 中含有盡可能少的氫氣。

在此實施例中，使用濺鍍法形成氧化矽層作為絕緣層 407。基板 400 被轉送至處理室，並且導入其中氫氣和水

氣被移除且含有高純度氧氣的濺鍍氣體，藉以使用矽半導體靶材於基板 400 上形成氧化矽層作為絕緣層 407。基板 400 可處於室溫或被加熱。

例如，於以下條件使用 RF 濺鍍法形成氧化矽層：使用石英（較佳為合成石英）作為靶材；基板溫度為 108℃；介於基板和靶材之間的距離（T-S 距離）為 60mm；壓力為 0.4 Pa；高頻電源的電功率為 1.5 kW；且氣體氛圍為包含氧氣和氬氣的氣體氛圍（氧氣對氬氣的流量比為 1：1（各個流量為 25 sccm））。氧化矽層的厚度為 100nm。應注意的是，取代石英（較佳為合成石英），可使用矽靶材作為當形成氧化矽層時使用的靶材。使用氧氣或氧氣和氬氣的混合氣體作為濺鍍氣體。

在此情況中，絕緣層 407 較佳於移除剩餘在處理室中的水氣時形成。這是為了防止氬氣、羥基和水氣被包含於絕緣層 407 中。

為了移除剩餘在處理室中的水氣，較佳使用誘捕真空泵。例如，較佳使用低溫泵、離子泵或鈦昇華泵。並且，抽空單元可為設置有冷凝捕集器的渦輪泵。在使用低溫泵抽空的沉積室中，抽空氬原子、包含氬原子，例如水（ H_2O ）等的化合物，從而可減少在沉積室中形成的絕緣層 407 中的雜質濃度。

較佳使用高純度氣體作為當形成絕緣層 407 時使用的濺鍍氣體，從該高純度氣體中移除雜質例如氬氣、水、羥基或氫化物至以 ppm 或 ppb 標準表示之濃度。

濺鍍法的例子包括 RF 濺鍍法，其中使用高頻電源作為濺鍍電源；DC 濺鍍法，其中使用 DC 電源及脈衝 DC 濺鍍法，其中以脈衝方式施加一偏壓。在形成絕緣膜的情況中，主要使用 RF 濺鍍法，在形成金屬膜的情況中，主要使用 DC 濺鍍法。

此外，亦有一多源濺鍍設備，其中可設置複數個不同材料的靶材。使用該多源濺鍍設備，可於相同腔室中形成不同材料的薄膜以堆疊，或可釋放複數種材料用於在相同腔室中同時間的薄膜形成。

此外，有設置有磁鐵系統於腔室內的濺鍍設備，其用於磁控濺鍍法；及有用於 ECR 濺鍍法的濺鍍設備，其中不使用輝光放電而使用由使用微波而產生的電漿。

此外，作為使用濺鍍法的沉積方法，亦有反應濺鍍法，其中靶材物質和濺鍍氣體成分於沉積期間彼此化學反應以形成其之薄化合物膜；及有偏壓濺鍍法，其中於沉積期間亦施加電壓於基板。

並且，絕緣層 407 可具有層狀結構，其中例如從基板 400 側依序堆疊諸如氮化矽層、氧化氮化矽層、氮化鋁層或氧化氮化鋁層的氮化物絕緣層及氧化物絕緣層。

例如，引入其中移除氫氣和水氣且包含高純度氮氣的濺鍍氣體，並且使用矽靶材，藉以在氧化矽層和基板之間形成氮化矽層。在此情況中，當移除剩餘在處理室中的水氣時，較佳形成氮化矽層，和氧化矽層相同。

在形成氮化矽層的情況中，可在薄膜形成中加熱基

板。

在提供氮化矽層和氧化矽層的疊層作為絕緣層 407 的情況中，氮化矽層和氧化矽層可在相同處理室中使用共同矽靶材形成。在首先引入包含氮氣的濺鍍氣體之後，使用安置在處理室中的矽靶材形成氮化矽層，然後，濺鍍氣體轉換成包含氧氣的濺鍍氣體且使用相同的矽靶材以形成氧化矽層。因為氮化矽層和氧化矽層可不暴露在空氣中連續被形成，因此可防止諸如氫氣和水氣的雜質被吸附到氮化矽層的表面。

然後，形成包含厚度 2nm 至 200nm 的氧化物半導體膜於閘極絕緣層 407 上。

並且，為了讓該氧化物半導體層盡可能少地含有氫氣、羥基和水氣，較佳為在濺鍍設備的預熱室中預熱絕緣層 407 形成於其上的基板 400 作為薄膜形成的預熱，使得吸附於基板 400 的例如氫氣和水氣的雜質被排除和排空。應注意的是，低溫泵係較佳作為設置於預熱室中的抽空單元。應注意的是此預熱處理可被省略。並且，此預熱可同樣實施於閘極絕緣層 402 並未被形成於其上的基板 400 上和同樣實施於高達源極或汲極電極層 415a 和源極或汲極電極層 415b 的層已被形成於其上的基板 400 上。

應注意的是在以濺鍍法形成該氧化物半導體層之前，較佳以反向濺鍍移除吸附於絕緣層 407 表面的灰塵，該反向濺鍍中導入氫氣氣體且產生電漿。反向濺鍍意指沒有施加電壓於靶材側，而於氫氣氛圍中使用高頻電源施加電壓

於基板側，使得電漿被產生以修改基板表面的方法。應注意的是，可使用氮氣氛圍、氬氣氛圍、氧氣氛圍或類此者替代氬氣氛圍。

使用濺鍍法形成該氧化物半導體層。該氧化物半導體層使用以 In-Ga-Zn-O 為基質的氧化物半導體層、以 In-Sn-Zn-O 為基質的氧化物半導體層、以 In-Al-Zn-O 為基質的氧化物半導體層、以 Sn-Ga-Zn-O 為基質的氧化物半導體層、以 Al-Ga-Zn-O 為基質的氧化物半導體層、以 Sn-Al-Zn-O 為基質的氧化物半導體層、以 In-Zn-O 為基質的氧化物半導體層、以 Sn-Zn-O 為基質的氧化物半導體層、以 Al-Zn-O 為基質的氧化物半導體層、以 In-O 為基質的氧化物半導體層、以 Sn-O 為基質的氧化物半導體層或以 Zn-O 為基質的氧化物半導體層形成。在此實施例中，該氧化物半導體層藉由使用以 In-Ga-Zn-O 為基質的氧化物金屬靶材的濺鍍法形成。並且，該氧化物半導體層可在稀有氣體氛圍（典型為氬氣）、氧氣氛圍或含有稀有氣體（典型為氬氣）和氧氣的混合氛圍中以濺鍍法形成。在使用濺鍍法的例子中，薄膜形成可使用包含在 2wt%至 10wt%之內的 SiO₂ 的靶材。

較佳使用高純度氣體作為當形成該氧化物半導體層時使用的濺鍍氣體，從該高純度氣體中移除雜質例如氬氣、水、羥基或氫化物至以 ppm 或 ppb 標準表示之濃度。

可使用包含氧化鋅作為其主要成分的金屬氧化物靶材，作為使用濺鍍法形成該氧化物半導體層的靶材。作為

金屬氧化物靶材的另一範例，可使用包含 In、Ga 和 Zn 的金屬氧化物靶材（成分比例為 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol]， $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ [atom]）。替代地，可使用包含 In、Ga 和 Zn 的金屬氧化物靶材（成分比例為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 或 $1 : 1 : 2$ [atom]）。除了被關於已形成的金屬氧化物靶材之總量的空間等所佔有的區域之外的部份的量的比例（亦稱為金屬氧化物靶材的填充率）為 90% 至 100%，較佳為 95% 至 99.9%。藉由使用具有高填充率的金屬氧化物靶材，形成緻密的氧化物半導體層。

基板被保持在維持於減低壓力之下的處理室中，將其中氫氣和水氣被移除的濺鍍氣體導入至其中剩餘水氣將被移除的處理室，且使用金屬氧化物作為靶材，形成該氧化物半導體層於基板 400 上。較佳使用誘捕真空泵以移除剩餘在處理室中的水氣。例如，較佳使用低溫泵、離子泵或鈦昇華泵。並且，抽空單元可為設置有冷凝捕集器的渦輪泵。在使用低溫泵抽空的沉積室中，排空氫原子、包含氫原子的化合物，例如水（ H_2O ），（較佳的亦有包含碳原子的化合物）等，從而可減少形成於沉積室中的該氧化物半導體層中的雜質濃度。當形成該氧化物半導體層時，可加熱基板。

沉積條件之範例如下：基板溫度為室溫，基板和靶材之間的距離為 60mm，壓力為 0.4 Pa，DC 電源的電功率為 0.5 kW，且氣體氛圍為包含氧氣和氫氣的氣體氛圍（氧氣對氫氣的流量比為 15 sccm : 30 sccm）。較佳係使用脈衝

DC 電源，因為可減少於薄膜形成中產生的粉末物質（亦指粒子或塵埃），且可均勻化薄膜厚度。該氧化物半導體層較佳具有包含 5nm 至 30nm 的厚度。應注意的是，適當厚度係依據使用的氧化物半導體材料，且可依據材料選擇該厚度。

然後，在第一微影製程中，該氧化物半導體層被蝕刻成島型氧化物半導體層 412（見圖 6A）。可使用噴墨法形成用於形成該島型氧化物半導體層 412 的抗蝕遮罩。當使用噴墨法形成抗蝕遮罩時，不使用光罩；因此，可降低製造成本。

應注意的是，該氧化物半導體層的蝕刻可為乾蝕刻、濕蝕刻或乾蝕刻和濕蝕刻兩者。

作為乾蝕刻的蝕刻氣體，較佳使用包含氯（以氯為基質的氣體，例如氯氣（ Cl_2 ）、氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）或四氯化碳（ CCl_4 ））的氣體。

替代地，可使用包含氟的氣體（以氟為基質的氣體，例如四氟化碳（ CF_4 ）、氟化硫（ SF_6 ）、氟化氮（ NF_3 ）或三氟甲烷（ CHF_3 ））；溴化氫（ HBr ）；氧氣（ O_2 ）；加入稀有氣體例如氦氣（ He ）或氬氣（ Ar ）的任何這些氣體或類此者。

作為乾蝕刻法，可使用平行板 RIE（反應性離子蝕刻）法或 ICP（電感式耦合電漿）蝕刻法。為了將薄膜蝕刻成想要的形狀，適當調整蝕刻條件（施加於線圈狀電極的電量、施加於基板側上電極的電量、基板側上電極的溫

度或類此者）。

作為用於濕蝕刻的蝕刻劑，可使用磷酸、醋酸和硝酸的混合溶液。替代地，可使用 ITO07N（由 KANTO CHEMICAL CO., INC. 所生產）。

濕蝕刻中所使用的蝕刻劑和被蝕刻掉的材料一起藉由清潔而被移除。可淨化包含蝕刻劑和被蝕刻掉的材料廢液且可再使用該材料。當蒐集蝕刻後來自廢液的例如包含於該氧化物半導體層中的銦的材料並且再使用該材料，可有效使用資源和降低成本。

依據該材料適當調整蝕刻條件（例如蝕刻劑、蝕刻時間和溫度），使得可蝕刻該氧化物半導體層以具有想要的形狀。

在此實施例中，使用磷酸、醋酸和硝酸的混合溶液作為蝕刻劑，使用濕蝕刻法將該氧化物半導體層蝕刻成島型氧化物半導體層 412。

在此實施例中，該氧化物半導體層 412 接受第一熱處理。第一熱處理的溫度係高於或等於 400°C 且低於或等於 750°C，較佳為高於或等於 400°C 且低於基板的應變點。此處，導入基板於熱處理設備之一的電爐，在氮氣氛圍中於 450°C 在該氧化物半導體層上實施熱處理一小時，然後，該氧化物半導體層並不暴露於空氣中，使得可防止水和氫氣進入該氧化物半導體層中；因此，可獲得該氧化物半導體層。經由第一熱處理，可實施該氧化物半導體層 412 的脫水或脫氫。

用於熱處理的設備並不侷限於電爐，且可為設置有用於加熱將被處理之對象的裝置之一者，使用來自加熱元件例如電阻加熱元件的熱傳導或熱輻射。例如，可使用 RTA（快速熱退火）設備，例如 GRTA（氣體快速熱退火）設備或 LRTA（燈快速熱退火）設備。LRTA 設備係用於加熱將藉由發射自燈（例如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈）的光輻射（電磁波）所處理的對象的設備。GRTA 設備係用於使用高溫氣體之熱處理的設備。作為氣體，使用因為熱處理而難以與將被處理的對象產生反應的惰性氣體，例如氮氣或稀有氣體，例如氬氣。

例如，作為第一熱處理，可實施 GRTA 如下。轉移基板並置於已被加熱至 650°C 至 700°C 高溫的惰性氣體中，加熱數分鐘，轉移並從已被加熱至高溫的惰性氣體中取出。GRTA 在短時間內致能高溫熱處理。

應注意的是在第一熱處理中，水、氬氣等不被包含於氮氣或稀有氣體（例如氮氣、氬氣或氬氣）中係較佳的。替代地，較佳為導入設備用於熱處理的氮氣或稀有氣體（例如氮氣、氬氣或氬氣）具有 6N（99.9999%）或更高的純度，較佳為 7N（99.99999%）或更高（即，雜質濃度被設定為 1 ppm 或更低，較佳為 0.1 ppm 或更低）。

並且，依據第一熱處理的條件或氧化物半導體層 412 的材料，該氧化物半導體層可能被結晶化為微晶薄膜或多晶薄膜。例如，可結晶化該氧化物半導體層成為具有結晶

度 90%或更多、或 80%或更多的微晶氧化物半導體層。並且，依據第一熱處理的條件或氧化物半導體層 412 的材料，該氧化物半導體層可成為不包含結晶元件的非晶氧化物半導體層。該氧化物半導體層可成為其中將微晶部分（具有晶粒直徑大於或等於 1nm 且小於或等於 20nm，典型地大於或等於 2nm 且小於或等於 4nm）混合入非晶氧化物半導體的氧化物半導體層。

替代地，第一熱處理可在尚未被處理成島型氧化物半導體層 412 的氧化物半導體層上實施。在此情況中，在第一熱處理之後，將基板自熱處理設備中移除且實施微影製程。

可於下列任何時間點在該氧化物半導體層上實施具有脫水或脫氫效果的熱處理：在形成該氧化物半導體層之後；在該氧化物半導體層 412 上形成源極電極層和汲極電極層之後；和在該源極電極層和該汲極電極層上形成閘極絕緣層之後。

接著，在絕緣層 407 和該氧化物半導體層 412 上形成導電層。該導電層可利用例如濺鍍法或真空蒸發法形成。可使用選自 Al、Cr、Cu、Ta、Ti、Mo 或 W 的元素；包含上述任何元素的合金等作為導電層的材料。並且，可使用選自錳、鎂、鋅、鈹和鈦的一或多個材料。該導電層可具有單層結構或二或多層的層狀結構。可提供例如，包含矽的鋁層的單層結構，其中鈦層疊層於鋁層上的兩層結構，其中依鈦層、鋁層和鈦層順序疊層的三層結構，和類

此者。替代地，可使用一層、一合金層、或鋁（Al）和一個或多個選自下列元素之組合的氮化層：鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）和釷（Sc）。

實施第二微影製程。形成抗蝕遮罩於導電層上且實施選擇性蝕刻，以形成源極或汲極電極層 415a 和源極或汲極電極層 415b。然後，移除抗蝕遮罩（見圖 6B）。應注意的是該源極電極層和該汲極電極層較佳具有錐形形狀，因為可改善層疊於其上之閘極絕緣層的覆蓋率。

在此實施例中，使用濺鍍法形成厚度達 150nm 的鈦層成為該源極或汲極電極層 415a 和該源極或汲極電極層 415b。

應注意的是適當調整材料和蝕刻條件，使得該氧化物半導體層 412 不被移除，且當蝕刻該導電層時，在該氧化物半導體層 412 下的絕緣層 407 不被曝露。

在此實施例中，使用鈦層作為該導電薄膜，使用以 In-Ga-Zn-O 為基質的氧化物半導體作為氧化物半導體層 412，並且使用氨雙氧水（氨、水和過氧化氫溶液的混合）作為蝕刻劑。

應注意的是在第二微影製程中，只有該氧化物半導體層 412 的部份被蝕刻，藉此可能形成具有凹槽（低陷部分）的氧化物半導體層。可使用噴墨法形成用於形成該源極或汲極電極層 415a 及該源極或汲極電極層 415b 的抗蝕遮罩。當使用噴墨法形成抗蝕遮罩時，不使用光罩；因

此，可降低製造成本。

於第二微影製程中使用紫外線、KrF 雷射光或 ArF 雷射光於形成抗蝕遮罩的曝光。將於稍後形成的薄膜電晶體的通道長度 L 取決於在氧化物半導體層 412 上彼此相鄰之該源極電極層的底部部分和該汲極電極層的底部部分之間的間隔寬度。應注意的是當在該通道長度 L 係短於 25nm 的情況下實施曝光時，於第二微影製程中使用具有數奈米至數十奈米之極短波長的極紫外線於形成抗蝕遮罩的曝光。使用極紫外線的曝光導致高解析度和大焦點深度。因此，將於稍後形成的薄膜電晶體的通道長度 L 可被設定為 10nm 至 1000nm 之間。因此，可增加電路的操作速度，並且進一步，截止狀態電流可顯著地較小以達成低功率消耗。

接著，形成閘極絕緣層 402 於絕緣層 407，氧化物半導體層 412，源極或汲極電極層 415a 和源極或汲極電極層 415b 之上（見圖 6C）。

閘極絕緣層 402 可以電漿 CVD 法、濺鍍法或類此者，使用氧化矽層、氮化矽層、氮氧化矽層、氧化氮化矽層和氧化鋁層之任一者以單層結構或層狀結構形成。應注意的是閘極絕緣層 402 較佳係使用濺鍍法形成，以使閘極絕緣層 402 盡可能包含較少的氫氣。在氧化矽層係以濺鍍法形成的情況中，使用矽靶材或石英靶材作為靶材且使用氧氣或氧氣和氬氣的混合氣體作為濺鍍氣體。

閘極絕緣層 402 可具有氧化矽層和氮化矽層自源極或

汲極電極層 415a 和源極或汲極電極層 415b 之側堆疊的結構。例如，形成厚度達 5nm 至 300nm 之間的氧化矽層（ SiO_x （ $x>0$ ））作為第一閘極絕緣層，並於該第一閘極絕緣層上堆疊厚度達 50nm 至 200nm 之間的氮化矽層（ SiN_y （ $y>0$ ））作為第二閘極絕緣層；因此，可形成具有厚度為 100nm 的閘極絕緣層。在此實施例中，於以下條件使用 RF 濺鍍法形成厚度達 100nm 的氧化矽層：壓力為 0.4 Pa；高頻電源的電功率為 1.5 kW；且氣體氛圍為包含氧氣和氬氣的氣體氛圍（氧氣對氬氣的流量比為 1：1（各個流量為 25 sccm））。

然後，實施第三微影製程。形成抗蝕遮罩且實施選擇性蝕刻以移除部份的閘極絕緣層 402，以形成分別接觸源極或汲極電極層 415a 和源極或汲極電極層 415b 的開口 421a 和 421b（見圖 6D）。

然後，在閘極絕緣層 402 上和開口 421a 和 421b 中形成導電層之後，於第四微影製程中形成閘極電極層 411 和佈線層 414a 和 414b。應注意的是可使用噴墨法形成抗蝕遮罩。當使用噴墨法形成抗蝕遮罩時，不使用光罩；因此，可降低製造成本。

並且，閘極電極層 411 和佈線層 414a 和 414b 可使用例如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹和鈳之任何金屬材料、和包含上述任何材料作為主成分的合金材料，以單層結構或層狀結構形成。

作為閘極電極層 411 和佈線層 414a 和 414b 之各者的

兩層結構，例如，其中鉬層堆疊於鋁層上的兩層結構、其中鉬層堆疊於銅層上的兩層結構、其中氮化鈦層或氮化鉬層堆疊於銅層上的兩層結構、或其中堆疊氮化鈦層和鉬層的兩層結構係較佳的。作為三層結構，鎢層或氮化鎢層、鋁和矽的合金層或鋁和鈦的合金層及氮化鈦層或鈦層的堆疊係較佳的。應注意的是可使用透光導電層形成閘極電極層。可提供透光導電氧化物作為該透光導電層的範例。

在此實施例中，以濺鍍法形成厚度達 150nm 的鈦層成為閘極電極層 411 及佈線層 414a 和 414b。

接著，在惰性氣體氛圍或氧氣氣體氛圍中實施第二熱處理（較佳為 200°C 至 400°C 之間，例如，250°C 至 350°C 之間）。在此實施例中，於氮氣氛圍中在 250°C 實施第二熱處理一小時。可於保護絕緣層或平坦化絕緣層形成於薄膜電晶體 410 上之後，實施第二熱處理。

並且，可於 100°C 至 200°C 在空氣中實施熱處理一小時至 30 小時。此熱處理可以固定的加熱溫度實施。替代地，下列之加熱溫度的改變可被重複進行複數次：加熱溫度係從室溫增加到 100°C 至 200°C 之間的溫度，然後降低至室溫。並且，可在減壓下實施此熱處理。在減壓下，可縮短加熱時間。

經由上述步驟，可形成包含氧化物半導體層 412 的薄膜電晶體 410，氧化物半導體層 412 中之氫氣、水氣、氫化物或氫氧化物的濃度係減少的（見圖 6E）。可使用薄膜電晶體 410 作為包含於實施例 1 或實施例 2 中的邏輯電

路中的薄膜電晶體。

保護絕緣層或用於平坦化的平坦化絕緣層可被設置於薄膜電晶體 410 之上。例如，該保護絕緣層可以單層結構或使用氧化矽層、氮化矽層、氮氧化矽層、氧化氮化矽層及氧化鋁層之任一者的層狀結構所形成。

雖然未圖示，可使用耐熱有機材料，例如聚醯亞胺、丙烯酸樹脂、苯並環丁烯樹脂、聚醯胺或環氧樹脂來形成平坦化絕緣層。除了這些有機材料以外，亦可能使用低介電常數材料（low-k 材料）、矽氧烷基樹脂、PSG（矽酸磷玻璃）、BPSG（硼磷矽玻璃）等。應注意的是平坦化絕緣層可以堆疊利用上述任何材料所形成之複數個絕緣層來形成。

應注意的是矽氧烷基樹脂對應於使用以矽氧烷為基質的材料作為起始原料所形成的包含 Si-O-Si 鍵結的樹脂。矽氧烷基樹脂可包含有機基（例如，烷基或芳基）或氟基作為取代基。此外，有機基可包含氟基。

形成平坦化絕緣層的方法並沒有特殊的限制，並且可依據該材料施用下列方法或機構：例如濺鍍法、SOG 法、旋轉塗佈法、浸漬法、噴塗法或液滴放電法（例如，噴墨法、網版印刷或平版印刷）之方法，或例如刮刀、輥式塗佈機、幕簾式塗佈機或刮刀塗佈機之工具（器具）。

在形成該氧化物半導體層中，如上述移除剩餘在反應氛圍中的水氣，藉以可減少該氧化物半導體層中的氫氣及氧化物。因此，該氧化物半導體層可為穩定的。

實施例 1 和 2 中的包含上述薄膜電晶體的邏輯電路可具有穩定的電器特性和高可靠性。

此實施例可適當結合其他實施例來實施。

（實施例 4）

在此實施例中，說明包含於實施例 1 或實施例 2 中之邏輯電路中的薄膜電晶體的另一範例。和實施例 3 中相同的部分，及具有與實施例 3 中之該等部分相同功能的部份，及和實施例 3 中相同之步驟，可如同於實施例 3 中被處理，且將省略重複的說明。此外，亦將省略相同部分之詳細說明。

參考圖 7A 和 7B 及圖 8A 至 8E 說明薄膜電晶體之一實施例及此實施例之薄膜電晶體的製造方法。

圖 7A 和 7B 表示薄膜電晶體之平面結構和橫截面結構的範例。示於圖 7A 和 7B 中的薄膜電晶體 460 係頂閘極薄膜電晶體之一。

圖 7A 係具有頂閘結構的薄膜電晶體 460 之平面圖，圖 7B 為圖 7A 中沿著線 D1-D2 所取的橫截面圖。

薄膜電晶體 460 包含絕緣層 457、源極或汲極電極層 465a（465a1 和 465a2）、氧化物半導體層 462、源極或汲極電極層 465b、佈線層 468、閘極絕緣層 452 及閘極電極層 461（461a 和 461b）於具有絕緣表面的基板 450 之上。源極或汲極電極層 465a（465a1 和 465a2）係經由佈線層 468 電連接至佈線層 464。雖然未圖示，源極或汲極

電極層 465b 係經由形成於閘極絕緣層 452 中的開口電連接至佈線層。

參考圖 8A 至 8E 於下列說明在基板 450 之上製造薄膜電晶體 460 的過程。

首先，形成作為基底膜的絕緣層 457 於具有絕緣表面的基板 450 之上。

在此實施例中，以濺鍍法形成氧化矽層作為絕緣層 457。傳送基板 450 至處理室，並導入其中氫氣和水氣被移除且包含高純度氧氣的濺鍍氣體，藉以使用矽靶材或石英（較佳為合成石英）形成氧化矽層作為絕緣層 457 於基板 450 之上。使用氧氣或氧氣和氫氣的混合氣體作為濺鍍氣體。

例如，於以下條件使用 RF 濺鍍法形成氧化矽層：濺鍍氣體的純度為 6N；使用石英（較佳為合成石英）；基板溫度為 108 °C；介於基板和靶材之間的距離（T-S 距離）為 60mm；壓力為 0.4 Pa；高頻電源的電功率為 1.5 kW；且氣體氛圍為包含氧氣和氫氣的氣體氛圍（氧氣對氫氣的流量比為 1：1（各個流量為 25 sccm））。氧化矽層的厚度為 100nm。應注意的是取代石英（較佳為合成石英），當形成氧化矽層時可使用矽靶材作為使用的靶材。

在此情況中，絕緣層 457 較佳於移除剩餘在處理室中的水氣時形成。這是為了防止氫氣、羥基和水氣被包含於絕緣層 457 中。在使用低溫泵抽空的沉積室中，抽空氫原子、包含氫原子，例如水（ H_2O ）等的化合物，從而可減

少在沉積室中形成的絕緣層 457 中的雜質濃度。

較佳使用高純度氣體作為當形成絕緣層 457 時使用的濺鍍氣體，從該高純度氣體中移除雜質例如氫氣、水、羥基或氫化物至以 ppm 或 ppb 標準表示之濃度。

並且，絕緣層 457 可具有層狀結構，其中例如從基板 450 側依序堆疊諸如氮化矽層、氧化氮化矽層、氮化鋁層或氧化氮化鋁層的氮化物絕緣層及氧化物絕緣層。

例如，引入其中移除氫氣和水氣且包含高純度氮氣的濺鍍氣體，並且使用矽靶材，藉以在氧化矽層和基板之間形成氮化矽層。在此情況中，較佳於移除處理室中的剩餘水氣的同時形成該氮化矽層，相似於該氧化矽層。

接著，形成導電層於絕緣層 457 之上且實施第一微影製程。形成抗蝕遮罩於導電層上且實施選擇性蝕刻，以形成源極或汲極電極層 465a1 和 465a2。然後，移除抗蝕遮罩（見圖 8A）。於橫截面看起來源極或汲極電極層 465a1 和 465a2 好像被分開；然而，該源極或汲極電極層 465a1 和 465a2 係連續層。應注意的是該源極電極層和該汲極電極層較佳具有錐形形狀，因為可改善層疊於其上之閘極絕緣層的覆蓋率。

可使用選自 Al、Cr、Cu、Ta、Ti、Mo 或 W 的元素；包含上述任何元素的合金等作為源極或汲極電極層 465a1 和 465a2 的材料。並且，可使用選自錳、鎂、鋅、鈹和鈦的一或多個材料。該導電層可具有單層結構或二或多層的層狀結構。可提供例如，包含矽的鋁層的單層結

構，其中鈦層疊層於鋁層上的兩層結構，其中依鈦層、鋁層和鈦層順序疊層的三層結構，和類此者。替代地，可使用一層、一合金層、或鋁（Al）和一或多個選自下列元素之組合的氮化層：鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）和釷（Sc）。

在此實施例中，以濺鍍法形成厚度達 150nm 的鈦層成為源極或汲極電極層 465a1 和 465a2。

然後，形成包含厚度 2nm 至 200nm 的氧化物半導體層於閘極絕緣層 457 和源極或汲極電極層 465a1 和 465a2 上。

然後，形成氧化物半導體層且在第二微影製程中，該氧化物半導體層被處理成為島型氧化物半導體層 462（見圖 8B）。在此實施例中，該氧化物半導體層藉由使用以 In-Ga-Zn-O 為基質的氧化物金屬靶材的濺鍍法形成。

基板被保持在維持於減低壓力之下的處理室中，將其中氫氣和水氣被移除的濺鍍氣體導入至其中剩餘水氣將被移除的處理室，且使用金屬氧化物作為靶材，沉積該氧化物半導體層於基板 450 上。較佳使用誘捕真空泵以移除剩餘在處理室中的水氣。例如，較佳使用低溫泵、離子泵或鈦昇華泵。並且，抽空單元可為設置有冷凝捕集器的渦輪泵。在使用低溫泵抽空的沉積室中，排空氫原子、包含氫原子的化合物，例如水（ H_2O ），（較佳的亦有包含碳原子的化合物）等，從而可減少形成於沉積室中的該氧化物半導體層中的雜質濃度。當形成該氧化物半導體層時，可

加熱基板。

較佳使用高純度氣體作為當形成該氧化物半導體層時使用的濺鍍氣體，從該高純度氣體中移除雜質例如氫氣、水、羥基或氫化物至以 ppm 或 ppb 標準表示之濃度。

沉積條件之範例如下：基板溫度為室溫，基板和靶材之間的距離為 60mm，壓力為 0.4 Pa，DC 電源的電功率為 0.5 kW，且氣體氛圍為包含氧氣和氬氣的氣體氛圍（氧氣對氬氣的流量比為 15 sccm：30 sccm）。較佳係使用脈衝 DC 電源，因為可減少於薄膜形成中產生的粉末物質（亦指粒子或塵埃），且可均勻化薄膜厚度。該氧化物半導體層較佳具有包含 5nm 至 30nm 的厚度。應注意的是，適當厚度係依據使用的氧化物半導體材料，且可依據材料選擇該厚度。

在此實施例中，使用磷酸、醋酸和硝酸的混合溶液作為蝕刻劑，使用濕蝕刻法將該氧化物半導體層蝕刻成島型氧化物半導體層 462。

接著，該氧化物半導體層 462 接受第一熱處理。用於第一熱處理的第一熱處理的溫度係高於或等於 400°C 且低於或等於 750°C，較佳為高於或等於 400°C 且低於基板的應變點。此處，導入基板於熱處理設備之一的電爐，在氮氣氛圍中於 450°C 在該氧化物半導體層上實施熱處理一小時，然後，該氧化物半導體層並不暴露於空氣中，使得可防止水和氫氣進入該氧化物半導體層中；因此，可獲得該氧化物半導體層。經由第一熱處理，可實施該氧化物半導

體層 462 的脫水或脫氫。

用於熱處理的設備並不侷限於電爐，且可為設置有用於加熱將被處理之對象的裝置之一者，使用來自加熱元件例如電阻加熱元件的熱傳導或熱輻射。例如，可使用 RTA（快速熱退火）設備，例如 GRTA（氣體快速熱退火）設備或 LRTA（燈快速熱退火）設備。例如，作為第一熱處理，可實施 GRTA 如下。轉移基板並置於已被加熱至 650℃ 至 700℃ 高溫的惰性氣體中，加熱數分鐘，轉移並從已被加熱至高溫的惰性氣體中取出。GRTA 在短時間內致能高溫熱處理。

應注意的是在第一熱處理中，水、氫氣等不被包含於氮氣或稀有氣體（例如氮氣、氖氣或氫氣）中係較佳的。替代地，較佳為導入設備用於熱處理的氮氣或稀有氣體（例如氮氣、氖氣或氫氣）具有 6N（99.9999%）或更高的純度，較佳為 7N（99.99999%）或更高（即，雜質濃度被設定為 1 ppm 或更低，較佳為 0.1 ppm 或更低）。

並且，依據第一熱處理的條件或氧化物半導體層的材料，該氧化物半導體層可能被結晶化為微晶層或多晶層。

替代地，該氧化物半導體層的第一熱處理可在尚未被處理成島型氧化物半導體層的氧化物半導體層上實施。在此情況中，在第一熱處理之後，將基板自熱處理設備中移除且實施微影製程。

該熱處理具有在該氧化物半導體層上脫水或脫氫的效果，可在下列任一時間點實施：在形成該氧化物半導體層

之後；在源極電極層和汲極電極層形成於該氧化物半導體層上之後；及在閘極絕緣層形成於該源極電極層和該汲極電極層上之後。

接著，形成導電層於絕緣層 457 和氧化物半導體層 462 之上，且實施第三微影製程。形成抗蝕遮罩於導電層上且實施選擇性蝕刻，使形成該源極或汲極電極層 465b 和該佈線層 468。然後，移除抗蝕遮罩（見圖 8C）。該源極或汲極電極層 465b 和該佈線層 468 可使用相同於形成源極或汲極電極層 465a1 及 465a2 之材料和步驟來形成。

在此實施例中，以濺鍍法形成厚度達 150nm 的鈦層成為源極或汲極電極層 465b 和佈線層 468。在此實施例中，使用相同的鈦層作為源極或汲極電極層 465a1 及 465a2 和源極或汲極電極層 465b，使得源極或汲極電極層 465a1 及 465a2 的蝕刻選擇性相同於或大致相同於源極或汲極電極層 465b 的蝕刻選擇型。因此，設置佈線層 468 於源極或汲極電極層 465a2 之一部分上，其未被該氧化物半導體層 462 所覆蓋，當蝕刻源極或汲極電極層 465b 時，防止源極或汲極電極層 465a1 及 465a2 被蝕刻。在使用不同材料的例子中（該等材料在蝕刻步驟中提供源極或汲極電極層 465b 之高選擇性比至源極或汲極電極層 465a1 及 465a2），不一定設置在蝕刻中保護源極或汲極電極層 465a2 之佈線層 468。

應注意的是適當調整材料和蝕刻條件，使得當蝕刻該導電層時，該氧化物半導體層 462 不被移除。

在此實施例中，使用鈦層作為該導電薄膜，使用以 In-Ga-Zn-O 為基質的氧化物半導體作為氧化物半導體層 462，並且使用氨雙氧水（氨、水和過氧化氫溶液的混合）作為蝕刻劑。

應注意的是在第三微影製程中，只有該氧化物半導體層 462 的部份被蝕刻，藉此可能形成具有凹槽（低陷部分）的氧化物半導體層。可使用噴墨法形成用於形成該源極或汲極電極層 465b 及該佈線層 468 的抗蝕遮罩。當使用噴墨法形成抗蝕遮罩時，不使用光罩；因此，可降低製造成本。

接著，閘極絕緣層 452 形成於絕緣層 457、氧化物半導體層 462、源極或汲極電極層 465a1 和 465a2、源極或汲極電極層 465b 和佈線層 468 之上。

閘極絕緣層 452 可以電漿 CVD 法、濺鍍法或類此者，使用氧化矽層、氮化矽層、氮氧化矽層、氧化氮化矽層和氧化鋁層之任一者以單層結構或層狀結構形成。應注意的是閘極絕緣層 452 較佳係使用濺鍍法形成，以使閘極絕緣層 452 盡可能包含較少的氫氣。在氧化矽薄膜係以濺鍍法形成的情況中，使用矽靶材或石英靶材作為靶材且使用氧氣和氫氣的混合氣體作為濺鍍氣體。

閘極絕緣層 452 可具有其中氧化矽層和氮化矽層自源極或汲極電極層 465a1 及 465a2 和源極或汲極電極層 465b 之側堆疊的結構。在此實施例中，於以下條件使用 RF 濺鍍法形成厚度達 100nm 的氧化矽層：壓力為 0.4 Pa；高頻

電源的電功率為 1.5 kW；且氣體氛圍為包含氧氣和氬氣的氣體氛圍（氧氣對氬氣的流量比為 1：1（各個流量為 25 sccm））。

接著，實施第四微影製程。形成抗蝕遮罩且實施選擇性蝕刻以移除部份閘極絕緣層 452，使形成到達佈線層 468 的開口 423（見圖 8D）。雖然未圖示，在形成開口 423 中，可形成到達源極或汲極電極層 465b 的開口。在此實施例中，在層間絕緣層進一步堆疊之後，形成到達源極或汲極電極層 465b 的開口，且用於電連接的佈線層形成於開口中。

然後，在閘極絕緣層 452 上和開口 423 中形成導電層之後，於第五微影製程中形成閘極電極層 461（461a 和 461b）及佈線層 464。應注意的是可使用噴墨法形成抗蝕遮罩。當使用噴墨法形成抗蝕遮罩時，不使用光罩；因此，可降低製造成本。

並且，閘極電極層 461（461a 和 461b）及佈線層 464 可使用例如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳和鈳之任何金屬材料、和包含上述任何材料作為主成分的合金材料，以單層結構或層狀結構形成。

在此實施例中，以濺鍍法形成厚度達 150nm 的鈦層成為閘極電極層 461（461a 和 461b）及佈線層 464。

接著，在惰性氣體氛圍或氧氣氣體氛圍中實施第二熱處理（較佳為 200℃ 至 400℃ 之間，例如，250℃ 至 350℃ 之間）。在此實施例中，於氮氣氛圍中在 250℃ 實施第二

熱處理一小時。可於保護絕緣層或平坦化絕緣層形成於薄膜電晶體 460 上之後，實施第二熱處理。

並且，可於 100℃ 至 200℃ 在空氣中實施熱處理一小時至 30 小時。此熱處理可以固定的加熱溫度實施。替代地，下列之加熱溫度的改變可被重複進行複數次：加熱溫度係從室溫增加到 100℃ 至 200℃ 之間的溫度，然後降低至室溫。並且，可在減壓下實施此熱處理。在減壓下，可縮短加熱時間。

經由上述步驟，可形成包含氧化物半導體層 462 的薄膜電晶體 460，氧化物半導體層 462 中之氫氣、水氣、氫化物或氫氧化物的濃度係減少的（見圖 8E）。

保護絕緣層或用於平坦化的平坦化絕緣層可被設置於薄膜電晶體 460 之上。雖然未圖示，可形成到達源極或汲極電極層 465b 的開口。在此實施例中，到達源極或汲極電極層 465b 的開口形成於閘極絕緣層 452、保護絕緣層及平坦化層之中，且用於電連接至源極或汲極電極層 465b 的佈線層形成於開口之中。

在形成該氧化物半導體膜中，如上述移除剩餘在反應氛圍中的水氣，藉以可減少該氧化物半導體層中的氫氣及氧化物。因此，該氧化物半導體層可為穩定的。

實施例 1 和 2 中的包含上述薄膜電晶體的邏輯電路可具有穩定的電器特性和高可靠性。

此實施例可適當結合其他實施例來實施。

(實施例 5)

在此實施例中，說明包含於實施例 1 或實施例 2 中之邏輯電路中的薄膜電晶體的另一範例。和實施例 3 或實施例 4 中相同的部分，及具有與實施例 3 或實施例 4 中之該等部分相同功能的部份，及和實施例 3 或實施例 4 中相同之步驟，可如同於實施例 3 或實施例 4 中被處理，且將省略重複的說明。此外，亦將省略相同部分之詳細說明。

參考圖 9A 和 9B 說明此實施例的薄膜電晶體。

圖 9A 和 9B 表示薄膜電晶體之橫截面結構的範例。圖 9A 和 9B 中的薄膜電晶體 425 及 426 之各者為薄膜電晶體之一，其中氧化物半導體層係夾層於導電層及閘極電極層之間。

此外，在圖 9A 和 9B 中，使用矽基板作為基板，且設置薄膜電晶體 425 及 426 於絕緣層 422 之上，該絕緣層 422 形成於矽基板 420 之上。

在圖 9A 中，導電層 427 形成於矽基板 420 上之絕緣層 422 及絕緣層 407 之間，以使至少與全部的氧化物半導體層 412 重疊。

應注意的是圖 9B 表示藉由蝕刻處理於絕緣層 422 及絕緣層 407 之間的導電層，如同導電層 424，且與至少包含通道形成區之該氧化物半導體層 412 之部分重疊的範例。

該導電層 427 和 424 之各者可使用能抵抗於稍後步驟中實施的熱處理之溫度的金屬材料形成：選自鈦 (Ti) 、

鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）和釷（Sc）的元素，包含上述任何元素組合的合金薄膜，包含上述任何元素作為其成分的氮化物，或類此者。並且，該導電層 427 和 424 之各者可具有單層結構或層狀結構之任一者，例如，可使用鎢層的單層，或氮化鎢層和鎢層的疊層。

導電層 427 和 424 的電位可相同於或不同於薄膜電晶體 425 和 426 的閘極電極層 411 的電位。導電層 427 和 424 之各者亦可作用如同第二閘極電極層。導電層 427 和 424 的電位可為固定電位，例如 GND 或 0V。

可藉由導電層 427 及 424 控制薄膜電晶體 425 及 426 的電特性。

此實施例可適當結合其他實施例來實施。

（實施例 6）

在此實施例中，說明包含在實施例 1 或實施例 2 的邏輯電路中的薄膜電晶體之範例。

參考圖 10A 至 10E 說明薄膜電晶體之一實施例及此實施例之薄膜電晶體的製造方法。

圖 10E 說明薄膜電晶體之橫截面結構的範例。圖示於圖 10E 中的薄膜電晶體 390 係為底閘薄膜電晶體之一且亦被稱為倒交錯薄膜電晶體。

雖然說明中使用單一閘薄膜電晶體作為薄膜電晶體 390，但可視需要形成具有複數通道形成區的多閘極薄膜

電晶體。

參考圖 10A 至 10E 於下列說明於基板 394 上製造薄膜電晶體 390 的過程。

首先，在具有絕緣表面的基板 394 上形成導電層之後，在第一微影製程中形成閘極電極層 391。該閘極電極層較佳具有錐形形狀，因為可改善層疊於其上之閘極絕緣層的覆蓋率。應注意的是可使用噴墨法形成抗蝕遮罩。當使用噴墨法形成抗蝕遮罩時，不使用光罩；因此，可降低製造成本。

可被使用作為具有絕緣表面的基板 394 的基板並沒有特別限制，只要其至少具有耐熱性以承受稍後實施的熱處理。可使用以鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃或類此者形成的玻璃基板。

當稍後實施的熱處理的溫度係高的時，玻璃基板較佳使用具有 730℃或更高的應變點的基板。例如，使用玻璃材料例如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鋇硼矽酸鹽玻璃作為玻璃基板的材料。應注意的是，通常，藉由含有較氧化硼（ B_2O_3 ）之量大的氧化鋇（ BaO ），玻璃基板係耐熱的且有很多實際用途。因此，較佳使用含有較 B_2O_3 量大的 BaO 的玻璃基板。

應注意的是，取代上述的玻璃基板，可使用以絕緣體形成的基板，例如陶瓷基板、石英基板、或藍寶石基板做為基板 394。或者，可使用微晶玻璃基板或類此者。又或者，可適當地使用塑膠基板或類此者。

作為基層的絕緣層可被設置於基板 394 和閘極電極層 391 之間。該基層具有防止雜質元素自基板 394 擴散的功能，且可以單層結構或使用氮化矽層、氧化矽層、氧化氮化矽層及氮氧化矽層之任一者的層狀結構所形成。

並且，閘極電極層 391 可使用例如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹和鈦之任何金屬材料、和包含上述任何材料作為主成分的合金材料，以單層結構或層狀結構形成。

作為閘極電極層 391 的兩層結構，例如，其中鉬層堆疊於鋁層上的兩層結構、其中鉬層堆疊於銅層上的兩層結構、其中氮化鈦層或氮化鉭層堆疊於銅層上的兩層結構、其中堆疊氮化鈦層和鉬層的兩層結構、或其中堆疊氮化鎢層和鎢層的兩層結構係較佳的。作為三層結構，鎢層或氮化鎢層、鋁和矽的合金層或鋁和鈦的合金層及氮化鈦層或鈦層的堆疊係較佳的。應注意的是可使用透光導電層形成閘極電極層。可提供透光導電氧化物作為該透光導電層的範例。

然後，形成閘極絕緣層 397 於閘極電極層 391 上。

閘極絕緣層 397 可以電漿 CVD 法、濺鍍法或類此者，使用氧化矽層、氮化矽層、氮氧化矽層、氧化氮化矽層和氧化鋁層之任一者以單層結構或層狀結構形成。應注意的是閘極絕緣層 397 較佳係使用濺鍍法形成，以使閘極絕緣層 397 盡可能包含較少的氫氣。在氧化矽層係以濺鍍法形成的情況中，使用矽靶材或石英靶材作為靶材且使用氧氣或氧氣和氬氣的混合氣體作為濺鍍氣體。

閘極絕緣層 397 可具有氮化矽層和氧化矽層自閘極電極層 391 之側堆疊的結構。例如，以濺鍍法形成厚度達 50nm 至 200nm 之間的氮化矽層 (SiN_y ($y>0$)) 作為第一閘極絕緣層，並於該第一閘極絕緣層上堆疊厚度達 5nm 至 300nm 之間的氧化矽層 (SiO_x ($x>0$)) 作為第二閘極絕緣層；因此，可形成具有厚度為 100nm 的閘極絕緣層。

並且，為了使將於稍後形成的閘極絕緣層 397 和氧化物半導體層 393 中包含盡可能少的氫氣、羥基和水氣，較佳係在濺鍍設備的預熱室中，預加熱其上形成有閘極電極層 391 的基板 394 或其上形成有高達閘極絕緣層 397 之層的基板 394 作為薄膜形成的預熱處理，使得吸附於基板 394 的例如氫氣和水氣的雜質被排除和排空。預熱的溫度為 100°C 至 400°C 之間，較佳為 150°C 至 300°C 之間。應注意的是低溫泵係較佳作為設置於預熱室中的抽空單元。應注意的是此預熱處理可被省略。並且，此預熱可同樣實施於氧化物絕緣層 396 並未被形成於其上的基板 394 上和同樣實施於高達源極電極層 395a 和汲極電極層 395b 的層已被形成於其上的基板 394 上。

然後，於閘極絕緣層 397 上形成厚度達 2nm 至 200nm 的氧化物半導體層 393 (見圖 10A)。

應注意的是在以濺鍍法形成該氧化物半導體層 393 之前，較佳以反向濺鍍移除吸附於閘極絕緣層 397 表面的灰塵，該反向濺鍍中導入氫氣氣體且產生電漿。反向濺鍍意

指沒有施加電壓於靶材側，而於氬氣氛圍中使用 RF 電源施加電壓於基板側以修改表面的方法。應注意的是，可使用氮氣氛圍、氦氣氛圍、氧氣氛圍或類此者替代氬氣氛圍。

該氧化物半導體層 393 使用濺鍍法形成。該氧化物半導體層 393 使用以 In-Ga-Zn-O 為基質的氧化物半導體層、以 In-Sn-Zn-O 為基質的氧化物半導體層、以 In-Al-Zn-O 為基質的氧化物半導體層、以 Sn-Ga-Zn-O 為基質的氧化物半導體層、以 Al-Ga-Zn-O 為基質的氧化物半導體層、以 Sn-Al-Zn-O 為基質的氧化物半導體層、以 In-Zn-O 為基質的氧化物半導體層、以 Sn-Zn-O 為基質的氧化物半導體層、以 Al-Zn-O 為基質的氧化物半導體層、以 In-O 為基質的氧化物半導體層、以 Sn-O 為基質的氧化物半導體層或以 Zn-O 為基質的氧化物半導體層形成。在此實施例中，該氧化物半導體層 393 藉由使用以 In-Ga-Zn-O 為基質的氧化物金屬靶材的濺鍍法形成。並且，該氧化物半導體層 393 可在稀有氣體氛圍（典型為氬氣）、氧氣氛圍或含有稀有氣體（典型為氬氣）和氧氣的混合氛圍中以濺鍍法形成。在使用濺鍍法的例子中，薄膜形成可使用包含在 2wt%至 10wt%之內的 SiO₂ 的靶材。

可使用包含氧化鋅作為其主要成分的金屬氧化物靶材，作為使用濺鍍法形成該氧化物半導體層 393 的靶材。作為金屬氧化物靶材的另一範例，可使用包含 In、Ga 和 Zn 的氧化物半導體膜形成靶材（成分比例為 In₂O₃：

Ga_2O_3 : ZnO =1 : 1 : 1[mol] , In : Ga : Zn=1 : 1 : 0.5[atom]) 。替代地，可使用包含 In、Ga 和 Zn 的金屬氧化物靶材（成分比例為 In : Ga : Zn=1 : 1 : 1 或 1 : 1 : 2[atom]） 。金屬氧化物靶材的填充率為 90%至 100%，較佳為 95%至 99.9%。藉由使用具有高填充率的金屬氧化物靶材，形成緻密的氧化物半導體層。

基板被保持在維持於減低壓力之下的處理室中，且加熱基板至室溫或低於 400℃的溫度。然後，將其中氫氣和水氣被移除的濺鍍氣體導入至其中剩餘水氣將被移除的處理室，且使用金屬氧化物作為靶材，形成該氧化物半導體層 393 於基板 394 上。較佳使用誘捕真空泵以移除剩餘在處理室中的水氣。例如，較佳使用低溫泵、離子泵或鈦昇華泵。並且，抽空單元可為設置有冷凝捕集器的渦輪泵。在使用低溫泵抽空的沉積室中，排空氫原子、包含氫原子的化合物，例如水（ H_2O ），（較佳的亦有包含碳原子的化合物）等，從而可減少形成於沉積室中的該氧化物半導體層中的雜質濃度。當使用低溫泵移除剩餘在處理室中的水氣時，藉由以濺鍍實施沉積，當形成該氧化物半導體層 393 時的基板溫度可為高於或等於室溫且低於 400℃。

沉積條件之範例如下：介於基板和靶材之間的距離為 100mm，壓力為 0.6 Pa，DC 電源的電功率為 0.5 kW，且氣體氛圍為氧氣氛圍（氧氣的流量為 100%）。較佳係使用脈衝 DC 電源，因為可減少在薄膜形成中產生的粉末物質，且可均勻化薄膜厚度。該氧化物半導體層較佳具有

5nm 至 30nm 之間的厚度。應注意的是，適當厚度係依據使用的氧化物半導體材料，且可依據材料選擇該厚度。

濺鍍法的例子包括 RF 濺鍍法（其中使用高頻電源作為濺鍍電源），DC 濺鍍法（其中使用 DC 電源）及脈衝 DC 濺鍍法（其中以脈衝方式施加一偏壓）。在形成絕緣膜的情況中，主要使用 RF 濺鍍法，而在形成金屬膜的情況中主要使用 DC 濺鍍法。

此外，亦有一多源濺鍍設備，其中可設置複數個不同材料的靶材。使用該多源濺鍍設備，可於相同腔室中形成不同材料的薄膜以堆疊，或可釋放複數種材料用於在相同腔室中同時的薄膜形成。

此外，有設置有磁鐵系統於腔室內的濺鍍設備，其用於磁控濺鍍法；及有用於 ECR 濺鍍法的濺鍍設備，其中不使用輝光放電而使用由使用微波而產生的電漿。

此外，作為使用濺鍍法的沉積方法，亦有反應濺鍍法，其中靶材物質和濺鍍氣體成分於沉積期間彼此化學反應以形成其之薄化合物膜；及有偏壓濺鍍法，其中於沉積期間亦施加電壓於基板。

然後，在第二微影製程中，該氧化物半導體層 393 被處理成島型氧化物半導體層 399（見圖 10B）。可使用噴墨法形成用於形成島型氧化物半導體層 399 的抗蝕遮罩。當使用噴墨法形成抗蝕遮罩時，不使用光罩；因此，可降低製造成本。

在閘極絕緣層 397 中形成接觸孔的情況中，可實施形

成該氧化物半導體層 399 的步驟。

應注意的是，該氧化物半導體層 393 的蝕刻可為乾蝕刻、濕蝕刻或乾蝕刻和濕蝕刻兩者。

作為乾蝕刻的蝕刻氣體，較佳使用包含氯（以氯為基質的氣體，例如氯氣（ Cl_2 ）、氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）或四氯化碳（ CCl_4 ））的氣體。

替代地，可使用包含氟的氣體（以氟為基質的氣體，例如四氟化碳（ CF_4 ）、氟化硫（ SF_6 ）、氟化氮（ NF_3 ）或三氟甲烷（ CHF_3 ））；溴化氫（ HBr ）；氧氣（ O_2 ）；加入稀有氣體例如氦氣（ He ）或氬氣（ Ar ）的任何這些氣體或類此者。

作為乾蝕刻法，可使用平行板 RIE（反應性離子蝕刻）法或 ICP（電感式耦合電漿）蝕刻法。為了將層蝕刻成想要的形狀，適當調整蝕刻條件（施加於線圈狀電極的電量、施加於基板側上電極的電量、基板側上電極的溫度或類此者）。

作為用於濕蝕刻的蝕刻劑，可使用磷酸、醋酸和硝酸的混合溶液。替代地，可使用 ITO07N（由 KANTO CHEMICAL CO., INC. 所生產）。

濕蝕刻中所使用的蝕刻劑和被蝕刻掉的材料一起藉由清潔而被移除。可淨化包含蝕刻劑和被蝕刻掉的材料廢液且可再使用該材料。當蒐集蝕刻後來自廢液的例如包含於該氧化物半導體層中的銦的材料並且再使用該材料，可有效使用資源和降低成本。

依據該材料適當調整蝕刻條件（例如蝕刻劑、蝕刻時間和溫度），使得可蝕刻該氧化物半導體層以具有想要的形狀。

應注意的是較佳為在下列步驟中，在形成導電層之前實施反向濺鍍，使得附著於氧化物半導體層 399 和閘極絕緣層 397 之表面的光阻殘餘等可被移除。

接著，在閘極絕緣層 397 和該氧化物半導體層 399 上形成導電層。該導電層可利用例如濺鍍法或真空蒸發法形成。可使用選自 Al、Cr、Cu、Ta、Ti、Mo 或 W 的元素；包含上述任何元素之組合的合金層等作為導電層的材料。並且，可使用選自錳、鎂、鋅、鈹和鈦的一或多個材料。該金屬導電層可具有單層結構或二或多層的層狀結構。可提供例如，包含矽的鋁薄膜的單層結構，其中鈦層疊層於鋁層上的兩層結構，其中依鈦層、鋁層和鈦層順序疊層的三層結構，和類此者。替代地，可使用一層、一合金層、或鋁（Al）和一或多個選自下列元素之組合的氮化層：鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）和釷（Sc）。

實施第三微影製程。形成抗蝕遮罩於導電層上且實施選擇性蝕刻，以形成該源極電極層 395a 和該汲極電極層 395b。然後，移除抗蝕遮罩（見圖 10C）。

於第三微影製程中使用紫外線、KrF 雷射光或 ArF 雷射光於形成抗蝕遮罩的曝光。將於稍後形成的薄膜電晶體的通道長度 L 取決於在氧化物半導體層 399 上彼此相鄰之

該源極電極層的底部部分和該汲極電極層的底部部分之間的間隔寬度。應注意的是當在該通道長度 L 係短於 25nm 的情況下實施曝光時，於第三微影製程中使用具有數奈米至數十奈米之極短波長的極紫外線於形成抗蝕遮罩的曝光。使用極紫外線的曝光導致高解析度和大焦點深度。因此，將於稍後形成的薄膜電晶體的通道長度 L 可被設定為 10nm 至 1000nm 之間。因此，可增加電路的操作速度，並且進一步，截止狀態電流可顯著地較小以達成低功率消耗。

應注意的是適當調整材料和蝕刻條件，使得當蝕刻該導電層時，該氧化物半導體層 399 不被移除。

在此實施例中，使用鈦層作為該導電薄膜，使用以 In-Ga-Zn-O 為基質的氧化物半導體作為氧化物半導體層 399，並且使用氨雙氧水（氨、水和過氧化氫溶液的混合）作為蝕刻劑。

應注意的是在第三微影製程中，只有該氧化物半導體層 399 的部份被蝕刻，藉此可能形成具有凹槽（低陷部分）的氧化物半導體層。可使用噴墨法形成用於形成該源極電極層 395a 及該汲極電極層 395b 的抗蝕遮罩。當使用噴墨法形成抗蝕遮罩時，不使用光罩；因此，可降低製造成本。

為了減少在微影步驟中的光罩數目和步驟，可使用以多段式調整光罩（multi-tone mask）形成的抗蝕遮罩實施蝕刻，使得具有複數強度，該多段式調整光罩係曝光遮罩

(light-exposure mask)，經由該光罩傳輸光。因為使用多段式調整光罩形成的抗蝕遮罩具有複數厚度，且可進一步藉由實施蝕刻來改變形狀，在複數蝕刻步驟中可使用該抗蝕遮罩以提供不同的圖案。因此，可使用多段式調整光罩形成對應於至少兩種不同圖案的抗蝕遮罩。因此，可減少曝光遮罩的數目，亦可減少對應的微影步驟的數目，藉以實現製程的簡化。

藉由使用氣體例如 N_2O 、 N_2 或 Ar 的電漿處理，可以移除附著於該氧化物半導體層的曝光部分的表面的水。或者，可以使用氧氣和氬氣的混合氣體來實施電漿處理。

在實施電漿處理的情況中，形成氧化物絕緣層 396 為作為保護絕緣層氧化物絕緣層而不需暴露於空氣中，且與氧化物半導體層 396 之部分接觸（見圖 10D）。在此實施例中，在氧化物半導體層 399 不與源極電極層 395a 及汲極電極層 395b 重疊的區域中，形成氧化物絕緣層 396 與氧化物半導體層 399 接觸。

在此實施例中，於其上層疊形成有島型氧化物半導體層 399、源極電極層 395a、汲極電極層 395b 的基板 394 被加熱至室溫或低於 $100^\circ C$ 的溫度，並導入其中移除氬氣和水氣並包含高純度氧氣的濺鍍氣體，且使用矽靶材，藉以形成具有缺陷的氧化矽層作為氧化物絕緣層 396。

例如，以脈衝 DC 濺鍍法形成氧化矽層，其中濺鍍氣體的純度為 6N，使用摻硼矽靶材（電阻率為 $0.01\Omega \cdot cm$ ），介於基板和靶材之間的距離（T-S 距離）為 89mm，壓力

爲 0.4 Pa，DC 電源的電功率爲 6 kW，且氣體氛圍爲氧氣氛圍（氧氣流量爲 100%）。氧化矽層的厚度爲 300nm。應注意的是取代矽靶材，當形成氧化矽層時可使用石英（較佳爲合成石英）作爲靶材。使用氧氣或氧氣和氬氣的混合氣體作爲濺鍍氣體。

在此情況中，氧化物絕緣層 396 較佳於移除剩餘在處理室中的水氣時形成。這是爲了避免氫氣、羥基和水氣被包含於氧化物半導體層 399 和氧化物絕緣層 396 之中。

爲了移除剩餘在處理室中的水氣，較佳使用誘捕真空泵。例如，較佳使用低溫泵、離子泵或鈦昇華泵。並且，抽空單元可爲設置有冷凝捕集器的渦輪泵。在使用低溫泵抽空的沉積室中，抽空氫原子、包含氫原子，例如水（ H_2O ）等的化合物，從而可減少在沉積室中形成的氧化物絕緣層 396 中的雜質濃度。

應注意的是作爲氧化物絕緣層 396，可使用氮氧化矽層、氧化鋁層、氮氧化鋁層或類此者替代氧化矽層。

並且，當氧化物絕緣層 396 和氧化物半導體層 399 彼此接觸時，可在 100℃ 至 400℃ 實施熱處理。因爲在此實施例中的氧化物絕緣層 396 具有很多缺陷，藉由熱處理，可將包含於氧化物半導體層 399 中的例如氫氣、水氣、羥基或氫化物的雜質擴散至氧化物絕緣層 396，使得氧化物半導體層 399 中的雜質可進一步被減少。

經由上述步驟，可形成包含氧化物半導體層 392 的薄膜電晶體 390，氧化物半導體層 392 中之氫氣、水氣、氬

化物或氫氧化物的濃度係減少的（見圖 10E）。

在形成該氧化物半導體層中，如上述移除剩餘在反應氛圍中的水氣，藉以可減少該氧化物半導體層中的氫氣及氧化物。因此，該氧化物半導體層可為穩定的。

可設置保護絕緣層於氧化物絕緣層之上。在此實施例中，形成保護絕緣層 398 於氧化物絕緣層 396 之上。作為保護絕緣層 398，可使用氮化矽層、氧化氮化矽層、氮化鋁層、氧化氮化鋁層等。

於其上層疊形成有氧化物絕緣層 396 的基板 394 被加熱至 100℃ 至 400℃ 的溫度，導入其中移除氫氣和水氣並包含高純度氮氣的濺鍍氣體，且使用矽半導體靶材，藉以形成氮化矽層作為保護絕緣層 398。在此情況中，較佳於移除剩餘在處理室中的水氣時形成保護絕緣層 398，相同於氧化物絕緣層 396 之形成。

在形成保護絕緣層 398 的情況中，於形成保護絕緣層 398 中，將基板 394 加熱至 100℃ 至 400℃，藉以可將包含於該氧化物半導體層中的氫氣或水擴散至該氧化物絕緣層。在此情況中，在形成氧化物絕緣層 396 之後，不必然需要實施熱處理。

在形成氧化矽層作為氧化物絕緣層 396 且於其上堆疊氮化矽層作為保護絕緣層 398 的情況中，可在相同處理室中使用共同矽靶材形成該氧化矽層和該氮化矽層。在首先引入包含氧氣的濺鍍氣體之後，使用安置在處理室中的矽靶材形成氧化矽層，然後，濺鍍氣體轉換成包含氮氣的濺

鍍氣體且使用相同的矽靶材以形成氮化矽層。因為氧化矽層和氮化矽層可不暴露在空氣中連續被形成，因此可防止諸如氫氣和水氣的雜質被吸附到氧化矽層的表面。在此情況中，在形成氧化矽層作為氧化物絕緣層 396 且堆疊氮化矽層於其上作為保護絕緣層 398 之後，較佳實施用於將包含於該氧化物半導體層中的氫氣或水氣擴散至該氧化物絕緣層的熱處理（於 100°C 至 400°C 的溫度）。

在形成保護絕緣層之後，可進一步於 100°C 至 200°C 空氣中實施熱處理一小時至 30 小時。此熱處理可以固定的加熱溫度實施。替代地，下列之加熱溫度的改變可被重複進行複數次：加熱溫度係從室溫增加到 100°C 至 200°C 之間的溫度，然後降低至室溫。並且，在形成氧化物絕緣層之前，可在減壓下實施此熱處理。在減壓下，可縮短加熱時間。經此熱處理，薄膜電晶體可正常關閉。因此，可改善薄膜電晶體的可靠性。

在形成該氧化物半導體層（其包含通道形成區於閘極絕緣層上）中，移除剩餘在反應氛圍中的水氣，藉以可減少該氧化物半導體層中的氫氣及氧化物。

可將上述步驟使用於製造液晶顯示面板、電致發光顯示面板、使用電子墨水之顯示裝置等的背板（其上形成有薄膜電晶體的基板）。因為可於 400°C 或較低的溫度實施上述步驟，該等步驟亦可適用於其中使用具有 1mm 或更小厚度且具有長於 1 m 之側邊的玻璃基板的製造步驟。此外，因為可於 400°C 或更低處理溫度實施上述所有步驟，

因此不需要耗費較多能量即可製造顯示面板。

實施例 1 和 2 中的包含上述薄膜電晶體的邏輯電路可具有穩定的電器特性和高可靠性。

此實施例可適當結合其他實施例來實施。

（實施例 7）

在此實施例中，說明包含在實施例 1 或實施例 2 的邏輯電路中的薄膜電晶體之範例。

參考圖 11A 至 11E 說明薄膜電晶體之一實施例及此實施例之薄膜電晶體的製造方法。

圖 11A 至 11E 說明薄膜電晶體之橫截面結構的範例。圖示於圖 11D 中的薄膜電晶體 310 係為底閘薄膜電晶體之一且亦被稱為倒交錯薄膜電晶體。

雖然說明係使用單一閘極薄膜電晶體作為薄膜電晶體 310，但可視需求形成包含有複數個通道形成區的多閘極薄膜電晶體。

參考圖 11A 至 11E 於下列說明在基板 300 之上製造薄膜電晶體 310 的過程。

首先，在具有絕緣表面的基板 300 上形成導電層之後，在第一微影製程中形成閘極電極層 311。應注意的是可使用噴墨法形成抗蝕遮罩。當使用噴墨法形成抗蝕遮罩時，不使用光罩；因此，可降低製造成本。

可被使用作為具有絕緣表面的基板 300 的基板並沒有特別限制，只要其至少具有耐熱性足以承受稍後實施的熱

處理。可使用以鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃或類此者形成的玻璃基板。

當稍後實施的熱處理的溫度係高的時，玻璃基板較佳使用具有 730°C 或更高的應變點的基板。例如，使用玻璃材料例如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鋇硼矽酸鹽玻璃作為玻璃基板的材料。應注意的是，藉由含有較氧化硼 (B_2O_3) 之量大的氧化鋇 (BaO)，玻璃基板係耐熱的且有很多實際用途。因此，較佳使用含有較 B_2O_3 量大的 BaO 的玻璃基板。

應注意的是，取代上述的玻璃基板，可使用以絕緣體形成的基板，例如陶瓷基板、石英基板、或藍寶石基板做為基板。或者，可使用微晶玻璃基板或類此者。

作為基層的絕緣層可被設置於基板 300 和閘極電極層 311 之間。該基層具有防止雜質元素自基板 300 擴散的功能，且可以單層結構或使用氮化矽層、氧化矽層、氧化氮化矽層及氮氧化矽層之任一者的層狀結構所形成。

並且，閘極電極層 311 可使用例如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹和鈳之任何金屬材料、和包含上述任何材料作為主成分的合金材料，以單層結構或層狀結構形成。

作為閘極電極層 311 的兩層結構，例如，其中鉬層疊層於鋁層上的兩層結構、其中鉬層疊層於銅層上的兩層結構、其中氮化鈦層或氮化鉭層疊層於銅層上的兩層結構、其中疊層氮化鈦層和鉬層的兩層結構、或其中疊層氮化鎢層和鎢層的兩層結構係較佳的。作為三層結構，鎢層或氮

化鎢層、鋁和矽的合金層或鋁和鈦的合金層、及氮化鈦層或鈦層的疊層係較佳的。

然後，閘極絕緣層 302 形成於閘極電極層 311 之上。

閘極絕緣層 302 可以電漿 CVD 法、濺鍍法或類此者，使用氧化矽層、氮化矽層、氮氧化矽層、氧化氮化矽層和氧化鋁層之任一者以單層結構或層狀結構形成。例如，氮氧化矽層可使用 SiH_4 、氧氣及氮氣作為沉積氣體，以電漿 CVD 法形成。例如，閘極絕緣層 302 的厚度為 100nm 至 500nm 之間，且例如在閘極絕緣層 302 具有層狀結構的情況中，疊層具有 5nm 至 300nm 厚度的第二閘極絕緣層於具有 50nm 至 200nm 厚度的第一閘極絕緣層之上。

在此實施例中，使用電漿 CVD 法形成具有厚度小於或等於 100nm 的氮氧化矽層作為閘極絕緣層 302。

然後，於閘極絕緣層 302 上形成厚度達 2nm 至 200nm 之間的氧化物半導體層 330。

應注意的是在以濺鍍法形成該氧化物半導體層 330 之前，較佳以反向濺鍍移除吸附於閘極絕緣層 302 表面的灰塵，該反向濺鍍中導入氬氣氣體且產生電漿。應注意的是，可使用氮氣氛圍、氬氣氛圍、氧氣氛圍或類此者替代氬氣氛圍。

使用以 In-Ga-Zn-O 為基質的氧化物半導體層、以 In-Sn-Zn-O 為基質的氧化物半導體層、以 In-Al-Zn-O 為基質的氧化物半導體層、以 Sn-Ga-Zn-O 為基質的氧化物

半導體層、以 Al-Ga-Zn-O 為基質的氧化物半導體層、以 Sn-Al-Zn-O 為基質的氧化物半導體層、以 In-Zn-O 為基質的氧化物半導體層、以 Sn-Zn-O 為基質的氧化物半導體層、以 Al-Zn-O 為基質的氧化物半導體層、以 In-O 為基質的氧化物半導體層、以 Sn-O 為基質的氧化物半導體層、或以 Zn-O 為基質的氧化物半導體層形成氧化物半導體層 330。在此實施例中，使用以 In-Ga-Zn-O 為基質的氧化物半導體靶材，以濺鍍法形成氧化物半導體層 330。圖 11A 對應於在此階段的橫截面圖。並且，氧化物半導體層 330 可在稀有氣體氛圍（典型為氬氣）、氧氣氛圍或含有稀有氣體（典型為氬氣）和氧氣的混合氛圍中以濺鍍法形成。在使用濺鍍法的例子中，薄膜形成可使用包含在 2wt%至 10wt%之內的 SiO₂ 的靶材。

可使用包含氧化鋅作為其主要成分的金屬氧化物靶材，作為使用濺鍍法形成該氧化物半導體層 330 的靶材。作為金屬氧化物靶材的另一範例，可使用包含 In、Ga 和 Zn 的金屬氧化物靶材（成分比例為 In₂O₃ : Ga₂O₃ : ZnO=1 : 1 : 1[mol]，In : Ga : Zn=1 : 1 : 0.5[atom]）。替代地，可使用包含 In、Ga 和 Zn 的金屬氧化物靶材（成分比例為 In : Ga : Zn=1 : 1 : 1 或 1 : 1 : 2[atom]）。金屬氧化物靶材的填充率為 90%至 100%，較佳為 95%至 99.9%。藉由使用具有高填充率的金屬氧化物靶材，形成緻密的氧化物半導體層。

較佳使用高純度氣體作為當形成該氧化物半導體層

330 時使用的濺鍍氣體，從該高純度氣體中移除雜質例如氫氣、水、羥基或氫化物至以 ppm 或 ppb 標準表示之濃度。

基板被保持在維持於減低壓力之下的處理室中，且基板溫度被設定為 100℃至 600℃，較佳為 200℃至 400℃。當加熱基板時執行薄膜形成，藉以可減低包含於形成的該氧化物半導體層中的雜質濃度。並且，可減少因為濺鍍造成的損害。然後，將其中氫氣和水氣被移除的濺鍍氣體導入至其中剩餘水氣將被移除的處理室，且使用金屬氧化物作為靶材，形成該氧化物半導體層 330 於基板 300 上。較佳使用誘捕真空泵以移除剩餘在處理室中的水氣。例如，較佳使用低溫泵、離子泵或鈦昇華泵。並且，抽空單元可為設置有冷凝捕集器的渦輪泵。在使用低溫泵抽空的沉積室中，排空氫原子、包含氫原子的化合物，例如水（ H_2O ），（較佳的亦有包含碳原子的化合物）等，從而可減少形成於沉積室中的該氧化物半導體層中的雜質濃度。

沉積條件之範例如下：介於基板和靶材之間的距離為 100mm，壓力為 0.6 Pa，DC 電源的電功率為 0.5 kW，且氣體氛圍為氧氣氛圍（氧氣流量為 100%）。較佳係使用脈衝 DC 電源，因為可減少於薄膜形成中產生的粉末物質且可均勻化薄膜厚度。該氧化物半導體層較佳具有 5nm 至 30nm 之間的厚度。應注意的是，適當厚度係依據使用的氧化物半導體材料，且可依據材料選擇該厚度。

然後，在第二微影製程中，氧化物半導體層 330 被處理成為島型氧化物半導體層。可以噴墨法形成用於形成該島型氧化物半導體層的抗蝕遮罩。當使用噴墨法形成抗蝕遮罩時，不使用光罩；因此，可降低製造成本。

接著，該氧化物半導體層接受第一熱處理。藉由第一熱處理，可實施該氧化物半導體層的脫水或脫氫。第一熱處理的溫度係高於或等於 400°C 且低於或等於 750°C，較佳為高於或等於 400°C 且低於基板的應變點。此處，導入基板於熱處理裝置之一的電爐，在氮氣氛圍中於 450°C 在該氧化物半導體層上實施熱處理一小時，然後，該氧化物半導體層並不暴露於空氣中，使得可防止水和氫氣進入該氧化物半導體層中；因此，可獲得該氧化物半導體層 331（見圖 11B）。

用於熱處理的設備並不侷限於電爐，且可為設置有用於加熱將被處理之對象的裝置之一者，使用來自加熱元件例如電阻加熱元件的熱傳導或熱輻射。例如，可使用 RTA（快速熱退火）設備，例如 GRTA（氣體快速熱退火）設備或 LRTA（燈快速熱退火）設備。LRTA 設備係用於加熱將藉由發射自燈（例如鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈或高壓汞燈）的光輻射（電磁波）所處理的對象的設備。GRTA 設備係用於使用高溫氣體之熱處理的設備。作為氣體，使用因為熱處理而不與將被處理的對象產生反應的惰性氣體，例如氮氣或稀有氣體，例如氬氣。

例如，作為第一熱處理，可實施 GRTA 如下。傳送基板並置於已被加熱至 650°C 至 700°C 之高溫的惰性氣體中，加熱數分鐘，然後傳送並從已被加熱至高溫的惰性氣體中取出。GRTA 可於短時間內致能高溫熱處理。

應注意的是在第一熱處理中，水、氫氣等不被包含於氮氣或稀有氣體（例如氮氣、氖氣或氬氣）中係較佳的。替代地，較佳為導入設備用於熱處理的氮氣或稀有氣體（例如氮氣、氖氣或氬氣）具有 6N（99.9999%）或更高的純度，較佳為 7N（99.99999%）或更高（即，雜質濃度被設定為 1 ppm 或更低，較佳為 0.1 ppm 或更低）。

並且，依據第一熱處理的條件或氧化物半導體層的材料，該氧化物半導體層可能被結晶化為微晶層或多晶層。例如，可結晶化該氧化物半導體層成為具有結晶度 90% 或更多、或 80% 或更多的微晶氧化物半導體層。並且，依據第一熱處理的條件或氧化物半導體層的材料，該氧化物半導體層可成為不包含結晶元件的非晶氧化物半導體層。該氧化物半導體層可成為其中將微晶部分（具有晶粒直徑大於或等於 1nm 且小於或等於 20nm，典型地大於或等於 2nm 且小於或等於 4nm）混合入非晶氧化物半導體的氧化物半導體層。

替代地，該氧化物半導體層的第一熱處理可在尚未被處理成島型氧化物半導體層的氧化物半導體層 330 上實施。在此情況中，在第一熱處理之後，將基板自熱處理設備中移除且實施微影製程。

可於下列任何時間點在該氧化物半導體層上實施具有脫水或脫氫效果的熱處理：在形成該氧化物半導體層之後；在該氧化物半導體層上形成源極電極層和汲極電極層之後；和在該源極電極層和該汲極電極層上形成保護絕緣層之後。

在閘極絕緣層 302 中形成接觸孔的情況中，可在該氧化物半導體層的脫水或脫氫之前或之後實施該步驟。

應注意的是氧化物半導體膜的蝕刻並不局限於濕蝕刻，且可為乾蝕刻。

依據該材料適當調整蝕刻條件（例如蝕刻劑、蝕刻時間和溫度），使得可蝕刻該材料以具有想要的形狀。

接著，在閘極絕緣層 302 和該氧化物半導體層 331 上形成導電層。該導電層可利用例如濺鍍法或真空蒸發法形成。可使用選自 Al、Cr、Cu、Ta、Ti、Mo 或 W 的元素；包含上述任何元素之組合的合金層等作為導電層的材料。並且，可使用選自錳、鎂、鋅、鈹和鈦的一或多個材料。該導電薄膜可具有單層結構或二或多層的層狀結構。可提供例如，包含矽的鋁薄膜的單層結構，其中鈦層疊層於鋁層上的兩層結構，其中依鈦層、鋁層和鈦層順序疊層的三層結構，和類此者。替代地，可使用一層、一合金層、或鋁（Al）和一或多個選自下列元素之組合的氮化層：鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）和釷（Sc）。

如在形成該導電層之後實施熱處理，較佳為該導電層

具有足以承受該熱處理的耐熱性。

實施第三微影製程。形成抗蝕遮罩於導電層上且實施選擇性蝕刻，以形成源極電極層 315a 和汲極電極層 315b。然後，移除抗蝕遮罩（見圖 11C）。

於第三微影製程中使用紫外線、KrF 雷射光或 ArF 雷射光於形成抗蝕遮罩的曝光。將於稍後形成的薄膜電晶體的通道長度 L 取決於在氧化物半導體層 331 上彼此相鄰之該源極電極層的底部部分和該汲極電極層的底部部分之間的間隔寬度。應注意的是當在該通道長度 L 係短於 25nm 的情況下實施曝光時，於第三微影製程中使用具有數奈米至數十奈米之極短波長的極紫外線於形成抗蝕遮罩的曝光。使用極紫外線的曝光導致高解析度和大焦點深度。因此，將於稍後形成的薄膜電晶體的通道長度 L 可被設定為 10nm 至 1000nm 之間。因此，可增加電路的操作速度，並且進一步，截止狀態電流可顯著地較小以達成低功率消耗。

應注意的是適當調整材料和蝕刻條件，使得當蝕刻該導電層時，該氧化物半導體層 331 不被移除。

在此實施例中，使用鈦層作為該導電薄膜，使用以 In-Ga-Zn-O 為基質的氧化物半導體作為氧化物半導體層 331，並且使用氨雙氧水（氨、水和過氧化氫溶液的混合）作為蝕刻劑。

應注意的是在第三微影製程中，只有該氧化物半導體層 331 的部份被蝕刻，藉此可能形成具有凹槽（低陷部

分) 的氧化物半導體層。可使用噴墨法形成用於形成源極電極層 315a 及汲極電極層 315b 的抗蝕遮罩。當使用噴墨法形成抗蝕遮罩時，不使用光罩；因此，可降低製造成本。

並且，氧化物導電層可形成於該氧化物半導體層和源極及汲極電極層之間。可連續形成該氧化物導電層和用於形成源極及汲極電極層的金屬層。該氧化物導電層可作用為源極區域和汲極區域。

當於該氧化物半導體層和源極及汲極電極層之間設置該氧化物導電層作為源極區域和汲極區域時，源極區域和汲極區域可具有較低電阻，且電晶體可於高速操作。

為了減少在微影步驟中的光罩數目和步驟，可使用以多段式調整光罩 (multi-tone mask) 形成的抗蝕遮罩實施蝕刻，使得具有複數強度，該多段式調整光罩係曝光遮罩 (light-exposure mask)，經由該光罩傳輸光。因為使用多段式調整光罩形成的抗蝕遮罩具有複數厚度，且可進一步藉由實施蝕刻來改變形狀，在複數蝕刻步驟中可使用該抗蝕遮罩以提供不同的圖案。因此，可使用多段式調整光罩形成對應於至少兩種不同圖案的抗蝕遮罩。因此，可減少曝光遮罩的數目，亦可減少對應的微影步驟的數目，藉以實現製程的簡化。

接著，實施使用氣體例如 N_2O 、 N_2 或 Ar 的電漿處理。藉由此電漿處理，移除附著於該氧化物半導體層的曝光部分的表面的水。或者，可以使用氧氣和氬氣的混合氣

體來實施電漿處理。

在實施電漿處理之後，形成作為保護絕緣層並與該氧化物半導體層之部分接觸的氧化物絕緣層 316 而不需暴露於空氣中。

可適當地以濺鍍法或類此者（該方法讓例如水或氫氣的雜質不會進入氧化物絕緣層 316）形成厚度長於或等於 1nm 的氧化物絕緣層 316。當氧化物絕緣層 316 中包含氫氣時，造成氫氣進入該氧化物半導體層或藉由氫氣提取該氧化物半導體層中的氧氣，藉以該氧化物半導體層的反向通道將成為 n 型（具有較低電阻），並且因此可能形成寄生通道。因此，採用其中不使用氫氣的形成方法係重要的，使得形成包含盡可能少的氫氣的氧化物絕緣層 316。

在此實施例中，以濺鍍法形成厚度達 200nm 的氧化矽層作為氧化物絕緣層 316。薄膜形成中的基板溫度可高於或等於室溫且低於或等於 300℃，在此實施例中為 100℃。可在稀有氣體（典型為氬氣）氛圍、氧氣氛圍或混合稀有氣體（典型為氬氣）和氧氣的氛圍中，以濺鍍法形成該氧化矽層。並且，可使用氧化矽靶材或矽靶材作為靶材。例如，可在包含氧氣和氮氣的氛圍中，以濺鍍法使用矽靶材形成該氧化矽層。使用典型為氧化矽層、氮氧化矽層、氧化鋁層或氮氧化鋁層的無機絕緣層形成氧化物絕緣層 316；該氧化物絕緣層係在處於缺氧狀態中的區域中被形成與該氧化物半導體層接觸，並因此為 n 型；該無機絕緣層不包含例如水氣、氫離子及 OH⁻的雜質，並阻擋此些

雜質自外部進入。

在此情況中，氧化物絕緣層 316 較佳於移除剩餘在處理室中的水氣時形成。這是爲了避免氫氣、羥基和水氣被包含於氧化物半導體層 331 和氧化物絕緣層 316 之中。

爲了移除剩餘在處理室中的水氣，較佳使用誘捕真空泵。例如，較佳使用低溫泵、離子泵或鈦昇華泵。並且，抽空單元可爲設置有冷凝捕集器的渦輪泵。在使用低溫泵抽空的沉積室中，抽空氫原子、包含氫原子，例如水（ H_2O ）等的化合物，從而可減少在沉積室中形成的氧化物絕緣層 316 中的雜質濃度。

較佳使用高純度氣體作爲當形成氧化物絕緣層 316 時使用的濺鍍氣體，從該高純度氣體中移除雜質例如氫氣、水、羥基或氫化物至以 ppm 或 ppb 標準表示之濃度。

接著，在惰性氣體氛圍或氧氣氣體氛圍中實施第二熱處理（較佳爲 200°C 至 400°C 之間，例如， 250°C 至 350°C 之間）。例如，於氮氣氛圍中在 250°C 實施第二熱處理一小時。當該氧化物半導體層之部分（通道形成區）與氧化物絕緣層 316 接觸時，於該第二熱處理施加熱。

經由上述步驟，當在已形成的氧化物半導體層上實施用於脫水或脫氫的熱處理時，該氧化物半導體層具有低電阻，即，成爲 n 型。然後，形成該氧化物絕緣層與該氧化物半導體層接觸。因此，該氧化物半導體層之部分係選擇性地處於氧氣過量狀態。因此，與閘極電極層 311 重疊的通道形成區 313 成爲 i 型。在那時，以自我校正方式形成

高電阻源極區域 314a 和高電阻汲極區域 314b，該高電阻源極區域 314a 具有至少比通道形成區 313 較高的載子濃度，且與源極電極層 315a 重疊，該高電阻汲極區域 314b 具有至少比通道形成區 313 較高的載子濃度，且與汲極電極層 315b 重疊。經由上述步驟，形成薄膜電晶體 310（見圖 11D）。

並且，可於 100°C 至 200°C 在空氣中實施熱處理一小時至 30 小時。在此實施例中，於 150°C 實施熱處理 10 小時。此熱處理可以固定的加熱溫度實施。替代地，下列之加熱溫度的改變可被重複進行複數次：加熱溫度係從室溫增加到 100°C 至 200°C 之間的溫度，然後降低至室溫。並且，在形成氧化物絕緣層之前，可在減壓下實施此熱處理。在減壓下，可縮短加熱時間。經此熱處理，自該氧化物半導體層導入氫氣至該氧化物絕緣層；因此，薄膜電晶體可正常關閉。因此，可改善薄膜電晶體的可靠性。當具有很多缺陷的氧化矽層被使用作為該氧化物絕緣層時，經此熱處理，包含於該氧化物半導體層中的例如氫氣、水氣、羥基或氫化物的雜質可被擴散到該氧化物絕緣層，使得該氧化物半導體層中的雜質可進一步被減少。

應注意的是，藉由在該氧化物半導體層中形成與汲極電極層 315b（及源極電極層 315a）重疊的高電阻汲極區域 314b（及高電阻源極區域 314a），可改善薄膜電晶體的可靠性。具體地，藉由形成高電阻汲極區域 314b，可獲得其中汲極電極層 315b、高電阻汲極區域 314b 和通道

形成區 313 的導電率以分段式不相同的結構。因此，在薄膜電晶體以連接至佈線用以供應高電源電位 V_{DD} 的汲極電極層 315b 操作的情況中，高電阻汲極區域充作緩衝區，且即使在閘極電極層 311 和汲極電極層 315b 之間施加高電壓，區域性不施加電場；因此，可增加薄膜電晶體的耐受電壓。

並且，在該氧化物半導體層的厚度為 15nm 或更小的情況中，在整個厚度方向形成該氧化物半導體層中的高電阻源極區域或高電阻汲極區域。在該氧化物半導體層的厚度為 30nm 或更大及 50nm 或更小的情況中，在部分該氧化物半導體層中，即在該氧化物半導體層中與源極電極層或汲極電極層接觸的區域中及其鄰近區域，減少電阻且形成高電阻源極區域或高電阻汲極區域，同時該氧化物半導體層中接近該閘極絕緣膜的區域可被製成 i 型。

另外可形成保護絕緣層於氧化物絕緣層 316 之上。例如，以 RF 濺鍍法形成氮化矽層。由於高生產率，因此 RF 濺鍍法較佳為形成保護絕緣層的方法。使用不包含例如水氣、氫離子及 OH^- 之雜質且阻擋該些雜質自外部進入的無機絕緣層形成保護絕緣層：可使用例如，氮化矽層、氮化鋁層、氧化氮化矽層、氧化氮化鋁層等。在此實施例中，作為保護絕緣層，使用氮化矽層形成保護絕緣層 303（見圖 11E）。

於其上層疊形成有氧化物絕緣層 316 的基板 300 加熱至 100℃ 至 400℃ 的溫度，導入其中移除氫氣和水氣並包

含高純度氮氣的濺鍍氣體，且使用矽半導體靶材，藉以形成氮化矽層作為保護絕緣層 303。在此情況中，較佳於移除剩餘在處理室中的水氣時形成保護絕緣層 303，相同於氧化物絕緣層 316 之形成。

雖然未圖示，但可設置用於平坦化的平坦化絕緣層於保護絕緣層 303 之上。

包含上述薄膜電晶體的實施例 1 和 2 中的邏輯電路可具有穩定的電氣特性和高可靠性。

此實施例可適當結合其他實施例來實施。

（實施例 8）

在此實施例中，說明包含在實施例 1 或實施例 2 的邏輯電路中的薄膜電晶體之範例。

參考圖 12A 至 12D 說明薄膜電晶體之一實施例及此實施例之薄膜電晶體的製造方法。

圖 12D 說明薄膜電晶體之橫截面結構的範例。圖示於圖 12D 中的薄膜電晶體 360 係為底閘薄膜電晶體之一，其被稱為通道保護薄膜電晶體（亦被稱為通道阻絕薄膜電晶體），且亦被稱為倒交錯薄膜電晶體。

雖然說明係使用單一閘極薄膜電晶體作為薄膜電晶體 360，但可視需求形成包含有複數個通道形成區的多閘極薄膜電晶體。

參考圖 12A 至 12D 於下列說明在基板 320 之上製造薄膜電晶體 360 的過程。

首先，在具有絕緣表面的基板 320 上形成導電層之後，在第一微影製程中形成閘極電極層 361。應注意的是可使用噴墨法形成抗蝕遮罩。當使用噴墨法形成抗蝕遮罩時，不使用光罩；因此，可降低製造成本。

並且，閘極電極層 361 可使用例如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹和鈦之任何金屬材料、和包含上述任何材料作為主成分的合金材料，以單層結構或層狀結構形成。

然後，閘極絕緣層 322 形成於閘極電極層 361 之上。

在此實施例中，以電漿 CVD 法形成具有厚度小於或等於 100nm 的氮氧化矽層作為閘極絕緣層 322。

然後，於閘極絕緣層 322 上形成厚度達 2nm 至 200nm 之間的氧化物半導體層，並於第二微影製程中被處理成為島型氧化物半導體層。在此實施例中，該氧化物半導體層藉由使用以 In-Ga-Zn-O 為基質的氧化物金屬靶材的濺鍍法形成。

在此情況中，該氧化物半導體層較佳於移除剩餘在處理室中的水氣時形成。這是為了避免氫氣、羥基和水氣被包含於該氧化物半導體層中。

為了移除剩餘在處理室中的水氣，較佳使用誘捕真空泵。例如，較佳使用低溫泵、離子泵或鈦昇華泵。並且，抽空單元可為設置有冷凝捕集器的渦輪泵。在使用低溫泵抽空的沉積室中，氫原子、包含氫原子的化合物，例如水（ H_2O ）等，及此類者被抽空從而可減少在沉積室中形成的該氧化物半導體層中的雜質濃度。

較佳使用高純度氣體作為當形成該氧化物半導體層時使用的濺鍍氣體，從該高純度氣體中移除雜質例如氫氣、水、羥基或氫化物至以 ppm 或 ppb 標準表示之濃度。

接著，該氧化物半導體層接受脫水或脫氫。用於脫水或脫氫的第一熱處理的溫度係高於或等於 400°C 且低於或等於 750°C，較佳為高於或等於 400°C 且低於基板的應變點。此處，導入基板至電爐（其為熱處理設備之一），在氮氣氛圍中於 450°C 在該氧化物半導體層上實施熱處理一小時，然後，該氧化物半導體層並不暴露於空氣中以防止水和氫氣進入該氧化物半導體層；因此，獲得氧化物半導體層 332（見圖 12A）。

接著，實施使用氣體例如 N_2O 、 N_2 或 Ar 的電漿處理。藉由此電漿處理，可以移除附著於該氧化物半導體層的曝光部分的表面的水。或者，可以使用氧氣和氫氣的混合氣體來實施電漿處理。

接著，於閘極絕緣層 322 和氧化物半導體層 332 上形成氧化物絕緣層之後，在第三微影製程中形成抗蝕遮罩。實施選擇性蝕刻，以形成氧化物絕緣層 366。然後，移除抗蝕遮罩。

在此實施例中，以濺鍍法形成厚度達 200nm 的氧化矽層作為氧化物絕緣層 366。薄膜形成中的基板溫度可高於或等於室溫且低於或等於 300°C，在此實施例中為 100°C。可在稀有氣體（典型為氫氣）氛圍、氧氣氛圍或混合稀有氣體（典型為氫氣）和氧氣的氛圍中，以濺鍍法形成

該氧化矽層。並且，可使用氧化矽靶材或矽靶材作為靶材。例如，可在包含氧氣和氮氣的氛圍中，以濺鍍法使用矽靶材形成該氧化矽層。

在此情況中，氧化物絕緣層 366 較佳於移除剩餘在處理室中的水氣時形成。這是為了避免氫氣、羥基和水氣被包含於氧化物半導體層 332 和氧化物絕緣層 366 之中。

為了移除剩餘在處理室中的水氣，較佳使用誘捕真空泵。例如，較佳使用低溫泵、離子泵或鈦昇華泵。並且，抽空單元可為設置有冷凝捕集器的渦輪泵。在使用低溫泵抽空的沉積室中，氫原子、包含氫原子的化合物，例如水（ H_2O ）等，及類此者被抽空，從而可減少在沉積室中形成的氧化物絕緣層 366 中的雜質濃度。

較佳使用高純度氣體作為當形成該氧化物絕緣層 366 時使用的濺鍍氣體，從該高純度氣體中移除雜質例如氫氣、水、羥基或氫化物至以 ppm 或 ppb 標準表示之濃度。

接著，在惰性氣體氛圍或氧氣氣體氛圍中實施第二熱處理（較佳為 200°C 至 400°C 之間，例如， 250°C 至 350°C 之間）。例如，於氮氣氛圍中在 250°C 實施第二熱處理一小時。當該氧化物半導體層之部分（通道形成區）與氧化物絕緣層 366 接觸時，於該第二熱處理施加熱。

在此實施例中，進一步在其上設置有氧化物絕緣層 366 的氧化物半導體層 332 上實施熱處理，因此暴露氧化物半導體層 332 之部分在氮氣氛圍、惰性氣體氛圍或在減

少的壓力之下。藉由在氮氣氛圍、惰性氣體氛圍或在減少的壓力之下實施熱處理，可以增加氧化物半導體層 332 之未被氧化物絕緣層 366 覆蓋因而被暴露的區域的電阻。例如，在 250°C 氮氣氛圍中實施熱處理一小時。

藉由在氮氣氛圍中針對設置有氧化物絕緣層 366 的氧化物半導體層 332 的熱處理，可減少氧化物半導體層 332 之暴露區域的電阻。因此，形成包括具有不同電阻的區域的氧化物半導體層 362（在圖 12B 中以陰影區域和白色區域表示）。

接著，於閘極絕緣層 322、氧化物半導體層 362 和氧化物絕緣層 366 上形成導電層之後，在第四微影製程中形成抗蝕遮罩。實施選擇性蝕刻，以形成源極電極層 365a 和汲極電極層 365b。然後，移除抗蝕遮罩（見圖 12C）。

作為源極電極層 365a 和汲極電極層 365b 的材料，有選自 Al、Cr、Cu、Ta、Ti、Mo 或 W 的元素；包含上述任何元素之組合的合金層等。金屬導電層可具有單層結構或二或多層的層狀結構。

經由上述步驟，當在已形成的氧化物半導體層上實施用於脫水或脫氫的熱處理時，該氧化物半導體層將處於缺氧狀態中，因此其電阻被減少，即，成為 n 型。然後，形成氧化物絕緣層與該氧化物半導體層接觸。因此，該氧化物半導體層之部分係選擇性地處於氧氣過量狀態。因此，與閘極電極層 361 重疊的通道形成區 363 成為 i 型。以自我校正方式形成高電阻源極區域 364a 和高電阻汲極區域

364b，該高電阻源極區域 364a 具有至少比通道形成區 363 較高的載子濃度，且與源極電極層 365a 重疊，該高電阻汲極區域 364b 具有至少比通道形成區 363 較高的載子濃度，且與汲極電極層 365b 重疊。經由上述步驟，形成薄膜電晶體 360。

並且，可於 100°C 至 200°C 在空氣中實施熱處理一小時至 30 小時。在此實施例中，於 150°C 實施熱處理 10 小時。此熱處理可以固定的加熱溫度實施。替代地，下列之加熱溫度的改變可被重複進行複數次：加熱溫度係從室溫增加到 100°C 至 200°C 之間的溫度，然後降低至室溫。並且，在形成氧化物絕緣層之前，可在減壓下實施此熱處理。在減壓下，可縮短加熱時間。經此熱處理，自該氧化物半導體層導入氫氣至該氧化物絕緣層；因此，薄膜電晶體可正常關閉。因此，可改善薄膜電晶體的可靠性。

應注意的是，藉由在該氧化物半導體層中形成與汲極電極層 365b（及源極電極層 365a）重疊的高電阻汲極區域 364b（及高電阻源極區域 364a），可改善薄膜電晶體的可靠性。具體地，藉由形成高電阻汲極區域 364b，可獲得其中汲極電極層 365b、高電阻汲極區域 364b 和通道形成區 363 的導電率以分段式不相同的結構。因此，在薄膜電晶體以連接至佈線用以供應高電源電位 V_{DD} 的汲極電極層 365b 操作的情況中，高電阻汲極區域充作緩衝區，且即使在閘極電極層 361 和汲極電極層 365b 之間施加高電壓，區域性不施加電場；因此，可增加薄膜電晶體的耐

受電壓。

保護絕緣層 323 形成於源極電極層 365a、汲極電極層 365b 和氧化物絕緣層 366 之上。在此實施例中，使用氮化矽層形成保護絕緣層 323（見圖 12D）。

應注意的是氧化物絕緣層可進一步形成於源極電極層 365a、汲極電極層 365b 和氧化物絕緣層 366 之上，且保護絕緣層 323 可疊層於該氧化物絕緣層之上。

實施例 1 和 2 中的包含上述薄膜電晶體的邏輯電路可具有穩定的電器特性和高可靠性。

此實施例可適當結合其他實施例來實施。

（實施例 9）

在此實施例中，說明包含在實施例 1 或實施例 2 的邏輯電路中的薄膜電晶體之範例。

參考圖 13A 至 13D 說明薄膜電晶體之一實施例及此實施例之薄膜電晶體的製造方法。

雖然說明係使用單一閘極薄膜電晶體作為圖 13D 中的薄膜電晶體 350，但可視需求形成包含有複數個通道形成區的多閘極薄膜電晶體。

參考圖 13A 至 13D 於下列說明於基板 340 上製造薄膜電晶體 350 的過程。

首先，在具有絕緣表面的基板 340 上形成導電層之後，在第一微影製程中形成閘極電極層 351。在此實施例中，形成厚度達 150nm 之鎢層作為該閘極電極層 351。

然後，形成閘極絕緣層 342 於該閘極電極層 351 之上。在此實施例中，使用電漿 CVD 法形成厚度達小於或等於 100nm 的氮氧化矽層作為該閘極絕緣層 342。

接著，於閘極絕緣層 342 上形成導電層之後，在第二微影製程中形成抗蝕遮罩。實施選擇性蝕刻，以形成源極電極層 355a 和汲極電極層 355b。然後，移除抗蝕遮罩（見圖 13A）。

然後，形成氧化物半導體層 345（參見圖 13B）。在此實施例中，該氧化物半導體層 345 藉由使用以 In-Ga-Zn-O 為基質的氧化物金屬靶材的濺鍍法形成。在第三微影製程中，該氧化物半導體層 345 被處理成島型氧化物半導體層。

在此情況中，該氧化物半導體層 345 較佳於移除剩餘在處理室中的水氣時形成。這是為了防止氫氣、羥基和水氣被包含於該氧化物半導體層 345 中。

為了移除剩餘在處理室中的水氣，較佳使用誘捕真空泵。例如，較佳使用低溫泵、離子泵或鈦昇華泵。並且，抽空單元可為設置有冷凝捕集器的渦輪泵。在使用低溫泵抽空的沉積室中，抽空氫原子、包含氫原子例如水（ H_2O ）等的化合物，從而可減少形成於沉積室中的該氧化物半導體層 345 中的雜質濃度。

較佳使用高純度氣體作為當形成該氧化物半導體層 345 時使用的濺鍍氣體，從該高純度氣體中移除雜質例如氫氣、水、羥基或氫化物至以 ppm 或 ppb 標準表示之濃

度。

接著，該氧化物半導體層接受脫水或脫氫。用於脫水或脫氫的第一熱處理的溫度係高於或等於 400°C 且低於或等於 750°C ，較佳為高於或等於 400°C 且低於基板的應變點。此處，導入基板至電爐（其為熱處理設備之一），在氮氣氛圍中於 450°C 在該氧化物半導體層上實施熱處理一小時，然後，該氧化物半導體層並不暴露於空氣中以防止水和氫氣進入該氧化物半導體層；因此，獲得氧化物半導體層 346（見圖 13C）。

例如，作為第一熱處理，可實施 GRTA 如下。傳送基板並置於已被加熱至 650°C 至 700°C 之高溫的惰性氣體中，加熱數分鐘，然後傳送並從已被加熱至高溫的惰性氣體中取出。GRTA 可於短時間內致能高溫熱處理。

形成氧化物絕緣層 356，其作為保護絕緣層且與氧化物半導體層 346 接觸。

可適當地以濺鍍法或類此者（該方法讓例如水或氫氣的雜質不會進入氧化物絕緣層 356）形成厚度長於或等於 1nm 的氧化物絕緣層 356。當氧化物絕緣層 356 中包含氫氣時，造成氫氣進入該氧化物半導體層或藉由氫氣提取該氧化物半導體層中的氧氣，藉以該氧化物半導體層的反向通道達成具有較低電阻（將成為 n 型），並且因此可能形成寄生通道。因此，採用其中不使用氫氣的形成方法係重要的，使得形成包含盡可能少的氫氣的氧化物絕緣層 356。

在此實施例中，以濺鍍法形成厚度達 200nm 的氧化矽層作為氧化物絕緣層 356。薄膜形成中的基板溫度可高於或等於室溫且低於或等於 300℃，在此實施例中為 100℃。可在稀有氣體（典型為氬氣）氛圍、氧氣氛圍或混合稀有氣體（典型為氬氣）和氧氣的氛圍中，以濺鍍法形成該氧化矽層。並且，可使用氧化矽靶材或矽靶材作為靶材。例如，可在包含氧氣和氮氣的氛圍中，以濺鍍法使用矽靶材形成該氧化矽層。使用典型為氧化矽層、氮氧化矽層、氧化鋁層或氮氧化鋁層的無機絕緣層形成氧化物絕緣層 356；該氧化物絕緣層係在處於缺氧狀態中的區域中被形成與該氧化物半導體層接觸，並因此具有較低電阻；該無機絕緣層不包含例如水氣、氫離子及 OH^- 的雜質，並阻擋此些雜質自外部進入。

在此情況中，氧化物絕緣層 356 較佳於移除剩餘在處理室中的水氣時形成。這是為了避免氬氣、羥基和水氣被包含於氧化物半導體層 346 和氧化物絕緣層 356 之中。

為了移除剩餘在處理室中的水氣，較佳使用誘捕真空泵。例如，較佳使用低溫泵、離子泵或鈦昇華泵。並且，抽空單元可為設置有冷凝捕集器的渦輪泵。在使用低溫泵抽空的沉積室中，抽空氬原子、包含氬原子，例如水（ H_2O ）等的化合物，從而可減少在沉積室中形成的氧化物絕緣層 356 中的雜質濃度。

較佳使用高純度氣體作為當形成該氧化物絕緣層 356 時使用的濺鍍氣體，從該高純度氣體中移除雜質例如氬

氣、水、羥基或氫化物至以 ppm 或 ppb 標準表示之濃度。

接著，在惰性氣體氛圍或氧氣氣體氛圍中實施第二熱處理（較佳為 200°C 至 400°C 之間，例如，250°C 至 350°C 之間）。例如，於氮氣氛圍中在 250°C 實施第二熱處理一小時。當該氧化物半導體層之部分（通道形成區）與氧化物絕緣層 356 接觸時，於該第二熱處理施加熱。

經由上述步驟，處於缺氧狀態且因此具有低電阻的該氧化物半導體層經由脫水或脫氫而進入氧氣過量狀態。因此，形成具有高電阻的 i 型氧化物半導體層 352。經由上述步驟，形成薄膜電晶體 350。

並且，可於 100°C 至 200°C 在空氣中實施熱處理一小時至 30 小時。在此實施例中，於 150°C 實施熱處理 10 小時。此熱處理可以固定的加熱溫度實施。替代地，下列之加熱溫度的改變可被重複進行複數次：加熱溫度係從室溫增加到 100°C 至 200°C 之間的溫度，然後降低至室溫。並且，可在減壓下實施此熱處理。在減壓下，可縮短加熱時間。經此熱處理，自該氧化物半導體層導入氫氣至該氧化物絕緣層；因此，薄膜電晶體可正常關閉。因此，可改善薄膜電晶體的可靠性。

另外可形成保護絕緣層 343 於氧化物絕緣層 356 上。例如，以 RF 濺鍍法形成氮化矽層。在此實施例中，作為該保護絕緣層，使用氮化矽層形成保護絕緣層 343（見圖 13D）。

應注意的是，可設置用於平坦化的平坦化絕緣層於保護絕緣層 343 之上。

包含上述薄膜電晶體的實施例 1 和 2 中的邏輯電路可具有穩定的電氣特性和高可靠性。

此實施例可適當結合其他實施例來實施。

（實施例 10）

在此實施例中，說明包含在實施例 1 或實施例 2 的邏輯電路中的薄膜電晶體之範例。

在此實施例中，將參考圖 14 說明薄膜電晶體之製造過程與實施例 7 部分不同的範例。因為除了部份步驟之外，圖 14 相同於圖 11A 至 11E，相同部份使用共同參考標號，且省略相同部份的細節說明。

首先，依據實施例 7 形成閘極電極層 381 於基板 370 上，且層疊第一閘極絕緣層 372a 和第二閘極絕緣層 372b 於其上。在此實施例中，閘極絕緣層具有兩層結構，其中分別使用氮化物絕緣層及氧化物絕緣層作為該第一閘極絕緣層 372a 及該第二閘極絕緣層 372b。

作為氧化物絕緣層，可使用氧化矽層、氮氧化矽層、氧化鋁層、氮氧化鋁層或類此者。作為氮化物絕緣層，可使用氮化矽層、氧化氮化矽層、氮化鋁層、氧化氮化鋁層或類此者。

在此實施例中，閘極絕緣層可具有氮化矽層和氧化矽層自閘極電極層 381 之側堆疊的結構。以濺鍍法形成厚度

達 50nm 至 200nm 之間的氮化矽層 (SiN_y ($y>0$)) 作為第一閘極絕緣層 372a，並於該第一閘極絕緣層 372a 上堆疊厚度達 5nm 至 300nm 之間（此實施例中為 100nm）的氧化矽層 (SiO_x ($x>0$)) 作為第二閘極絕緣層 372b；因此，可形成閘極絕緣層。

接著，形成該氧化物半導體層，然後於微影製程中處理成為島型氧化物半導體層。在此實施例中，該氧化物半導體層藉由使用以 In-Ga-Zn-O 為基質的氧化物金屬靶材的濺鍍法形成。

在此情況中，該氧化物半導體層較佳於移除剩餘在處理室中的水氣時形成。這是為了避免氫氣、羥基和水氣被包含於該氧化物半導體層中。

為了移除剩餘在處理室中的水氣，較佳使用誘捕真空泵。例如，較佳使用低溫泵、離子泵或鈦昇華泵。並且，抽空單元可為設置有冷凝捕集器的渦輪泵。在使用低溫泵抽空的沉積室中，抽空氫原子、包含氫原子，例如水 (H_2O) 等的化合物，從而可減少在沉積室中形成的該氧化物半導體層中的雜質濃度。

較佳使用高純度氣體作為當形成該氧化物半導體層時使用的濺鍍氣體，從該高純度氣體中移除雜質例如氫氣、水、羥基或氫化物至以 ppm 或 ppb 標準表示之濃度。

接著，將該氧化物半導體層脫水或脫氫。用於脫水或脫氫的第一熱處理的溫度係高於或等於 400°C 且低於或等於 750°C ，較佳為高於或等於 425°C 。應注意的是在溫度

係 425℃ 或更高的情況中，熱處理的時間可為一小時或更少，而在溫度小於 425℃ 的情況中，熱處理的時間係長於一小時。此處，導入基板至熱處理設備之一的電爐中，在氮氣氛圍中在該氧化物半導體層上實施熱處理，然後，該氧化物半導體層並不暴露於空氣中，使得可防止水和氫氣進入該氧化物半導體層中。因此，獲得該氧化物半導體層。之後，導入高純度氧氣氣體、高純度 N_2O 氣體或超乾燥空氣（具有 -40℃ 或更低的露點，較佳為 -60℃ 或更低）至相同電爐且實施冷卻。較佳為水、氫氣等不被包含於氧氣氣體或 N_2O 氣體中。或者，導入熱處理設備的氧氣氣體或 N_2O 氣體的純度較佳為 6N（99.9999%）或更高，更佳為 7N（99.99999%）或更高（亦即，氧氣氣體或 N_2O 氣體的雜質濃度係較佳為 1 ppm 或更低，更佳為 0.1 ppm 或更低）。

應注意的是熱處理的設備並不侷限於電爐，且可為例如，RTA（快速熱退火）設備，例如 GRTA（氣體快速熱退火）設備或 LRTA（燈快速熱退火）設備。LRTA 設備係用於加熱將藉由發射自燈（例如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈）的光輻射（電磁波）所處理的對象的設備。LRTA 設備不僅可具備有燈亦可具備有用於加熱藉由來自例如電阻加熱器之加熱器的熱傳導或熱輻射所處理的對象的裝置。GRTA 係使用高溫氣體實施熱處理的方法。作為氣體，使用因為熱處理而不與將被處理的對象產生反應的惰性氣體，例如氮氣或

稀有氣體，例如氬氣。或者，可以 RTA 法，於 600℃ 至 750℃，實施熱處理數分鐘。

並且，在用於脫水或脫氫的第一熱處理之後，可於 200℃ 至 400℃ 之間，較佳為 200℃ 至 300℃ 之間，在氧氣氣體氛圍或 N₂O 氣體氛圍中實施熱處理。

該氧化物半導體層的第一熱處理可在該氧化物半導體層被處理成島型氧化物半導體層之前實施。在此情況中，在第一熱處理之後，將基板自熱處理設備中移除且實施微影製程。

經由上述過程，該氧化物半導體層的全部區域將處於氧氣過量狀態；因此，該氧化物半導體層具有較高電阻，即，該氧化物半導體層成為 i 型。因此，獲得氧化物半導體層 382，其全部區域為 i 型。

接著，導電層形成於氧化物半導體層 382 之上。於微影製程中形成抗蝕遮罩。選擇性地實施蝕刻，藉以形成源極電極層 385a 和汲極電極層 385b。然後，以濺鍍法形成氧化物絕緣層 386。

在此情況中，氧化物絕緣層 386 較佳於移除剩餘在處理室中的水氣時形成。這是為了避免氫氣、羥基和水氣被包含於氧化物半導體層 382 和氧化物絕緣層 386 之中。

為了移除剩餘在處理室中的水氣，較佳使用誘捕真空泵。例如，較佳使用低溫泵、離子泵或鈦昇華泵。並且，抽空單元可為設置有冷凝捕集器的渦輪泵。在使用低溫泵抽空的沉積室中，抽空氫原子、包含氫原子，例如水

(H_2O) 等的化合物，從而可減少在沉積室中形成的氧化物絕緣層 386 中的雜質濃度。

較佳使用高純度氣體作為當形成該氧化物絕緣層 386 時使用的濺鍍氣體，從該高純度氣體中移除雜質例如氫氣、水、羥基或氫化物至以 ppm 或 ppb 標準表示之濃度。

經由上述步驟，可形成薄膜電晶體 380。

接著，為了減少薄膜電晶體之電特性的變化，可在惰性氣體氛圍或氮氣氣體氛圍中實施熱處理（較佳在 150°C 或更高且低於 350°C ）。例如，在氮氣氛圍中於 250°C 實施熱處理一小時。

並且，可於 100°C 至 200°C 在空氣中實施熱處理一小時至 30 小時。在此實施例中，於 150°C 實施熱處理 10 小時。此熱處理可以固定的加熱溫度實施。替代地，下列之加熱溫度的改變可被重複進行複數次：加熱溫度係從室溫增加到 100°C 至 200°C 之間的溫度，然後降低至室溫。並且，可在減壓下實施此熱處理。在減壓下，可縮短加熱時間。經此熱處理，自該氧化物半導體層導入氫氣至該氧化物絕緣層；因此，薄膜電晶體可正常關閉。因此，可改善薄膜電晶體的可靠性。

保護絕緣層 373 形成於氧化物絕緣層 386 之上。在此實施例中，以濺鍍法使用氮化矽層來形成厚度達 100nm 的保護絕緣層 373。

各者使用氮化物絕緣層來形成的保護絕緣層 373 及第

一閘極絕緣層 372a 並不包含例如水氣、氫氣、氫化物及氫氧化物的雜質，且具有阻擋其自外面進入的功效。

因此，在形成保護絕緣層 373 之後的製造過程中，可防止例如水氣的雜質自外面進入。並且，甚至在完成一裝置作為例如液晶顯示裝置的半導體裝置之後，可長期防止例如水氣的雜質自外面進入；因此，可達成該裝置的長期可靠度。

並且，在保護絕緣層 373 之間的以氮化物絕緣層形成的部分絕緣層和第一閘極絕緣層 372a 可被移除，使得保護絕緣層 373 和第一閘極絕緣層 372a 可互相接觸。

因此，在氧化物半導體層中的雜質，例如水氣、氫氣、氫化物及氫氧化物，被盡可能地減少，並防止該等雜質的進入，使得該氧化物半導體層中的雜質濃度可被維持在低濃度。

雖然未圖示，但可設置用於平坦化的平坦化絕緣層於保護絕緣層 373 之上。

包含上述薄膜電晶體的實施例 1 和 2 中的邏輯電路可具有穩定的電氣特性和高可靠性。

此實施例可適當結合其他實施例來實施。

（實施例 11）

在此實施例中，說明半導體裝置之各者包含實施例 1 或實施例 2 中的邏輯電路之範例。具體地，參考圖 15A 至 15C 說明液晶顯示面板之外觀及橫截面，其各者中包含實

施例 1 或實施例 2 中的邏輯電路。圖 15A 及 15C 係面板的平面圖，各面板中之薄膜電晶體 4010 和 4011 及液晶元件 4013 以填封材 4005 被密封在第一基板 4001 和第二基板 4006 之間。圖 15B 係圖 15A 或 15C 中沿著線 M-N 所截的橫截面圖。

設置填封材 4005 以圍繞設置於第一基板 4001 之上的像素部分 4002 及掃描線驅動器電路 4004。設置第二基板 4006 於像素部分 4002 和掃描線驅動器電路 4004 之上。因此，藉由第一基板 4001、填封材 4005 及第二基板 4006，將像素部分 4002 及掃描線驅動器電路 4004 與液晶層 4008 一起被密封。使用單晶半導體薄膜或多晶半導體薄膜於另外準備的基板上形成的信號線驅動器電路 4003 被安裝在與第一基板 4001 上被填封材 4005 所圍繞的區域不同的區域中。

應注意的是單獨形成的驅動器電路的連接方法並無特別限制，可使用 COG 方法、引線結合（wire bonding）法、TAB 方法等。圖 15A 顯示以 COG 方法安裝信號線驅動器電路 4003 的範例。圖 15C 顯示以 TAB 方法安裝信號線驅動器電路 4003 的範例。

設置在第一基板 4001 上的像素部分 4002 及掃描線驅動器電路 4004 包括複數的薄膜電晶體。例如，圖 15B 顯示包含在像素部分 4002 之中的薄膜電晶體 4010 和包含在掃描線驅動器電路 4004 之中的薄膜電晶體 4011。設置絕緣層 4041、4042 和 4021 於薄膜電晶體 4010 和 4011 之

上。

實施例 3 至 10 的任何薄膜電晶體可作為適當的薄膜電晶體 4010 及 4011，且彼等可使用相同於形成實施例 3 至 10 的薄膜電晶體的步驟和材料來形成。減少在薄膜電晶體 4010 及 4011 的氧化物半導體層中的氫氣或水。因此，薄膜電晶體 4010 及 4011 係高度可靠的薄膜電晶體。在此實施例中，薄膜電晶體 4010 及 4011 係 n 通道薄膜電晶體。

設置導電層 4040 於部分絕緣層 4021 之上，其與薄膜電晶體 4011 中的氧化物半導體層的通道形成區重疊。設置導電層 4040 於與氧化物半導體層的通道形成區重疊的位置，藉以可減少在 BT 測試之前和之後的薄膜電晶體 4011 的門檻電壓變化量。導電層 4040 的電位可能與薄膜電晶體 4011 的閘極電極層的電位相同或不同。導電層 4040 亦可作用如同第二閘極電極層。並且，導電層 4040 的電位可為 GND，0V，或導電層 4040 可處於浮接狀態。應注意的是並不一定需要設置導電層 4040。

包含於液晶元件 4013 中的像素電極層 4030 係電連接至薄膜電晶體 4010 的源極或汲極電極層。液晶元件 4013 的相對電極層 4031 係形成於第二基板 4006 之上。像素電極層 4030、相對電極層 4031、及液晶層 4008 彼此重疊的部分對應於液晶元件 4013。應注意的是像素電極層 4030 及相對電極層 4031 係分別設置有絕緣層 4032 及絕緣層 4033 作為校正薄膜，並且液晶層 4008 被夾在該等電極層

之間，其中間有絕緣層 4032 及 4033。

應注意的是可使用透光基板作為第一基板 4001 及第二基板 4006；可使用玻璃、陶瓷或塑膠。該塑膠可為玻璃纖維增強塑料（FRP）板、聚氟乙烯（PVF）薄膜、聚酯薄膜或丙烯酸樹脂薄膜。

參考標號 4035 標示由絕緣膜的選擇性蝕刻所獲得的柱狀間隔，且設置該柱狀間隔以控制像素電極層 4030 及相對電極層 4031 之間的距離（間隔距）。替代地，可使用球形間隔作為該間隔 4035。相對電極層 4031 係電連接至共同電位線，該共同電位線係形成於形成有薄膜電晶體 4010 的基板之上。相對電極層 4031 及共同電位線可經由設置於該對基板之間的導電粒子，使用共同連接部份彼此電連接。應注意的是導電粒子係包含於填封材 4005 之中。

替代地，可使用不需要校正薄膜之表現出藍相的液晶。藍相係液晶相之一，其於當膽固醇液晶的溫度增加時，膽固醇相改變成為均質相之前產生。因為藍相僅在狹窄的溫度範圍內產生，液晶層 4008 係使用包含 5wt% 或更多的手性分子（chiral agent）的液晶組成，以改善溫度範圍。包含表現出藍相的液晶及手性分子（chiral agent）的液晶組成具有 1 msec 或更短的短反應時間且為光學等相性；因此，並不需要校正處理，並且視角依賴性較小。此外，因為不需要設置校正薄膜且不需要摩擦處理，在製造過程中可防止由摩擦處理造成的靜電破壞，並減少液晶顯

示裝置的缺陷和損壞。因此，可增加液晶顯示裝置的生產率。使用氧化物半導體層形成的薄膜電晶體尤其具有薄膜電晶體的電特性因靜電影響和偏離設計範圍而大幅波動的可能性。因此，針對包含使用氧化物半導體層形成的薄膜電晶體的液晶顯示裝置，使用藍相液晶材料係更有效的。

應注意的是，除了透射式液晶顯示裝置，此實施例亦可施用於反射式液晶顯示裝置。

雖然在液晶顯示裝置中的範例中，偏光板設置於基板的外表面上（在觀看者側），且用於顯示元件的著色層及電極層依序地設置於基板的內表面上，但偏光板可設置於基板的內表面上。偏光板及著色層的疊層結構並不侷限於此實施例中的結構，可依據偏光板及著色層的材料或製程的條件適當地設置。並且，充作黑色矩陣的阻光薄膜可被設置於顯示部分以外的部分中。

在薄膜電晶體 4011 及 4010 之上，形成絕緣層 4041 與該等氧化物半導體層接觸。可使用相同於形成在任何實施例中所描述的氧化物絕緣層的材料和方法來形成絕緣層 4041。此處，以濺鍍法形成氧化矽層作為絕緣層 4041。並且，形成保護絕緣層 4042 於絕緣層 4041 之上並與其接觸。例如，可使用氮化矽層形成保護絕緣層 4042。為了減少由薄膜電晶體造成的表面粗糙度，形成絕緣層 4021 作為平坦化絕緣層。

形成絕緣層 4021 作為平坦化絕緣層。可使用具有耐熱性的有機材料，例如聚醯亞胺、丙烯酸、苯並環丁烯、

聚醯胺或環氧作為絕緣層 4021。除了這些有機材料以外，亦可能使用低介電常數材料（low-k 材料）、矽氧烷基樹脂、PSG（矽酸磷玻璃）、BPSG（硼磷矽玻璃）等。應注意的是絕緣層 4021 可以堆疊利用上述任何材料所形成之複數個絕緣層來形成。

形成絕緣層 4021 的方法並沒有特殊的限制。可依據該材料以例如濺鍍法、SOG 法、旋轉塗佈法、浸漬法、噴塗法或液滴放電法（例如，噴墨法、網版印刷或平版印刷）之方法，或例如刮刀、輥式塗佈機、幕簾式塗佈機或刮刀塗佈機之工具（器具）形成絕緣層 4021。絕緣層 4021 的烘烤步驟亦作為半導體層的退火，藉以可有效率地製造半導體裝置。

可使用透光導電材料形成像素電極層 4030 和相對電極層 4031，該透光導電材料例如銦錫氧化物（ITO）、將氧化鋅（ZnO）混入氧化銦中的氧化銦鋅（IZO）、將氧化矽（SiO₂）混入氧化銦中的導電材料、有機銦、有機錫、包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的銦錫氧化物或類此者。並且，在反射式液晶顯示裝置中不需要透光性質或需要反射性質的情況中，可使用一或多種選自例如鎢（W）、鉬（Mo）、鋯（Zr）、鈪（Hf）、釩（V）、鈮（Nb）、鉭（Ta）、鉻（Cr）、鈷（Co）、鎳（Ni）、鈦（Ti）、鉑（Pt）、鋁（Al）、銅（Cu）及銀（Ag）之金屬；上述金屬合金及上述金屬之氮化物的材料形成像素電極層 4030

和相對電極層 4031。

針對像素電極層 4030 及相對電極層 4031，可使用包含導電高分子（亦稱為導電聚合物）的導電組成。使用導電組形成成的像素電極較佳具有少於或等於每平方 10000 ohms 的表面電阻，及在波長 550nm 處具有大於或等於 70% 的透光率。並且，包含於導電組成中的導電高分子的電阻率係較佳小於或等於 $0.1 \Omega \cdot \text{cm}$ 。

可使用亦稱為 π -電子共軛導電聚合物作為導電高分子。例如，可給定聚苯胺或其衍生物、聚吡咯或其衍生物、聚塞吩或其衍生物、其二或多種之共聚合物等。

並且，自軟性電路板（FPC）4018 供應各種信號和電位至單獨形成的信號線驅動器電路 4003、掃描線驅動器電路 4004 或像素部分 4002。

使用和包含於液晶元件 4013 中的像素電極層 4030 相同的導電薄膜形成連接端子電極 4015，並且使用和薄膜電晶體 4010 及 4011 之源極及汲極電極層相同的電薄膜形成端子電極 4016。

連接端子電極 4015 係經由異向性導電薄膜 4019 電連接至包含於軟性電路板（FPC）4018 中的端子。

應注意的是圖 15A 至 15C 顯示其中單獨形成信號線驅動器電路 4003 並安裝至第一基板 4001 上的各範例；然而，本發明並不侷限於此結構。可單獨形成然後安裝該掃描線驅動器電路，或僅單獨形成然後安裝部分的信號線驅動器電路或部份的掃描線驅動器電路。

可適當地設置黑色矩陣（阻光層）、光學元件（光學基板），例如偏光元件、延遲元件、或抗反射元件等。例如，藉由使用偏光基板及延遲基板來採用圓偏光作用。此外，可使用背光、側光等作為光源。

在主動矩陣液晶顯示裝置中，藉由驅動排列於矩陣中的像素電極於螢幕上形成顯示圖案。具體地，對應該像素電極施加電壓於被選擇的像素電極和相對電極之間，因此，設置於像素電極和相對電極之間的液晶層係光學調變的。觀看者將此光學調變視為顯示圖案。

液晶顯示裝置具有當顯示移動影像時，因為液晶分子本身的反應速度低而造成影像殘留或模糊的移動影像的問題。作為用於改善液晶顯示裝置之移動影像特性的技術，使用每隔一圖框顯示一全黑影像之稱為黑插入（black insertion）的驅動技術。

或者，可採用稱為雙倍幀速率驅動的驅動方法，其中垂直同步頻率為高達傳統垂直同步頻率的 1.5 倍或更多，較佳為 2 倍或更多，藉以改善反應速度。

此外，用於改善液晶顯示裝置之移動影像特性的技術，有另一種驅動技術，其中使用包含複數個 LED（發光二極體）光源或複數個 EL 光源的表面光源作為背光，且包含於表面光源中的各光源係獨立驅動的，使得在一個圖框期間實施間歇發光。可使用三或更多種 LED，或可使用白光發光 LED 作為表面光源。因為可獨立地控制複數個 LED，可將 LED 發光的時序與液晶層之光學調變轉換的時

序同步化。在此驅動技術中，可關閉部分的 LED。因此，尤其在一螢幕中顯示其中黑色影像區域之比例係高的情況中，可以低電力消耗的驅動液晶顯示裝置。

當組合任何這些驅動技術時，液晶顯示裝置可具有比傳統液晶顯示裝置更佳的顯示特性，例如移動影像特性。

因為薄膜電晶體很容易因為靜電等而損壞，因此較佳為設置保護電路於和像素部分及驅動器電路部份相同的基板之上。較佳係使用包含氧化物半導體層的非線性元件來形成保護電路。例如，在像素部分和掃描線輸入端子及信號線輸入端子之間設置保護電路。在此實施例中，設置複數個保護電路，使得當靜電等造成的突波電壓被施加於掃描線、信號線或電容器匯流排線時，像素電晶體等不會損壞。因此，該保護電路具有當施加突波電壓於保護電路時釋放電荷至共同佈線的結構。保護電路包括與掃描線並聯排列的非線性元件。非線性元件之各者包括二端元件，例如二極體，或三端元件，例如電晶體。例如，可經由與像素部分的薄膜電晶體相同的步驟形成非線性元件。例如，可藉由連接閘極端子至汲極端子來達成相同於二極體的特性。

並且，針對液晶顯示模組，可使用扭曲向列（TN）模式、平面轉換（IPS）模式、邊界電場切換（FFS）模式、軸對稱排列微胞型（ASM）模式、光學補償雙折射（OCB）模式、鐵電液晶（FLC）模式、反鐵電液晶（AFLC）模式等。

本說明說中所述的半導體裝置並沒有特別的限制，可使用包括 TN 液晶、OCB 液晶、STN 液晶、VA 液晶、ECB 液晶、GH 液晶、聚合物分散液晶、盤狀液晶等的液晶顯示裝置。特別是，常態黑液晶面板，例如使用垂直配向（VA）模式的透射式液晶顯示裝置係較佳的。給定一些範例作為垂直配向模式。例如，可採用 MVA（多域垂直配向）模式、PVA（圖案垂直配向）模式、ASV 模式等。

並且，此實施例亦可適用於 VA 液晶顯示裝置。VA 液晶顯示裝置具有液晶顯示面板中液晶分子的配向係受到控制的一種型式。在 VA 液晶顯示裝置中，當不施加電壓時，在關於面板表面的垂直方向中排列液晶分子。並且，可使用稱為多域或多域設計的方法，藉由此方法，將像素分成幾個區域（次像素），且將液晶分子在該等個別區域中排列在不同方向。

可以與任何其他實施例的適當結合來實施此實施例。

（實施例 12）

在此實施例中，說明半導體裝置的範例，半導體裝置各者包括實施例 1 或實施例 2 中的邏輯電路。具體地，說明製造主動矩陣發光顯示裝置的範例，在主動矩陣發光顯示裝置之各者中，驅動器電路包括實施例 1 或實施例 2 中的邏輯電路。應注意的是在此實施例中，將說明發光顯示裝置範例，發光顯示裝置包括使用電致發光的發光元件。

依據發光材料係有機化合物或無機化合物來將使用電致發光的發光元件分類。通常，前者稱為有機 EL 元件，後者稱為無機 EL 元件。

在有機 EL 元件中，藉由施加電壓至發光元件，將電子及電洞分別自一對電極注入一包含發光有機化合物的層，接著電流流動。然後，重結合載子（電子及電洞），因此發光。由於此機制，此發光元件稱為電流激發發光元件。

無機 EL 元件依據其元件結構被分類成分散型無機 EL 元件和薄膜無機 EL 元件。分散型無機 EL 元件具有發光材料的粒子在黏合劑中分散的發光層，且其發光機制為利用施子能階和受子能階的施子-受子重結合型發光。薄膜無機 EL 元件具有發光層夾在介電層之間，且該等介電層夾在電極之間的結構，其發光機制為利用金屬離子之內殼層電子躍遷的侷限型發光。應注意的是此處說明有機 EL 元件作為發光元件的範例。

圖 16 顯示像素結構的範例作為半導體裝置的範例，數位時間灰階驅動可適用於該像素結構。

說明像素的結構及操作，數位時間灰階驅動可適用於該像素。此處，一個像素包括兩個 n-通道電晶體，其各者包括氧化物半導體層作為通道形成區。

像素 6400 包括切換電晶體 6401、驅動電晶體 6402、發光元件 6404 和電容器 6403。切換電晶體 6401 的閘極係連接至掃描線 6406，切換電晶體 6401 的第一電極（源

極電極和汲極電極之一者)係連接至信號線 6405,且切換電晶體 6401 的第二電極(源極電極和汲極電極之另一者)係連接至驅動電晶體 6402 的閘極。驅動電晶體 6402 的閘極係經由電容器 6403 連接至電源供應線 6407,驅動電晶體 6402 的第一電極係連接至電源供應線 6407,且驅動電晶體 6402 的第二電極係連接至發光元件 6404 的第一電極(像素電極)。發光元件 6404 的第二電極對應於共同電極。共同電極係電連接至設置於相同基板上的共同電位線 6408 作為共同電極。

將發光元件 6404 的第二電極(共同電極)設為低電源供應電位。應注意的是低電源供應電位係滿足低電源供應電位 $<$ 高電源供應電位的電位,關於高電源供應電位,其設至電源供應線 6407。作為低電源供應電位,可採用例如 GND、0V 等。施加高電源供應電位和低電源供應電位之間的電位差至發光元件 6404,且提供電流至發光元件 6404,使得發光元件 6404 發光。此處,為了使發光元件 6404 發光,設定各電位,使得高電源供應電位和低電源供應電位之間的電位差高於發光元件 6404 的順向電壓降。

當使用驅動電晶體 6402 的閘極電容作為電容器 6403 的替代時,可省略電容器 6403。可在通道形成區和閘極電極之間形成驅動電晶體 6402 的閘極電容。

此處,在使用電壓輸入電壓驅動方式的情況中,將致能驅動電晶體 6402 以完全開啓或關閉的視訊信號輸入至

驅動電晶體 6402 的閘極。即，在線性區域中操作驅動電晶體 6402。因為線性區域中操作驅動電晶體 6402，將高於電源供應線 6407 之電壓的電壓施加至驅動電晶體 6402 的閘極。應注意的是，將大於或等於（電源供應線電壓 + 驅動電晶體 6402 的 V_{th} ）的電壓施加至信號線 6405。

並且，在使用類比灰階驅動取代數位時間比灰階驅動的情況中，可藉由以不同方式輸入信號採用相同於圖 16 之像素結構的像素結構。

在使用類比灰階法的情況中，將大於或等於發光元件 6404 的順向電壓 + 驅動電晶體 6402 的 V_{th} 的電壓施加至驅動電晶體 6402 的閘極。發光元件 6404 的順向電壓係指獲得所欲亮度的電壓。藉由輸入視訊信號以致能驅動電晶體 6402 在飽和區中操作，可提供電流至發光元件 6404。為了使驅動電晶體 6402 可在飽和區中操作，設定電源供應線 6407 的電位高於驅動電晶體 6402 的閘極電位。當使用類比視訊信號時，依照該視訊信號反饋電流至發光元件 6404 並實施類比灰階驅動係可能的。

應注意的是示於圖 16 中的像素結構並不侷限於此。例如，可將開關、電阻器、電容器、電晶體、邏輯電路或類此者加入示於圖 16 中的像素。

接著，將參考圖 17A 至 17C 說明發光元件的結構。此處，將以 n 通道驅動 TFT 作為範例來說明像素的橫截面結構。示於圖 17A、17B 及 17C 中的用於半導體裝置的驅動 TFT 7011、7021 及 7001 可以相同於製造任何實施例

中所述之薄膜電晶體的方法來製造，且如範例，為各者包含氧化物半導體層的薄膜電晶體。

為了從發光元件提取發光，節點和陰極之至少一者需為透明的。在基板上形成薄膜電晶體和發光元件。發光元件可具有其中經由相對於該基板的表面提取發光的頂發射結構；其中經由基板側上的表面提取發光的底發射結構；或其中經由相對於該基板的表面和基板側上的表面提取發光的雙發射結構。像素結構可適用於具有這些發光結構之任一者的發光元件。

接著，參考圖 17A 說明具有底發射結構的發光元件。

圖 17A 係在驅動 TFT 7011 係 n 型且自發光元件 7012 發射光至第一電極 7013 側的情形中像素的橫截面圖。在圖 17A 中，發光元件 7012 的第一電極 7013 形成於透光導電層 7017 上，透光導電層 7017 係電連接至驅動 TFT 7011 的汲極電極層，且 EL 層 7014 和第二電極 7015 係依此順序堆疊於第一電極 7013 上。

可使用添加氧化矽的包含氧化鎢之氧化銦、包含氧化鎢之氧化銦鋅、包含氧化鈦之氧化銦、包含氧化鈦之銦錫氧化物、銦錫氧化物、氧化銦鋅、銦錫氧化物或類此者的透光導電層作為透光導電層 7017。

發光元件的第一電極 7013 可使用各種材料。例如，在使用第一電極 7013 作為陰極的情況中，較佳係使用，例如具有低功函數的材料，例如鹼金屬（例如 Li 或 Cs）；鹼土金屬（例如 Mg、Ca 或 Sr）；包含任何這些金

屬（例如，Mg：Ag 或 Al：Li）的合金；或稀土金屬（例如 Yb 或 Er），來形成第一電極 7013。在圖 17A 中，第一電極 7013 大約形成一個以便傳輸光的厚度（較佳係大約 5nm 至 30nm）。例如，將具有厚度 20nm 的鋁層用於第一電極 7013。

應注意的是，可藉由堆疊透光導電層和鋁層然後實施選擇性蝕刻來形成透光導電層 7017 及第一電極 7013。在此情況中，可使用相同遮罩來實施該蝕刻，其係較佳的。

並且，以分隔壁 7019 覆蓋第一電極 7013 的週邊。使用聚醯亞胺、丙烯酸、聚醯胺、環氧樹脂等的有機樹脂薄膜；無機絕緣薄膜；或有機聚矽氧烷來形成分隔壁 7019。特別較佳的是，使用光敏樹脂材料來形成分隔壁 7019 以使第一電極 7013 之上具有開孔，使得開孔的側壁被形成以具有連續曲度的斜面。在分隔壁 7019 使用光敏樹脂材料的情況中，可省略形成光阻遮罩的步驟。

作為形成於第一電極 7013 和分隔壁 7019 之上的 EL 層 7014，至少包括發光層的 EL 層係可接受的。並且，該 EL 層 7014 可被形成具有單層結構或疊層結構。當使用複數層形成 EL 層 7014 時，電子注入層、電子傳輸層、發光層、電洞傳輸層及電洞注入層依此順序堆疊於第一電極 7013 之上作用如同陰極。應注意的是，除了發光層以外，並非需要提供所有這些層。

堆疊順序並不侷限於上述的順序。第一電極 7013 可作為節點，並且電洞注入層、電洞傳輸層、發光層、電子

傳輸層及電子注入層可依此順序堆疊於第一電極 7013 之上。然而，考慮到電力消耗，較佳係將第一電極 7013 作為陰極，且電子注入層、電子傳輸層、發光層、電洞傳輸層及電洞注入層依此順序堆疊於第一電極 7013 之上，因為可防止驅動器電路部的電壓增加，並且可比使用第一電極 7013 作為節點的情況更有效地減少電力消耗。

並且，形成於 EL 層 7014 之上的第二電極 7015 可使用各種材料。例如，在使用第二電極 7015 作為節點的情況中，具有高功函數的材料，例如，ZrN、Ti、W、Ni、Pt、Cr 等；或透明導電材料例如 ITO、IZO 或 ZnO 係較佳的。並且，於第二電極 7015 之上設置屏蔽膜 7016，例如，阻擋光的材料，反射光的材料等。在此實施例中，使用 ITO 薄膜作為第二電極 7015，並使用 Ti 層作為屏蔽膜 7016。

發光元件 7012 對應於包含發光層的 EL 層 7014 被夾於第一電極 7013 和第二電極 7015 之間的區域。在圖 17A 中所示的元件結構的情況中，發射自發光元件 7012 的光被射出至第一電極 7013 側如箭頭所指。

應注意的是在圖 17A 所示的範例中，使用透光導電層作為閘極電極層，並且使用透光薄膜作為源極及汲極電極層。發射自發光元件 7012 的光通過彩色濾光層 7033，並且可經由基板射出。

藉由液滴放電法例如噴墨法、印刷法、使用光刻技術的蝕刻法等形成彩色濾光層 7033。

彩色濾光層 7033 以外套層 7034 覆蓋，並以保護絕緣層 7035 覆蓋。應注意的是，雖然圖 17A 中顯示具有較小厚度的外套層 7034，但外套層 7034 具有平坦化由彩色濾光層 7033 造成的表面粗糙度的功能。

形成於平坦化絕緣層 7036、絕緣層 7032 及絕緣層 7031 中且接觸汲極電極層的接觸孔被設置於與分隔壁 7019 重疊的部分。

參考圖 17B 說明具有雙發射結構的發光元件。

在圖 17B 中，發光元件 7022 之第一電極 7023 係形成於透光導電層 7027 之上，其電連接至驅動 TFT 7021 之汲極電極層，且 EL 層 7024 和第二電極 7025 係依此順序堆疊於第一電極 7023 之上。

可使用添加氧化矽的包含氧化鎢之氧化銦、包含氧化鎢之氧化銦鋅、包含氧化鈦之氧化銦、包含氧化鈦之銦錫氧化物、銦錫氧化物、氧化銦鋅、銦錫氧化物或類此者的透光導電層作為透光導電層 7027。

發光元件的第一電極 7023 可使用各種材料。例如，在使用第一電極 7023 作為陰極的情況中，較佳係使用，例如具有低功函數的材料，例如鹼金屬（例如 Li 或 Cs）；鹼土金屬（例如 Mg、Ca 或 Sr）；包含任何這些金屬（例如，Mg：Ag 或 Al：Li）的合金；或稀土金屬（例如 Yb 或 Er），來形成第一電極 7023。在此實施例中，使用第一電極 7023 作為陰極，且第一電極 7023 大約形成一個以便傳輸光的厚度（較佳係大約 5nm 至 30nm）。例

如，使用具有厚度 20nm 的鋁層作為用於陰極。

應注意的是，可藉由堆疊透光導電層和鋁層然後實施選擇性蝕刻來形成透光導電層 7027 及第一電極 7023。在此情況中，可使用相同遮罩來實施該蝕刻，其係較佳的。

並且，以分隔壁 7029 覆蓋第一電極 7023 的週邊。使用聚醯亞胺、丙烯酸、聚醯胺、環氧樹脂等的有機樹脂薄膜；無機絕緣薄膜；或有機聚矽氧烷來形成分隔壁 7029。特別較佳的是，使用光敏樹脂材料來形成分隔壁 7029 以使第一電極 7023 之上具有開孔，使得開孔的側壁被形成以具有連續曲度的斜面。在分隔壁 7029 使用光敏樹脂材料的情況中，可省略形成光阻遮罩的步驟。

作為形成於第一電極 7023 和分隔壁 7029 之上的 EL 層 7024，包括發光層的 EL 層係可接受的。並且，該 EL 層 7024 可被形成具有單層結構或疊層結構。當使用複數層形成 EL 層 7024 時，電子注入層、電子傳輸層、發光層、電洞傳輸層及電洞注入層依此順序堆疊於第一電極 7023 之上作用如同陰極。應注意的是，除了發光層以外，並非需要提供所有這些層。

堆疊順序並不侷限於上述的順序。第一電極 7023 可作為節點，並且電洞注入層、電洞傳輸層、發光層、電子傳輸層及電子注入層可依此順序堆疊於第一電極 7023 之上。然而，考慮到電力消耗，較佳係使用第一電極 7023 作為陰極，且電子注入層、電子傳輸層、發光層、電洞傳輸層及電洞注入層依此順序堆疊於陰極之上，因為可比使

用第一電極 7023 作為節點的情況更有效地減少電力消耗。

並且，形成於 EL 層 7024 之上的第二電極 7025 可使用各種材料。例如，在使用第二電極 7025 作為節點的情況中，具有高功函數的材料，例如，透明導電材料例如 ITO、IZO 或 ZnO 係較佳的。在此實施例中，使用包含氧化矽的 ITO 層形成第二電極 7025，並使用第二電極 7025 作為節點。

發光元件 7022 對應於包含發光層的 EL 層 7024 被夾於第一電極 7023 和第二電極 7025 之間的區域。在圖 17B 中所示的元件結構的情況中，發射自發光元件 7022 的光被射出至第二電極 7025 側和第一電極 7023 側如箭頭所指。

應注意的是在圖 17B 所示的範例中，使用透光導電層作為閘極電極層，並且使用透光薄膜作為源極及汲極電極層。自發光元件 7022 發射至第一電極 7023 的光通過彩色濾光層 7043，並且可經由基板射出。

藉由液滴放電法例如噴墨法、印刷法、使用光刻技術的蝕刻法等形成彩色濾光層 7043。

彩色濾光層 7043 以外套層 7044 覆蓋，並以保護絕緣層 7045 覆蓋。

形成於平坦化絕緣層 7046、絕緣層 7042 及絕緣層 7041 中且接觸汲極電極層的接觸孔被設置於與分隔壁 7029 重疊的部分。

應注意的是，藉由使用具有雙發射結構的發光元件在兩顯示表面上實現全彩顯示的情況中，發射自第二電極 7025 側的光並不通過彩色濾光層 7043；因此，較佳係進一步在第二電極 7025 之上設置具有彩色濾光層的密封基板。

接著，參考圖 17C 說明具有頂發射結構的發光元件。

圖 17C 係在驅動 TFT 7001 係 n 型且發射自發光元件 7002 的光通過第二電極 7005 的情形中像素的橫截面圖。在圖 17C 中，驅動 TFT 7001 的汲極電極層和第一電極 7003 彼此連接，且驅動 TFT 7001 和發光元件 7002 的第一電極 7003 彼此電連接。EL 層 7004 和第二電極 7005 以此順序堆疊於第一電極 7003 之上。

並且，第一電極 7003 可使用各種材料。例如，在使用第一電極 7003 作為陰極的情況中，較佳係使用，例如具有低功函數的材料，例如鹼金屬（例如 Li 或 Cs）；鹼土金屬（例如 Mg、Ca 或 Sr）；包含任何這些金屬（例如，Mg：Ag 或 Al：Li）的合金；或稀土金屬（例如 Yb 或 Er），來形成第一電極 7003。

並且，以分隔壁 7009 覆蓋第一電極 7003 的週邊。使用聚醯亞胺、丙烯酸、聚醯胺、環氧樹脂等的有機樹脂薄膜；無機絕緣薄膜；或有機聚矽氧烷來形成分隔壁 7009。特別較佳的是，使用光敏樹脂材料來形成分隔壁 7009 以使第一電極 7003 之上具有開孔，使得開孔的側壁被形成以具有連續曲度的斜面。在分隔壁 7009 使用光敏

樹脂材料的情況中，可省略形成光阻遮罩的步驟。

作為形成於第一電極 7003 和分隔壁 7009 之上的 EL 層 7004，至少包括發光層的 EL 層係可接受的。並且，該 EL 層 7004 可被形成具有單層結構或疊層結構。當使用複數層形成 EL 層 7004 時，電子注入層、電子傳輸層、發光層、電洞傳輸層及電洞注入層依此順序堆疊於使用作為陰極的第一電極 7003 之上。應注意的是，除了發光層以外，並非需要提供所有這些層。

堆疊順序並不侷限於上述的順序，電洞注入層、電洞傳輸層、發光層、電子傳輸層及電子注入層可依此順序堆疊於作為節點的第一電極 7003 之上。

在圖 17C 中，電洞注入層、電洞傳輸層、發光層、電子傳輸層及電子注入層依此順序堆疊於堆積層膜之上，該堆積層膜中 Ti 層、鋁層及 Ti 層依此順序堆疊，並且在其上形成薄 Mg: Ag 合金膜和 ITO 的疊層。

然而，在驅動 TFT 7001 係 n 型的情況中，較佳為電子注入層、電子傳輸層、發光層、電洞傳輸層及電洞注入層依此順序堆疊於第一電極 7003 之上，因為可防止驅動器電路的電壓增加，並且可比在使用上述順序疊層該等層的情況更有效地減少電力消耗。

使用透光導電材料形成第二電極 7005。例如，可使用添加氧化矽的包含氧化鎢之氧化銦、包含氧化鎢之氧化銦鋅、包含氧化鈦之氧化銦、包含氧化鈦之銦錫氧化物、銦錫氧化物、氧化銦鋅、或銦錫氧化物的透光導電層。

發光元件 7002 對應於包含發光層的 EL 層 7004 被夾於第一電極 7003 和第二電極 7005 之間的區域。在圖 17C 中所示的像素的例子中，發射自發光元件 7002 的光被射出至第二電極 7005 側如箭頭所指。

在圖 17C 中，驅動 TFT 7001 的汲極電極層係經由形成於氧化矽層 7051、保護絕緣層 7052、平坦化絕緣層 7056、平坦化絕緣層 7053 及絕緣層 7055 中的接觸孔電連接至第一電極 7003。平坦化絕緣層 7036、7046、7053 及 7056 可使用樹脂材料，例如聚醯亞胺、丙烯酸、苯並環丁烯、聚醯胺或環氧來形成。除了這些有機材料以外，亦可能使用低介電常數材料（low-k 材料）、矽氧烷基樹脂、矽酸磷玻璃（PSG）、硼磷矽玻璃（BPSG）等。應注意的是平坦化絕緣層 7036、7046、7053 及 7056 可以堆疊利用上述任何材料所形成之複數個絕緣層來形成。依據該材料，平坦化絕緣層 7036、7046、7053 及 7056 可以例如濺鍍法、SOG 法、旋轉塗佈法、浸漬法、噴塗法或液滴放電法（例如，噴墨法、網版印刷或平版印刷）之方法，或例如刮刀、輥式塗佈機、幕簾式塗佈機或刮刀塗佈機之工具（器具）來形成。

設置分隔壁 7009 以自相鄰像素的第一電極絕緣第一電極 7003。使用聚醯亞胺、丙烯酸、聚醯胺、環氧樹脂等的有機樹脂薄膜；無機絕緣薄膜；或有機聚矽氧烷形成分隔壁 7009。特別較佳的是，使用光敏樹脂材料來形成分隔壁 7009 以使第一電極 7003 之上具有開孔，使得開孔

的側壁被形成以具有連續曲度的斜面。在分隔壁 7009 使用光敏樹脂材料的情況中，可省略形成光阻遮罩的步驟。

在圖 17C 所示的結構中，爲了實現全彩顯示，發光元件 7002，相鄰發光元件其中之一和相鄰發光元件之其他係分別爲，例如，綠色發光的發光元件，紅色發光的發光元件，和藍色發光的發光元件。或者，可以使用四種發光元件（除了三種發光元件之外還包括白色發光元件）製造可以全彩顯示的發光顯示裝置。

在圖 17C 的結構中，可以所有被設置的複數個發光元件係白色發光元件且於發光元件 7002 之上設置具有彩色濾光片等的密封基板的方法，製造可以全彩顯示的發光顯示裝置。形成顯示單一色彩例如白色的材料，並與彩色濾光片或色彩轉換層組合，藉以實行全彩顯示。

實施例的任何薄膜電晶體可作爲適當的用於半導體裝置的驅動 TFT 7001、7011 及 7021，且彼等可使用相同於形成實施例的 TFT 的步驟和材料來形成。減少在驅動 TFT 7001、7011 及 7021 的氧化物半導體層中的氫氣或水。因此，驅動 TFT 7001、7011 及 7021 係高度可靠的薄膜電晶體。

當然地亦可實施單色光的顯示。例如，可使用白色發光形成發光系統，或使用單色發光形成區域多彩發光裝置。

如果需要，可設置光學薄膜，例如具有圓偏光板的偏光膜。

應注意的是，雖然此處說明有機 EL 元件作為發光元件，亦可提供無機 EL 元件作為發光元件。

應注意的是，說明其中控制發光元件之驅動的薄膜電晶體（驅動 TFT）係電連接至發光元件的範例；然而，可採用其中用於電流控制的 TFT 係連接於驅動 TFT 和發光元件之間的結構。

圖 18A 和 18B 顯示發光顯示面板（亦稱為發光面板）的外觀和橫截面。圖 18A 係面板的平面圖，其中形成於第一基板上的薄膜電晶體和發光元件係以填封材密封於該第一基板和第二基板之間。圖 18B 係沿著圖 18A 中的線 H-I 所擷取的橫截面圖。

設置填封材 4505 以圍繞設置於第一基板 4501 之上的像素部分 4502、信號線驅動器電路 4503a 及 4503b 和掃描線驅動器電路 4504a 及 4504b。此外，設置第二基板 4506 於像素部分 4502、信號線驅動器電路 4503a 及 4503b 和掃描線驅動器電路 4504a 及 4504b 之上。因此，藉由第一基板 4501、填封材 4505 和第二基板 4506，以填充材 4507 將像素部分 4502、信號線驅動器電路 4503a 及 4503b 和掃描線驅動器電路 4504a 及 4504b 密封在一起。以此方式，較佳係以保護膜（例如積層膜或紫外光固化樹脂膜）或具有高氣密性及少脫氣作用的覆蓋材料封裝（密封）面板，使得該面板不暴露於外部空氣。

形成於第一基板 4501 之上的像素部分 4502、信號線驅動器電路 4503a 及 4503b 和掃描線驅動器電路 4504a 及

4504b 之各者包括複數個薄膜電晶體。於圖 18B 中顯示包含於像素部分 4502 中的薄膜電晶體 4510 及包含於信號線驅動器電路 4503a 中的薄膜電晶體 4509 作為範例。

可適當地使用實施例中的任何薄膜電晶體作為薄膜電晶體 4509 及 4510，且可使用和實施例之薄膜電晶體相同的步驟和材料來形成。減少在薄膜電晶體 4509 及 4510 的該等氧化物半導體層中的氫氣或水。因此，薄膜電晶體 4509 及 4510 係高度可靠性的薄膜電晶體。

在薄膜電晶體 4509 中，設置導電層於與氧化物半導體層的通道形成區重疊的部分上。在此實施例中，薄膜電晶體 4509 及 4510 係 n 通道薄膜電晶體。

設置導電層 4540 於部分氧化矽層 4542 之上，其與薄膜電晶體 4509 中的氧化物半導體層的通道形成區重疊。設置導電層 4540 於與氧化物半導體層的通道形成區重疊的位置，藉以可減少在 BT 測試之前和之後的薄膜電晶體 4509 的門檻電壓變化量。導電層 4540 的電位可能與薄膜電晶體 4509 的閘極電極層的電位相同或不同。導電層 4540 亦可作用如同第二閘極電極層。或者，導電層 4540 的電位可為 GND，0V，或導電層 4540 可處於浮接狀態。

並且，形成氧化矽層 4542 以覆蓋薄膜電晶體 4510 的氧化物半導體層。薄膜電晶體 4510 的源極或汲極電極層係電連接開孔中的佈線層 4550，該開孔形成於氧化矽層 4542 和形成於薄膜電晶體上的絕緣層 4551 中。形成佈線層 4550 與第一電極 4517 接觸，且薄膜電晶體 4510 係經

由佈線層 4550 電連接至第一電極 4517。

形成彩色濾光層 4545 於絕緣層 4551 之上，以重疊發光元件 4511 的發光區域。

並且，爲了減少彩色濾光層 4545 的表面粗糙度，以作用如同平坦絕緣膜的外套層 4543 覆蓋彩色濾光層 4545。

形成絕緣層 4544 於外套層 4543 之上。例如，可以濺鍍法形成氮化矽層作爲絕緣層 4544。

參考標號 4511 標示一發光元件。包含於發光元件 4511 中的像素電極的第一電極 4517 係經由佈線層 4550 電連接至薄膜電晶體 4510 的源極電極層或汲極電極層。應注意的是發光元件 4511 具有第一電極 4517、電致發光層 4512 及第二電極 4513 的疊層結構，並且該結構並無特別限制。可依據自發光元件 4511 提取光的方向等來適當地改變發光元件 4511 的結構。

使用有機樹脂薄膜、無機絕緣薄膜或有機聚矽氧烷形成分隔壁 4520。特別較佳的是使用光敏材料形成分隔壁 4520 以於第一電極 4517 之上具有開孔部，使得開孔部的側壁形成爲具有連續曲度的傾斜表面。

可形成電致發光層 4512 以具有單層結構或疊層結構。

爲了防止氧氣、氫氣、水氣、二氧化碳等進入發光元件 4511，可將保護層形成於第二電極 4513 和分隔壁 4520 之上。可形成氮化矽層、氧化氮化矽層、DLC 層等作爲該

保護層。

此外，自軟性電路板（FPC）4518a 及 4518b 提供各種信號和電位至信號線驅動器電路 4503a 及 4503b、掃描線驅動器電路 4504a 及 4504b 或像素部分 4502。

使用相同於包含在發光元件 4511 中的第一電極 4517 的導電層形成連接端子電極 4515，且使用相同於包含在薄膜電晶體 4509 中的源極及汲極電極層的導電層形成端子電極 4516。

連接端子電極 4515 係經由異向性導電層 4519 電連接至包含於軟性電路板（FPC）4518a 中的端子。

位於自發光元件 4511 提取光的方向的第二基板應具有透光性。在此情況中，第二基板 4506 使用透光材料，例如玻璃板、塑膠板、聚酯薄膜或丙烯酸膜。

作為填充材 4507，可使用紫外光固化樹脂或熱固性樹脂，並可使用惰性氣體例如氮氣或氬氣。例如，可使用 PVC（聚氯乙烯）、丙烯酸、聚醯亞胺、環氧樹脂、矽樹脂、PVB（聚乙烯醇縮丁醛）或 EVA（乙烯醋酸乙烯酯）。例如，該填充材可使用氮氣。

此外，若需要，可適當地在發光元件的發光表面上設置光學膜，例如偏光板、圓形偏光板（包括橢圓形偏光板）或阻滯板（四分之一波片或半波片）。並且，偏光板或圓形偏光板可設置有抗反射膜。例如，可實施防眩光處理，藉由該處理可以表面上的凸起和凹陷擴散反射光以減少眩光。

可使用網版印刷法、噴墨設備或分配設備形成填封材。典型地，可使用包含可見光固化樹脂、紫外光固化樹脂或熱固性樹脂的材料作為填封材。並且，可包含填封材。

作為信號線驅動器電路 4503a 及 4503b 和掃描線驅動器電路 4504a 及 4504b，可使用及安裝分別準備的驅動器電路，其使用單晶半導體薄膜或多晶半導體薄膜形成於基板上。或者，可以分別形成及安裝僅有信號線驅動器電路或其部分，或僅有掃描線驅動器電路或其部分。實施例並不侷限於示於圖 18A 和 18B 中的結構。

經由上述過程，可製造作為半導體裝置之高度可靠的發光顯示裝置（顯示面板）。

可以與任何其他實施例的適當結合來實施此實施例。

（實施例 13）

在此實施例中，說明半導體裝置的範例，半導體裝置包括實施例 1 或實施例 2 中的邏輯電路。具體地，說明電子紙的範例，在電子紙中，驅動器電路包括實施例 1 或實施例 2 中的邏輯電路。

圖 19 係顯示主動矩陣電子紙的橫截面圖。可以適當地使用實施例的任何薄膜電晶體作為用於電子紙的薄膜電晶體 581，且其可使用相同於實施例的薄膜電晶體的步驟及材料形成。在此實施例中，使用例如於實施例 6 中說明的薄膜電晶體作為薄膜電晶體 581。減少薄膜電晶體 581

的氧化物半導體層中的氫氣或水。因此，薄膜電晶體 581 係高度可靠的薄膜電晶體。

在圖 19 中的電子紙係使用扭球顯示系統的顯示裝置的範例。該扭球顯示系統指的是其中於第一電極層和第二電極層之間排列各者染成黑色和白色的球形顆粒的系統，該第一電極層和該第二電極層係用於顯示元件的電極層，且在該第一電極層和該第二電極層之間產生電位差以控制球形顆粒的定向，以致顯示被實行。

形成於基板 580 上的薄膜電晶體 581 具有底閘極結構，該結構中源極及汲極電極層經由開孔被電連接至第一電極層 587，該開孔形成於氧化矽層 583、保護絕緣層 584 和絕緣層 585 中。

在第一電極層 587 和第二電極層 588 之間設置球形顆粒。各球形顆粒包括黑色區 590a 及白色區 590b，且圍繞黑色區 590a 和白色區 590b 的孔穴 594 填滿液體。球形顆粒的四周填滿填充材 595，例如樹脂（見圖 19）。在此實施例中，第一電極層 587 對應於像素電極，且設置於反向基板 596 上的第二電極層 588 對應於共同電極。

並且，亦可使用電泳元件取代扭球。使用具有直徑約 10 μm 至 200 μm 的微膠囊，其中將透明液體，帶正或負電荷的白色微粒，和帶有與白色微粒之極性相反極性的黑色微粒封裝。在設置於第一電極層和第二電極層之間的微膠囊中，當藉由第一電極層和第二電極層施加電場時，白色微粒和黑色微粒朝彼此相反的方向移動，使得白色和黑色

可被顯示。使用此原理的顯示元件係電泳顯示元件，一般稱為電子紙。電泳顯示元件具有較液晶顯示元件高的反射率，因此，不需要輔助光，電力消耗為低，且可在暗處識別顯示部分。此外，即使當不提供電力至顯示部分時，可維持曾被顯示的影像。因此，即使具有顯示功能的半導體裝置（可簡稱為顯示裝置或設置有顯示裝置的半導體裝置）遠離電波源，仍可儲存顯示的影像。

此實施例中的電子紙係反射式顯示裝置，其中藉由以驅動器電路控制施加至扭球的電壓來實現顯示。

可以與任何其他實施例的適當結合來實施此實施例。

（實施例 14）

在此實施例中，說明半導體裝置的範例，半導體裝置各者包括實施例 1 或實施例 2 中的邏輯電路。具體地，說明電子裝置（在其類目中包括遊戲機）的範例，在電子裝置中，驅動器電路包括實施例 1 或實施例 2 中的邏輯電路。電子裝置的範例包括電視機（亦稱為電視或電視接收器）、電腦螢幕等、數位相機、數位視訊攝影機、數位相框、行動電話（亦稱為行動電話裝置）、可攜式遊戲機、可攜式資訊終端、音頻再生裝置、大型遊戲機例如彈珠台等。

圖 20A 顯示行動電話的範例。行動電話 1600 設置有顯示部分 1602，其併入外殼 1601 中、操作按鈕 1603a 和 1603b、外部連接埠 1604、揚聲器 1605、麥克風 1606

等。

當用手指等觸碰顯示於圖 20A 中的行動電話 1600 的顯示部分 1602 時，可將資料輸入至行動電話 1600。並且，可藉由以手指等觸碰顯示部分 1602 來執行例如打電話或寫信的操作。

顯示部分 1602 大致上有三種螢幕模式。第一種模式係顯示模式，主要用來顯示影像。第二種模式係輸入模式，主要用來輸入例如文字等資料。第三種模式係顯示與輸入模式，其中結合顯示模式與輸入模式之兩種模式。

例如，在打電話或寫信的情況中，針對顯示部分 1602 選擇主要用於輸入文字的文字輸入模式，使得顯示在螢幕上的文字可以被輸入。在此情況中，較佳係在顯示部分 1602 之螢幕的幾乎所有區域上顯示鍵盤或數字按鍵。

當在行動電話 1600 中設置包括用於偵測傾斜度之感測器（例如陀螺儀或加速度感測器）的偵測裝置時，可藉由確定行動電話 1600 的方向（行動電話 1600 係水平放置的橫向模式或垂直放置的肖像模式），自動切換在顯示部分 1602 上的螢幕顯示。

藉由觸碰顯示部分 1602 或操作外殼 1601 的操作按鈕 1603a 及 1603b 切換螢幕模式。或者，依據顯示於顯示部分 1602 上的影像種類切換螢幕模式。例如，當顯示部分中顯示影像的訊號為移動影像的資料時，將螢幕模式切換至顯示模式。當訊號為文字資料時，將螢幕模式切換至輸

入模式。

並且，在輸入模式中，當一段時間不執行藉由觸碰顯示部分 1602 的輸入且偵測到藉由顯示部分 1602 中的光學感測器所偵測的訊號時，可控制螢幕模式以將其從輸入模式切換至顯示模式。

顯示部分 1602 可充當影像感測器。例如，以手掌或手指觸碰顯示部分 1602 取得掌紋、指紋等的影像，藉以執行個人身份驗證。並且，藉由提供顯示部分背光或發出近紅外光的感應光源，可取得手指靜脈、手掌靜脈等的影像。

實施例中所述之任何半導體裝置可適用於顯示部分 1602。例如，可配置實施例中所述之複數個薄膜電晶體作為像素中的開關元件。

圖 20B 亦顯示行動電話的範例。於圖 20B 中顯示其範例的可攜式資訊終端可具有複數功能。例如，除了電話功能，此種可攜式資訊終端藉由結合電腦可具有處理各種資料片段的功能。

示於圖 20B 中的可攜式資訊終端具有外殼 1800 和外殼 1801。外殼 1801 包括顯示面板 1802、揚聲器 1803、麥克風 1804、指向裝置 1806、相機鏡頭 1807、外部連接端子 1808 等。外殼 1800 包括鍵盤 1810、外部記憶體插槽 1811 等。此外，外殼 1801 中包含天線。

顯示面板 1802 設置有觸控面板。顯示如影像的複數個操作鍵 1805 係由圖 20B 中的虛線所表示。

並且，除了上述結構，可結合非接觸式 IC 晶片、小型記憶體裝置或類此者。

在顯示面板 1802 中，依據應用模式適當地改變顯示的方向。並且，可攜式資訊終端在與顯示面板 1802 相同的表面上設置有相機鏡頭 1807，因此可使用其作為視訊電話。揚聲器 1803 和麥克風 1804 可用於視訊電話通話，錄音、播放聲音等以及語音通話。此外，如示於圖 20B 中之狀態的外殼 1800 和 1801 可滑動，使得一者重疊於另一者之上；因此，可降低可攜式資訊終端的大小，其使得可攜式資訊終端適合攜帶。

外部連接端子 1808 可連接至 AC 轉換器和各種種類的線，例如 USB 線，充電及與個人電腦的資料通訊係可能的。此外，可將儲存媒體插入外部記憶體插槽 1811，使得大量資料可被儲存且可被移除。

並且，除了上述功能，可提供紅外線通訊功能、電視接收功能或類此者。

圖 21A 顯示電視機的範例。在電視機 9600 中，外殼 9601 中包含顯示部分 9603。顯示部分 9603 可顯示影像。此處，以腳座 9605 支撐外殼 9601。

可以外殼 9601 的操作開關或單獨的遙控器 9610 操作電視機 9600。可以遙控器 9610 的操作鍵 9609 切換頻道及控制音量，以此可控制顯示於顯示部分 9603 上的影像。此外，遙控器 9610 可設置有顯示部分 9607 用於顯示輸出自遙控器 9610 的資料。

應注意的是，電視機 9600 設置有接收器、數據機等。使用該接收器，可接收一般電視節目。此外，當顯示裝置經由數據機以有線或無線連接至通訊網路時，可執行單向（自傳送器至接收器）或雙向（傳送器與接收器之間，或接收器之間）的資訊通訊。

在顯示部分 9603 中，可設置在任一實施例中描述的複數個薄膜電晶體作為像素的開關元件。

圖 21B 顯示數位相框的範例。例如，在數位相框 9700 中，結合顯示部分 9703 於外殼 9701 中。顯示部分 9703 可顯示各種影像。例如，顯示部分 9703 可顯示數位相機等所拍攝的影像資料及作用如同一般相框。

在顯示部分 9703 中，可設置在任一實施例中描述的複數個薄膜電晶體作為像素的開關元件。

應注意的是數位相框 9700 設置有操作部、外部連接端子（USB 端子、可連接至例如 USB 線等各種線的端子）、記錄媒體插入部等。雖然這些元件可被設置在與顯示部分相同的表面上，為了設計美學，較佳係將該等元件設置在側面或背面。例如，將儲存由數位相機所拍攝之影像資料的記憶體插入至數位相框的記錄媒體插入部，並載入資料，以此可將影像顯示於顯示部分 9703 上。

可組態數位相框 9700 以無線傳輸及接收資料。經由無線通訊，可載入所欲之影像以顯示。

圖 22 係可攜式遊戲機，且由外殼 9881 及外殼 9891 之兩外殼所組成，該兩外殼與接合部 9893 連接以打開或

摺疊該可攜式遊戲機。外殼 9881 及外殼 9891 分別包含顯示部分 9882 及顯示部分 9883。

在顯示部分 9883 中，可設置在任一實施例中描述的複數個薄膜電晶體作為像素的開關元件。

此外，示於圖 22 中的可攜式遊戲機設置有揚聲器部 9884、記錄媒體插入部 9886、LED 燈 9890、輸入方式（操作鍵 9885、連接端子 9887、感測器 9888（具有測量力、位移、位置、速度、加速度、角速度、旋轉數、距離、光線、液體、磁性、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流速、溼度、傾斜度、震動、氣味或紅外線的功能）及麥克風 9889）等。當然，可攜式遊戲機的結構並不侷限於上述結構，並且可採用至少設置有在此說明書中所述之薄膜電晶體的其他結構。可攜式遊戲機可適當地包括其他配件。示於圖 22 中的可攜式遊戲機具有讀取儲存於記錄媒體中的程式或資料以將其顯示於顯示部分上的功能，以及具有可藉由無線通訊與其他可攜式遊戲機共享資料的功能。應注意的是，示於圖 22 中的可攜式遊戲機的功能並不侷限於此些功能，可攜式遊戲機可具有各種功能。

如上述，實施例 1 或實施例 2 中的邏輯電路可適用於各種電子裝置的顯示面板，因此，可提供具有高可靠度的電子裝置。

（實施例 15）

在此實施例中，說明包含實施例 1 或實施例 2 中的邏輯電路的半導體裝置的範例。具體地，其中驅動器電路包含實施例 1 或實施例 2 中的邏輯電路的電子紙可被用於各領域中的電子裝置，只要能顯示資訊。例如，電子紙可適用於電子書閱讀器（電子書）、海報、交通工具例如火車中的廣告，或各種卡例如信用卡的顯示器。圖 23 中顯示此種電子裝置的範例。

圖 23 顯示電子書閱讀器的範例。例如，電子書閱讀器 2700 包括外殼 2701 及外殼 2703 之兩外殼。外殼 2701 及外殼 2703 以樞紐 2711 結合，使得電子書閱讀器 2700 可以樞紐 2711 作為轉軸來開啓及關閉。此種結構致能電子書閱讀器 2700 如同紙質書一般操作。

外殼 2701 及外殼 2703 中分別包括顯示部分 2705 及顯示部分 2707。顯示部分 2705 及顯示部分 2707 可顯示一個影像或不同的影像。在顯示部分 2705 及顯示部分 2707 顯示不同影像的情況中，例如，在右側的顯示部分（圖 23 中的顯示部分 2705）可顯示文字，且在左側的顯示部分（圖 23 中的顯示部分 2707）可顯示圖像。

圖 23 顯示其中外殼 2701 設置有操作部等的範例。例如，外殼 2701 設置有電源開關 2721、操作鍵 2723、揚聲器 2725 等。藉由操作鍵 2723 可翻頁。應注意的是，鍵盤、指向裝置等亦可設置於外殼的表面上，該表面上設置有顯示部分。此外，外部連接端子（耳機端子、USB 端子、可連接至例如 AC 轉換器及 USB 線等各種線的端

子）、記錄媒體插入部等可設置於外殼地背面或側面。此外，電子書閱讀器 2700 可具有電子字典的功能。

電子書閱讀器 2700 可具有能夠無線傳輸及接收資料的組態。經由無線通訊，可從電子書伺服器下載所欲的圖書資料等。

可以與任何其他實施例的適當結合來實施此實施例。

（實施例 16）

依據本發明的實施例，將成為氧化物半導體中的載子（受子或施子）的供應者的雜質減少至一非常低的程度，藉此形成本質或實質本質氧化物半導體，且薄膜電晶體使用該氧化物半導體。

圖 24 係此種電晶體之源極及汲極之間部分的能帶結構。為了高純度氧化物半導體，於理想狀態下費米能階係位於禁帶的中間。

在此情況中，在結合面，若滿足方程式 $\phi_m = \chi$ （其中 ϕ_m 係功函數，且 χ 係氧化物半導體的電子親合力），一電極之金屬費米能階係相同於氧化物半導體之導電帶的能階。當方程式之右側係大於左側時，提供一歐姆接觸。假設氧化物半導體具有 3.15eV 的能帶隙和 4.3eV 的電子親合力，並且於本質狀態中（載子濃度：大約 $1 \times 10^{-7}/\text{cm}^3$ ），且使用具有 4.3eV 之功函數的鈦（Ti）形成源極電極及汲極電極。在此提件下，不形成關於電子的蕭特基屏障（Schottky barrier），如圖 24 所示。

圖 25 顯示施加正電壓至使用氧化物半導體形成的電晶體中的汲極側的狀態。因為氧化物半導體的能帶隙是寬的，高純度氧化物半導體（其係本質或實質本質氧化物半導體）的本質載子濃度為 0 或接近 0。然而，當於源極及汲極之間施加電壓時，可能從源極側注入載子（電子）並流入汲極側。

圖 26A 係使用氧化物半導體形成的 MOS 電晶體的能帶圖，施加正閘極電壓至該電晶體。在此情況中，幾乎沒有熱激發載子存在於高純度氧化物半導體中。因此，即使在閘極絕緣膜的周圍中，也不會累積載子。然而，如圖 25 所示，從源極側注入的載子（電子）的傳輸係可能的。

圖 26B 係使用氧化物半導體形成的 MOS 電晶體的能帶圖，施加負閘極電壓至該電晶體。在氧化物半導體中幾乎沒有少數載子（電洞）；因此，即使在閘極絕緣膜的周圍中，也不會累積載子。這表示截止狀態電流係小的。

圖 27 係使用矽半導體形成的電晶體的能帶圖。針對矽半導體，能帶隙為 1.12eV 且本質載子濃度為 $1.45 \times 10^{10}/\text{cm}^3$ （300 K）。即使在室溫，熱激發載子並非可被忽視的。因此，截止狀態電流依據溫度而有不同。

在此方法中，不只單純藉由使用電晶體之具有寬能帶隙的氧化物半導體，亦藉由減少成為施子的雜質，例如氫氣，因此將載子濃度設定為 $1 \times 10^{14}/\text{cm}^3$ 或更少，較佳為 $1 \times 10^{12}/\text{cm}^3$ 或更少，在實際操作溫度的熱激發載子可被移

除，使得可僅由從源極側注入的載子來操作電晶體。因此，可能獲得電晶體，其截止狀態電流被降低至 1×10^{-13} [A] 或更少，且很難因為溫度改變而改變，藉此電晶體可在極度穩定中被操作。

（實施例 17）

在此實施例中，將於下文說明使用測試元件組（亦稱為 TEG）之截止狀態電流的測量值。

圖 28 顯示具有有效 $L/W=3\mu\text{m}/10000\mu\text{m}$ 之薄膜電晶體的初始特性，其中平行連接 200 個薄膜電晶體，各者具有 $L/W=3\mu\text{m}/50\mu\text{m}$ 。此外，圖 29A 中顯示頂視圖，圖 29B 中顯示該圖之部份放大的頂視圖。圖 29B 中以虛線圍住的區域為具有 $L/W=3\mu\text{m}/50\mu\text{m}$ 且 $L_{ov}=1.5\mu\text{m}$ 之一階段的薄膜電晶體。為了測量薄膜電晶體的初始特性，在將基板溫度設為室溫，將源極及汲極之間的電壓（以下稱為汲極電壓或 V_d ）設為 10V，且將源極及閘極之間的電壓（以下稱為閘極電壓或 V_g ）從 -20V 改變為 +20V 的條件下，測量源極-汲極電流（以下稱為汲極電流或 I_d ）的轉移特性，亦即， V_g-I_d 特性。應注意的是圖 28 顯示在 -20V 至 +5V 範圍中的 V_g 。

如圖 28 中所示，具有 $10000\mu\text{m}$ 之通道寬度 W 的薄膜電晶體在 1V 和 10V 之 V_d 具有 1×10^{-13} A 或更少的截止狀態電流，其小於或等於測量裝置（導體參數分析儀，由安捷倫科技公司所製造之 Agilent 4156C）的解析度（100

fA)。

說明製造用於量測的薄膜電晶體的方法。

首先，藉由 CVD 法形成作為基層的氮化矽層於玻璃基板上，且氮氧化矽層已形成於該氮化矽層之上。以濺鍍法形成作為閘極電極層的鎢層於該氮氧化矽層之上。此處，藉由選擇性地蝕刻該鎢層形成該閘極電極層。

然後，以 CVD 法形成具有厚度 100nm 的氮氧化矽層於該閘極電極層之上，以作為閘極絕緣層。

然後，具有厚度 50nm 的氧化物半導體層藉由使用以 In-Ga-Zn-O 為基質的氧化物金屬靶材 ($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}$ 的摩爾比=1:1:2) 的濺鍍法形成於閘極絕緣層上。此處，藉由選擇性地蝕刻該氧化物半導體形成島型氧化物半導體層。

然後，在氮氣氛圍中，於潔淨的烘箱中，在 450℃ 於該氧化物半導體層上實施第一熱處理 1 小時。

然後，以濺鍍法於該氧化物半導體層之上形成鈦層（具有 150nm 的厚度）作為源極電極層及汲極電極層。此處，以選擇性蝕刻形成源極電極層及汲極電極層，使得各者具有 3 μm 之通道長度 L 及 50 μm 之通道寬度 W 的 200 薄膜電晶體被平行連接，以有效獲得具有 $L/W=3\mu\text{m}/10000\mu\text{m}$ 的薄膜電晶體。

然後，以反應濺鍍法形成具有 300nm 厚度的氧化矽層作為保護絕緣層，與氧化物半導體層接觸。此處，形成開孔部於閘極電極層、源極電極層和汲極電極層之上藉由

選擇性地蝕刻氧化矽層，其係保護層。之後，在 250℃ 氮氣氛圍中實施第二熱處理 1 小時。

然後，在量測 V_g - I_d 特性之前，於 150℃ 實施熱處理 10 小時。

經由上述過程，製造底閘薄膜電晶體。

薄膜電晶體具有大約 1×10^{-13} A 的截止狀態電流（如圖 28 所示）之原因為在氧化物半導體層中的氫氣濃度可在製程中被充分降低。氧化物半導體層中的氫氣濃度為 $5 \times 10^{19}/\text{cm}^3$ 或更少，較佳為 $5 \times 10^{18}/\text{cm}^3$ 或更少，更佳為 $5 \times 10^{17}/\text{cm}^3$ 或更少。應注意的是氧化物半導體層中的氫氣濃度係以二次離子質譜法（SIMS）來測量。

雖然說明使用以 In-Ga-Zn-O 為基質的氧化物半導體之範例，此實施例並不侷限於此。亦可使用其它氧化物半導體材料，例如以 In-Sn-Zn-O 為基質的氧化物半導體、以 Sn-Ga-Zn-O 為基質的氧化物半導體、以 Al-Ga-Zn-O 為基質的氧化物半導體、以 Sn-Al-Zn-O 為基質的氧化物半導體、以 In-Zn-O 為基質的氧化物半導體、以 In-Sn-O 為基質的氧化物半導體、以 Sn-Zn-O 為基質的氧化物半導體、以 Al-Zn-O 為基質的氧化物半導體、以 In-O 為基質的氧化物半導體、以 Sn-O 為基質的氧化物半導體或以 Zn-O 為基質的氧化物半導體。此外，作為氧化物半導體材料，可使用混合有 2.5wt% 至 10wt% 的 AlO_x 之以 In-Al-Zn-O 為基質的氧化物半導體，或混合有 2.5wt% 至 10wt% 的 SiO_x 之以 In-Zn-O 為基質的氧化物半導體。

由載子測量裝置所測量的氧化物半導體層的載子濃度較佳為少於或等於 $1.45 \times 10^{10}/\text{cm}^3$ ，其為矽的本質載子密度。具體地，載子濃度係 $5 \times 10^{14}/\text{cm}^3$ ，較佳為 $5 \times 10^{12}/\text{cm}^3$ 。換句話說，氧化物半導體層的載子濃度儘可能的接近零。

薄膜電晶體亦可具有 10nm 至 1000nm 的通道長度 L，其致能電路操作速度的增加，且截止狀態電流極小，其進一步致能電力的減少。

此外，在電路設計中，當薄膜電晶體在關閉狀態時，該氧化物半導體層可被視為絕緣體。

在那之後，評估在此實施例中製造的薄膜電晶體的截止狀態電流的溫度特性。溫度特性重要的是考慮使用薄膜電晶體之產品的耐候性、維修性等。須了解的是小量的變化是較佳的，其增加產品設計的自由度。

關於溫度特性，在設置有薄膜電晶體的基板被保持在 -30°C 、 0°C 、 25°C 、 40°C 、 60°C 、 80°C 、 100°C 及 120°C 之各個恆溫、汲極電壓被設定至 6V 及閘極電壓從 -20V 改變至 +20V 的狀況下，使用恆溫室獲得 V_g - I_d 特性。

圖 30A 顯示於上述溫度測量的 V_g - I_d 特性且相互疊加，圖 30B 顯示由圖 30A 中的虛線所包圍之截止狀態電流範圍的放大圖。圖中箭頭所示之最右邊的曲線為在 -30°C 所獲得的曲線；最左邊的曲線為在 120°C 所獲得的曲線；在其他溫度所獲得的曲線則位於這兩者之間。開啓狀態電流的溫度相關性很難被察覺。另一方面，如圖 30B 之放大視圖中亦清楚顯示，截止狀態電流在除了 -20V 的閘

極電壓的周圍的所有溫度係少於或等於 1×10^{-12} A（其接近測量裝置的解析度），且並未觀察到其溫度相關性。換句話說，即使在 120°C 的高溫，截止狀態電流倍保持在少於或等於 1×10^{-12} A，且進一步考慮有效通道寬度 W 為 $10000 \mu\text{m}$ ，可見截止狀態電流係顯著微小。

如上所述之包含純化氧化物半導體（純化 OS）的薄膜電晶體，顯示截止狀態電流在溫度上幾乎沒有相關性。這來自於氧化物半導體具有 3eV 或更高的能隙且包括非常少的本質載子之事實。此外，源極區域及汲極區域係處於退化狀態，其亦為顯示無溫度相關性的一因素。薄膜電晶體主要與從退化的源極區域注入至氧化物半導體的載子一起操作，且可由載子密度在溫度上的獨立性來解釋上述特性（截止狀態電流在溫度上的獨立性）。

在使用具有此種極小截止狀態電流的薄膜電晶體製造記憶體電路（記憶體元件）或類此者的狀況中，因為小的截止狀態電流而有非常小的漏洩。因此，記憶體資料可保持較長的一段時間。

本申請案係以於 2009 年 10 月 16 日向日本專利局申請之日本專利申請案第 2009-238914 號為基礎，藉由參照納入該申請案之全部內容。

【符號說明】

11：薄膜電晶體

12：薄膜電晶體

- 13：薄膜電晶體
- 14：薄膜電晶體
- 15：電容器
- 21：薄膜電晶體
- 22：薄膜電晶體
- 23：薄膜電晶體
- 24：薄膜電晶體
- 25：電容器
- 31：薄膜電晶體
- 41：薄膜電晶體
- 101：薄膜電晶體
- 102：薄膜電晶體
- 103：薄膜電晶體
- 104：薄膜電晶體
- 105：電容器
- 110：脈衝輸出電路
- 111：薄膜電晶體
- 112：薄膜電晶體
- 113：薄膜電晶體
- 114：薄膜電晶體
- 115：電容器
- 120：脈衝輸出電路
- 121：薄膜電晶體
- 122：薄膜電晶體

- 123：薄膜電晶體
- 124：薄膜電晶體
- 125：電容器
- 130：脈衝輸出電路
- 201：薄膜電晶體
- 202：薄膜電晶體
- 203：薄膜電晶體
- 204：薄膜電晶體
- 205：電容器
- 210：脈衝輸出電路
- 211：薄膜電晶體
- 212：薄膜電晶體
- 213：薄膜電晶體
- 214：薄膜電晶體
- 215：電容器
- 220：脈衝輸出電路
- 221：薄膜電晶體
- 222：薄膜電晶體
- 223：薄膜電晶體
- 224：薄膜電晶體
- 225：電容器
- 230：脈衝輸出電路
- 300：基板
- 302：閘極絕緣層

303 : 保護絕緣層
 310 : 薄膜電晶體
 311 : 閘極電極層
 313 : 通道形成區
 314a : 高電阻源極區域
 314b : 高電阻汲極區域
 315a : 源極電極層
 315b : 汲極電極層
 316 : 氧化物絕緣層
 320 : 基板
 322 : 閘極絕緣層
 323 : 保護絕緣層
 330 : 氧化物半導體層
 331 : 氧化物半導體層
 332 : 氧化物半導體層
 340 : 基板
 342 : 閘極絕緣層
 343 : 保護絕緣層
 345 : 氧化物半導體層
 346 : 氧化物半導體層
 350 : 薄膜電晶體
 351 : 閘極電極層
 352 : 氧化物半導體層
 355a : 源極電極層

- 355b：汲極電極層
- 356：氧化物絕緣層
- 360：薄膜電晶體
- 361：閘極電極層
- 362：氧化物半導體層
- 363：通道形成區
- 364a：高電阻源極區域
- 364b：高電阻汲極區域
- 365a：源極電極層
- 365b：汲極電極層
- 366：氧化物絕緣層
- 370：基板
- 372a：第一閘極絕緣層
- 372b：第二閘極絕緣層
- 373：保護絕緣層
- 380：薄膜電晶體
- 381：閘極電極層
- 382：氧化物半導體層
- 385a：源極電極層
- 385b：汲極電極層
- 386：氧化物絕緣層
- 390：薄膜電晶體
- 391：閘極電極層
- 392：氧化物半導體層

- 393：氧化物半導體層
- 394：基板
- 395a：源極電極層
- 395b：汲極電極層
- 396：氧化物絕緣層
- 397：閘極絕緣層
- 398：保護絕緣層
- 399：氧化物半導體層
- 400：基板
- 402：閘極絕緣層
- 407：絕緣層
- 410：薄膜電晶體
- 411：閘極電極層
- 412：氧化物半導體層
- 414a：佈線層
- 414b：佈線層
- 415a：源極或汲極電極層
- 415b：源極或汲極電極層
- 420：矽基板
- 421a：開孔
- 421b：開孔
- 422：絕緣層
- 423：開孔
- 424：導電層

425：薄膜電晶體
 426：薄膜電晶體
 427：導電層
 450：基板
 452：閘極絕緣層
 457：絕緣層
 460：薄膜電晶體
 461：閘極電極層
 461a：閘極電極層
 461b：閘極電極層
 462：氧化物半導體層
 464：佈線層
 465a：源極或汲極電極層
 465a1：源極或汲極電極層
 465a2：源極或汲極電極層
 465b：源極或汲極電極層
 468：佈線層
 580：基板
 581：薄膜電晶體
 583：氧化矽層
 584：保護絕緣層
 585：絕緣層
 587：電極層
 588：電極層

590a：黑色區

590b：白色區

594：孔穴

595：填充材

596：反向基板

1600：行動電話

1601：外殼

1602：顯示部分

1603a：操作按鈕

1603b：操作按鈕

1604：外部連接埠

1605：揚聲器

1606：麥克風

1800：外殼

1801：外殼

1802：顯示面板

1803：揚聲器

1804：麥克風

1805：操作鍵

1806：指向裝置

1807：相機鏡頭

1808：外部連接端子

1810：鍵盤

1811：外部記憶體插槽

2700：電子書閱讀器
 2701：外殼
 2703：外殼
 2705：顯示部分
 2707：顯示部分
 2711：樞紐
 2721：電源開關
 2723：操作鍵
 2725：揚聲器
 4001：基板
 4002：像素部分
 4003：信號線驅動器電路
 4004：掃描線驅動器電路
 4005：填封材
 4006：基板
 4008：液晶層
 4010：薄膜電晶體
 4011：薄膜電晶體
 4013：液晶元件
 4015：連接端子電極
 4016：端子電極
 4018：軟性電路板（FPC）
 4019：異向性導電薄膜，
 4021：絕緣層

4030：像素電極層

4031：相對電極層

4032：絕緣層

4033：絕緣層

4040：導電層

4041：絕緣層

4042：絕緣層

4501：基板

4502：像素部分

4503a：信號線驅動器電路

4503b：信號線驅動器電路

4504a：掃描線驅動器電路

4504b：掃描線驅動器電路

4505：填封材

4506：基板

4507：填充材

4509：薄膜電晶體

4510：薄膜電晶體

4511：發光元件

4512：電致發光層

4513：電極

4515：連接端子電極

4516：端子電極

4517：電極

- 4518a：軟性電路板（FPC）
- 4518b：軟性電路板（FPC）
- 4519：異向性導電層
- 4520：分隔壁
- 4540：導電層
- 4542：氧化矽層
- 4543：外套層
- 4544：絕緣層
- 4545：彩色濾光層
- 4550：佈線層
- 4551：絕緣層
- 6400：像素
- 6401：切換電晶體
- 6402：驅動電晶體
- 6403：電容器
- 6404：發光元件
- 6405：信號線
- 6406：掃描線
- 6407：電源供應線
- 6408：共同電位線
- 7001：驅動 TFT
- 7002：發光元件
- 7003：電極
- 7004：EL 層

7005：電極
7009：分隔壁
7011：驅動 TFT
7012：發光元件
7013：電極
7014：EL 層
7015：電極
7016：屏蔽膜
7017：導電層
7019：分隔壁
7021：驅動 TFT
7022：發光元件
7023：電極
7024：EL 層
7025：電極
7026：電極
7027：導電層
7029：分隔壁
7031：絕緣層
7032：絕緣層
7033：彩色濾光層
7034：外套層
7035：保護絕緣層
7036：平坦化絕緣層

7041：絕緣層
 7042：絕緣層
 7043：彩色濾光層
 7044：外套層
 7045：保護絕緣層
 7046：平坦化絕緣層
 7051：氧化矽層
 7052：保護絕緣層
 7053：平坦化絕緣層
 7055：絕緣層
 7056：平坦化絕緣層
 9600：電視機
 9601：外殼
 9603：顯示部分
 9605：腳座
 9607：顯示部分
 9609：操作鍵
 9610：遙控器
 9700：數位相框
 9701：外殼
 9703：顯示部分
 9881：外殼
 9882：顯示部分
 9883：顯示部分

- 9884：揚聲器部
- 9885：操作鍵
- 9886：記錄媒體插入部
- 9887：連接端子
- 9888：感測器
- 9889：麥克風
- 9890：LED 燈
- 9891：外殼
- 9893：接合部

申請專利範圍

1. 一種半導體裝置，包含：

電晶體，包含第一端子、第二端子和閘極端子；

邏輯電路，包含第一輸出端子，該第一輸出端子電連接至該第一端子；以及

電容器，

其中該閘極端子電連接至線，

其中該電容器之一端子電連接至該第二端子和第二輸出端子，

其中該電晶體之通道形成區包含氧化物半導體，

其中該氧化物半導體包括複數個晶體，

其中該電晶體中該氧化物半導體的載子密度為 $5 \times 10^{12}/\text{cm}^3$ 或更少，以及

其中該氧化物半導體的氫濃度為 5×10^{19} 原子每立方公分或更少。

2. 一種半導體裝置，包含：

電晶體，包含第一端子、第二端子和閘極端子；

暫存器，包含第一輸出端子，該第一輸出端子電連接至該第一端子；以及

電容器，

其中該閘極端子電連接至線，

其中該電容器之一端子電連接至該第二端子和第二輸出端子，

其中該電晶體的通道形成區包含氧化物半導體，

其中該氧化物半導體包括複數個晶體，以及

其中該電晶體中該氧化物半導體的載子密度為 $5 \times 10^{12}/\text{cm}^3$ 或更少。

3. 一種半導體裝置，包含：

第一電晶體，包含電連接至高電源供應電位線之第一端子；

第二電晶體，包含電連接至輸入端子之閘極端子、及電連接至該第一電晶體的閘極端子和第二端子之第一端子；

第三電晶體，包含電連接至脈衝信號線之閘極端子、電連接至該第二電晶體的第二端子之第一端子、及電連接至低電源供應電位線之第二端子；

第四電晶體，包含電連接至該脈衝信號線之閘極端子、電連接至該第一電晶體的該閘極端子和該第二端子和該第二電晶體的該第一端子之第一端子、及電連接至輸出端子之第二端子；以及

電容器，

其中該電容器之一端子電連接至該第四電晶體的該第二端子和該輸出端子，

其中該第四電晶體的通道形成區包含氧化物半導體；

其中該氧化物半導體包括複數個晶體，以及

其中該第四電晶體中該氧化物半導體的載子密度為 $5 \times 10^{12}/\text{cm}^3$ 或更少。

4. 一種半導體裝置，包含：

第一電晶體，包含電連接至高電源供應電位線之第一端子；

第二電晶體，包含電連接至脈衝信號線之閘極端子、及電連接至該第一電晶體的閘極端子和第二端子之第一端子；

第三電晶體，包含電連接至輸入端子之閘極端子、電連接至該第二電晶體的第二端子之第一端子、及電連接至低電源供應電位線之第二端子；

第四電晶體，包含電連接至該脈衝信號線之閘極端子、電連接至該第二電晶體的該第二端子和該第三電晶體的該第一端子之第一端子、及電連接至輸出端子之第二端子；以及

電容器，

其中該電容器之一端子電連接至該第四電晶體的該第二端子和該輸出端子，

其中該第四電晶體的通道形成區包含氧化物半導體；

其中該氧化物半導體包括複數個晶體，以及

其中該第四電晶體中該氧化物半導體的載子密度為 $5 \times 10^{12}/\text{cm}^3$ 或更少。

5. 一種半導體裝置，包含：

第一電晶體，包含電連接至高電源供應電位線之閘極端子及第一端子；

第二電晶體，包含電連接至輸入端子之閘極端子、及電連接至該第一電晶體的第二端子之第一端子；

第三電晶體，包含電連接至脈衝信號線之閘極端子、電連接至該第二電晶體的第二端子之第一端子、及電連接至低電源供應電位線之第二端子；

第四電晶體，包含電連接至該脈衝信號線之閘極端子、電連接至該第一電晶體的該第二端子和該第二電晶體的該第一端子之第一端子、及電連接至輸出端子之第二端子；以及

電容器，

其中該電容器之一端子電連接至該第四電晶體的該第二端子和該輸出端子，

其中該第四電晶體的通道形成區包含氧化物半導體；

其中該氧化物半導體包括複數個晶體，以及

其中該第四電晶體中該氧化物半導體的載子密度為 $5 \times 10^{12}/\text{cm}^3$ 或更少。

6. 一種半導體裝置，包含：

第一電晶體，包含電連接至高電源供應電位線之閘極端子及第一端子；

第二電晶體，包含電連接至脈衝信號線之閘極端子、及電連接至該第一電晶體的第二端子之第一端子；

第三電晶體，包含電連接至輸入端子之閘極端子、電連接至該第二電晶體的第二端子之第一端子、及電連接至低電源供應電位線之第二端子；

第四電晶體，包含電連接至該脈衝信號線之閘極端子、電連接至該第一電晶體的該第二端子和該第三電晶體

的該第一端子之第一端子、及電連接至輸出端子之第二端子；以及

電容器，

其中該電容器之一端子電連接至該第四電晶體的該第二端子和該輸出端子，

其中該第四電晶體的通道形成區包含氧化物半導體；

其中該氧化物半導體包括複數個晶體，以及

其中該第四電晶體中該氧化物半導體的載子密度為 $5 \times 10^{12}/\text{cm}^3$ 或更少。

7. 如申請專利範圍第 1 項之半導體裝置，

其中該邏輯電路包含第二電晶體，以及

其中該第二電晶體的該通道形成區包含氧化物半導體。

8. 如申請專利範圍第 2 項之半導體裝置，

其中該暫存器包含第二電晶體，以及

其中該第二電晶體的該通道形成區包含氧化物半導體。

9. 如申請專利範圍第 1 或 2 項之半導體裝置，其中該電容器之另一端子電連接至低電源供應電位線。

10. 如申請專利範圍第 1 或 2 項之半導體裝置，其中當該電晶體之源極和汲極之間的電壓為 10V 時，該電晶體之截止狀態電流為 $1 \times 10^{-13} [\text{A}]$ 或更少。

11. 如申請專利範圍第 1、2、3、4、5 或 6 項之半導體裝置，其中該氧化物半導體包含 In-Ga-Zn-O 為基質的

氧化物半導體。

12. 一種包含如申請專利範圍第 1、2、3、4、5 或 6 項之半導體裝置的電子裝置。

13. 如申請專利範圍第 2、3、4、5 或 6 項之半導體裝置，其中該氧化物半導體的氫濃度為 5×10^{19} 原子每立方公分或更少。

14. 如申請專利範圍第 1、2、3、4、5 或 6 項之半導體裝置，其中該氧化物半導體包含至少銦和鎵之其中之一者。

15. 如申請專利範圍第 3、4、5 或 6 項之半導體裝置，其中該第一至第三電晶體的各個通道形成區包含具有 5×10^{19} 原子每立方公分或更少之氫濃度的氧化物半導體。

16. 如申請專利範圍第 3、4、5 或 6 項之半導體裝置，其中當該第四電晶體之源極和汲極之間的電壓為 10V 時，該第四電晶體之截止狀態電流為 1×10^{-13} [A] 或更少。

圖式

圖 1A

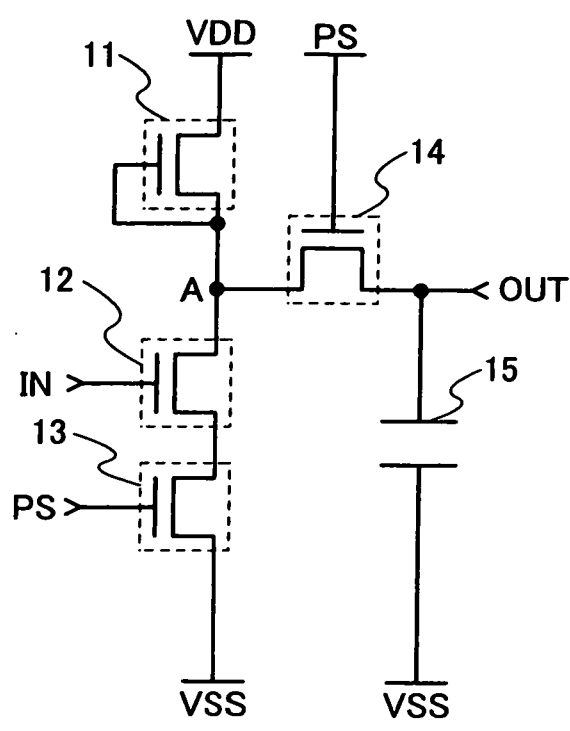


圖 1B

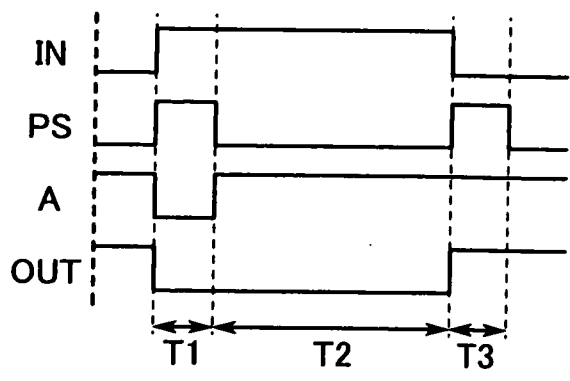


圖 1C

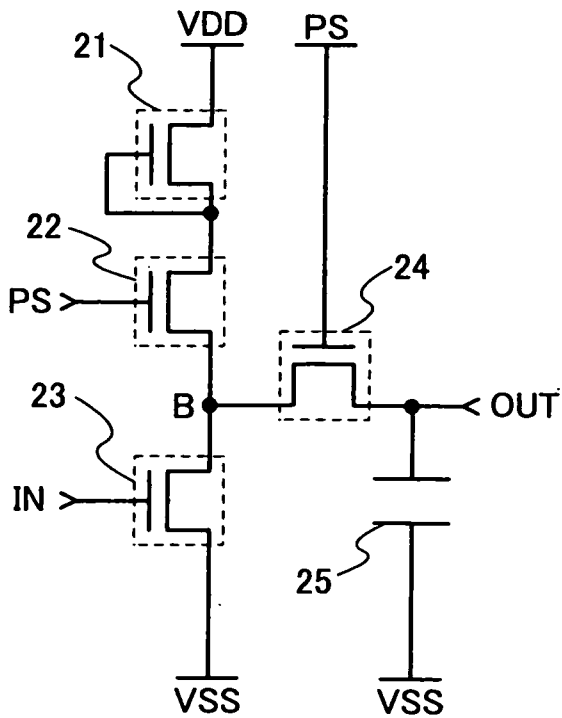


圖 1D

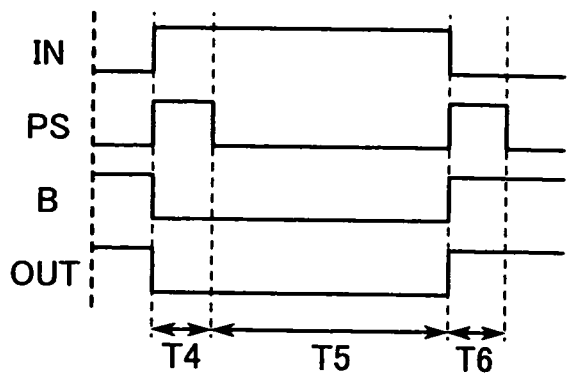


圖 2A

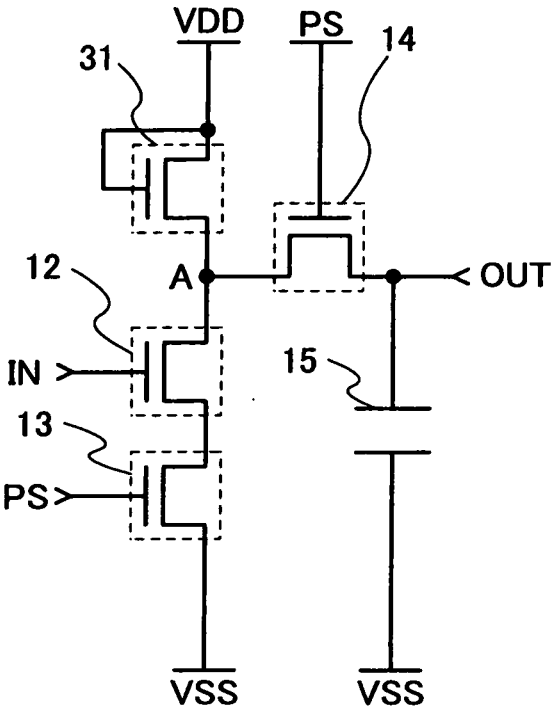


圖 2B

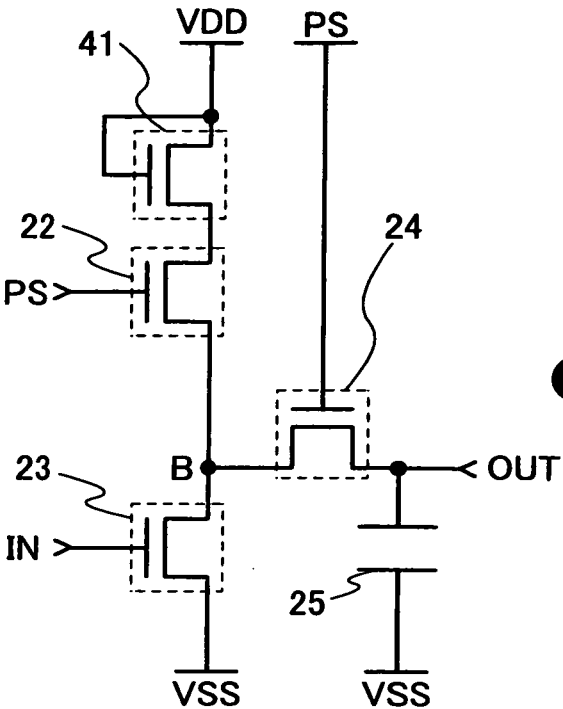


圖 2C

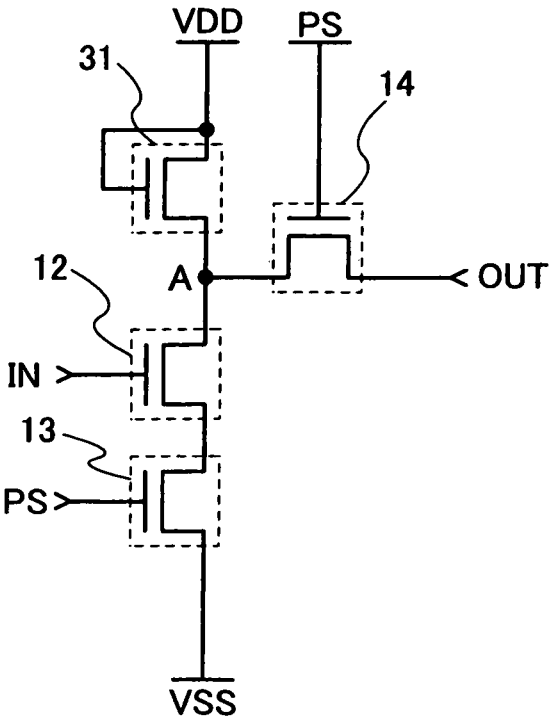


圖 2D

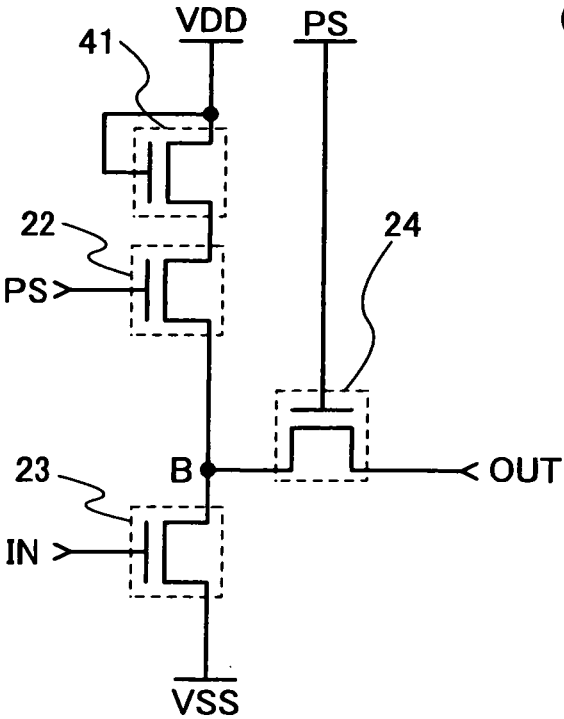


圖 3A

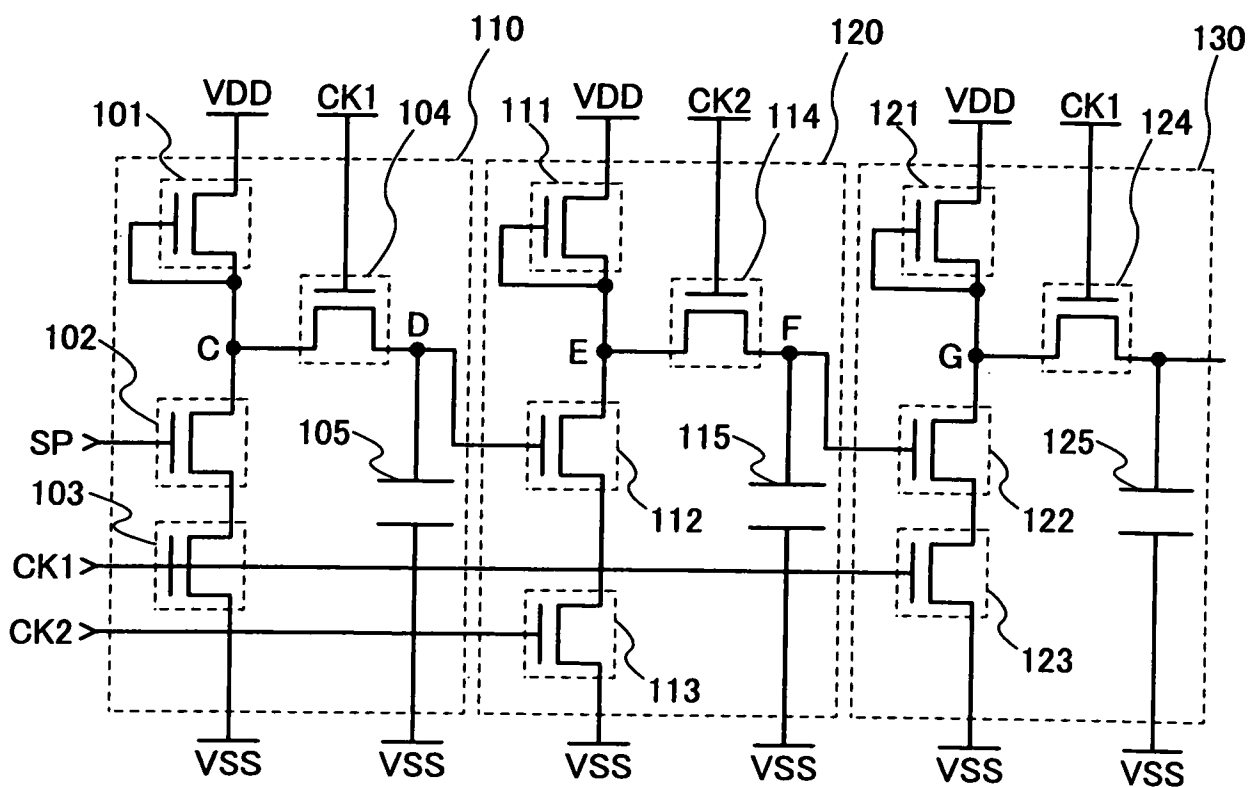


圖 3B

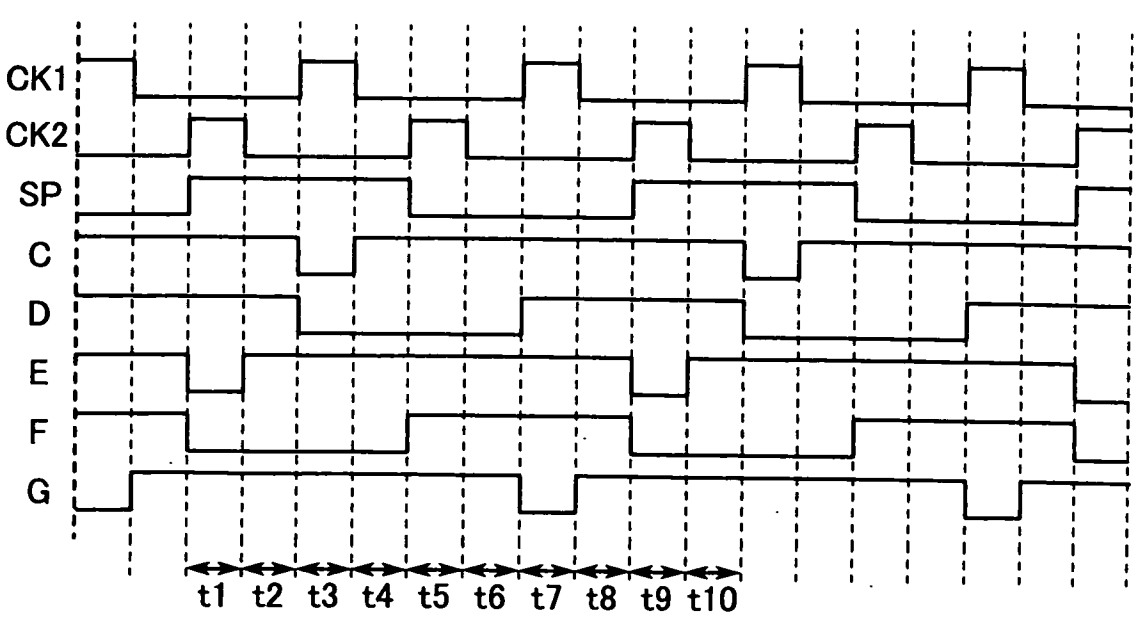


圖 4A

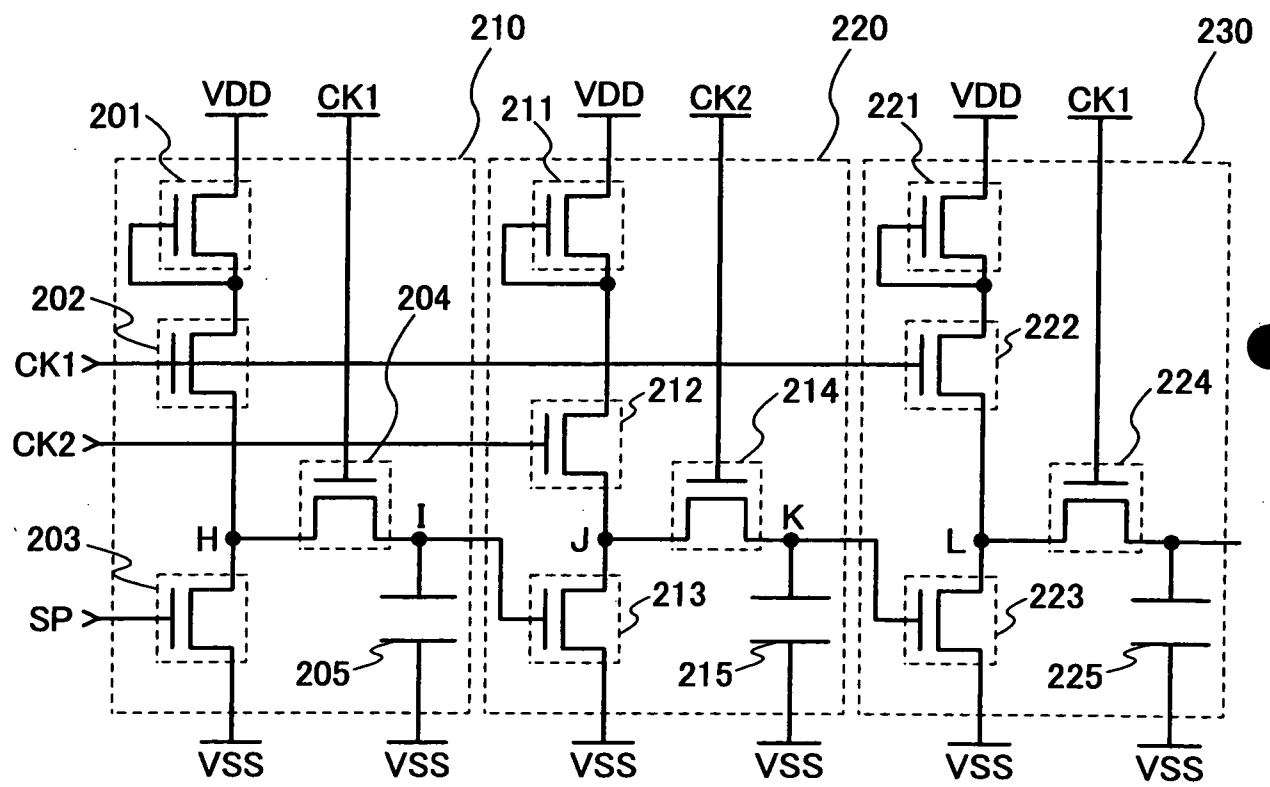


圖 4B

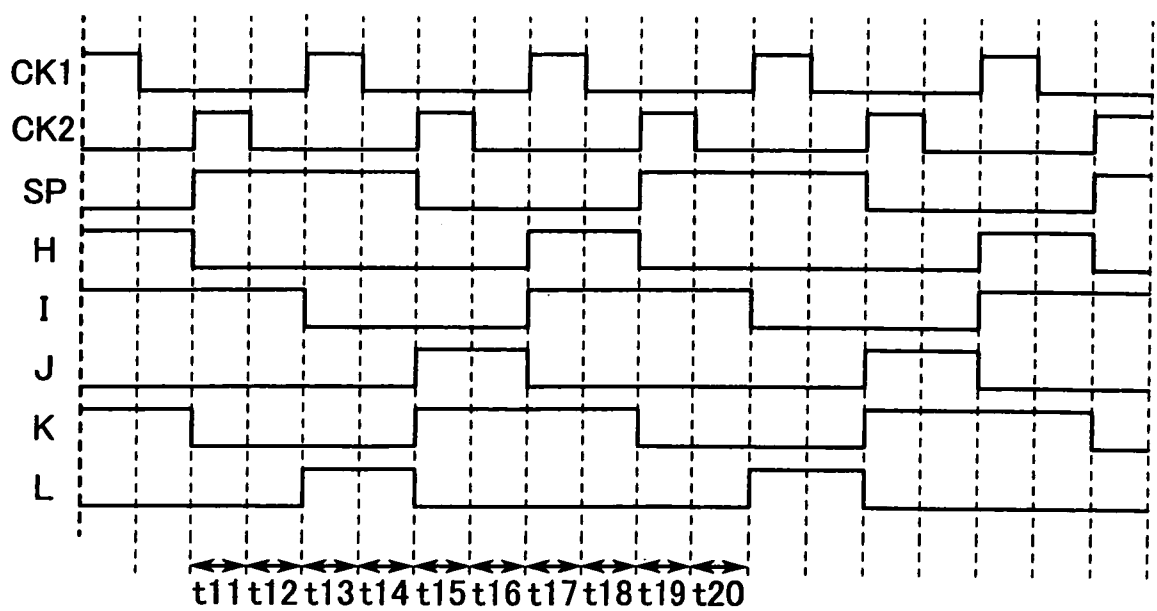


圖 5A

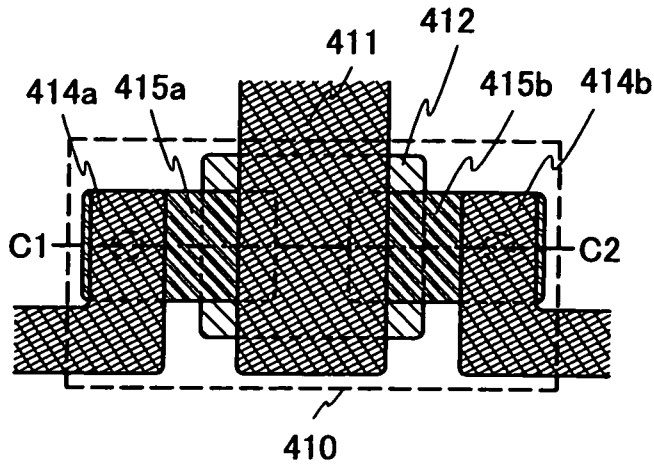


圖 5B

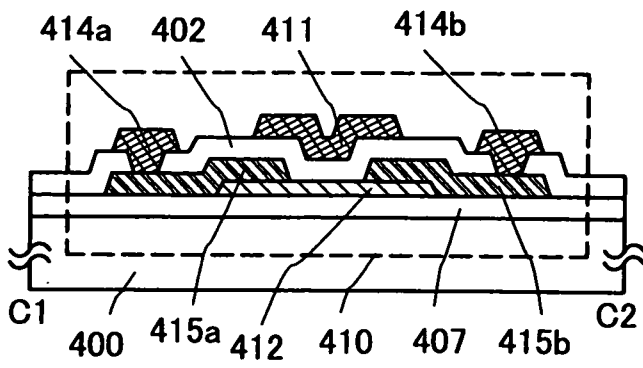


圖 6A

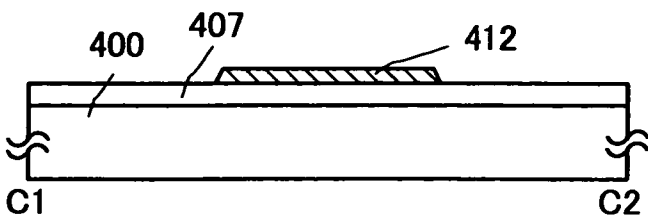


圖 6B

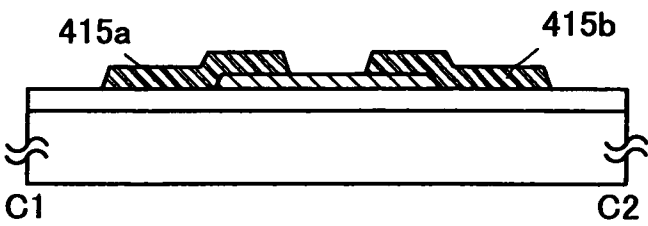


圖 6C

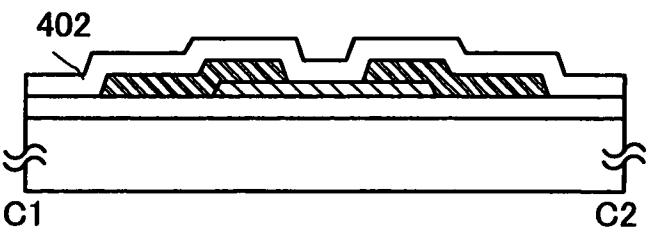


圖 6D

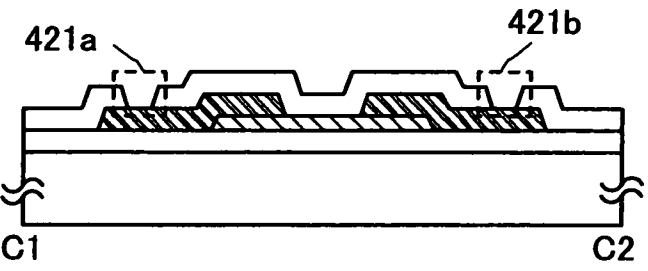


圖 6E

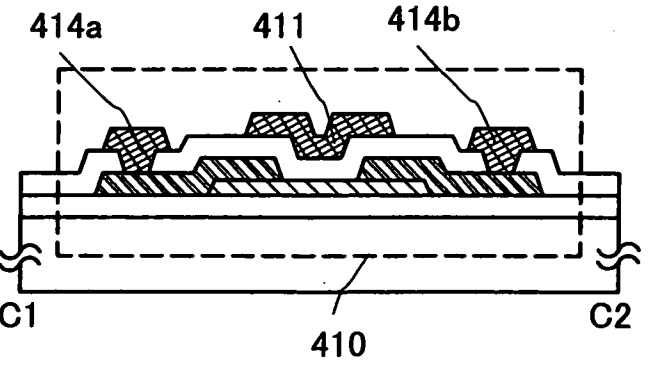


圖 7A

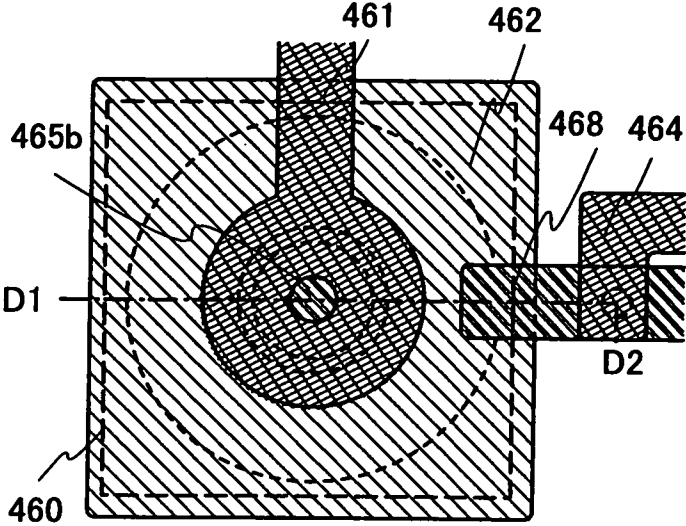


圖 7B

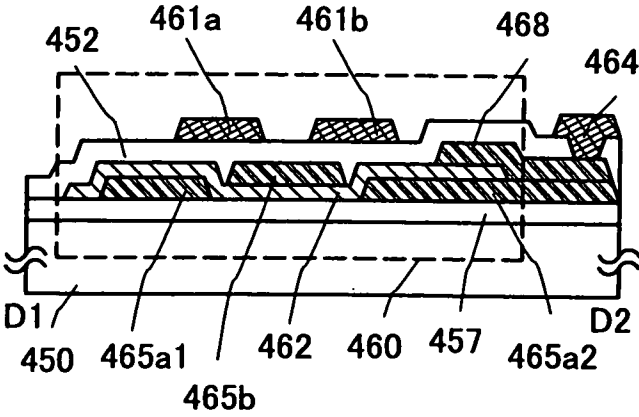


圖 8A

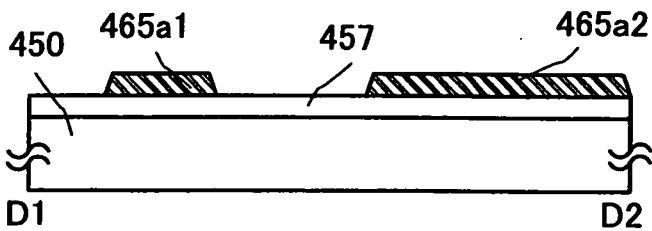


圖 8B

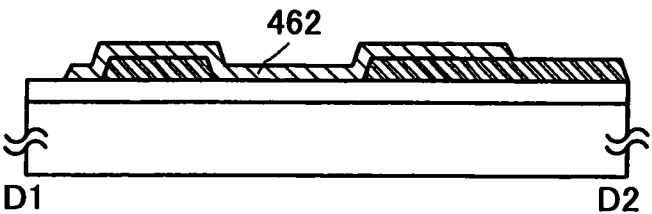


圖 8C

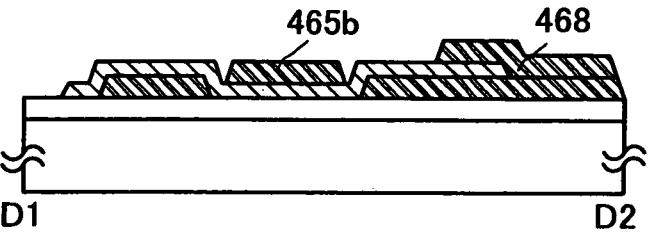


圖 8D

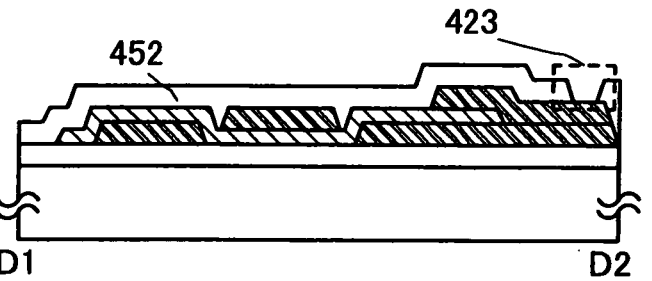


圖 8E

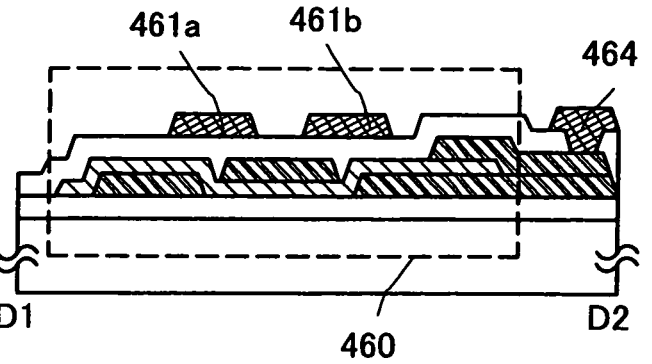


圖 9A

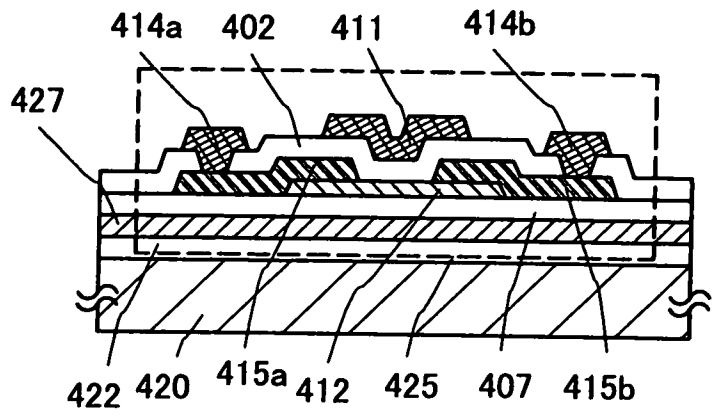


圖 9B

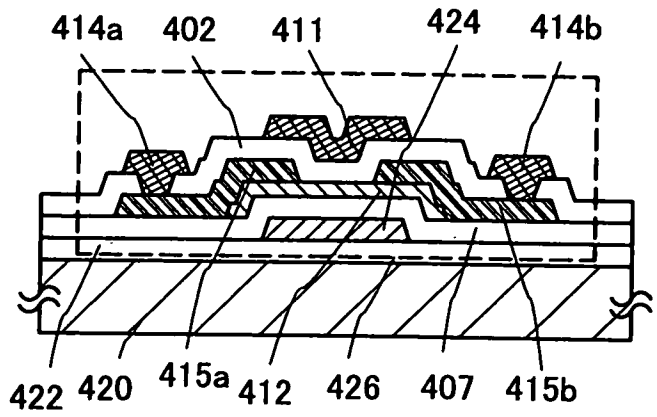


圖 10A

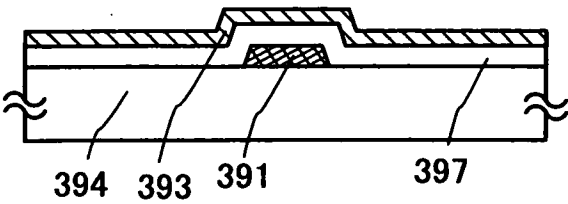


圖 10B

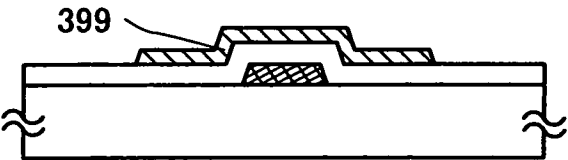


圖 10C

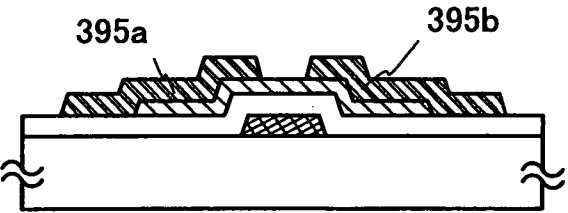


圖 10D

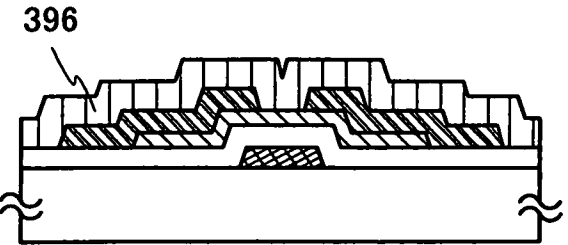


圖 10E

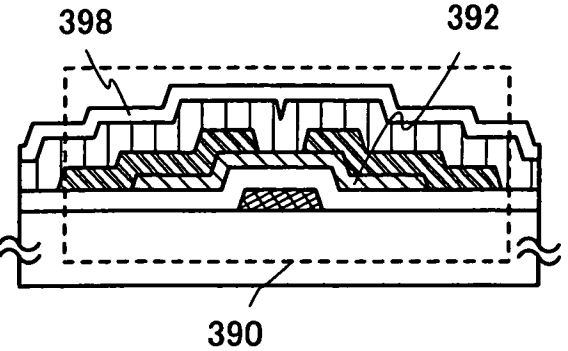


圖 11A

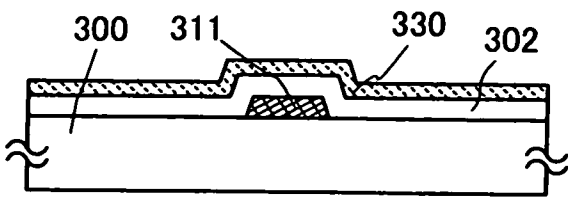


圖 11B

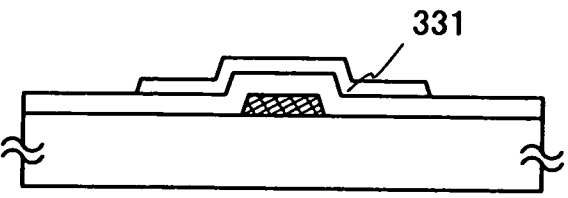


圖 11C

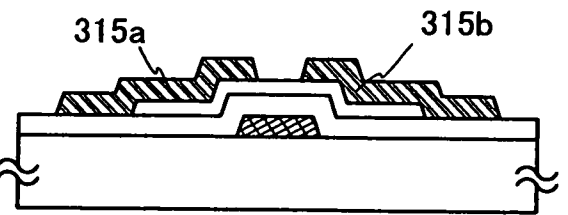


圖 11D

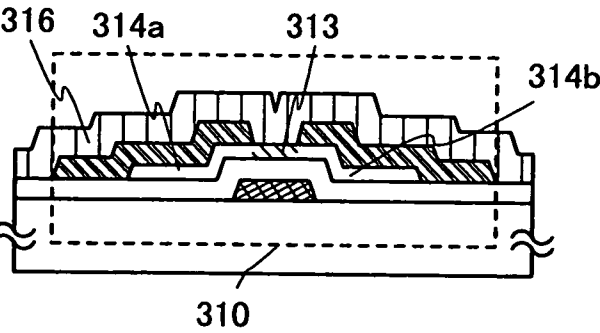


圖 11E

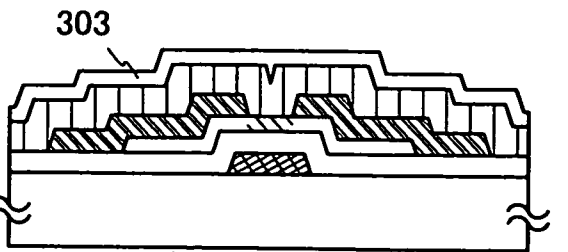


圖 12A

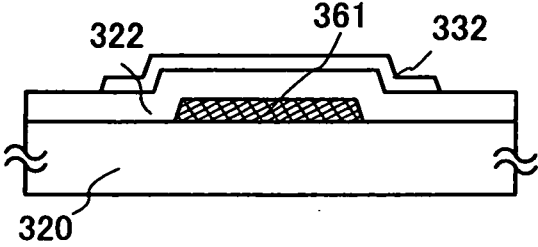


圖 12B

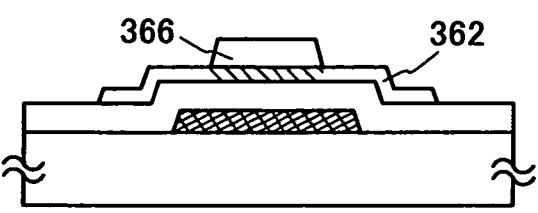


圖 12C

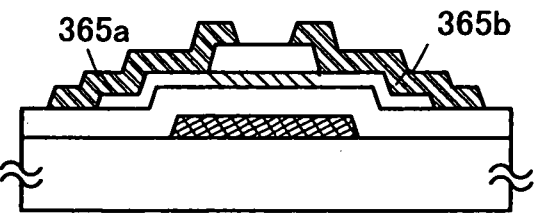


圖 12D

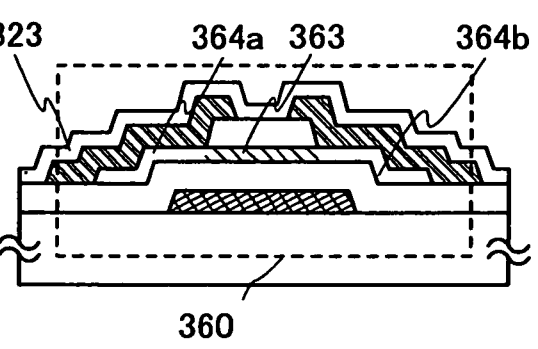


圖 13A

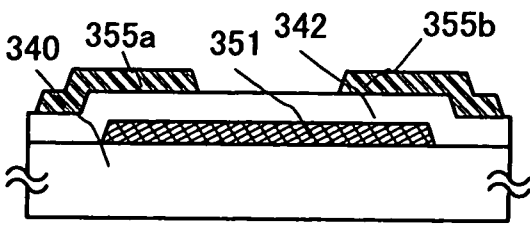


圖 13B

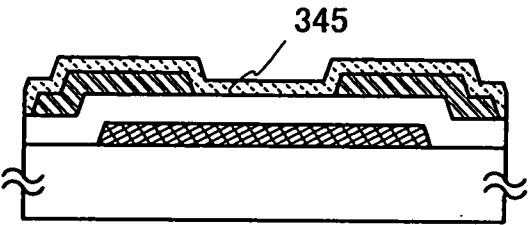


圖 13C

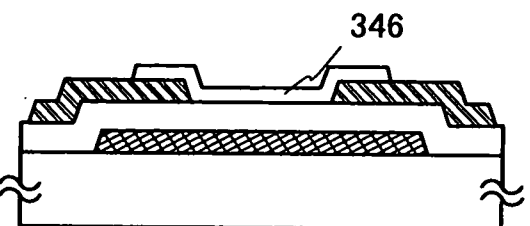


圖 13D

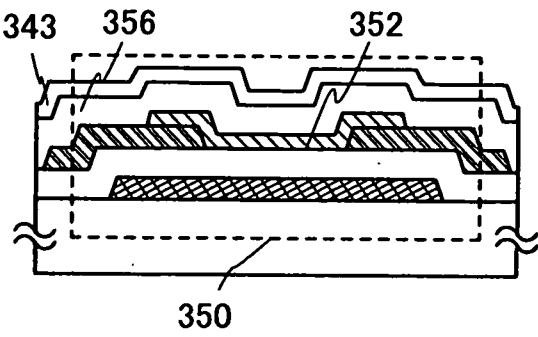


圖 14

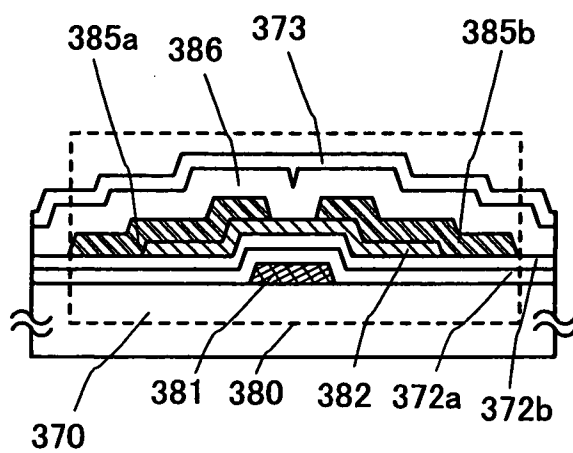


圖 15A

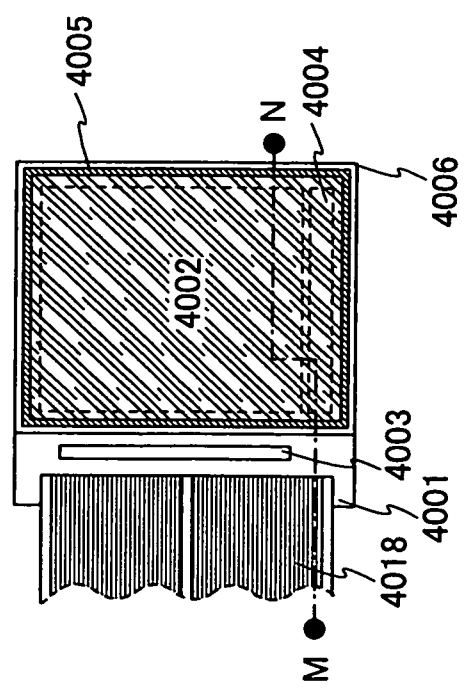


圖 15C

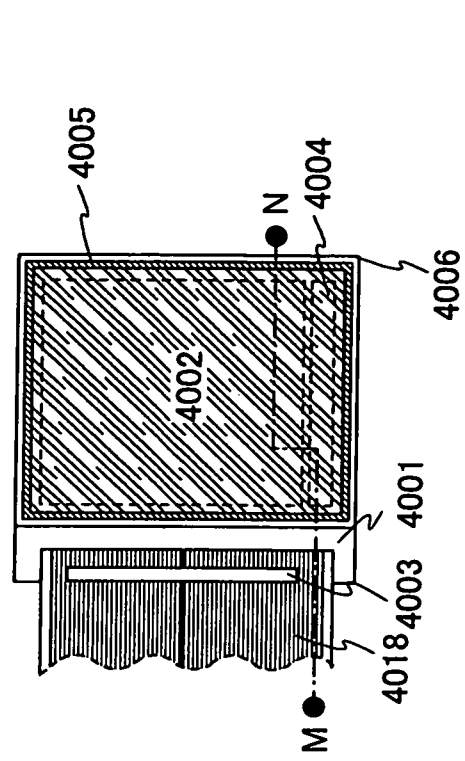


圖 15B

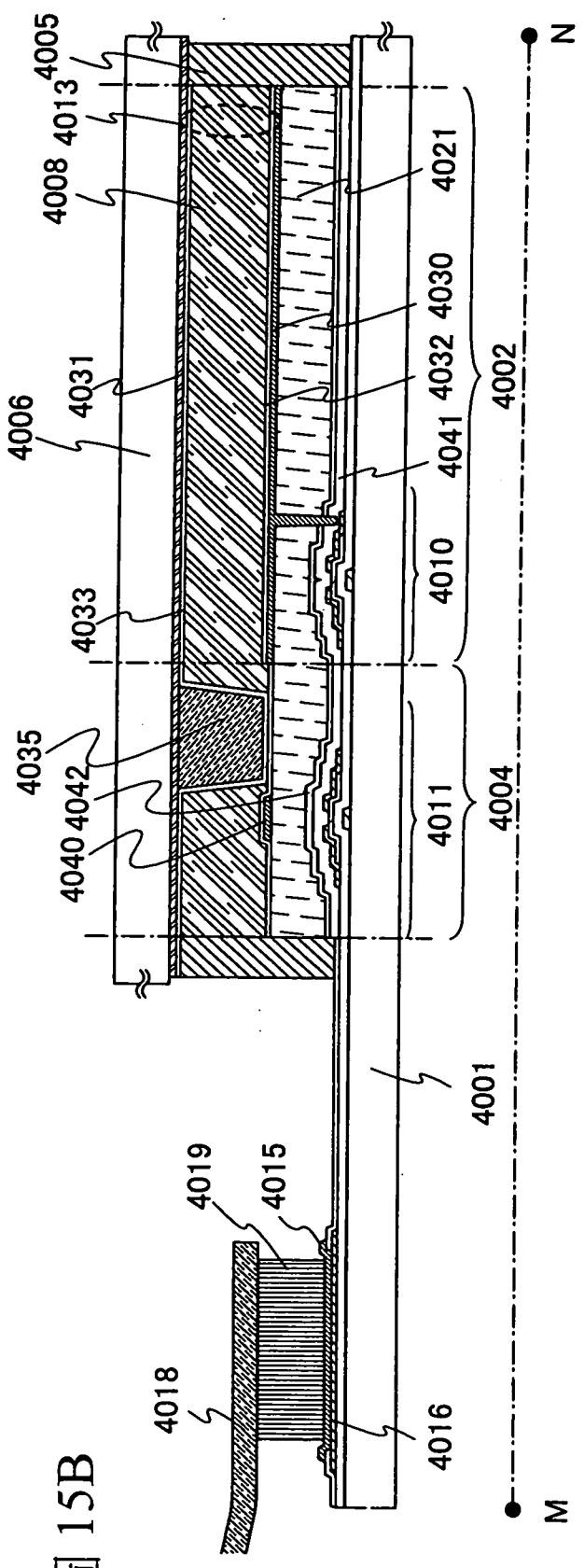


圖 16

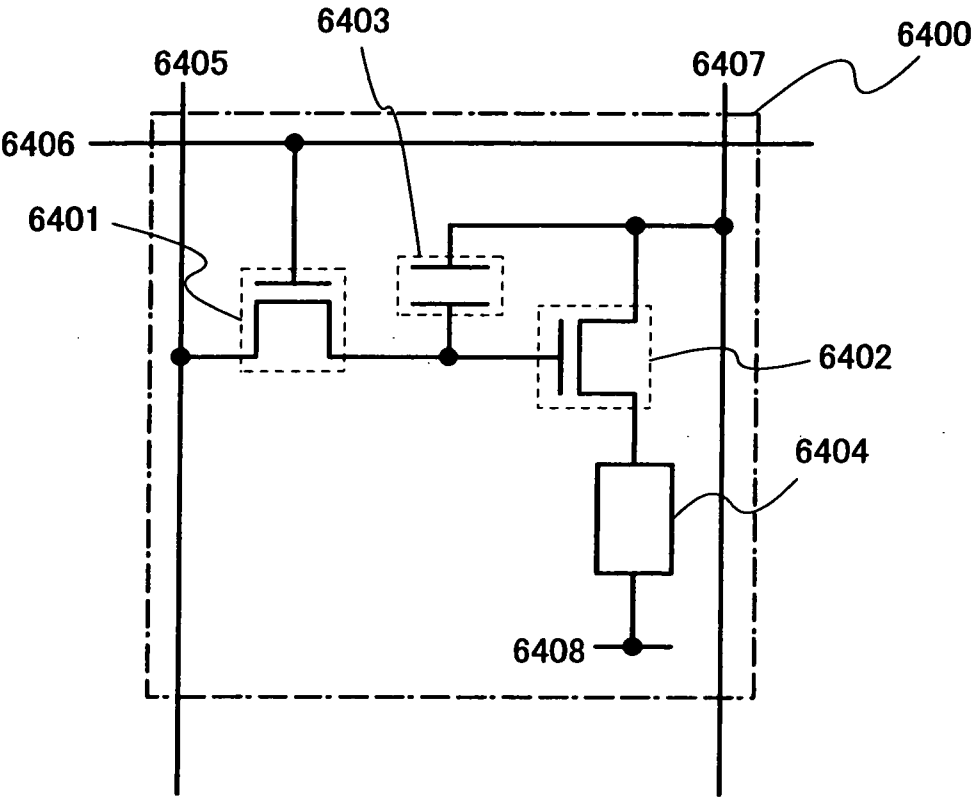


圖 17A

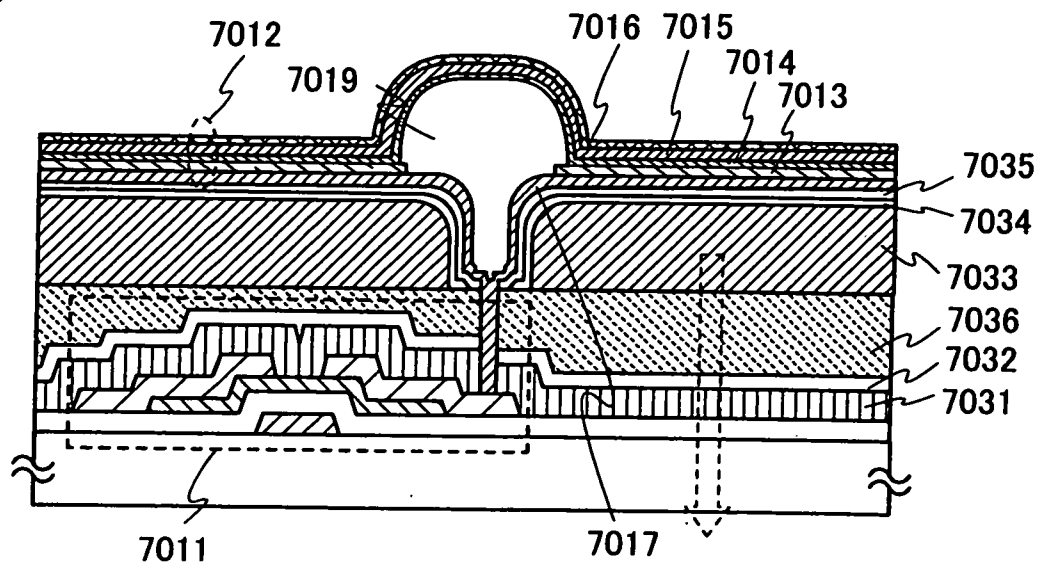


圖 17B

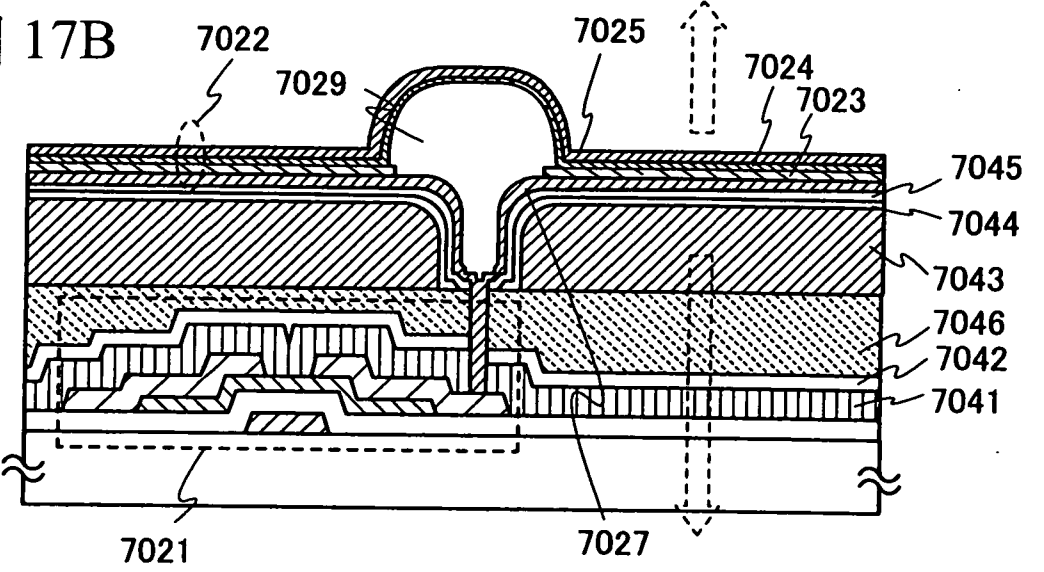


圖 17C

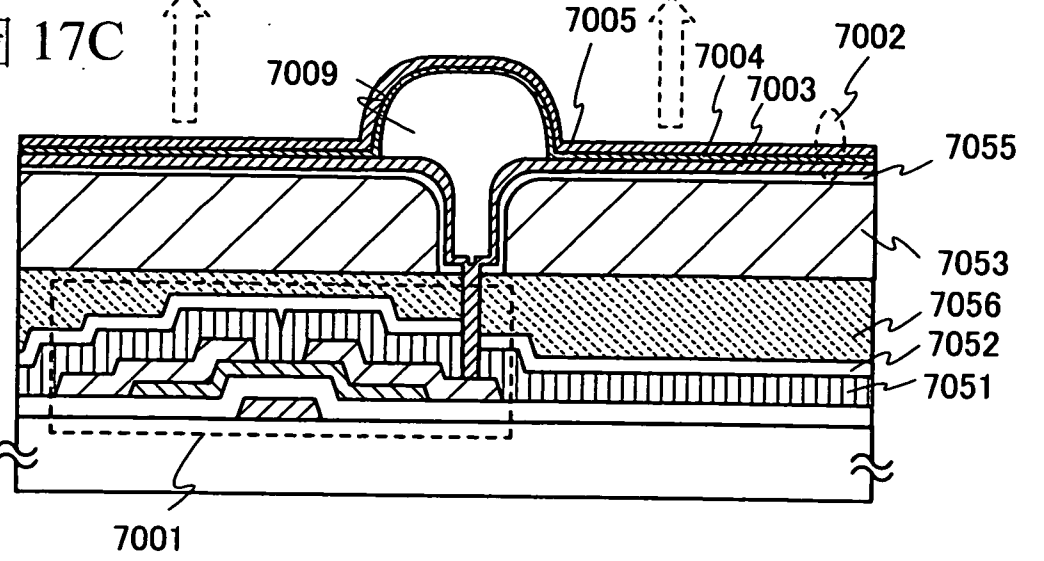


圖 18A

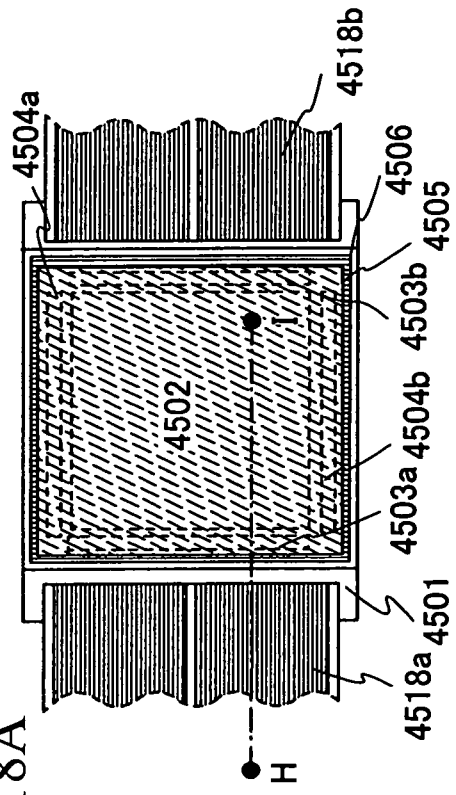


圖 18B

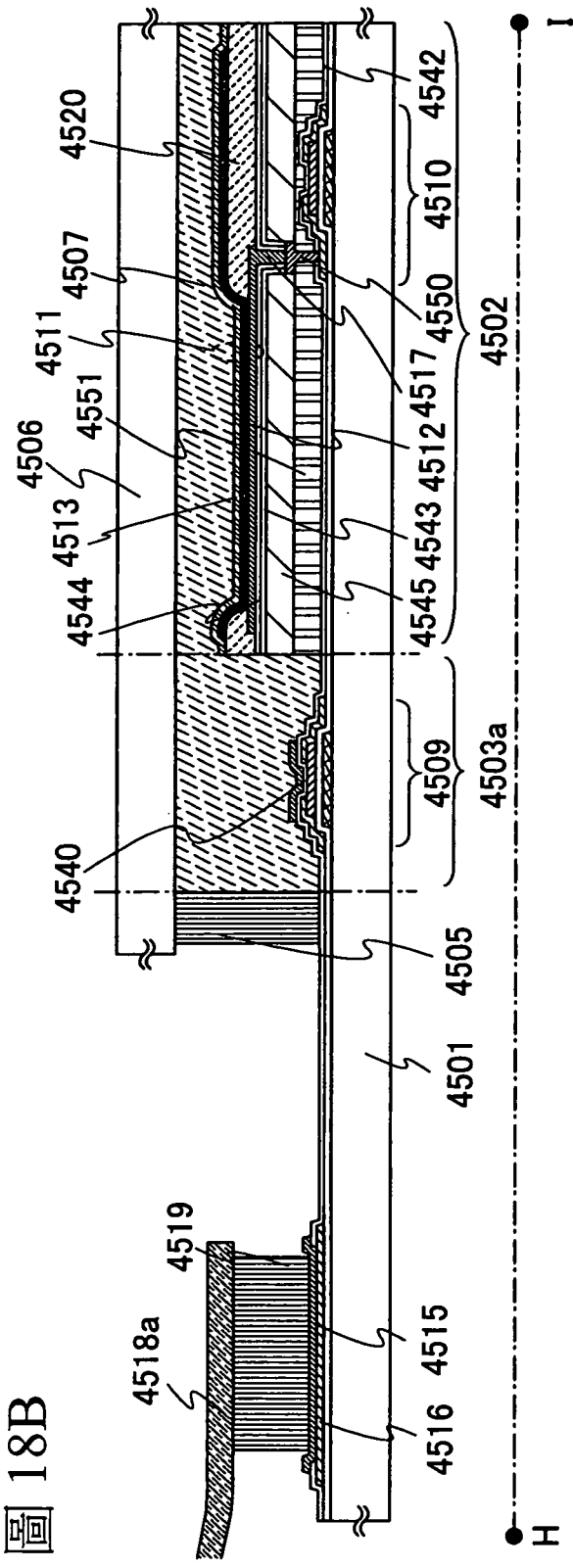


圖 19

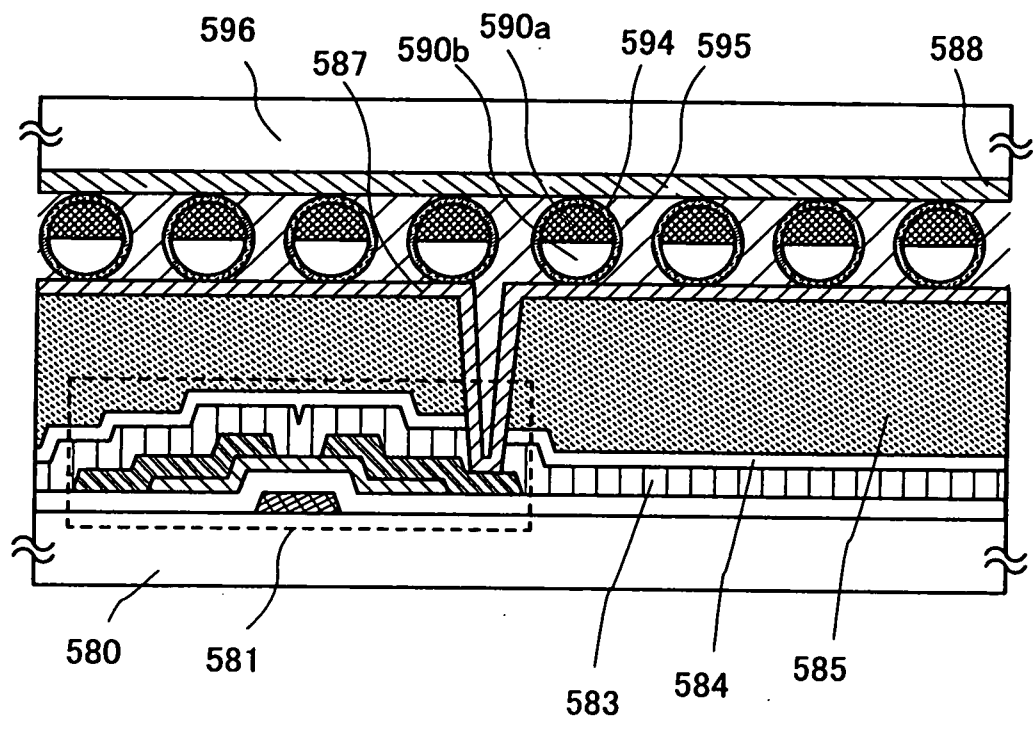


圖 20A

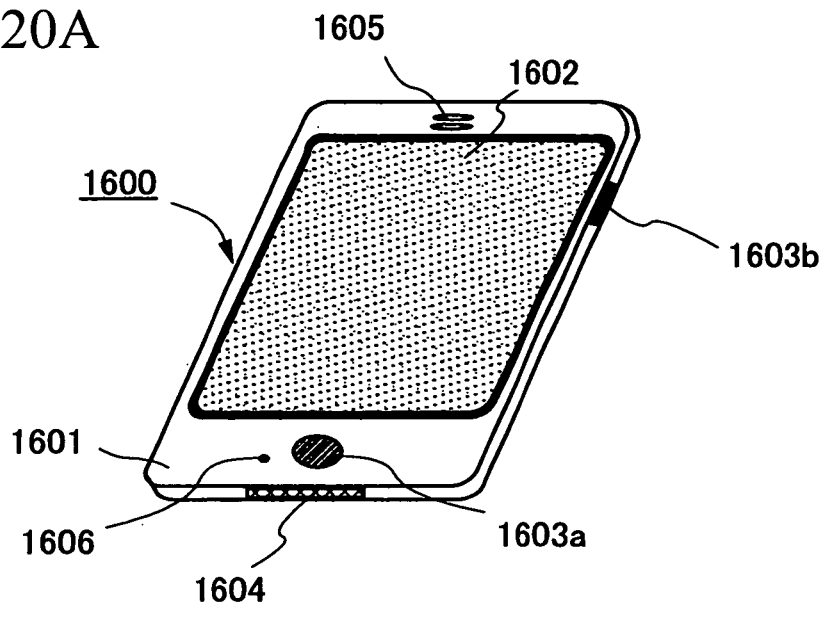


圖 20B

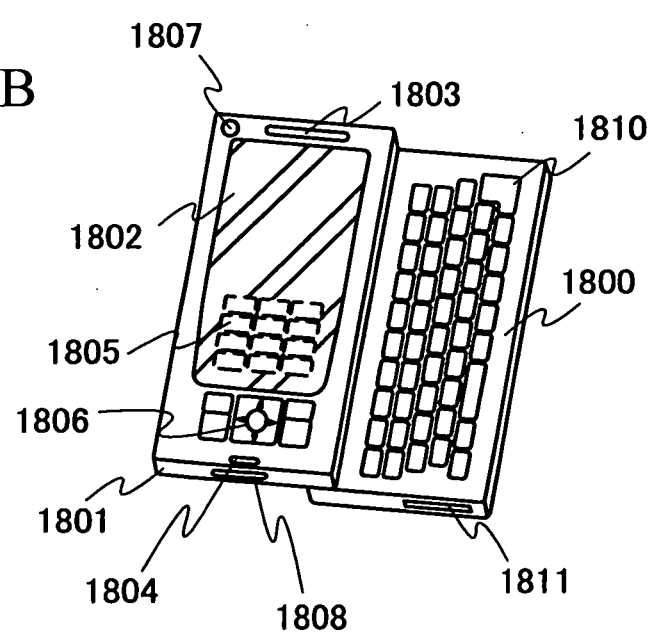


圖 21A

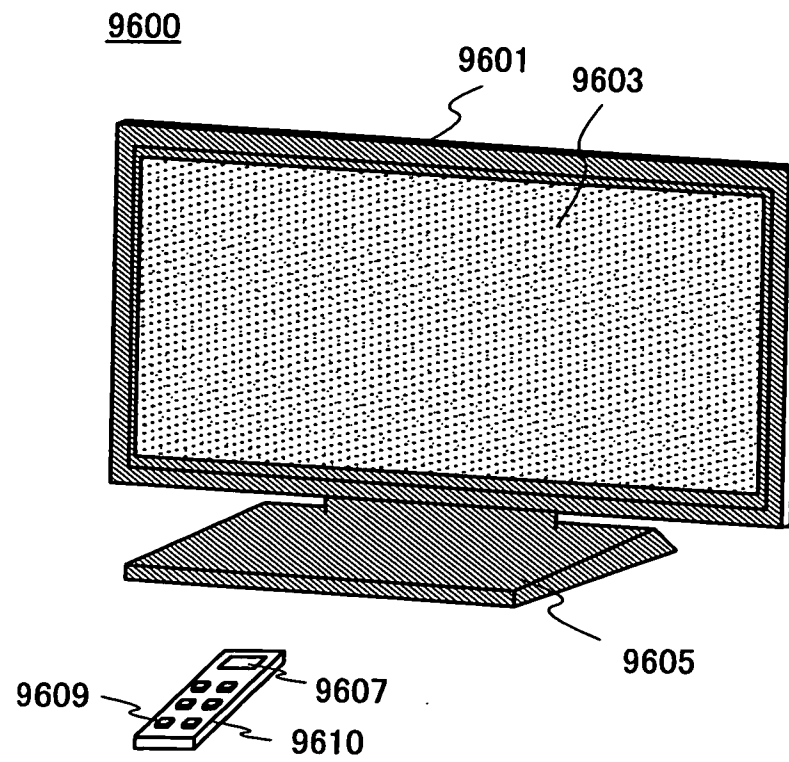


圖 21B

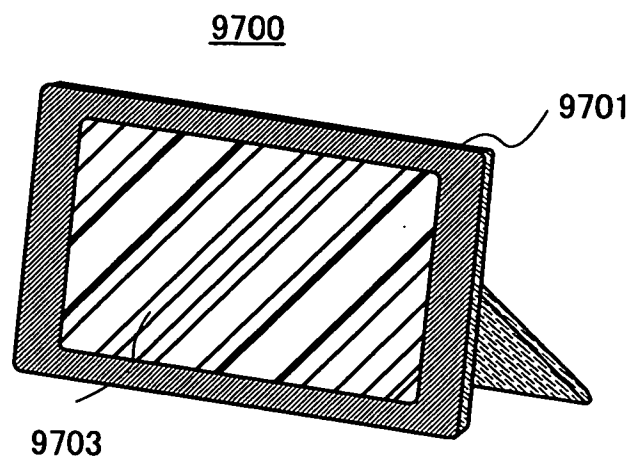


圖 22

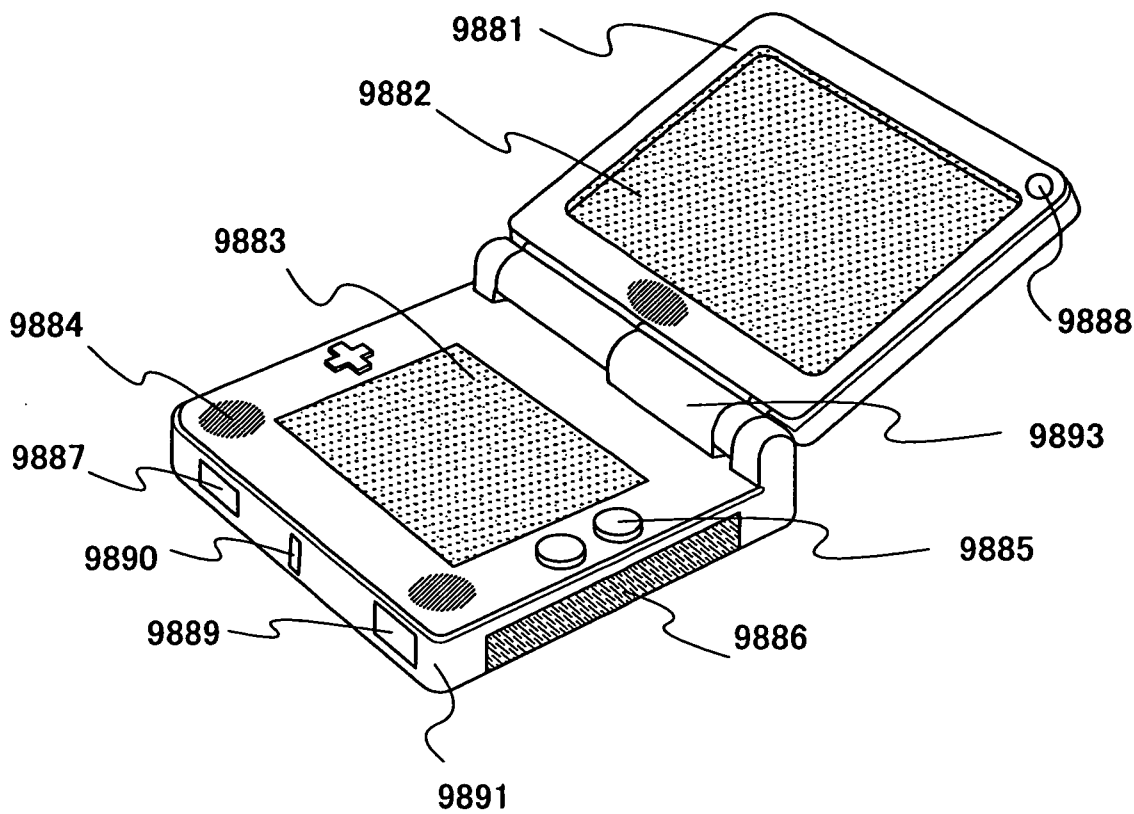


圖 23

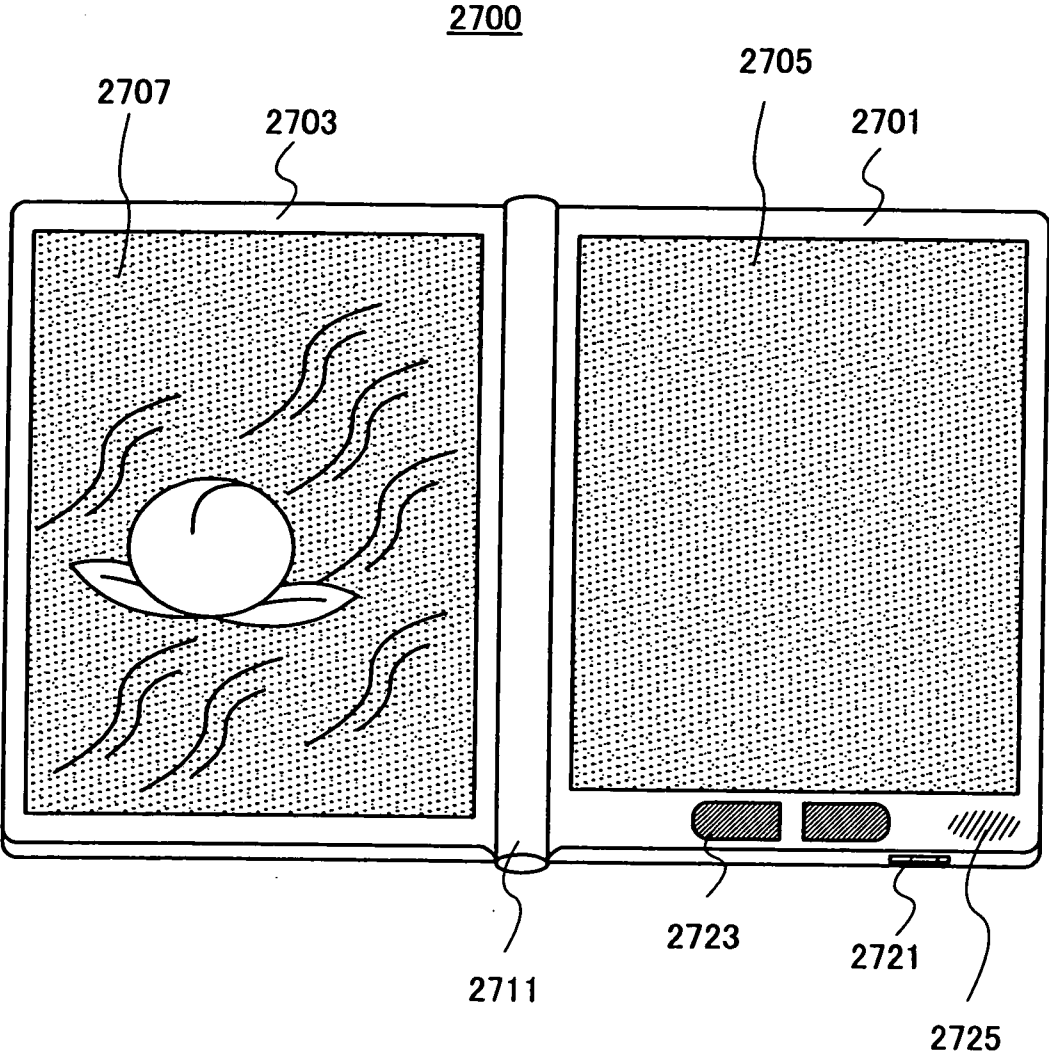


圖 24

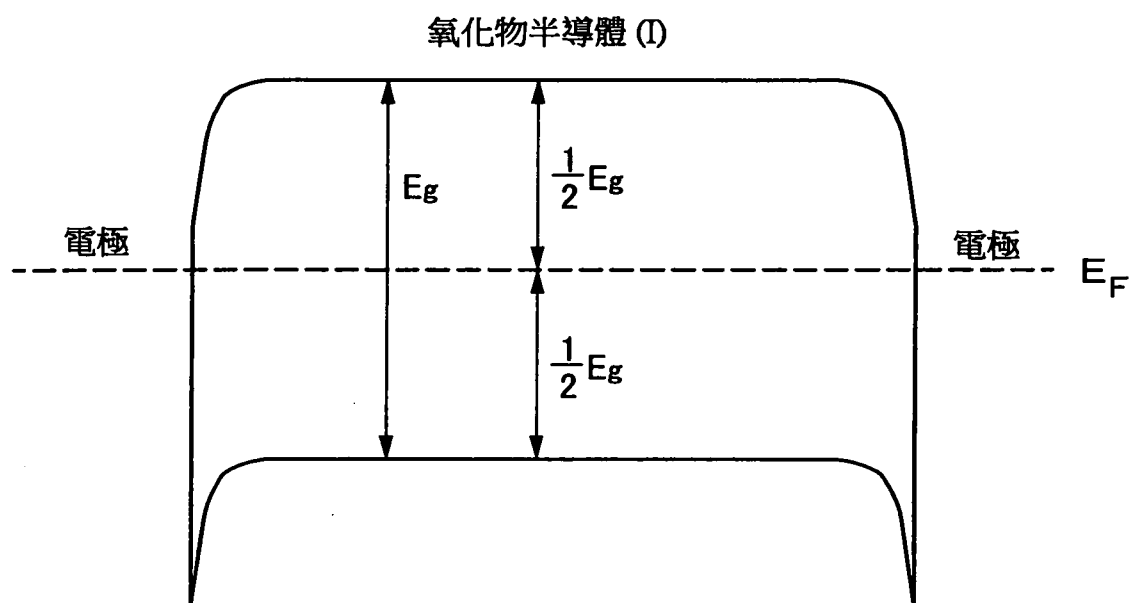


圖 25

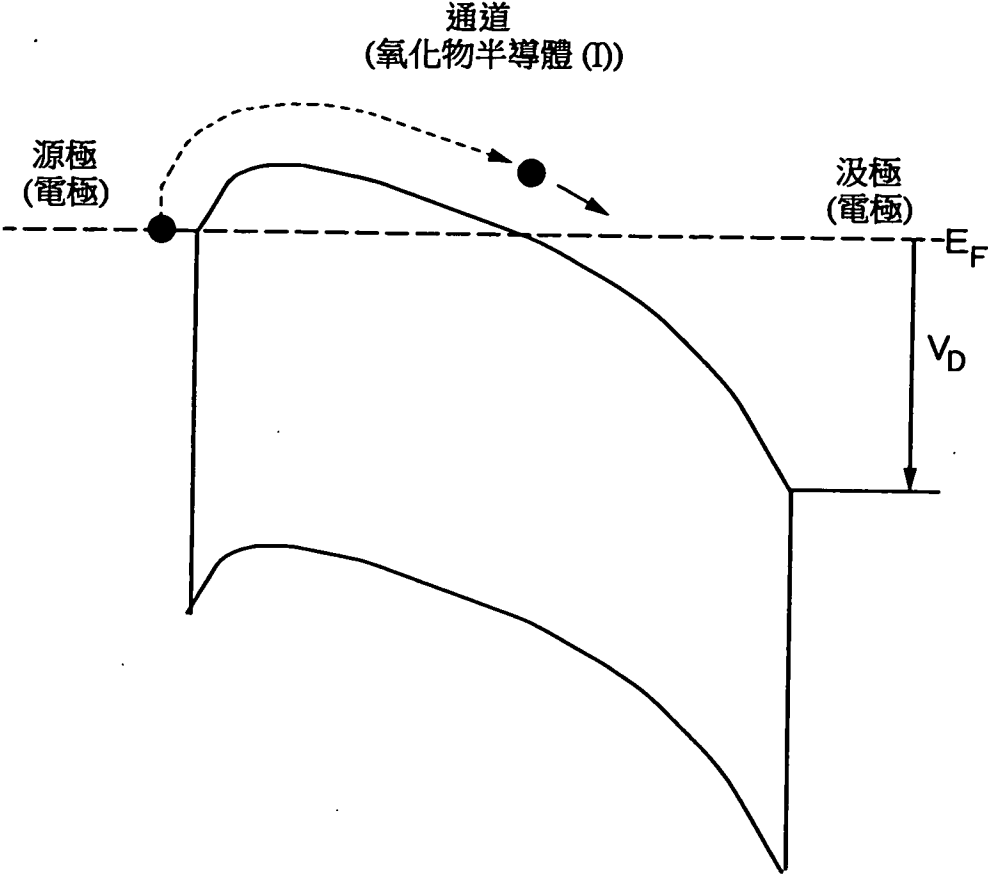


圖 26A

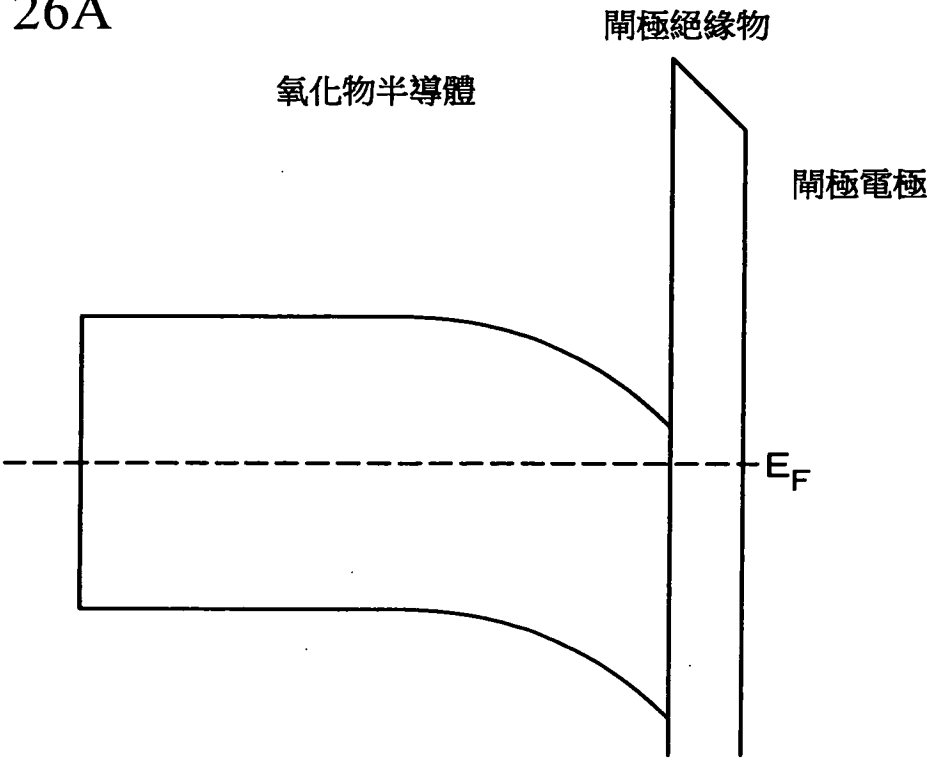


圖 26B

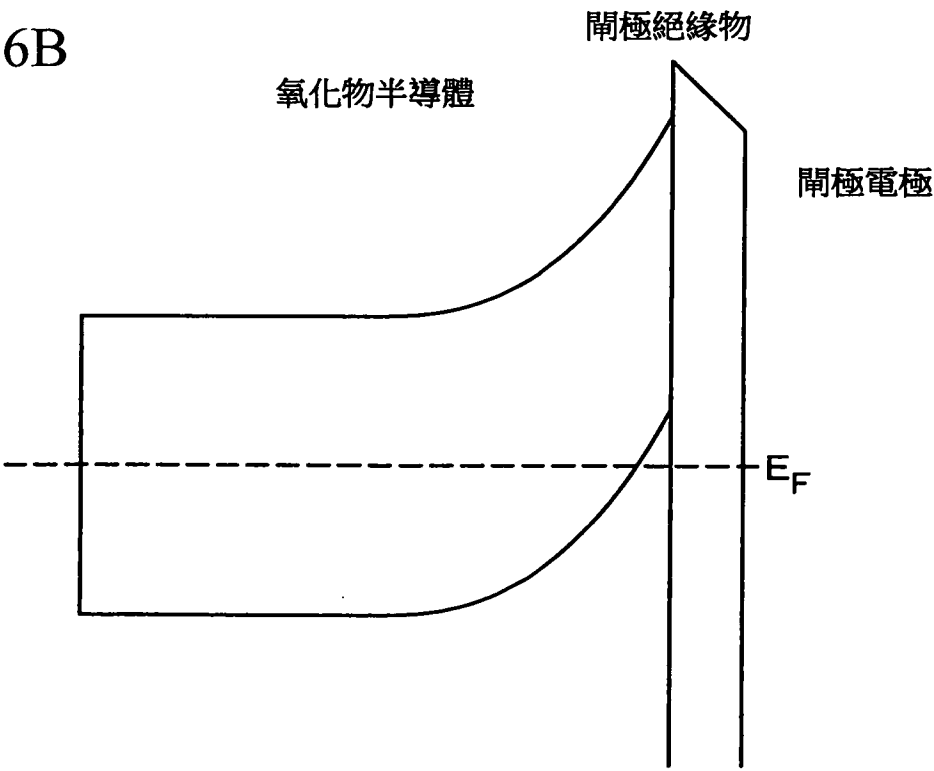


圖 27

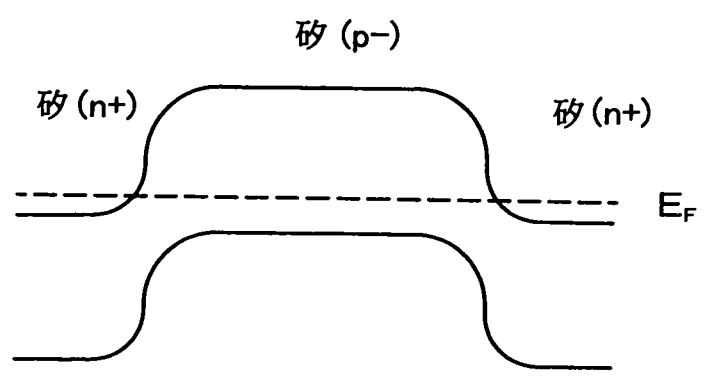


圖 28

