

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200610091850.2

[51] Int. Cl.

H01L 21/50 (2006.01)

H01L 21/56 (2006.01)

H01L 21/60 (2006.01)

H01L 23/498 (2006.01)

H01L 23/31 (2006.01)

[43] 公开日 2007 年 12 月 19 日

[11] 公开号 CN 101090077A

[22] 申请日 2006.6.12

[21] 申请号 200610091850.2

[71] 申请人 矽品精密工业股份有限公司

地址 台湾省台中县

[72] 发明人 张正易 黄建屏 黄致明 林介源
萧承旭

[74] 专利代理机构 北京纪凯知识产权代理有限公司
代理人 程 伟

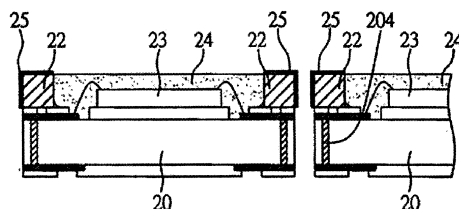
权利要求书 3 页 说明书 8 页 附图 9 页

[54] 发明名称

半导体封装件及其制法

[57] 摘要

本发明公开一种半导体封装件及其制法，该半导体封装件包括：一芯片载体，该芯片载体上设有多个电性连接点；至少一半导体芯片，接置并电性连接到该芯片载体；多条导电件，接置并电性连接到该电性连接点；以及一封装胶体，形成于该芯片载体上，包覆该半导体芯片及导电件，并至少使该导电件侧表面露出该封装胶体。本发明的半导体封装件及其制法，可额外提供多个电性接点，从而强化电子产品的电性功能及使用范围，本发明可在封装件侧边及顶面形成电性接点，供半导体封装件的直接电性堆栈，它可与插座电性连接。



1.一种半导体封装件的制法，其特征在于，该半导体封装件的制法包括：

提供一具有多条芯片载体的芯片载体模块片，各该芯片载体上设有多个电性连接点；

在该芯片载体模块片上对应各芯片载体间设置导电件，并使该导电件电性连接相邻芯片载体的电性连接点，以及在各该芯片载体上接置并电性连接半导体芯片；

进行封装模压作业，在该芯片载体模块片上形成一包覆该半导体芯片及导电件的封装胶体；以及

沿各该芯片载体间的封装胶体及导电件进行切割，分离设置于相邻芯片载体上的导电件，并使该导电件部分表面露出该封装胶体，从而分离各该芯片载体。

2.如权利要求1所述的半导体封装件的制法，其特征在于，该半导体封装件的制法还包括在进行封装模压作业时，使该导电件顶抵于封装模具的模穴顶部，在完成封装模压作业后，直接使该导电件上表面露出该封装胶体。

3.如权利要求1所述的半导体封装件的制法，其特征在于，该半导体封装件的制法还包括使该封装胶体先覆盖该导电件，再经薄化该封装胶体，露出该导电件上表面。

4.如权利要求1、2或3所述的半导体封装件的制法，其特征在于，该半导体封装件的制法还包括在露出该封装胶体的导电件表面形成一金属层。

5.如权利要求1所述的半导体封装件的制法，其特征在于，该芯片载体模块片是基片模块片，该芯片载体是薄型球栅阵列或平面栅格阵列基片，各该基片由多条横向和直向的切割线加以划分，同时在该横向和直向切割线处对应各基片上、下表面形成有电镀总线，使该电镀总线环设于该基片上、下表面间，且该电镀总线是延伸电性连接到基片的表面线路结构。

6.如权利要求5所述的半导体封装件的制法，其特征在于，该基片

上表面设有多条第一电性连接垫及第二电性连接垫，该基片下表面设有第三电性连接垫，该第一电性连接垫可通过导电贯孔电性连通至该第三电性连接垫，且该第一、第二及第三电性连接垫电性连接到该电镀总线。

7.如权利要求6所述的半导体封装件的制法，其特征在于，该导电件是电性连接到相邻基片的第二电性连接垫，且该半导体芯片是电性连接到该基片的第一电性连接垫。

8.如权利要求6所述的半导体封装件的制法，其特征在于，该相邻基片间的第二电性连接垫连在一起。

9.如权利要求5所述的半导体封装件的制法，其特征在于，该导电件电性连接到电镀总线，通过电镀方式在露出该封装胶体的导电件表面形成金属层。

10.如权利要求1所述的半导体封装件的制法，其特征在于，该芯片载体模块片是导线架模块片，该芯片载体是导线架，各该导线架具有芯片座及环设于该芯片座周围的多条管脚，且各该导线架以连接总线相接。

11.如权利要求1所述的半导体封装件的制法，其特征在于，该半导体封装件可利用露出封装胶体的导电件表面作为电性接点，与插座接触端电性连接。

12.如权利要求2或3所述的半导体封装件的制法，其特征在于，该半导体封装件可利用露出封装胶体的导电件表面作为电性接点，在其上电性堆栈另一半导体封装件。

13.一种半导体封装件，其特征在于，该半导体封装件包括：
一芯片载体，该芯片载体上设有多个电性连接点；
至少一半导体芯片，接置并电性连接到该芯片载体；
多条导电件，接置并电性连接到该电性连接点；以及
一封装胶体，形成于该芯片载体上，包覆该半导体芯片及导电件，并至少使该导电件侧表面露出该封装胶体。

14.如权利要求13所述的半导体封装件，其特征在于，该半导体封装件的该封装胶体上表面与该导电件上表面齐平，使该导电件上表面露出该封装胶体。

15.如权利要求 13 或 14 所述的半导体封装件，其特征在于，该半导体封装件还包括一金属层，形成于露出该封装胶体的导电件表面。

16.如权利要求 13 所述的半导体封装件，其特征在于，该芯片载体是球栅阵列或平面栅格阵列基片。

17.如权利要求 16 所述的半导体封装件，其特征在于，该基片上表面设有多条第一电性连接垫及第二电性连接垫，该基片下表面设有第三电性连接垫，该第一电性连接垫可通过导电贯孔电性连通至该第三电性连接垫。

18.如权利要求 17 所述的半导体封装件，其特征在于，该导电件电性连接到该第二电性连接垫，且该半导体芯片电性连接到该第一电性连接垫。

19.如权利要求 13 所述的半导体封装件，其特征在于，该芯片载体是导线架，各该导线架具有芯片座及环设于该芯片座周围的多条管脚。

20.如权利要求 13 所述的半导体封装件，其特征在于，该半导体封装件可利用露出封装胶体的导电件表面作为电性接点，与插座接触端电性连接。

21.如权利要求 14 所述的半导体封装件，其特征在于，该半导体封装件可利用露出封装胶体的导电件表面作为电性接点，在其上电性堆栈另一半导体封装件。

半导体封装件及其制法

技术领域

本发明是关于一种半导体封装件及其制法，特别是关于一种可提供额外电性接点的半导体封装件及其制法。

背景技术

由于通讯、网络及计算机等各式便携 (Portable)产品的大幅增长，可缩小集成电路(IC)面积且具有高密度与多管脚化特性的球栅阵列(BGA)封装件已日渐成为封装市场上的主流，并常与微处理器、芯片组、绘图芯片等高性能芯片搭配，发挥更高速的运算功能。其中，球栅阵列(BGA)是一种先进的半导体芯片封装技术，其特点在于采用一基片安置半导体芯片，并在该基片背面设置多个成栅状阵列排列的焊球(Solder Ball)，使相同单位面积的半导体芯片载体上可以容纳更多的输入/输出连接端(I/O Connection)，符合高度集成化(Integration)半导体芯片所需，通过这些焊球将整个封装单元焊接及电性连接到外部装置。

再者，为提高半导体封装件产能并节省工序成本，现今微型半导体封装件的制作多采成批方式，即在一整片芯片载体(chip carrier)表面通过多条格栅状交错的封装分界，预先定义出多条呈矩阵排列的封装单元，经过上片(Die bond)、焊接(Wire bond)及胶体封装(Encapsulation)等程序，并以切割作业(Singulation)去除任相邻半导体封装单元间的连接部，形成多个独立的半导体封装件。例如为满足电子产品轻薄短小的设计需求，业界发展出一种可提供整体尺寸更小的薄型球栅阵列(TFBGA)封装件或平面栅格阵列(Land Grid Array; LGA)封装件，它主要以成批方式建立在同一基片上，该基片预先划分出多条封装区域，分别定义出个别 TFBGA 封装单元位置，经过上晶、打线、模压等步骤，最后再进行切割工序(Singulation process)，将各个封装区域及安置其上的半导体芯片切割开来，形成多条 LGA 封装件，或在基片上设置焊球形成 TFBGA 封装件。相关技术可参阅美国专利第 5776798、6593658、

6281047 等案。

另外,业界也发展出一种类似上述 TFBGA 封装件、以导线架作为芯片载体的四方扁平无管脚(QFN)封装件,它同样是以呈矩阵排列安排导线架,将半导体芯片置于该导线架上并进行打线、封装模压等步骤后,再进行切割工序,形成多条 QFN 封装件。相关技术是可参阅美国专利第 6143981、6399415、6424024 等案。

上述各式轻薄型半导体封装件可应用在便携式电子产品中,例如中国台湾专利号第 I242820 号的“感测式半导体装置及其制法”即揭示利用 TFBGA 结构在一封装结构内整合控制芯片及感测芯片,构成一(compact camera module ,CCM)封装结构。

但是,在上述各式半导体封装件或所应用的 CCM 封装结构中,该半导体封装件或封装结构的载体(如基片或导线架)只能在下方提供与外界电性连接的电性接点,无法在封装件或封装结构侧面,或上表面(封装胶体部分)提供额外电性接点,这样不仅无法提供电子产品良好的电性功能,同时也将限制电子产品的使用,例如无法进行封装件的堆栈或无法利用插座(socket)将封装件电性连接到外部装置。

因此,如何提供一种可额外提供多个电性接点,避免限制电子产品使用等问题,同时也可提供电子产品良好电性功能的半导体封装件及其制法,已成为目前亟待解决的问题。

发明内容

为克服上述现有技术的缺点,本发明的主要目的在于提供一种半导体封装件及其制法,可额外提供多个电性接点,从而强化电子产品的电性功能及使用范围。

本发明的另一目的在于提供一种半导体封装件及其制法,可在封装件侧边形成电性接点。

本发明的又一目的在于提供一种半导体封装件及其制法,可在封装件侧边及顶面形成电性接点。

本发明的再一目的在于提供一种半导体封装件及其制法,可供进行半导体封装件的直接电性堆栈。

本发明的还一目的在于提供一种半导体封装件及其制法,可与插

座电性连接。

为实现上述及其它目的，本发明的半导体封装件的制法包括：提供一具有多条芯片载体的芯片载体模块片，各该芯片载体上设有多个电性连接点；在该芯片载体模块片上对应各芯片载体间设置导电件，并使该导电件电性连接相邻芯片载体的电性连接点，以及在各该芯片载体上接置并电性连接半导体芯片；进行封装模压作业，在该芯片载体模块片上形成一包覆该半导体芯片及导电件的封装胶体；以及沿各该芯片载体间的封装胶体及导电件进行切割，分离设置于相邻芯片载体上的导电件，并使该导电件部分表面露出该封装胶体，从而分离各该芯片载体。

该导电件上表面还可在封装模压后直接露出该封装胶体，也可将该封装胶体进行薄化作业，露出该导电件上表面，接着再切割该封装胶体及导电件，使该导电件侧表面露出该封装胶体，这样可利用露出该导电件的上表面及侧表面作为与外界电性连接的电性接点。

通过上述制法，本发明也提供一种半导体封装件，该半导体封装件包括：一芯片载体，该芯片载体上设有多个电性连接点；至少一半导体芯片，接置并电性连接到该芯片载体；多条导电件，接置并电性连接到该电性连接点；以及一封装胶体，形成于该芯片载体上，包覆该半导体芯片及导电件，并至少使该导电件侧表面露出该封装胶体。

因此，本发明的半导体封装件及其制法是在一具有多条芯片载体的芯片载体模块片上，对应各芯片载体间设置导电件，并使该导电件电性连接相邻芯片载体的电性连接点，且在各该芯片载体上接置并电性连接半导体芯片，再进行模压作业，形成一包覆该半导体芯片及导电件的封装胶体，接着沿各该芯片载体间进行切割，分离设置于相邻芯片载体上的导电件，使该导电件的部分表面露出该封装胶体，其中，该导电件上表面可在模压后直接露出该封装胶体，也可将该封装胶体进行薄化作业，露出该导电件的上表面，接着在露出该封装胶体的导电件表面形成一如镍/金电镀层，提供后续与外界电性连接，然后再分离各该芯片载体，利用露出该封装胶体的导电件提供额外的电性接点，供后续进行封装件的堆栈，或利用插座(socket)将封装件电性连接到外部装置，避免限制电子产品的使用等问题，同时也可提供电子产品良

好的电性功能。

附图说明

图 1A 至图 1H 是本发明半导体封装件及其制法实施例 1 示意图；

图 2A 至图 2E 是本发明的半导体封装件及其制法实施例 2 示意图；

图 2B' 是以研磨方式去除部分封装胶体的示意图；

图 3 是本发明半导体封装件及其制法实施例 3 中使用的基片模块片示意图；

图 4A 至图 4E 是本发明半导体封装件及其制法实施例 4 示意图；

图 5A 至图 5C 是本发明半导体封装件应用的示意图。

具体实施方式

实施例 1

图 1A 至图 1H 是本发明半导体封装件及其制法实施例 1 的示意图。

如图 1A 所示, 首先, 提供一具有多条芯片载体的芯片载体模块片, 各该芯片载体上设有多个电性连接点, 同时配合参阅图 1B, 它是对应图 1A 芯片载体模块片的剖面示意图, 在本实施例中该芯片载体模块片是基片模块片 100, 各该芯片载体是薄型球栅阵列(TFBGA)或平面栅格阵列(LGA)基片 10, 各该基片 10 由多条横向和直向切割线(如虚线所示)划分, 同时在该横向和直向的切割线处, 对应基片模块片 100 上、下表面上形成电镀总线 11, 使该电镀总线 11 环设于该基片 10 上、下表面间, 且该电镀总线 11 是延伸电性连接到基片 10 表面的线路结构, 其中, 在各该基片 10 的上表面设有多个如第一电性连接垫(pad)101 及第二电性连接垫 102, 以及在该基片 10 下表面设有第三电性连接垫 103 等电性连接点, 其中, 该第一电性连接垫 101 可通过导电贯孔(via) 104 电性连通到该第三电性连接垫 103, 且该第一、第二及第三电性连接垫 101、102、103 可通过导电路径电性连接到该电镀总线 11。该第三电性连接垫 103 对应薄型球栅阵列(TFBGA)或平面栅格阵列(LGA)基片是焊球垫(ball pad)或电性连接端(terminal), 该第一电性连接垫 101 可例如是焊指(bonding finger), 第二电性连接垫可例如是接触焊垫 102, 但是不以此为限, 例如该第一电性连接垫 101 可以是倒装芯片焊垫(bump

pad)等。

如图 1C 所示,在该基片模块片 100 上对应各基片 10 间设置导电件 12,并使该导电件 12 电性连接相邻基片 10 的第二电性连接垫 102,以及在各该基片 10 上接置并电性连接半导体芯片 13;请配合参阅图 1D,它是对应图 1C 的剖面示意图,其中该导电件 12 是例如铜柱或铜球等金属,利用如焊锡等导电材料电性连接到相邻基片 10 的第二电性连接垫 102,或该导电件 12 可直接使用焊球等焊锡材料,另外,该半导体芯片 13 以打线方式电性连接到该基片 10 的第一电性连接垫 101。当然也可利用倒装芯片方式将半导体芯片电性连接到该基片,且该导电件的接置作业可配合置晶方式在置晶步骤前后进行。

如图 1E 所示,在该基片模块片 100 上形成一包覆该半导体芯片 13 及导电件 12 的封装胶体 14。

如图 1F 所示,沿各该基片 10 间切割该封装胶体 14 及导电件 12,分离设置在相邻基片 10 上的导电件 12,并使该导电件 12 侧表面露出该封装胶体 14,其中该切割深度至少使该导电件 12 与电镀总线 11 仍保有电性连接关系,以在后续电镀工序中,通过该电镀总线 11 将镍/金沉积在该露出封装胶体的导电件 12 上。

如图 1G 所示,在切割分离各该基片 10 上的导电件 12 后,由于残留在各该基片 10 上的导电件 12,仍可通过第二电性连接垫 102 及导电贯孔 104 电性连接到该电镀总线 11,因此可通过电镀方式在露出该封装胶体 14 的导电件 12 侧表面上形成例如镍/金的金属层 15。

如图 1H 所示,之后再进行切割作业,分离各该基片 10,形成可在封装胶体侧面提供多个额外电性接点的半导体封装件。

因此,通过上述制法,本发明提供一种半导体封装件,该半导体封装件包括:一例如基片 10 的芯片载体,该基片 10 上设有多个如第一、第二及第三电性连接垫 101、102、103 的电性连接点;至少一半导体芯片 13,以打线或倒装芯片方式电性连接到该基片 10;多条导电件 12,接置并电性连接到该如第二电性连接垫 102 的电性连接点;以及一封装胶体 14,形成于该基片 10 上,用来包覆该半导体芯片 13 及导电件 12,并至少使该导电件 12 侧表面露出该封装胶体 14。

实施例 2

图 2A 至图 2E 是本发明半导体封装件及其制法实施例 2 的示意图，本实施例与上述实施例大致相同，因此相同元件不再描述。

如图 2A 所示，首先提供具有多条基片 20 的基片模块片 200，各该基片 20 上、下表面间环设有电镀总线 21，且该电镀总线 21 是延伸电性连接到基片 20 的表面线路结构，其中在各该基片 20 的上表面设有多个如第一电性连接垫 201 及第二电性连接垫 202 的电性连接点，以及在该基片 20 的下表面设有第三电性连接垫 203，该第一电性连接垫 201 可通过导电贯孔(via) 204 电性连通到该第三电性连接垫 203，且该第一、第二及第三电性连接垫 201、202、203 可通过导电路径电性连接到该电镀总线 21。

接着，在该基片模块片 200 上对应各基片 20 间设置导电件 22，并使该导电件 22 电性连接相邻基片 20 的第二电性连接垫 202，以及在各该基片 20 上接置并电性连接半导体芯片 23，该半导体芯片 23 可通过焊线电性连接到该基片。

如图 2B 及 2C 所示，进行封装模压作业，在该基片模块片 200 上形成一包覆该半导体芯片 23 及导电件 22 的封装胶体 24，其中该导电件 22 的高度大于该半导体芯片 23 及其上焊线的高度，在进行封装模压作业时，使该导电件 22 顶抵在封装模具(未标出)的模穴顶部，在完成封装模压作业后，直接使该导电件 22 的上表面露出该封装胶体 24；也可如图 2B' 所示，该导电件 22 未顶抵于封装模具的模穴顶部，使封装胶体 24 先覆盖该导电件 22，再对该封装胶体 24 进行如研磨的薄化作业，使该封装胶体 24 的上表面与该导电件 22 的上表面齐平，从而使该导电件 22 上表面露出该封装胶体 24。同时沿各该基片 20 间进行切割，切割该封装胶体 24 及导电件 22，分离设置在相邻基片 20 上的导电件 22，并使该导电件 22 侧表面露出该封装胶体 24，其中该切割深度至少使该导电件 22 与电镀总线 21 仍保持电性连接关系，在后续电镀工序中，通过该电镀总线 21 将镍/金沉积在该露出封装胶体的导电件 22 上。

如图 2D 所示，通过电镀总线 21 利用电镀方式在露出该封装胶体 24 的导电件 22 侧表面及上表面上形成例如镍/金的金属层 25。

如图 2E 所示,之后再进行切割作业,分离各该基片 20,形成可在封装胶体侧面及顶面提供多个额外电性接点的半导体封装件。

实施例 3

图 3 是本发明半导体封装件及其制法实施例 3 中使用的基片模块片示意图。

如图所示,本实施例与上述实施例大致相同,主要差异在于该基片模块片 300 具有多个基片 30,各该基片 30 的上、下表面间环设有电镀总线 31,且各该基片 30 的上表面设有多个如第一电性连接垫 301 及第二电性连接垫 302 的电性连接点,其中该相邻基片 30 间的第二电性连接垫 302 连在一起,且该第一、第二电性连接垫 301、302 电性连接到该电镀总线 31。

后续可利用如上述实施例的方法,将导电件接置并电性连接到相邻基片间的第二电性连接垫上,以及进行置晶、形成覆盖芯片及导电件的封装胶体、切割分离各基片间的封装胶体与导电件、在露出封装胶体的导电件上电镀金属层以及分离各基片等工序,形成可提供多个露出封装胶体电性接点的半导体封装件。

实施例 4

图 4A 至图 4E 是本发明半导体封装件及其制法实施例 4 的示意图。本实施例的半导体封装件与制法与上述实施例大致相同,主要差异在本实施例中使用导线架作为芯片载体。

如图 4A 所示,首先,提供一具有多条导线架 40 的导线架模块片 400,各该导线架 40 具有芯片座 401 以及环设在该芯片座 401 周围多条如管脚 402 的电性连接点,其中该导线架 40 可例如是 QFN 导线架,且各该导线架 40 以连接总线(connecting bus)41 相接。

如图 4B 所示,在该导线架模块片上对应于相邻导线架 40 的管脚 402 间设置导电件 42,并使该导电件 42 电性连接相邻导线架 40 的管脚 402,以及在各该导线架 40 的芯片座 401 上接置半导体芯片 43,并使该半导体芯片 43 通过多条焊线电性连接到该管脚 402。接着,可在该导线架模块片上形成一包覆该半导体芯片 43 及导电件 42,且使该导

电件 42 上表面露出封装胶体 44。

如图 4C 所示,切割分离相邻导线架 40 上的封装胶体 44 及导电件 42,使该导电件 42 侧表面露出该封装胶体 44;其中,在切割该封装胶体 44 及导电件 42 时,该切割深度至少使该导电件 42 与该连接总线 41 仍保持电性连接关系。

如图 4D 所示,通过连接各该导线架 40 管脚 402 的连接总线 41,以电镀方式在露出该封装胶体 44 的导电件 42 侧表面及上表面上形成例如镍/金的金属层 45。

如图 4E 所示,之后再进行切割作业,分离各该导线架 40,形成可在封装胶体侧表面及上表面提供多个额外电性接点的半导体封装件。

图 5A 至图 5C 是本发明半导体封装件应用的示意图;如图 5A 所示,本发明的半导体封装件 5a 可利用露出封装胶体 54 的导电件 52 表面作为电性接点,与插座(socket)接触端 56 电性连接,提供可装载于插座的 CCM 封装结构;如图 5B 及图 5C 所示,本发明的半导体封装件 5b、5c 也可利用露出封装胶体 54 的导电件 52 表面作为电性接点,在其上电性堆栈第二半导体封装件 57、58,其中该第二半导体封装件 57、58 可以是球栅阵列半导体封装件(如图 5B 所示)或导线架半导体封装件(如图 5C 所示)。

综上所述,本发明的半导体封装件及其制法是在具有多条芯片载体的芯片载体模块片上,对应各芯片载体间设置导电件,并使该导电件电性连接相邻芯片载体的电性连接点,且在各该芯片载体上接置并电性连接半导体芯片,再进行模压作业,形成一包覆该半导体芯片及导电件的封装胶体,接着沿各该芯片载体间进行切割,分离设置在相邻芯片载体上的导电件,使该导电件的部分表面露出该封装胶体,其中,该导电件上表面可在模压后直接露出该封装胶体,也可将该封装胶体进行薄化作业,露出该导电件的上表面,接着在露出该封装胶体的导电件表面形成一如镍/金电镀层,提供后续与外界的电性连接,然后再分离各该芯片载体,利用露出该封装胶体的导电件提供额外的电性接点,供后续能够进行封装件的堆栈,或利用插座(socket)将封装件电性连接到外部装置,避免限制电子产品的使用等问题,同时也可使电子产品具有良好的电性功能。

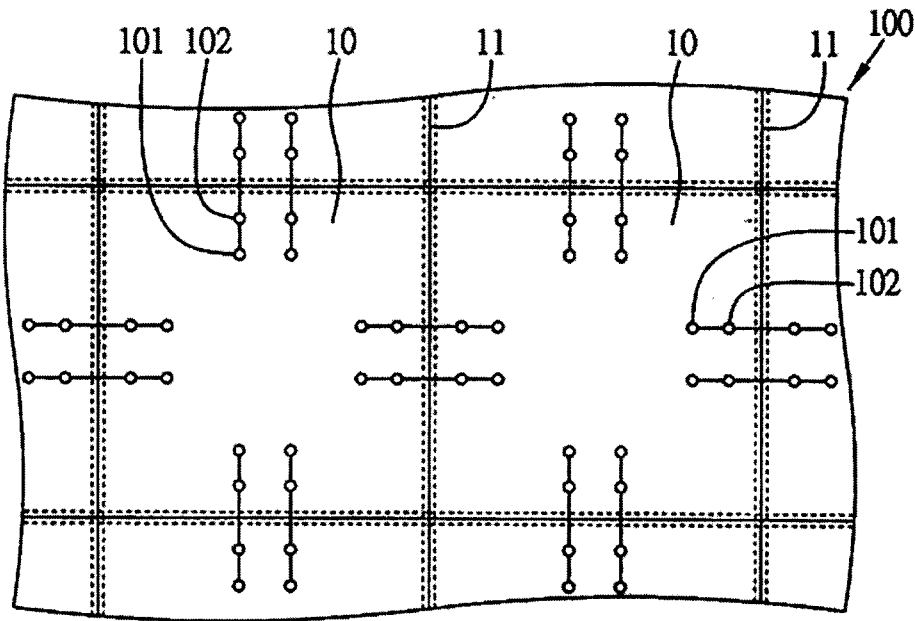


图 1A

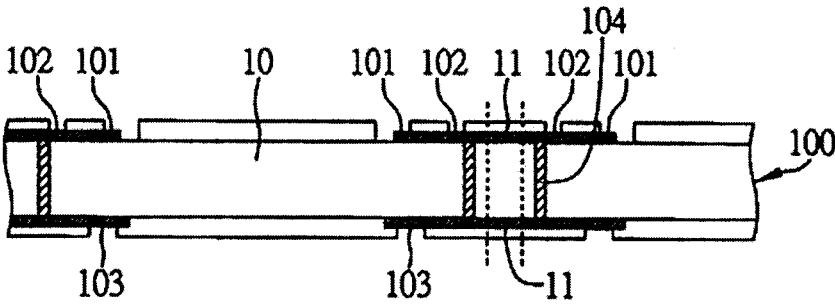


图 1B

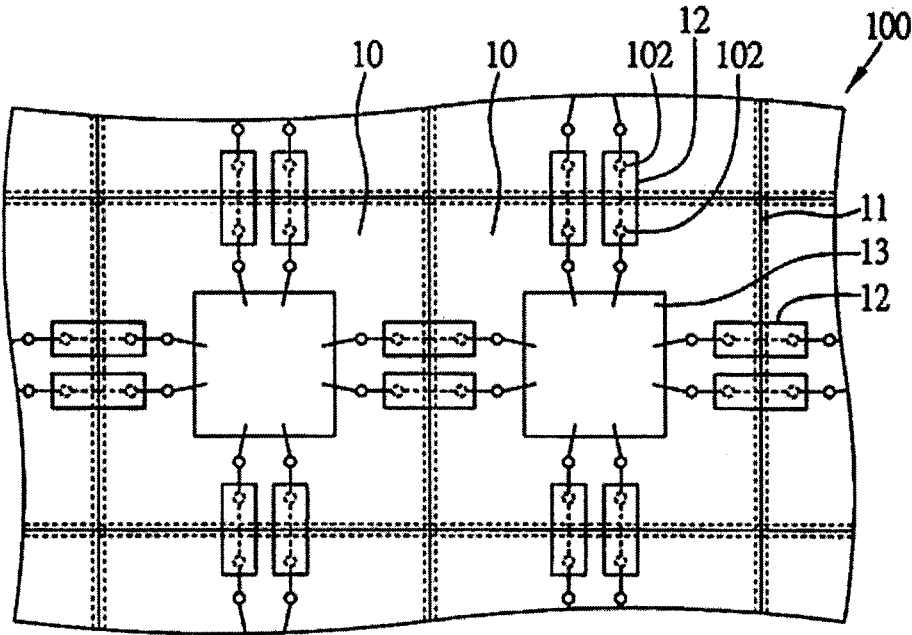


图 1C

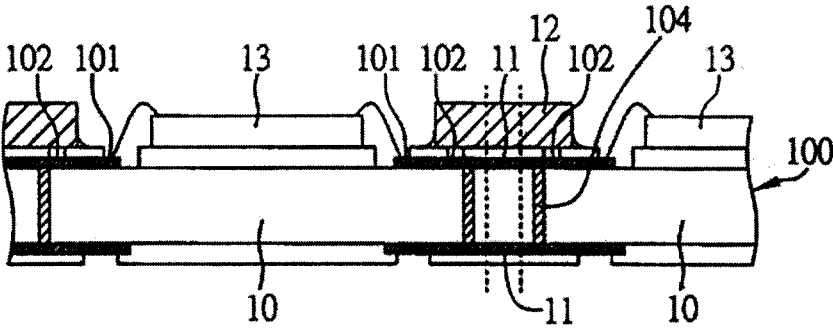


图 1D

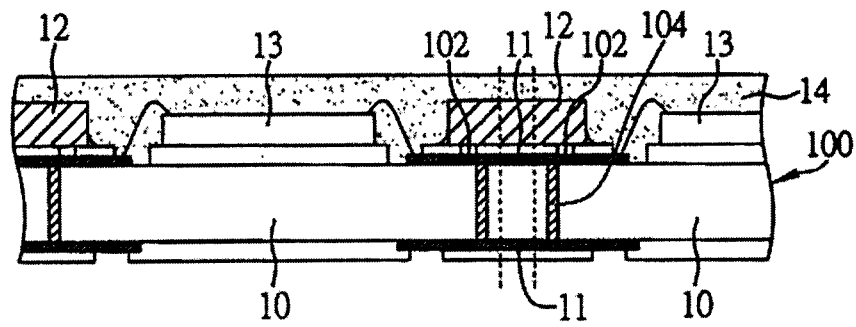


图 1E

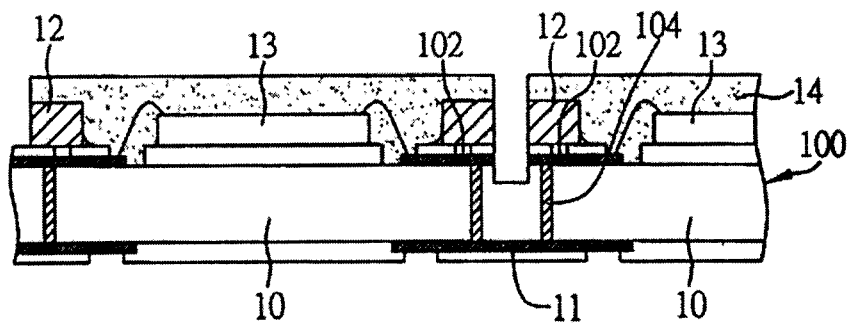


图 1F

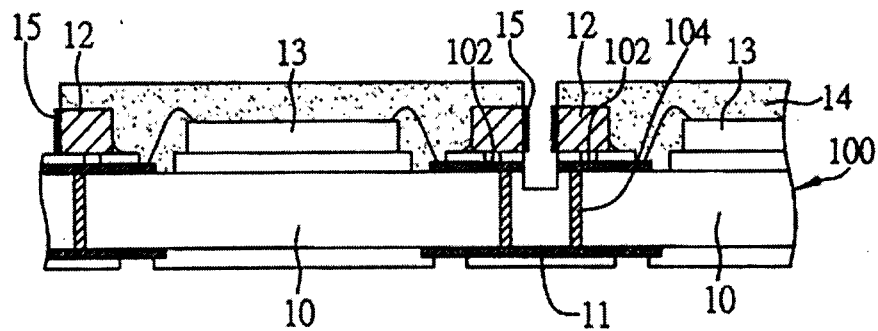


图 1G

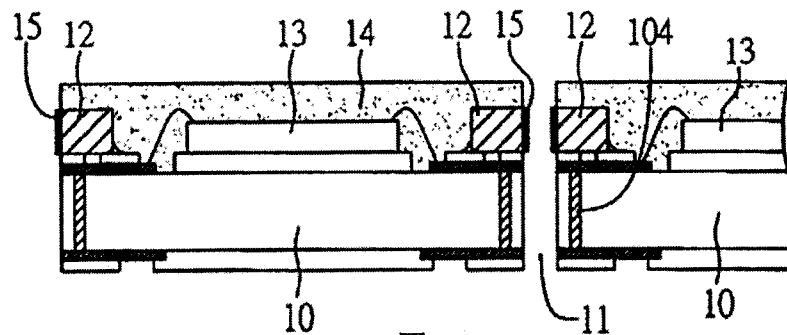


图 1H

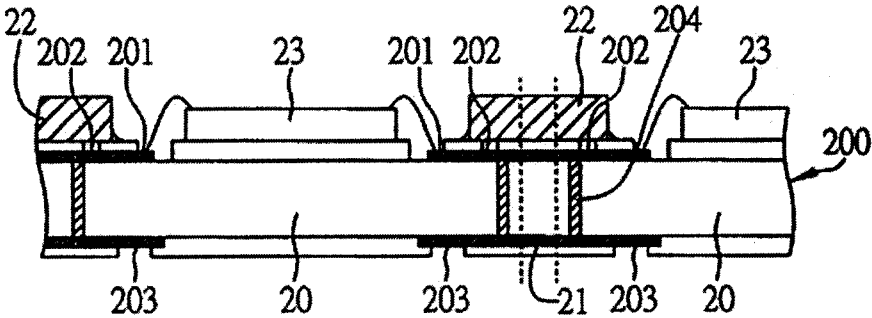


图 2A

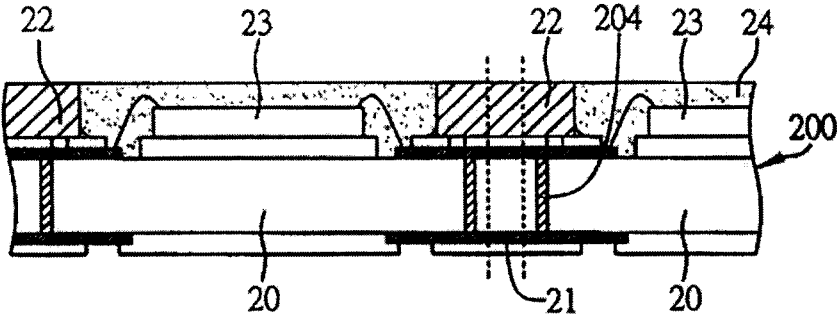


图 2B

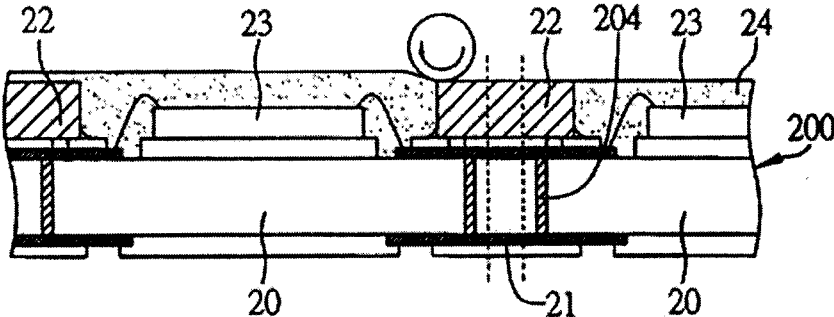


图 2B'

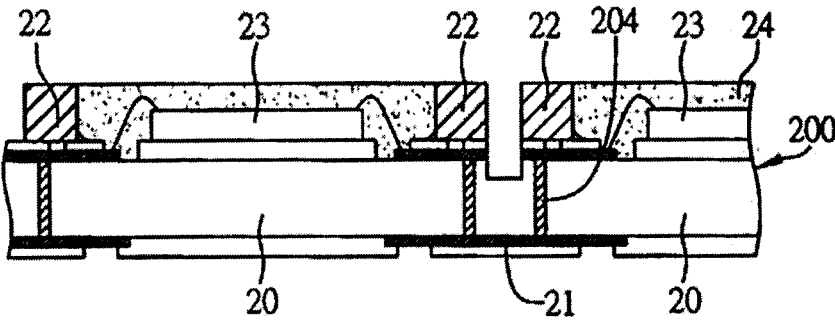


图 2C

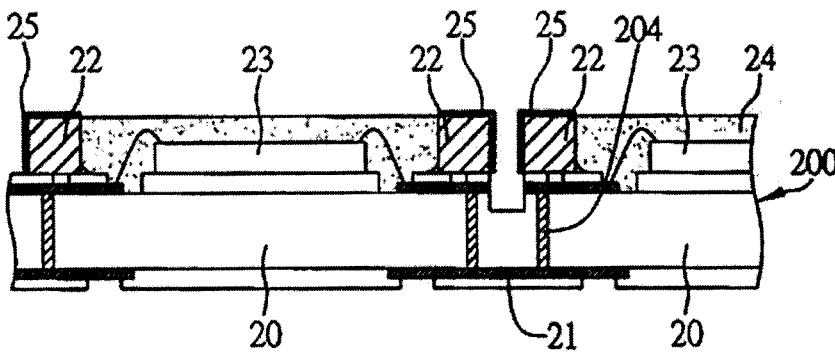


图 2D

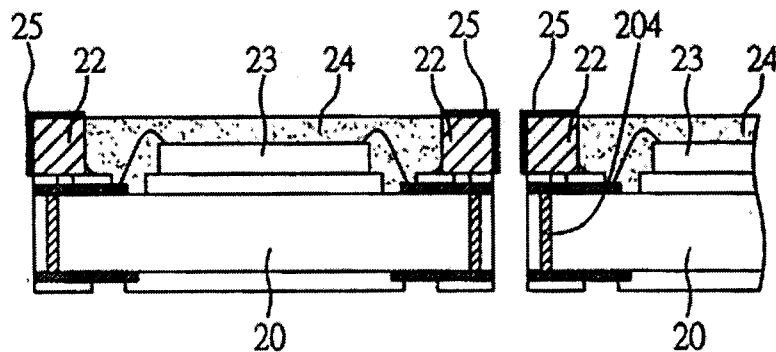


图 2E

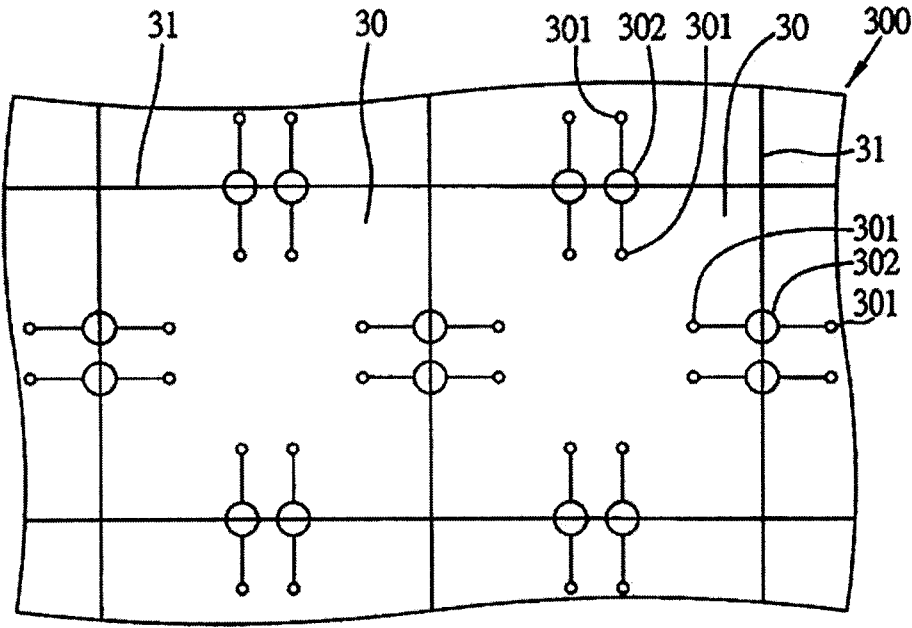


图 3

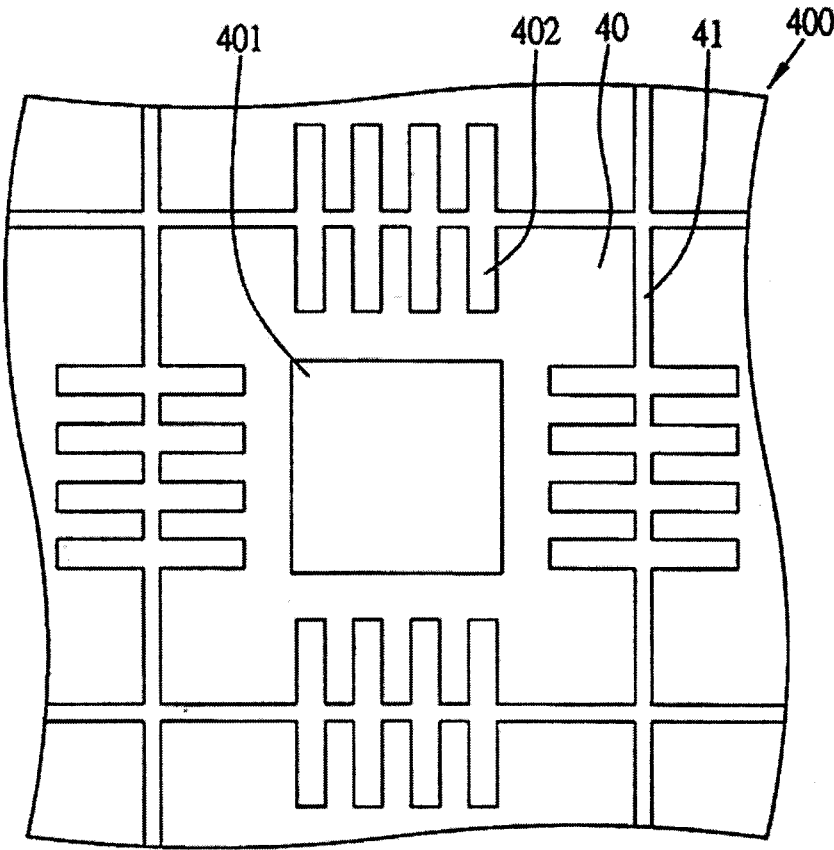


图 4A

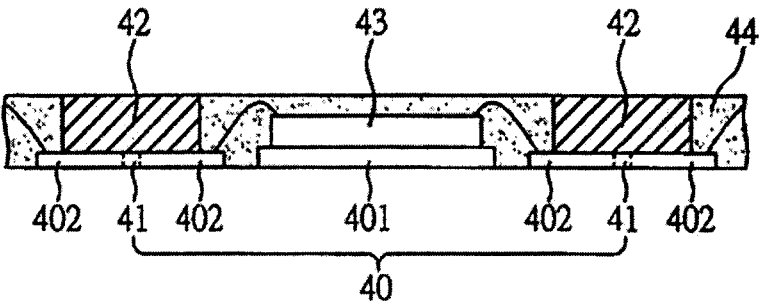


图 4B

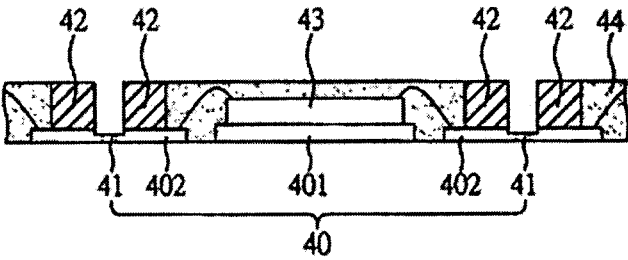


图 4C

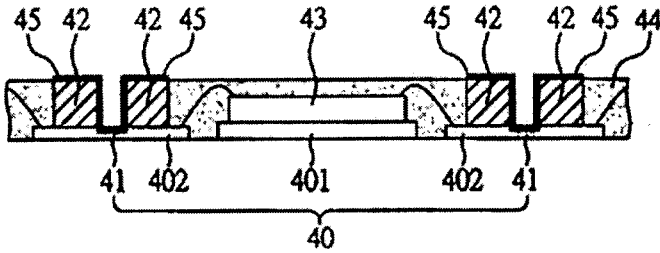


图 4D

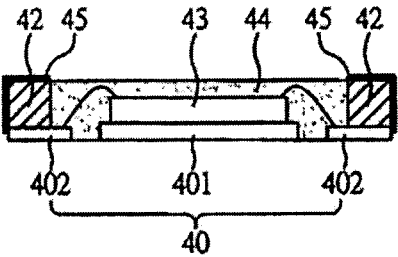


图 4E

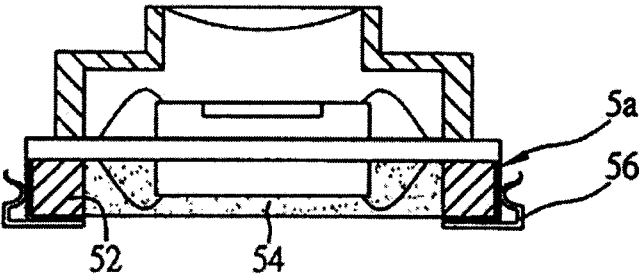


图 5A

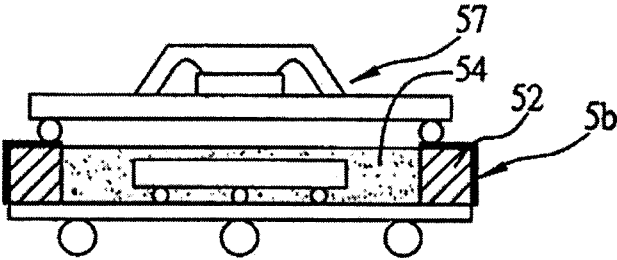


图 5B

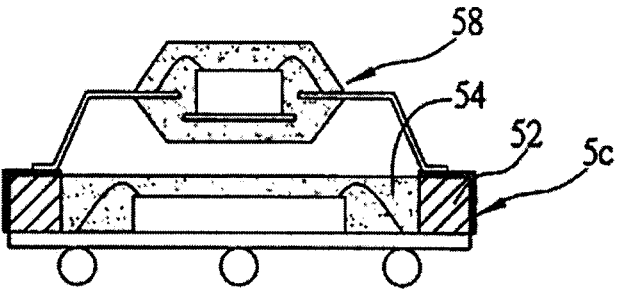


图 5C