

유리 기판을 사용하는 반도체 장치에서, 본 발명의 목적은 저렴한 단가로 큰 스크린을 갖는 고성능 반도체 장치를 제공하는 것으로, 이 반도체 장치가 유리 기판으로부터의 불순물들에 의해 오염되는 것을 방지한다. 유리 기판과 접촉하여 제공된 블로킹막 및 블로킹막상에 제공된 TFT를 포함하는 반도체 장치에서, 블로킹막은 산화 탄탈막으로 제조되는 것을 특징으로 한다.

대표도

도 1

특허청구의 범위

청구항 1.

반도체 장치로서,

유리 기판상의 블로킹막,

상기 블로킹막상의 제 1 게이트 배선,

상기 제 1 게이트 배선에 인접한 게이트 절연막, 및

상기 게이트 절연막에 인접하고, 적어도 제 1 고농도 불순물 영역, 제 1 채널 영역 및 상기 제 1 고농도 불순물 영역과 상기 제 1 채널 영역 사이의 적어도 제 1 저농도 불순물 영역을 포함하는 제 1 반도체층을 포함하는, 상기 블로킹막상의 제 1 박막 트랜지스터를 포함하며,

상기 블로킹막은 산화 탄탈을 포함하는, 반도체 장치.

청구항 2.

삭제

청구항 3.

반도체 장치를 제조하는 방법으로서,

유리 기판 상에 산화 탄탈막을 형성하는 단계,

상기 산화 탄탈막 상에 게이트 배선을 형성하는 단계,

상기 유리 기판 및 상기 게이트 배선상에 게이트 절연막을 형성하는 단계,

상기 게이트 절연막상에 반도체층을 형성하는 단계,

결정질 반도체층을 형성하도록 상기 반도체층을 결정화시키는 단계,

상기 결정질 반도체층을 패터닝시키는 단계,

적어도 고농도 불순물 영역을 형성하기 위해 그룹들(XIII족 및 XV족)중 하나에 포함된 불순물 원소를 상기 결정질 반도체층에 부가하는 단계, 및

저농도 불순물 영역을 형성하기 위해 그룹들(XIII족 및 XV족)중 하나에 포함된 불순물 원소를 상기 결정질 반도체층에 추가하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 4.

반도체 장치를 제조하는 방법으로서,

유리 기판 상에 산화 탄탈막을 형성하는 단계,

상기 산화 탄탈막 상에 게이트 배선을 형성하는 단계,

상기 유리 기판 및 상기 게이트 배선상에 게이트 절연막을 형성하는 단계,

상기 반도체층의 결정화를 가속시키기 위해 상기 반도체층에 원소를 추가하는 단계,

결정질 반도체층을 형성하기 위해 상기 반도체층을 결정화시키는 단계,

상기 결정질 반도체층의 상기 결정화를 가속하는 상기 원소를 제거하는 단계,

상기 결정질 반도체층을 패터닝시키는 단계,

고농도 불순물 영역을 형성하기 위해 그룹들(XIII족 및 XV족) 중 하나에 포함된 불순물 원소를 상기 결정질 반도체층에 추가하는 단계, 및

저농도 불순물 영역을 형성하기 위해 그룹들(XIII족 및 XV족) 중 하나에 포함된 불순물 원소를 상기 결정질 반도체층에 추가하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 5.

제4항에 있어서,

상기 원소는 Ni, Co, Fe, Pd, Pt, Cu, Au, Ge, Sn 및 Pb로 구성된 그룹으로부터 선택된 적어도 하나의 원소인, 반도체 장치 제조 방법.

청구항 6.

제 1 항에 있어서,

상기 제 1 박막 트랜지스터상의 제 1 층간 절연막;

상기 고농도 불순물 영역에 전기적으로 접속되고, 상기 제 1 층간 절연막상에 있는 적어도 하나의 전극;

상기 전극 및 상기 제 1 층간 절연막상의 제 2 층간 절연막;

상기 전극에 전기적으로 접속되고, 상기 제 2 층간 절연막상에 있는 화소 전극을 더 포함하는, 반도체 장치.

청구항 7.

제 1 항에 있어서,

상기 제 1 박막 트랜지스터는 n-채널 박막 트랜지스터이고,

상기 반도체 장치는,

상기 블로킹막상의 제 2 게이트 배선,

상기 제 2 게이트 배선에 인접한 상기 게이트 절연막, 및

상기 게이트 절연막에 인접하고, 적어도 제 2 고농도 불순물 영역, 제 2 채널 영역 및 상기 제 2 고농도 불순물 영역과 상기 제 2 채널 영역 사이의 적어도 제 2 저농도 불순물 영역을 포함하는 제 2 반도체층을 포함하는 p-채널 트랜지스터를 더 포함하는, 반도체 장치.

청구항 8.

제 7 항에 있어서, 상기 n-채널 박막 트랜지스터 및 상기 p-채널 박막 트랜지스터에 의해 형성된 CMOS 회로를 더 포함하는, 반도체 장치.

청구항 9.

제 7 항에 있어서, 상기 제 2 저농도 불순물 영역은 상기 제 1 저농도 불순물 영역보다 큰 폭을 갖는, 반도체 장치.

청구항 10.

반도체 장치로서,

유리 기판상의 블로킹막;

상기 블로킹막상의 박막 트랜지스터로서,

상기 블로킹막상의 제 1 게이트 배선 및 제 2 게이트 배선;

상기 제 1 및 제 2 게이트 배선들상의 게이트 절연막;

상기 게이트 절연막에 인접하고,

제 1 고농도 불순물 영역;

상기 게이트 절연막을 사이에 두고, 상기 제 1 게이트 배선과 오버랩핑하는 제 1 채널 영역;

상기 제 1 고농도 불순물 영역 및 상기 제 1 채널 영역사이의 제 1 저농도 불순물 영역;

제 2 고농도 불순물 영역;

상기 게이트 절연막을 사이에 두고, 상기 제 2 게이트 배선과 오버래핑하는 제 2 채널 영역;

상기 제 2 고농도 불순물 영역과 상기 제 2 채널 영역사이의 제 2 저농도 불순물 영역;

상기 제 1 및 제 2 채널 영역들 사이의 제 3 고농도 불순물 영역;

상기 제 1 채널 영역과 상기 제 3 고농도 불순물 영역사이의 제 3 저농도 불순물 영역; 및

상기 제 2 채널 영역과 상기 제 3 고농도 불순물 영역사이의 제 4 저농도 불순물 영역을 포함하는 결정질 반도체층을 포함하는 상기 블로킹막상의 박막 트랜지스터를 포함하고,

상기 블로킹막은 산화 탄탈을 포함하는, 반도체 장치.

청구항 11.

제 1 항 또는 제 10 항에 있어서, 상기 게이트 절연막은 1×10^{16} atoms/cm³이하의 농도의 나트륨을 포함하는, 반도체 장치.

청구항 12.

제 1 항 또는 제 10 항에 있어서, 상기 블로킹막은 상기 유리 기판의 전면 및 배면상에 형성되는, 반도체 장치.

청구항 13.

제 10 항에 있어서,

상기 결정질 반도체층상의 제 1 층간 절연막;

상기 제 1 및 제 2 고농도 불순물 영역들 중 하나에 전기적으로 접속되고 상기 제 1 층간 절연막상에 있는 적어도 하나의 전극;

상기 전극 및 상기 제 1 층간 절연막상의 제 2 층간 절연막;

상기 전극에 전기적으로 접속되고, 상기 제 2 층간 절연막상에 있는 화소 전극을 더 포함하는, 반도체 장치.

청구항 14.

제 1 항 또는 제 10 항에 있어서,

상기 반도체 장치는 액정 디스플레이 장치인, 반도체 장치.

청구항 15.

제 1 항 또는 제 10 항에 있어서,

상기 반도체 장치는 EL 디스플레이 장치인, 반도체 장치.

청구항 16.

제 1 항 또는 제 10 항에 있어서,

상기 반도체 장치는 개인용 컴퓨터, 비디오 카메라, 모바일 컴퓨터, 머리부착용 디스플레이 장치, 기록 매체를 채택하는 재생기, 디지털 카메라, 프론트형 프로젝터, 레어형 프로젝터, 셀룰러폰, 전자책 및 디스플레이 장치로 구성된 그룹으로부터 선택된 것인, 반도체 장치.

청구항 17.

제 10 항에 있어서, 상기 제 1 및 제 2 저농도 불순물 영역들은 상기 제 3 및 제 4 저농도 불순물 영역들보다 넓은, 반도체 장치.

청구항 18.

제 10 항에 있어서, 상기 박막 트랜지스터는 n-채널 박막 트랜지스터인, 반도체 장치.

청구항 19.

제 18 항에 있어서, 상기 n-채널 박막 트랜지스터는 화소 부분에 형성되는, 반도체 장치.

청구항 20.

제 3 항 또는 제 4 항에 있어서, 상기 게이트 절연막은 1×10^{16} atoms/cm³ 이하의 농도의 나트륨을 포함하는, 반도체 장치 제조 방법.

청구항 21.

제 3 항 또는 제 4 항에 있어서, 상기 블로킹막은 상기 유리 기판의 앞면 및 배면상에 형성되는, 반도체 장치 제조 방법.

청구항 22.

제 3 항 또는 제 4 항에 있어서,

상기 결정질 반도체층상에 제 1 층간 절연막을 형성하는 단계;

상기 고농도 절연 영역에 전기적으로 접속되고, 상기 제 1 층간 절연막상에 있는 적어도 하나의 전극을 형성하는 단계;

상기 전극 및 상기 제 1 층간 절연막상에 제 2 층간 절연막을 형성하는 단계;

상기 전극에 전기적으로 접속되고, 상기 제 2 층간 절연막상에 있는 화소 전극을 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 유리 기판 상에 형성되고, 결정질 반도체막을 사용하는 박막 트랜지스터(TFT) 등을 갖는 반도체 장치, 및 이 반도체 장치의 제조 방법에 관한 것이다. 본 발명의 반도체 장치는 액정 디스플레이 장치, EL 디스플레이 장치, EC 디스플레이 장치, 영상 센서 등을 포함하고, 이들은 절연된 게이트 트랜지스터를 포함하는 반도체 회로(마이크로프로세서, 신호 처리 회로 또는 고 주파수 회로) 뿐만 아니라 박막 트랜지스터(TFT) 및 MOS 트랜지스터 등의 원소를 갖는다. 또한, 본 발명의 반도체 장치는 비디오 카메라, 디지털 카메라, 영사기, 안경 디스플레이, 차 항법 장치, 개인용 컴퓨터, 및 이들 디스플레이 장치가 설치된 휴대용 정보 단말기 등의 전자 장치를 포함하기도 한다.

현재, 박막 트랜지스터(TFT)는 반도체막을 사용하는 반도체 원소로서 빈번히 사용되고 있다. TFT는 각종 집적 회로에, 특히 액티브 매트릭스 액정 디스플레이 장치의 화소부의 스위칭 원소로서 사용된다. 더욱이, TFT의 이동성은 현재 개선되어 TFT가 화소 부분들을 구동하기 위한 구동기 회로의 원소로서 사용되게 한다. 구동기 회로에 사용하기 위한 반도체층을 위해, 무정형 반도체막보다 이동성이 더 큰 결정질 반도체막을 사용할 필요가 있다. 이러한 결정질 반도체막은 예를 들면 다결정질 반도체막, 폴리실리콘막, 미정질 반도체막 등이라 칭하기도 한다.

TFT의 성능을 개선시키는 데 결정적인 것은 그의 반도체층들에 함유된 불순물들을 감소시키는 것이다.

더욱이, 액티브 매트릭스형 액정 디스플레이 장치에 사용하기 위한 기판으로서, 석영 기판 및 유리 기판 등의 투명한 절연 기판들이 통상적으로 사용되어 왔다. 석영 기판은 높은 유리 뒤틀림 온도를 갖고, 따라서 결정화에 필요한 시간을 감소시키기 위해 대략 1000°C까지 결정화 온도가 증가될 수 있다. 그러나, 석영 기판은 유리 기판에 비해 매우 고가이다. 따라서, 대량 생산의 관점에서, 석영 기판을 대규모로 사용하기는 곤란하다. 따라서, 액정 디스플레이 장치에 사용하기 위한 기판으로서, 593°C의 유리 뒤틀림 온도를 갖는 코닝 7059 유리 등의 유리 기판이 널리 사용되고 있다.

액정 디스플레이 장치에 사용하기 위한 유리 기판은 전형적인 소다 석회 유리보다 나트륨(Na) 등의 불순물 함량이 낮다. 그러나, 그것은 나트륨(Na) 등의 불순물의 근소한 양이 TFT의 활성 층들로 되는 반도체층들을 오염시키기 위해 무정형 반도체막의 결정화 공정 등과 같은 공정에서 기판을 가열(어니일링)하는 시점에서 확산되는 경우에 TFT 특성을 악화시키는 문제를 야기한다.

일반적으로, 유리 기판으로부터 나오는 나트륨으로 인해 활성 층들이 오염되는 것을 방지하기 위해, 유리 기판과 활성 층들 사이에 블로킹막으로서 질화 규소막 또는 산화 규소막이 제공된다. 특히, 질화 규소막은 나트륨의 확산을 방지하기 위한 큰 블로킹 성능 때문에 빈번히 사용된다. 그러나, 유리 기판 상에 제공된 질화 규소막은 상당한 스트레스를 받는다. 이는 어니일링 공정이 그와 접촉되는 질화 규소막 또는 막들을 열분해(crack)시키거나, 또는 유리 기판이 변형되거나, 손상되게 하는 등 문제점을 유도한다. 따라서, 질화 규소막 및 산화 규소막의 다층막 또는 산화 질화 규소막을 사용하려는 시도가 이루어져 왔다.

발명이 이루고자 하는 기술적 과제

그러나, 블로킹막으로서 사용된 상기 다층막 또는 산화 질화 규소막은 단순한 질화 규소막보다 더 낮은 블로킹 성능을 갖고, 따라서 오염시키는 불순물이 기판에서 나오는 것을 방지하는 것을 보장할 수 없다. 이는 다층막의 경우 질화 규소막의 두께가 열분해 등을 방지하기 위해 보다 두꺼워질 수 없고; 산화 질화 규소막의 경우, 질소의 백분율 함량이 열분해 등을 방지하기 위해 증가될 수 없다는 사실에 기인한다. 다른 한편, 유리 기판은 대량의 나트륨을 함유하고, 따라서, 큰 블로킹 성능을 갖는 블로킹막이 요구되고 있다.

더욱이, 보텀 게이트 TFT의 경우에, 블로킹막은 게이트 배선의 보텀 표면과 접촉하는 밑에 놓인막(underlying film)으로서 제공된다(이 명세서에서, 게이트 배선은 게이트 전극을 포함하는 것을 이해해야 한다). 블로킹막으로서 질화 규소막을 사용하는 경우에, 질화 규소막 상에 제공된 게이트 배선의 막에서 피일링(peeling)의 발생을 유발하므로, 게이트 배선에 대한 질화 규소막의 불량한 접착 문제를 드러낸다.

상기 문제점에 비추어, 어니일링 공정에서 결정화된 결정질 반도체층들을 갖는 반도체 장치에서, 본 발명의 목적은 고성능 및 큰 디스플레이 영역을 갖고 낮은 단가로 액티브 매트릭스형 액정 디스플레이 장치 등의 반도체 장치를 형성하는 것으

로, TFT 특성을 개선하기 위해 나트륨 등의 불순물 확산의 방지를 보장하고, 코팅에서 열분해 등이 수율을 감소시키는 것을 방지하는 블로킹막을 구비한다. 더욱이, 보텀 게이트 TFT에서, 또 다른 목적은 게이트 배선에 대한 우수한 접착력을 갖는 블로킹막을 형성하는 것이다.

상기 문제점들을 해결하기 위해, 본 발명은 산화 탄탈(TaOx)막이 블로킹막으로서 유리 기판 상에 제공되는 것을 특징으로 한다. 본 발명에서, 산화 탄탈막은 탄탈 및 산소로 우세하게 구성된 코팅을 의미한다. 산화 탄탈막은 100 내지 500 nm 범위의 두께로 사용될 수 있다. 막을 형성하는 방법에 관한 한, 열 CVD법, 플라즈마 CVD법, 증착법, 스퍼터링법, 저압력 열 CVD법, 열 산화법, 양극 처리법 등이 사용될 수 있다. 산화 탄탈막은 나트륨 등의 불순물을 효과적으로 블로킹할 수 있다. 특히, 스퍼터링법 또는 플라즈마 CVD법은 증착 조건에 의해 형성되도록 산화 탄탈막에서 스트레스를 조절하여, 블로킹 성능을 개선시킬 뿐만 아니라 유리 기판에 의해 유발된 스트레스를 감소시키는 효과적인 수단을 제공한다. 무엇보다도 특히, 탄탈로 구성된 타겟을 사용하고, 산소 가스 혼합물을 함유하는 분위기에서 수행되는 스퍼터링 방법을 사용하는 것이 가장 효과적이다.

게다가, 산화 탄탈막은 게이트 배선으로서 전형적으로 사용되는 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 티탄(Ti), 크롬(Cr) 및 실리콘(Si)으로 구성된 그룹으로부터 선택된 1개 이상의 원소로 주로 구성된 재료로 제조된 도전성막 또는 이들 원소의 용점과 동일하거나 또는 그 이상인 용점을 갖는 재료로 제조된 도전성막에 대한 우수한 접착력을 갖는다. 따라서, 보텀 게이트 TFT에서, 이는 게이트 배선에 대한 블로킹막의 불량 접착으로 인해 수율의 감소를 방지시킨다.

본 발명의 구성으로서, 불순물로 인해 유리 기판으로부터 활성 층으로 유도된 오염은 산화 탄탈막에 의해 방지될 수 있다. 따라서, 이차 이온 질량 분석(이하 SIMS라 칭함)에 의해 제공된 게이트 절연막 내의 나트륨의 농도는 일반적으로 잡음을 고려하여 검출한 하한치 이하 또는 1×10^{16} atoms/cm³ 이하로 될 것이다. 이는 게이트 절연막과 접촉하는 활성층 내의 나트륨의 농도를 1×10^{16} atoms/cm³ 이하로 함으로써, TFT의 개선된 신뢰도를 제공한다. 더욱이, 블로킹막으로서 산화 탄탈막을 사용하는 것은 TFT의 특성의 변동의 감소에 기여할 수 있고, 그에 따라 TFT의 개선된 신뢰도를 제공한다.

더욱이, 본 발명의 구성에서, 한쪽 측면 상에 뿐만 아니라 양쪽 측면 상에 산화 탄탈막을 갖는 기판을 제공하는 것 역시 효과적이다. 기판의 양 측면 상에 제공된 산화 탄탈막은 반도체 장치를 제조하는 시점에서 기판으로부터 확산하는 나트륨 등의 불순물을 완전히 블로킹할 수 있다. 또한, 액정 디스플레이 장치에 사용된 유리 기판은 불소산 등의 특정 산용액을 사용하여 기판 내의 나트륨(Na) 등의 불순물이 산 용액으로 혼합되게 하는 에칭 공정에서 약간 에칭되어, TFT의 활성 층들로서 작용할 반도체층들이 오염되어 TFT 특성을 악화시키는 문제점을 유도한다. 산화 탄탈막은 불소산 등의 대부분의 산 용액에 대한 우수한 내성을 제공하기 때문에, 기판의 양 측면 상에 산화 탄탈막을 제공함으로써 에칭 공정에서 나트륨 오염을 방지할 수 있다. 또한, 적은 열 팽창 계수 및 산화 탄탈막의 열에 대한 현저한 저항 때문에, 기판의 열 저항은 기판의 반대 측면 상에 산화 탄탈막을 제공함으로써 개선될 수 있다. 더욱이, 기판의 측면 표면을 포함하여, 산화 탄탈막을 갖는 기판의 전체 표면을 커버(코팅)하는 것이 효과적일 수도 있다. 저압력 열 CVD법은 기판의 측면 표면 상에 코팅 형성을 조장하기 위해 사용될 수 있다.

발명의 구성

본 명세서에 개시될 본 발명의 제1 구성은

유리 기판과 접촉하는 블로킹막,

상기 블로킹막과 접촉하는 게이트 배선,

상기 게이트 배선과 접촉하는 게이트 절연막, 및

상기 게이트 절연막과 접촉하고, 고농도 불순물 영역, 채널 형성 영역 및 고농도 불순물 영역과 상기 채널 영역 사이의 저농도 불순물 영역으로 구성된 결정질 반도체층을 포함하는 것을 특징으로 하며, 상기 블로킹막은 산화 탄탈로 제조된다.

더욱이, 이 구조는 상기 절연막이 1×10^{16} atoms/cm³ 이하의 나트륨 농도를 갖는 것을 특징으로 한다.

본 명세서에 개시될 제2 구성은

유리 기판 상에 산화 탄탈막을 형성하는 단계,

상기 산화 탄탈막 상에 게이트 배선을 형성하는 단계,

위에 형성된 상기 게이트 배선을 갖는 유리 기판 상에 게이트 절연막과 반도체막의 다중층을 형성하는 단계,

상기 반도체막을 결정질 반도체막으로 결정화시키는 단계,

결정질 반도체층을 형성하기 위해 상기 결정질 반도체막을 패터닝시키는 단계,

고농도 불순물 영역을 형성하기 위해 XIII족 및 XV족으로 구성된 그룹으로부터 선택된 불순물 원소를 상기 결정질 반도체층에 선택적으로 추가하는 단계, 및

저농도 불순물 영역을 형성하기 위해 XIII족 및 XV족으로 구성된 그룹으로부터 선택된 불순물 원소를 상기 결정질 반도체층에 선택적으로 추가하는 단계를 포함하는 것을 특징으로 한다.

게다가, 본 명세서에 개시될 본 발명의 제3 구성은

유리 기판 상에 산화 탄탈막을 형성하는 단계,

상기 산화 탄탈막 상에 게이트 배선을 형성하는 단계,

위에 형성된 상기 게이트 배선을 갖는 유리 기판 상에 게이트 절연막과 반도체막의 다중층을 형성하는 단계,

상기 반도체막을 결정질 반도체막으로 결정화시키는 단계,

상기 결정질 반도체막에서 결정화를 가속화시키는 원소를 제거하는 단계,

결정질 반도체층을 형성하기 위해 상기 결정질 반도체막을 패터닝시키는 단계,

고농도 불순물 영역을 형성하기 위해 XIII족 및 XV족으로 구성된 그룹으로부터 선택된 불순물 원소를 상기 결정질 반도체층에 선택적으로 추가하는 단계, 및

저농도 불순물 영역을 형성하기 위해 XIII족 및 XV족으로 구성된 그룹으로부터 선택된 불순물 원소를 상기 결정질 반도체층에 선택적으로 추가하는 단계를 포함하는 것을 특징으로 한다.

더욱이, 이 구성은 Ni, Co, Fe, Pd, Pt, Cu, Au, Ge, Sn 및 Pb로 구성된 그룹으로부터 선택된 적어도 하나의 원소가 상기 결정화를 가속화시키기 위한 원소로서 사용되는 것을 특징으로 한다.

일 실시예를 도 1 내지 도 3을 참조하여 설명한다. 반전된 스테거 TFT와 같은 실시예를 설명한다.

먼저, 기판(101)이 제조된다. 기판(101)으로서, 산화 규소로 주로 구성되고, 불순물로서, 흔적량의 알칼리 금속, 예를 들면 나트륨을 함유하는 유리 기판이 사용된다. 다음으로, TFT의 전기적 특성을 개선시키기 위해 불순물이 기판 밖으로 확산되는 것을 방지하는 산화 탄탈막으로 제조된 블로킹막(150)이 기판(101) 상에 제공된다. 이러한 산화 탄탈막은 열 CVD법, 플라즈마 CVD법, 증착법, 스퍼터링법, 저압력 열 CVD법, 열 산화법, 양극 처리법 등에 의해 100 내지 500 nm 또는 바람직하게는 100 내지 300 nm 범위 두께로 형성된다. 특히, 스퍼터링법 또는 플라즈마 CVD법이 바람직하게 사용된다. 그중에 특히, 탄탈로 구성된 타겟을 사용하고, 산소 가스 혼합물을 함유하는 분위기에서 수행되는 스퍼터링법이 효과적으로 사용된다(도 1의(a)).

도 1의(a)는 산화 탄탈막이 기판의 한쪽 표면상에만 형성되지만, 산화 탄탈막이 기판의 한쪽 표면 상에 뿐만 아니라 그의 양쪽 표면 상에 효과적으로 제공되는 실시예를 나타낸다. 기판의 양쪽 표면 상에 산화 탄탈막을 제공함으로써, 반도체 장치의 제조 시점에서 기판으로부터 확산하는 나트륨과 같은 불순물이 완전히 블로킹될 수 있다. 더욱이, 산화 탄탈막은 불소산과 같은 대부분의 산 용액에 우수한 내성을 제공하고, 따라서 기판의 양쪽 표면 상에 산화 탄탈막을 제공함으로써 에

칭 공정에서 나트륨 오염을 방지할 수 있다. 더욱이, 산화 탄탈막은 작은 열팽창 계수 및 우수한 열 저항을 갖고, 따라서 기관의 반대 표면 상에 산화 탄탈막을 제공함으로써 기관의 열 저항을 개선시킬 수 있다. 게다가, 산화 탄탈막은 기관의 전체 표면을 효과적으로 커버할 수 있다.

더욱이, 석영 기관, 세라믹 기관, 스테인레스 기관, 금속(탄탈, 텅스텐 또는 몰리브덴) 기관, 반도체 기관, 플라스틱 기관(폴리에틸렌 테레프탈산 기관) 등이 사용되는 경우에 조차, 본 발명의 구성은 사용된 기관 밖으로 불순물의 확산을 방지하기 위해 이러한 경우에 적용되는 것이 바람직하다.

순차로, 단일층 구성 또는 다중층 구성을 갖는 게이트 배선(게이트 전극을 포함함)(102)이 형성된다(도 1의(b)). 게이트 배선(102)을 형성하는 수단으로서, 열 CVD법, 플라즈마 CVD법, 저압력 열 CVD법, 증착법, 스퍼터링법 등이 사용되어 10 내지 1000nm 범위 또는 바람직하게는 30 내지 300 nm 범위 두께의 도전성막을 형성하고, 이후 그 막은 공지된 패터닝 기술에 의해 형성된다. 또한, 게이트 배선(102)의 재료로서, 도전성 재료 또는 반도체 재료로 주로 구성된 재료와 같은 재료, 예를 들면, Ta(탄탈), Mo(몰리브덴), Ti(티탄), W(텅스텐), Cr(크롬) 등과 같은 고용점 금속 재료; 이들 금속 재료와 규소의 화합물인 규화물; N-타입 또는 P-타입 도전성을 갖는 폴리실리콘 등의 재료; 및 Cu(구리), Al(알루미늄) 등의 저저항 금속 재료가 사용될 수 있다. 이들 재료는 막이 이들 재료로 주로 구성된 적어도 하나의 재료층을 갖는 한, 특정한 하나로 제한되지 않고 사용될 수 있다.

더욱이, 게이트 배선으로서, 탄탈로 주로 구성된 재료가 적어도 게이트 배선의 하위 층으로서, 예를 들면 탄탈의 단일층으로서 사용되는 것이 바람직하다. 또한, 게이트 배선으로서, 질화 탄탈층(하위층), 탄탈층(중간층) 및 질화 탄탈층(상위층)의 다중층 구성을 사용하는 것이 바람직하다. 탄탈로 주로 구성된 재료가 게이트 배선으로서 사용되는 경우, 게이트 배선이 될 도전성막에 대해 밑에 놓인 막의 접착을 증가시키는 분위기에 게이트 배선이 될 도전성막 및 밑에 놓인 산화 탄탈막을 노출시키지 않고 증착이 수행될 수 있다. 더욱이, 분위기에 노출시킴 없이 증착을 연속적으로 수행하는 것이 바람직하다. 산화 탄탈막 및 도전성막을 연속적으로 증착시키는 시점에서 스퍼터링법을 사용하는 것이 바람직하다. 또한, 게이트 배선을 보호하고 게이트 배선으로부터 불순물의 확산을 방지하기 위해 게이트 배선과 접촉하는 양극 처리된 막 또는 산화물막 등의 절연막이 형성될 수 있다.

순차로, 게이트 배선과 접촉하는 게이트 절연막이 형성된다. 게이트 절연막으로서, 산화 규소막, 질화 규소막, 산화 질화 규소막(SiO_xN_y), 유기 수지막(BCB)(벤조시클로부탄) 또는 이들 막의 다중층 막이 100 nm 내지 400 nm 범위의 두께 내에서 사용될 수 있다. 게이트 절연막을 형성하는 수단으로서, 열 CVD법, 플라즈마 CVD법, 저압력 열 CVD법, 증착법, 스퍼터링법, 코팅법 등이 사용될 수 있다. 도 1의(c)에 나타낸 바와 같이, 다중층 구성의 게이트 절연막(103a 및 103b)이 여기에 사용되었다. 질화 규소막 등으로 제조된 하위층 절연막(103a)이 게이트 배선으로부터 활성층으로의 불순물의 확산을 효과적으로 방지하기 위해 10 nm 내지 60nm 범위 두께로 형성되었다. 더욱이, 활성층에 영향을 미치는 불순물 중에서, 기관으로부터 확산되는 대부분의 불순물은 게이트 절연막 내의 나트륨 농도를 잡음을 고려하여 SIMS의 검출의 하한치 이하 또는 1×10^{16} atoms/cm³ 이하로 만들 수 있도록 산화 탄탈막으로 구성된 블로킹막에 의해 블로킹되고, 따라서 질화 규소막은 반드시 게이트 절연막으로서 제공될 필요가 없다.

순차로, 무정형 반도체막(104)이 증착된다(도 1의(c)). 무정형 반도체막(104)으로서, 규소를 함유하는 무정형 반도체막, 예를 들면, 무정형 규소막, 마이크로 결정을 갖는 무정형 반도체막, 마이크로 결정 규소막, 무정형 게르마늄막, $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$)로 나타낸 무정형 규소 게르마늄막 또는 이들 막의 다중층 막이 10nm 내지 80nm, 보다 바람직하게는 15 내지 60nm 범위의 두께로 사용될 수 있다. 무정형 반도체막(104)을 형성하는 수단으로서, 열 CVD법, 플라즈마 CVD법, 저압력 열 CVD법, 증착법, 스퍼터링법 등이 사용될 수 있다. 특히, 스퍼터링법에 의해 형성된 무정형 반도체막으로 구성된 TFT가 우수한 전기적 특성을 제공하는 것으로 공지되어 있기 때문에 스퍼터링법이 사용되는 것이 바람직하다.

더욱이, 분위기에 노출되지 않은 상기 게이트 절연막(103a 및 103b) 및 무정형 반도체막(104)의 증착은 불순물들이 게이트 절연막과 무정형 반도체막 사이의 계면으로 혼합되도록 허용하지 않음으로써, 우수한 계면 특성을 제공하게 한다. 또한, 게이트 절연막 및 무정형 반도체막을 연속적으로 증착하는 시점에서 스퍼터링법을 사용하는 것이 바람직하다. 상기한 바와 같이, 밑에 놓인 산화 탄탈막 및 게이트 배선은 스퍼터링법에 의해 형성되는 것이 바람직하기 때문에, 스퍼터링막으로서 산화 탄탈막, 게이트 배선, 게이트 절연막 및 무정형 반도체막 모두를 형성하는 것이 바람직하다. 게다가, 반도체막 상에 제공될 막들은 스퍼터링법에 의해 형성될 수 있다.

순차로, 무정형 반도체막(104)이 결정질 반도체막(105)을 형성하기 위해 결정화 처리에 적용된다(도 1의(d)). 결정화 처리로서, 임의의 공지된 수단, 예를 들면 열 결정화 처리, 적외선 또는 자외선의 조사에 의한 결정화 처리(이하, 레이저 결정

화라 칭함), 결정화를 가속화시키기 위한 원소들에 의한 열 결정화 처리, 결정화를 가속화시키기 위한 원소들에 의한 레이저 결정화 처리 등, 또는 이들 결정화 처리의 조합 처리가 사용될 수 있다. 또한, 도 1의(d)는 레이저 광선의 조사에 의한 결정화 처리를 나타낸다.

절연막(106)이 그와 같이 형성된 결정질 반도체막(105) 상에 형성된다(도 1의(e)). 절연막(106)은 불순물을 도핑하는 공정에서 채널 형성 영역을 보호하기 위해 후속 공정에서 패터닝되는 것이다. 절연막(106)으로서, 산화 규소막, 질화 규소막, 산화 질화 규소막(SiO_xN_y), 유기 수지막(BCB 막) 또는 이들 막의 다중층막이 100 nm 내지 400 nm 범위의 두께 내에서 사용될 수 있다. 다음으로, 채널 보호막을 형성하기 위한 마스크는 공지된 패터닝 기술, 예를 들면 전형적인 노출, 역 표면 노출 등에 의해 절연막(106) 상에 형성된다(도 1의(e)). 더욱이, 도 1의(e)는 어떠한 포토 마스크도 사용하지 않는 역 표면 노출에 의해 형성된 포토레지스트 마스크(107)를 보여준다.

순차로, 절연막(108)(이하 채널 보호막이라 칭함)을 형성하기 위해 습식 에칭 또는 건식 에칭에 의해 절연막(106)을 선택적으로 제거하기 위해 포토-레지스트 마스크(107)가 사용되고, 이후 포토-레지스트 마스크(107)가 제거된다(도 2의(a)). 여기서, 소스 영역에서 드레인 영역 방향의 채널 보호막의 크기(길이)는 게이트 배선(게이트 전극)의 크기보다 작으므로 게이트 배선의 그 부분은 위에서 볼 때 채널 보호막(108)과 오버랩되지 않는다. 결정질 반도체막의 표면은 이 공정에 걸쳐 노출되기 때문에, 오존수에 의한 산화 처리, 산화된 분위기에서 열처리, UV 광선 조사 등에 의해 박막 산화물막을 형성하는 공정이 표면의 오염을 방지하기 위해 포토-레지스트 마스크(107)의 제거 후에 추가될 수 있다.

순차로, N-채널 타입 TFT 또는 P-채널 타입 TFT의 부분을 커버하는 레지스트 마스크(109)를 형성하기 위해 포토-마스크가 사용되고, n-타입 불순물 원소를 결정질 반도체막으로 도핑하는 공정이 제1 불순물 영역(n^+ 영역)(110a)을 형성하도록 수행된다(도 2의(b)). 여기서, 소스 영역에서 드레인 영역 방향의 N-채널 타입 TFT 부분을 커버하는 레지스트 마스크(109)의 크기(길이)는 게이트 배선(게이트 전극)의 크기(길이)보다 더 크기 때문에 제1 불순물 영역(110a)은 위에서 볼 때 게이트 배선과 오버랩되지 않는다. 반도체 재료를 위한 n-타입 불순물 원소로서, XV족에 속하는 원소, 예를 들면 P, As, Sb, N, Bi 등이 사용될 수 있다. 이 공정에서, P(인)가 결정질 반도체막에 추가되고, 그의 표면은 적절한 도핑 조건(1회 분량 및 가속 전압 등)을 설정함으로써 플라즈마 도핑법에 의해 노출된다. 또한, 제1 불순물 영역(110a)은 고농도 불순물 영역이고, 소스 영역이거나 또는 드레인 영역이어야 하기 때문에, 1회 분량은 시트 저항이 TFT 제조 완료 시에 500 Ω 이하(바람직하게는, 300 Ω 이하)가 되도록 설정된다.

순차로, 레지스트 마스크(109)가 제거된 후, n-타입 불순물 원소를 결정질 반도체막에 추가하는 공정은 제2 불순물 영역(n 영역)(112)을 형성하기 위한 마스크로서 사용된 채널 보호막(108)에 의해 수행된다(도 2의(c)). 제2 불순물 영역은 게이트 배선보다 더 작은 채널 보호막(108)의 마스크에 의해 형성되기 때문에, 제2 불순물 영역 부분은 위에서 볼 때 게이트 배선을 오버랩한다. 또한, 제2 불순물 영역은 게이트 배선보다 더 큰 레지스트 마스크(109)가 제거된 영역에 형성되기 때문에, 제2 불순물 영역 부분은 위에서 볼 때 게이트 배선을 오버랩하지 않도록 채택된다. 그와 같이 형성된 제2 불순물 영역(112)은 저농도 불순물 영역(이하, LDD 영역이라 칭함)으로서 기능하고, 제2 불순물 영역(112)의 인의 농도는 SIMS 분석에 의해 1×10^{18} 내지 1×10^{19} atoms/cm³ 범위 내로 설정되는 것이 바람직하다. 이 공정에서, 어떤 불순물은 제1 불순물 영역(110b)을 형성하기 위해 추가로 도핑됨으로써, 채널 보호막 바로 아래 부분은 고유 또는 실질적으로 고유 결정질 반도체 영역으로 된다.

더욱이, 본 명세서에서, 고유 영역은 규소의 페르미 레벨을 변화시킬 수 있는 어떠한 불순물도 포함되지 않는 영역을 의미하는 반면, 실질적으로 고유 영역은 임계 제어를 허용하는 농도 범위(SIMS 분석에 의해 1×10^{16} 내지 1×10^{17} atoms/cm³) 내에서 n-타입 불순물 또는 p-타입 불순물을 함유하는 영역 또는 반대의 도전성 불순물이 고의적으로 도핑되어 도전성을 상실하게 되는 영역을 의미한다.

순차로, 포토-마스크는 N-채널 타입 TFT를 커버하는 레지스트 마스크(114)를 형성하기 위해 사용되고, p-타입 불순물 원소를 결정질 반도체막으로 도핑하는 공정은 제3 불순물 영역(p^+ 영역)(113)을 형성하기 위해 수행된다(도 2의(d)). 반도체 재료를 위한 p-타입 불순물 원소로서, XIII족에 속하는 불순물 원소, 예를 들면 B, Al, Ga, In, Tl 등이 사용될 수 있다.

순차로, 레지스트 마스크(114)가 제거된 후, 이온들을 도핑하는 시점에서 활성화되거나 또는 손상되는 불순물 이온들은 노 어니일링, 레이저 어니일링 또는 램프 어니일링에 의해 회복되어야 한다. 이후, 공지된 패터닝 기술이 목적하는 형상을 갖는 활성층을 형성하기 위해 사용된다(도 3의(a)).

상기 공정들을 통해, N-채널 타입 TFT의 소스 영역(115), 드레인 영역(116), 저농도 불순물 영역(117 및 118), 및 채널 형성 영역(119)이 형성되었다. P-채널 타입 TFT의 소스 영역(121), 드레인 영역(122) 및 채널 형성 영역(120) 역시 형성되었다.

순차로, 채널 보호막(108)이 전체 표면 상에 층간 절연막(123)을 형성하기 위해 제거된다. 층간 절연막(123)으로서, 산화 규소막, 질화 규소막, 산화 질화 규소막, 유기 수지막(폴리이미드막 또는 BCB막 등) 또는 이들 막의 다중층막 중의 임의의 것이 사용될 수 있다.

이어서, 공지된 기술을 사용하여, 콘택트 홀이 형성되고, 소스 배선(124 및 126) 및 드레인 배선(125 및 127)이 도 3의(c)에 나타난 상태를 얻기 위해 형성된다. 마지막으로, 열처리가 수소 분위기에서 수행되어 N-채널 타입 TFT 및 P-채널 타입 TFT를 완성하도록 전체를 수소 첨가 반응시킨다. 더욱이, 수소 첨가 반응을 위해 플라즈마 수소 첨가 반응이 사용될 수 있다.

본 실시예에 나타낸 바의 N-채널 타입 TFT 및 P-채널 타입 TFT가 함께 상보적으로 결합된 회로는 반도체 회로를 구성하는 기본 회로인 CMOS 회로라 칭한다. 그러한 기본 회로들은 NAND 회로 또는 NOR 회로 등의 기본 논리 회로, 또는 보다 복잡한 논리 회로를 구성하도록 조합될 수 있다.

이러한 실시예 모드의 구성에 따라, 유리 기판으로부터 활성층으로 불순물에 의해 유발된 오염은 산화 탄탈막에 의해 예방될 수 있다. 이는 절연막 내의 나트륨의 농도를 잡음을 고려한 SIMS 분석의 검출의 하한치 이하인 1×10^{16} atoms/cm³ 이하로 만든다. 따라서, 활성 층 내의 나트륨의 농도는 1×10^{16} atoms/cm³ 이하로 될 수 있으므로, TFT의 개선된 신뢰도를 가능케 한다. 더욱이, 블로킹막으로서 산화 탄탈막을 사용함으로써 TFT 특성의 변화를 감소시키고, 따라서 TFT의 개선된 신뢰도를 제공한다.

게다가, 상기 실시예에서, 채널 보호막이 형성될 수 있고, 다음으로 LDD 영역은 절연막(108)이 형성되고 레지스트 마스크(109)가 제거된 후에 절연막을 통해 불순물을 부가함으로써(쓰루-도핑) 형성될 수 있다(도 2의(a)). 절연막을 통해 불순물을 부가하는 것은 LDD 영역의 불순물 농도 제어를 조장한다. 또한, 이러한 절연막의 형성은 대기 또는 제조 설비 중의 불순물에 의해 유발된 오염을 방지할 수 있다. 특히, 대기 중에 포함된 붕소에 의해 유발된 표면 오염은 효과적으로 예방될 수 있다. 상기 절연막으로서, 산화 규소막, 질화 규소막, 산화 질화 규소막(SiO_xN_y), 유기 수지막(BCB막) 또는 이들 막의 다중층막이 1nm 내지 200nm, 바람직하게는 10nm 내지 150nm 범위의 두께로 사용될 수 있다.

또한, 상기 실시예에서, TFT의 임계값을 조절하기 위해 무정형 반도체막에 불순물을 부가하는 공정이 결정화 공정 전에 부가될 수 있다. 임계값을 조절하는 공정으로서, 제어 절연막(두께가 100 내지 200 nm 범위)이 무정형 반도체막 상에 제공되고, 이어서 붕소가 임계값 제어를 허용하는 농도 범위(SIMS 분석에 의해 1×10^{16} 내지 1×10^{17} atoms/cm³) 내에서 도핑되고, 이후 제어 절연막이 제거되는 공정이 사용될 수 있다.

또한, 이 실시예에서, 활성층의 패터닝이 활성화 공정 후에 수행되는 예가 도시되었지만, 본 발명이 그것으로만 제한되지 않는다. 예를 들면, 패터닝은 결정화 공정 전 또는 도핑 전에 수행될 수 있다.

게다가, 이 실시예에서, 반전된 스택어 타입의 예가 도시되었지만, 본 발명의 블로킹막은 다른 TFT 구성에 적용될 수 있다.

[실시예]

본 발명의 실시예들을 이하 설명하지만, 본 발명이 이들 실시예로만 제한되지 않는 것은 당연한 일이다.

실시예 1

본 발명의 이 실시예는 이하 도 1의(a) 내지 도 3의(c)를 참조하여 아래 상세히 설명한다.

먼저, 유리 기판(667°C의 유리 뒤틀림 온도를 갖는 코닝 1737)이 기판(101)으로서 제조되었다. 다음으로, 산화 탄탈막(150)이 기판으로부터 불순물의 확산을 방지하기 위해 기판(101) 상에 제공되어 TFT 전기적 특성을 개선시켰다. 이 실시예에서, 이 막은 산소 가스를 함유하는 혼합물 분위기에서 수행된 스퍼터링법에 의해 탄탈로 구성된 타겟을 사용하여 100nm 내지 300nm 범위의 두께로 형성되었다(도 1의(a)).

산화 탄탈막이 기판의 한쪽 표면 상에 제공되는 실시예가 도 1에 도시되었지만, 산화 탄탈막은 기판의 한쪽 표면 상에 뿐만 아니라 양쪽 표면 상에 효과적으로 제공된다. 기판의 양쪽 표면 상에 산화 탄탈막을 제공함으로써, 반도체 장치의 제조 시점에서 기판으로부터 확산되는 나트륨 등의 불순물이 완전히 블로킹될 수 있다. 게다가, 산화 탄탈막은 불소산 등의 대부분의 산 용액에 대한 우수한 저항을 갖고, 작은 열팽창 계수 및 우수한 열 저항을 갖고, 따라서 기판의 반대 표면 상에 산화 탄탈막을 제공함으로써 기판의 산 및 열 저항을 개선시킬 수 있다. 게다가, 산화 탄탈막은 기판의 전체 표면을 효과적으로 커버할 수 있다.

순차로, 다중층 구성(단순화시키기 위해 도시하지 않음) 형태의 게이트 배선(게이트 전극을 포함함)(102)이 산화 탄탈막(150) 상에 형성되었다(도 1의(b)). 이 실시예에서, 산화 탄탈막(50nm 두께)과 탄탈막(250nm 두께)의 다중층을 형성하기 위해 스퍼터링법이 사용되고, 이어서 공지된 패터닝 기술인 포토리소그래피법이 다중층 구성을 갖는 게이트 배선(게이트 전극을 포함함)(102)을 형성하기 위해 사용되었다.

순차로, 게이트 절연막(103) 및 무정형 반도체막(104)이 대기에 노출됨이 없이 다중층 구성 형태로 연속적으로 형성되었다(도 1의(c)). 이 실시예에서, 불순물이 제조 도중에 게이트 배선으로부터 반도체막 및 게이트 절연막으로 확산되는 것을 방지하기 위해, 질화 규소막(103a)(50nm 두께) 및 산화 규소막(103b)(125nm 두께)이 플라즈마 CVD법에 의해 다중층 구성의 형태로 형성되어 그 층이 다중층 구성의 게이트 절연막으로서 작용하게 한다. 이 실시예에서, 2개의 층 절연막이 게이트 절연막으로서 사용되지만, 게이트 절연막은 단일층 또는 3개층 이상의 다중층 구성일 수 있다. 또한, 이 실시예에서, 54nm 두께의 무정형 실리콘막이 플라즈마 CVD법에 의해 무정형 반도체막(104)으로서 게이트 절연막 상에 형성되었다. 더욱이, 다중층 구성 형태의 형성은 대기에 노출 없이 연속적으로 수행됨으로써, 층들의 각각의 계면이 대기로부터 그것으로 접촉된 오염물을 갖지 않는다. 이후, 수소 농도를 감소시키고, 무정형 실리콘막에서 반도체막의 결정화를 방지하는 열 처리가 수행되었다(1시간 동안 500°C의 온도).

도 1의(c)에 도시된 상태가 얻어진 후, 무정형 반도체막(104)은 결정질 반도체막(105)(결정을 포함하는 반도체막)을 형성하기 위해 결정화되도록(레이저 결정화) 적외선 또는 자외선(레이저 어니일링)이 조사되었다(도 1의(d)). 결정화 기술로서 자외선을 사용하는 경우에, 엑시머 레이저 광선 또는 자외선 램프로부터 발산된 강화된 광선이 사용되는 경우, 한편 적외선을 사용하는 경우, 적외 레이저 광선 또는 적외선 램프로부터 발산된 강화된 광선이 사용될 수 있다. 이 실시예에서, 조사는 직선 형태의 형상인 KrF 엑시머 레이저 빔으로 수행되었다. 더욱이, 조사를 위한 상태는 30Hz의 펄스 주파수, 96%의 오버랩 비율 및 100 내지 500mG/cm³, 이 실시예에서 360mJ/cm³ 범위의 레이저 에너지 밀도였다. 게다가, 누구나 무정형 반도체막(104)의 두께, 기판의 온도 등을 고려하여 적절한 레이저 결정화 조건(레이저 광선의 파장, 오버랩 비율, 조사의 세기, 펄스 폭, 반복 주파수 및 조사 시간 등)을 결정할 수 있다. 또한, 레이저 결정화를 위한 일부 조건들은 용융 상태(melting state)를 통해 통과한 후 반도체막을 결정화시킬 수 있거나 또는 용융되지 않은 고체 상태 또는 고체 상태와 액체 상태 사이의 중간 상태로 반도체막을 결정화시킬 수 있다. 이러한 공정은 무정형 반도체막(104)을 결정질 반도체막(105)으로 결정화시키고 변화시킨다. 이 실시예에서, 결정질 반도체막은 다결정질 규소막(폴리실리콘막)이다.

순차로, 그와 같이 형성된 결정질 반도체막(105) 상의 채널 형성 영역을 보호하는 절연막(이후에 채널 보호막이 될 것임)이 형성되었다. 이 실시예에서, 산화 규소막(200nm 두께)이 형성되었다. 이어서, 반대 표면으로부터 노출을 사용하여 패터닝(증착, 노출 및 레지스트막의 현상)에 의해 절연막(106)과 접촉하는 포토-레지스트 마스크(107)가 형성되었다. 반대 표면으로부터 노출에 의한 레지스트 마스크의 형성은 어떠한 마스크도 필요로 하지 않음으로써, 제조용 마스크의 수를 감소시킨다. 도면에 도시된 바와 같이, 포토-레지스트 마스크는 광선 회절로 인해 게이트 배선의 폭에 비해 크기가 약간 감소되었다.

순차로, 마스크로서 사용되는 포토-레지스트 마스크(107)에 의해, 절연막(106)이 에칭되어 채널 보호막(108)을 형성하고, 이후 포토-레지스트 마스크(107)가 제거되었다(도 2의(a)). 채널 보호막(108)과 접촉하는 영역을 제외한 영역에서 결정질 규소막의 표면은 이 공정을 통해 노출되었다. 이러한 채널 보호막(108)은 다음 도핑 공정에서 채널 형성 영역으로 될 영역으로 도펀트가 도핑되는 것을 방지하는 작용을 한다.

순차로, 포토-마스크를 사용하여 패턴화함으로써 N-채널 타입 TFT 및 P-채널 타입 TFT 부분을 커버하는 레지스트 마스크(109)가 형성되고, 이어서, 그의 표면이 노출되어 제1 불순물 영역(N+ 영역)(110a)을 형성하는 n-타입 불순물 원소가 결정질 반도체막으로 도핑하는 공정이 수행되었다(도 2의(b)). 이 실시예에서, 인(phosphorus) 원소가 n-타입 도전성을 제공하는 불순물로서 사용되었다. 도핑 가스로서, 인은 수소로 희석되어 5×10^{14} atoms/cm² 분량으로 1 내지 10%(이 실시예에서 5%)의 인을 함유하는 포스핀(PH₃)이 되었다. 더욱이, 누구나 n-영역 및 목적하는 폭의 채널 형성 영역을 비교적 용이하게 얻는 것을 조장하도록 n+ 영역의 폭을 결정하기 위해 상기 레지스트 마스크(109)의 패턴을 적절히 선택할 수 있다.

순차로, 레지스트 마스크(109)가 제거된 후, 마스크로서 사용된 채널 보호막(108)에 의해, n-타입 불순물 원소를 결정질 반도체막에 도핑하는 공정이 수행되어 제2 불순물 영역(n-영역)(112)을 형성한다(도 2의(c)). 이 실시예에서, 도핑 가스로서, 인은 수소로 희석되어 3×10^{13} atoms/cm² 분량으로 1 내지 10%(이 실시예에서 5%)의 인을 함유하는 포스핀(PH₃)이 되고, SIMS 분석에 의해 제공되는, 1×10^{16} 내지 1×10^{19} atoms/cm³의 불순물 영역이 형성되었다. 또한, 그와 같이 형성된 제2 불순물 영역(112)은 LDD 영역으로서 기능한다. 더욱이, 이 시점에서, 불순물이 추가로 도핑되어 제1 불순물 영역(110b)을 형성함으로써, 채널 보호막 바로 아래 영역은 고유 또는 실질적으로 고유 결정질 반도체 영역으로 된다. 그러나, 도시하지 않았지만, 불순물 원소는 실질적으로 채널 보호막 내부로 다소 진행되도록 도핑된다.

순차로, 포토-마스크는 N-채널 타입 TFT를 커버하는 레지스트 마스크(114)를 형성하도록 사용되었고, p-타입 불순물 원소를 결정질 반도체막으로 도핑하는 공정이 수행되어 제3 불순물 영역(113)을 형성한다(도 2의(d)). 이 실시예에서, p-타입 불순물 원소로서, B(붕소)가 사용되었다. 붕소는 수소로 희석되어 4×10^{16} atoms/cm² 분량으로 1 내지 10%의 붕소를 함유하는 디보란(B₂H₆)이 되었다.

순차로, 레지스트 마스크(114)가 제거되어 레이저 어니일링 또는 열 어니일링에 의해 불순물을 활성화시키는 공정을 수행하고, 이후, 전체를 수소 첨가 반응시키는(hydrogenate) 수소 분위기에서 열처리가 수행되었다(1시간 동안 350°C의 온도에서). 더욱이, 이 실시예에서, 수소 첨가 반응은 열처리로 수행되었지만, 플라즈마 수소 처리가 사용될 수 있다. 이후, 목적하는 형상을 갖는 활성층이 공지된 패턴화 기술에 의해 형성되었다(도 3의(a)).

상기 공정들을 통해, N-채널 타입 TFT의 소스 영역(115), 드레인 영역(116), 저농도 불순물 영역(117 및 118), 및 채널 형성 영역(119)이 형성되었다. P-채널 타입 TFT의 소스 영역(121), 드레인 영역(122) 및 채널 형성 영역(120) 역시 형성되었다.

순차로, 채널 보호막(108)이 제거되고, 이어서, N-채널 타입 TFT 및 P-채널 타입 TFT를 커버하기 위해 플라즈마 CVD 법에 의해 원료 재료 가스로서 TEOS 및 산소(O₂)를 사용하는 940nm 두께의 산화 규소막 및 100nm 두께의 산화 규소막의 다중층 구성의 층간 절연막(123)이 형성된다(도 3의(b)).

이어서, 콘택트 홀이 형성되고, 소스 배선(124 및 126) 및 드레인 배선(125 및 127)이 도 3의(c)에 나타난 상태를 얻기 위해 형성된다. 마지막으로, 열처리가 수소 분위기에서 수행되어 N-채널 타입 TFT 및 P-채널 타입 TFT를 완성하도록 전체를 수소 첨가 반응시킨다. 더욱이, 이러한 수소 첨가 반응은 위해 플라즈마 수소 첨가 반응에 의해 수행될 수 있다.

더욱이, 이 실시예에서, 공정들의 오더는 무정형 반도체막을 패턴화시킨 후 결정화 공정을 수행하도록 변경될 수 있다.

또한, 불순물은 TFT의 임계값을 조절하기 위해 결정화 공정 전에 무정형 반도체막으로 도핑될 수 있다.

본 발명의 구성으로서, 불순물로 인해 유리 기판으로부터 활성층으로 유도된 오염은 산화 탄탈막에 의해 예방될 수 있다. SIMS 분석에 의해 제공된 게이트 절연막에서 나트륨의 농도는 일반적으로 잡음을 고려하여 검출한 하한치 이하 또는 1×10^{16} atoms/cm³ 이하로 될 수 있다. 이는 활성층 내의 나트륨의 농도를 1×10^{16} atoms/cm³ 이하로 함으로써, TFT의 개선된 신뢰도를 제공한다. 더욱이, 블로킹막으로서 산화 탄탈막을 사용하는 것은 TFT의 특성의 변동의 감소에 기여할 수 있고, 그에 따라 TFT의 개선된 신뢰도를 제공한다.

실시예 2

실시에 1에서, 무정형 규소막을 결정화시키기 위해 레이저 광선이 사용되었다. 이 실시예에서, 실시예 1과 상이한 방식으로 무정형 반도체막을 결정화시키는 실시예가 도시될 것이다. 이 실시예는 이하 도 4(a) 내지 (e) 내지 도 6(a) 내지 (d)를 참조하여 설명한다.

먼저, 유리 기판(667°C의 유리 뒤틀림 온도를 갖는 코닝 1737)이 기판(201)으로서 제조되었다. 다음으로, 산화 탄탈막(250)이 기판으로부터 불순물의 확산을 방지하기 위해 기판(201) 상에 제공되어 TFT 전기적 특성을 개선시켰다. 이 실시예에서, 이 막은 산소 가스 혼합물을 함유하는 분위기에서 수행된 스퍼터링법에 의해 탄탈로 구성된 타겟을 사용하여 100nm 내지 300nm 범위의 두께로 형성되었다.

산화 탄탈막이 기판의 한쪽 표면 상에 제공되는 실시예가 도 4의(a)에 도시되었지만, 산화 탄탈막은 기판의 한쪽 표면 상에 뿐만 아니라 양쪽 표면 상에 효과적으로 제공된다. 기판의 양쪽 표면 상에 산화 탄탈막을 제공함으로써, 반도체 장치의 제조 시점에서 기판으로부터 확산되는 나트륨 등의 불순물이 완전히 블로킹될 수 있다. 게다가, 산화 탄탈막은 불소산 등의 대부분의 산용액에 대한 우수한 내성을 갖고, 따라서 기판의 양쪽 표면 상에 산화 탄탈막을 제공함으로써 에칭 공정에서 나트륨 오염을 예방할 수 있다. 게다가, 산화 탄탈막은 작은 열팽창 계수 및 우수한 열 저항을 갖고, 따라서 기판의 반대 표면 상에 산화 탄탈막을 제공함으로써 기판의 열 저항을 개선시킬 수 있다. 또한, 산화 탄탈막은 기판의 전체 표면을 효과적으로 커버할 수 있다.

순차로, 다중층 구성(단순화시키기 위해 도시하지 않음) 형태의 게이트 배선(게이트 전극을 포함함)(202)이 산화 탄탈막(250) 상에 형성되었다(도 4의(a)). 이 실시예에서, 질화 탄탈막(50nm 두께)과 탄탈막(250nm 두께)의 다중층을 형성하기 위해 스퍼터링법이 사용되고, 이어서 공지된 패터닝 기술인 포토리소그래피법이 다중층 구성을 갖는 게이트 배선(게이트 전극을 포함함)(202)을 형성하기 위해 사용되었다.

순차로, 게이트 절연막(203) 및 무정형 반도체막(204)이 대기에 노출됨이 없이 다중층 구성 형태로 연속적으로 형성되었다(도 4의(b)). 이 실시예에서, 질화 규소막(203a)(50nm 두께) 및 산화 규소막(203b)(125nm 두께)이 스퍼터링법에 의해 다중층 구성의 형태로 형성되어 그 층이 다중층 구성의 게이트 절연막으로서 작용하게 한다. 또한, 이 실시예에서, 2개의 층 절연막이 게이트 절연막으로서 사용되지만, 게이트 절연막은 단일층 또는 3개층 이상의 다중층 구성일 수 있다. 또한, 이 실시예에서, 54nm 두께의 무정형 실리콘막이 플라즈마 CVD법에 의해 무정형 반도체막(204)으로서 게이트 절연막 상에 형성되었다. 더욱이, 다중층 구성 형태의 형성은 대기에 노출 없이 연속적으로 수행됨으로써, 층들의 각각의 계면은 대기로부터 그것으로 접촉된 오염물을 갖지 않는다. 이후, 수소 농도를 감소시키고, 무정형 실리콘막에서 반도체막의 결정화를 방지하는 열처리가 수행되었다(1시간 동안 500°C의 온도에서).

순차로, 무정형 규소막(204a)은 산소 분위기에서 UV 광선이 조사되어 그의 표면 상에 극도로 박막 산화물막(도시하지 않음)을 형성한다. 이러한 산화물막은 이후 그곳으로 코팅될 니켈을 함유하는 용액의 가용성을 개선시키는 기능을 갖는다.

순차로, 니켈을 함유하는 용액이 무정형 규소막(204a)의 표면에 코팅된다. 니켈의 함량(중량 단위)은 0.1 내지 50ppm, 바람직하게는 1ppm 내지 30ppm 범위일 수 있다. 이는 무정형 규소막(204a) 내의 니켈의 농도를 대략 10^{16} 내지 10^{19} atoms/cm³와 동일하게 만든다. 10^{16} atoms/cm³ 이하의 농도는 니켈의 촉매 작용을 제공할 수 없다. 대략 10^{19} atoms/cm³에 대한 니켈의 농도는 심지어 게터링 없이 작동할 수 있는 TFT의 제조를 허용하고, 따라서 게터링 공정을 효율적으로 수행하게 한다. 더욱이, 니켈의 상기 농도는 SIMS 측정치로 제한된다.

이 실시예에서, 10ppm의 니켈을 함유하는 아세트산 니켈 용액이 코팅되었다. 이어서, 기판(201)은 스핀 코터에 의해 회전되어 과도한 아세트산 니켈 용액이 기판으로부터 분리되게 하고, 따라서, 무정형 규소막(204a)의 표면 상에 극도로 박막인 니켈 함유층(205)을 형성하도록 제거된다(도 4의(b)).

도 4의(b)에 나타난 상태가 얻어진 후, 무정형 규소막(204a)은 550°C의 온도에서 질소 분위기에서 4시간 동안 가열함으로써 결정화되었다. 결정질 규소막(204b)은 이러한 결정화 공정을 통해 얻었다. 결정 성장은 무정형 규소막(204a)의 표면으로부터 니켈이 도핑되는 기판(201) 방향(수직 방향)으로 진행하기 때문에, 이는 수직 성장이라 칭한다(도 4의(c)). 더욱이, 이 실시예는 전체 표면 상에 니켈을 함유하는 층을 형성하도록 구성된다. 그러나, 레지스트 등이 니켈 함유 층을 선택적으로 형성하여 기판의 표면과 평행인 방향(수평 방향)으로 결정화를 진행시키는 구성이 사용될 수 있다.

이 실시예는 결정화를 가속화시키기 위한 원소로서 Ni를 사용하였지만, Co, Fe, Pd, Pt, Cu, Au, Ge, Sn 및 Pb 중의 적어도 하나의 원소를 사용할 수 있다. 또한, 이 실시예에서, 결정화를 가속화시키는 원소는 코팅법에 의해 추가되었다. 그러나, 결정화를 가속화시키기 위한 원소들을 함유하는 코팅, 입자들, 클러스터 등이 무정형 규소막과 접촉하게 되는 스퍼터링법, CVD법이 사용될 수 있다. 대안으로, 이온 이식법이 사용될 수 있다.

더욱이, 그레인 바운더리들(grain boundaries)을 함유하는 다결정 규소막이 이러한 결정화 공정을 통해 형성되지만, 마세 결정 상태의 규소막은 상이한 조건 하에 형성될 수 있다.

더욱이, 상기 열처리는 500 내지 700°C 범위, 보다 바람직하게는 550 내지 650°C 범위의 온도에서 전기-열 노(furnace)에서 수행될 수 있다. 이 시점에서, 가열 온도의 상한치는 기관의 열 저항을 고려하여 사용된 유리 기관(201)의 유리 뒤틀림 온도보다 더 낮을 필요가 있다. 유리 뒤틀림 온도를 초과하는 온도는 유리 기관의 뒤틀림, 수축 등을 유발할 것이다. 또한, 가열은 약 1 내지 12 시간 동안 수행될 수 있다. 이러한 열 처리는 노 어니일링(전기-열 노에서 열처리)에 의해 수행된다. 게다가, 레이저 어니일링, 램프 어니일링 등의 가열 수단이 사용될 수 있다.

순차로, 생성된 결정질 실리콘막(204b)은 개선된 그의 결정성을 갖는 결정질 규소막(204c)을 얻기 위해 레이저 광선이 조사된다. 이 실시예에서, 펄스 진동 KrF 엑시머 레이저(248nm 파장)가 사용되었다(도 4의(d)). 더욱이, 용액의 가용성을 개선시키기 위해 형성된 극도로 박막 산화물막은 레이저 광선이 조사되기 전에 제거될 수 있다.

펄스 진동 레이저로서, 단파장(자외선 영역에서) XeCl 엑시머 레이저, 장파장 YAG 레이저 등이 사용된다. 이 실시예에 사용된 엑시머 레이저는 자외선을 진동시켜 조사된 영역이 순간적으로 용융되고 반복적으로 고형화되게 한다. 따라서, 엑시머 레이저 광선에 의한 조사는 니켈이 용이하게 이동할 수 있는 어떤 류의 불균형 상태가 형성되게 한다.

또한, 무정형 성분들은 도 4의(c)에 도시된 결정화 공정에서 얻어진 결정질 규소막(204b)에 불규칙적으로 남겨진다. 그러나, 레이저 광선의 조사는 그러한 무정형 성분들을 완전히 결정화시킴으로써, 결정질 규소막(204b)의 결정성이 대단히 개선된다.

더욱이, 이러한 레이저 조사 공정은 제거될 수 있지만, 레이저 조사는 결정성이 개선되는 효과 뿐만 아니라 후속 게터링 공정의 효율을 제공한다. 레이저에 의한 조사 후, 결정질 규소막(204b) 내에 남아있는 니켈의 농도는 대략 1×10^{19} 내지 2×10^{19} atoms/cm³이다.

상기 결정화 공정 후, 결정질 규소막 내에 남아있는 니켈을 제거하거나 또는 감소시키기 위해 게터링 기술(일본국 특허 출원 공개 제10-270363호 및 미합중국 특허 출원 제09/050,182호에 대응함)이 사용될 수 있다. 더욱이, 공개 문헌에서, 인 원소가 전체 표면에 또는 선택적으로 도핑된 후 열처리를 수행하는 기술이 기재되었다(300 내지 700°C 범위의 온도에서 1 내지 12 시간 동안). 또한, 할로젠 원소를 함유하는 증기 상을 사용하는 방법이 사용될 수 있다(일본국 특허 출원 공개 제9-312260호 및 미합중국 특허 출원 제08/785,489호에 대응함).

순차로, 실시예 1E에 나타난 실시예 1의 공정과 마찬가지로, 채널 형성 영역을 보호하기 위해 200nm 두께의 절연막(이후에 채널 보호막이 될 것임)이 결정질 반도체(204b) 상에 형성되었다. 이어서, 반대 표면으로부터 노출을 사용하여 패터닝함으로써 절연막(206)과 접촉하는 레지스트 마스크(207)가 형성되었다(도 4(e)).

순차로, 레지스트 마스크(207)는 절연막(206)을 에칭시키기 위해 사용되어 채널 보호막(208)을 형성하고, 이후 레지스트 마스크(207)가 제거되었다(도 5(a)).

순차로, 포토-마스크를 사용하여 패터닝함으로써 N-채널 타입 TFT 및 P-채널 타입 TFT 부분을 커버하는 레지스트 마스크(209)가 형성되고, 이어서, 그의 표면이 노출되어 제1 불순물 영역(N+ 영역)(210a)을 형성하는 n-타입 불순물 원소(인)가 결정질 반도체막으로 도핑되는 공정이 수행되었다(도 5(b)). 이 실시예에서, 도핑 가스로서, 인은 수소로 희석되어 5×10^{14} atoms/cm² 분량으로 1 내지 10%(이 실시예에서 5%)의 인을 함유하는 포스핀(PH₃)이 되었다.

순차로, 레지스트 마스크(209)가 제거된 후, 마스크로서 사용된 채널 보호막(208)에 의해, n-타입 불순물 원소를 결정질 반도체막에 도핑하는 공정이 수행되어 제2 불순물 영역(n-영역)(212)을 형성한다(도 5(c)). 이 실시예에서, 도핑 가스로서, 인은 수소로 희석되어 3×10^{13} atoms/cm² 분량으로 1 내지 10%(이 실시예에서 5%)의 인을 함유하는 포스핀이 되

고, SIMS 분석에 의해 제공되는, 1×10^{16} 내지 1×10^{19} atoms/cm³의 불순물 영역이 형성되었다. 또한, 그와 같이 형성된 제2 불순물 영역(212)은 LDD 영역으로서 기능한다. 더욱이, 이 시점에서, 불순물이 추가로 도핑되어 제1 불순물 영역(210b)을 형성함으로써, 채널 보호막 바로 아래 고유 또는 실질적으로 고유 결정질 반도체 영역이 남겨진다

순차로, 포토-마스크는 N-채널 타입 TFT를 커버하는 레지스트 마스크(214)를 형성하도록 사용되었고, p-타입 불순물 원소를 결정질 반도체막으로 부가하는 공정이 수행되어 제3 불순물 영역(p+ 영역)(213)을 형성한다(도 5의(d)). 이 실시예에서, 도핑 가스로서, 1 내지 10%의 붕소를 함유하도록 수소로 희석된 디보란(B₂H₈)이 4×10^{16} atoms/cm² 분량으로 사용되었다.

순차로, 레지스트 마스크(214)가 제거되고, 300 내지 700℃ 범위의 온도에서 1 내지 12 시간 동안 수행되었고, 니켈의 농도를 감소시키는 기술(일본국 특허 출원 공개 제8-330602호)이 이 실시예에 적용되었다. 이 실시예에서, 열처리는 600℃의 온도에서 8시간 동안 수행되어 LDD 영역 및 채널 형성 영역 내부에 남아있는 니켈을 고농도 불순물 영역(소스 영역 및 드레인 영역)쪽으로 이동시켰다(도 6의(a)). 이는 니켈 농도(SIMS 분석에 의해 제공되는 바, 1×10^{18} atoms/cm³ 이하, 보다 바람직하게는 1×10^{16} atoms/cm³ 이하)가 감소되는 채널 형성 영역을 얻게 한다. 동일한 시점에서, 촉매 원소는 이러한 열처리를 통해 제거되고, 도핑에 따라 결정성에 대해 발생하는 손상이 회복되고, 불순물을 활성화시키기 위한 공정은 열 어니일링에 의해 수행되었다. 노 어니일링, 레이저 어니일링 또는 램프 어니일링이 추가로 수행될 수 있다. 이후, 전체를 수소 첨가 반응시키는 수소 분위기에서 열처리가 수행되었다(1시간 동안 350℃의 온도에서). 더욱이, 수소 첨가 반응을 위해 플라즈마 수소 첨가 반응 처리가 사용될 수 있다.

이후, 목적하는 형상을 갖는 활성층이 공지된 패터닝 기술에 의해 형성되었다(도 6의(b)).

상기 공정들을 통해, N-채널 타입 TFT의 소스 영역(215), 드레인 영역(216), 저농도 불순물 영역(217 및 218), 및 채널 형성 영역(219)이 형성되었다. P-채널 타입 TFT의 소스 영역(221), 드레인 영역(222) 및 채널 형성 영역(220) 역시 형성되었다.

순차로, 채널 보호막(208)이 제거되고, 이어서, N-채널 타입 TFT 및 P-채널 타입 TFT를 커버하기 위해 플라즈마 CVD 법에 의해 원료 재료 가스로서 TEOS 및 산소(O₂)를 사용하는 940nm 두께의 산화 규소막 및 100nm 두께의 산화 규소막의 다중층 구성의 층간 절연막(223)이 형성되었다(도 6의(c)).

이어서, 콘택트 홀이 형성되고, 소스 배선(224 및 226) 및 드레인 배선(225 및 227)이 도 6의(d)에 나타낸 상태를 얻기 위해 형성된다. 마지막으로, 열처리가 수소 분위기에서 수행되어 N-채널 타입 TFT 및 P-채널 타입 TFT를 완성하도록 전체를 수소 첨가 반응시킨다. 더욱이, 이러한 수소 첨가 반응은 위해 플라즈마 수소 처리에 의해 수행될 수 있다.

본 발명의 구성으로서, 불순물로 인해 유리 기판으로부터 활성층으로 유도된 오염은 산화 탄탈막에 의해 예방될 수 있다. 따라서, SIMS 분석에 의해 제공된 게이트 절연막에서 나트륨의 농도는 일반적으로 잡음을 고려하여 검출한 하한치 이하 또는 1×10^{16} atoms/cm³ 이하로 될 수 있다. 이는 활성층 내의 나트륨의 농도를 1×10^{16} atoms/cm³ 이하로 함으로써, TFT의 개선된 신뢰도를 제공한다. 더욱이, 블로킹막으로서 산화 탄탈막을 사용하는 것은 TFT의 특성의 변동의 감소에 기여할 수 있고, 그에 따라 TFT의 개선된 신뢰도를 제공한다. 또한, 이 실시예는 실시예 1의 구성의 일부를 사용할 수 있다.

실시예 3

상기 실시예 1 또는 2의 제조 공정을 통해 제조된 N-채널 타입 TFT 및 P-채널 타입 TFT를 포함하는 반도체 장치의 구성의 실시예를 도 7a 내지 8b를 참조하여 설명한다.

이 실시예에 따른 반도체 장치는 주변 구동기 회로 및 동일한 기판 상의 화소부를 포함한다. 설명을 간단히 하기 위해, 이 실시예에서, 주변 구동기 회로의 일부를 구성하는 CMOS 회로는 도 7의(a) 내지 도 7의(c)에 나타내는 한편, 화소부의 일부를 구성하는 화소 TFT(N-채널 타입 TFT)는 도 8의(a) 내지 도 8의(b)에 나타낸다. 더욱이, 실시예 1 및 2의 제조 공정 외에, 0.2 내지 0.4 μm 두께의 패시베이션막(319)이 형성되었다. 패시베이션막으로서 질소 함유막, 예를 들면 질화 규소막을 사용하는 것이 바람직하다.

또한, 실시예 1 및 2 외에, 블로킹막인 산화 탄탈막은 기판의 한쪽 표면(상부 표면 또는 TFT가 형성되는 표면) 상에 뿐만 아니라 그의 양쪽 표면(상부 표면 및 반대 표면) 상에 제공된다. 블로킹막의 기판의 양쪽 표면 상에 반드시 제공될 수는 없지만, 기판의 양쪽 표면 상에 산화 탄탈막을 제공함으로써, 반도체 장치의 제조 시점에서 기판으로부터 확산하는 나트륨과 같은 불순물이 완전히 블로킹될 수 있다. 더욱이, 산화 탄탈막은 불소산과 같은 대부분의 산 용액에 우수한 내성을 갖고, 따라서 기판의 양쪽 표면 상에 산화 탄탈막을 제공함으로써 에칭 공정에서 나트륨 오염을 방지할 수 있다. 더욱이, 산화 탄탈막은 작은 열팽창 계수 및 우수한 열 저항을 갖고, 따라서 기판의 반대 표면 상에 산화 탄탈막을 제공함으로써 기판의 열 저항을 개선시킬 수 있다. 게다가, 산화 탄탈막은 기판의 전체 표면을 효과적으로 커버할 수 있다.

도 7c에 나타난 CMOS 회로는 반도체 회로를 구성하는 기본 회로인 인버터 회로로 칭하기도 한다. 그러한 인버터 회로는 NAND 회로 또는 NOR 회로 등의 기본 논리 회로 또는 보다 복잡한 논리 회로를 구성하도록 조합될 수 있다.

도 7a는 도 7b의 정면도에 대응한다. 도 7a에서, 직선 A-A'로 절개된 부분은 도 7b의 CMOS 회로의 단면 구성에 대응한다. 또한, 도 7c는 도 7a 및 7b에 대응하는 인버터 회로의 회로도이다.

도 7b를 참조하면, TFT가 형성된 양쪽 평면(상부 표면을 지시함) 및 TFT가 유리 기판(301)으로 형성되지 않은 평면(반대 표면을 지시함)과 접촉하는 블로킹막(산화 탄탈막)(300)이 형성된다. TFT는 상부 표면 상에 형성된 블로킹막(산화 탄탈막)(300) 상에 형성된다.

다음으로, 밑에 놓인 산화 탄탈막과 접촉하는 게이트 배선(게이트 전극을 포함함)(302)이 형성된다. 게이트 배선은 탄탈 원소(Ta)로 주로 구성된 재료로 제조된 도전성막을 사용하여 형성되고, 밑에 놓인막으로서 제공된 산화 탄탈막에 대한 우수한 접착성을 갖는다. 탄탈(Ta) 외에, 텅스텐(W), 몰리브덴(Mo), 티탄(Ti), 크롬(Cr) 및 규소(Si)로 이루어진 그룹으로부터 선택되는 1개 이상의 원소들로 주로 구성된 재료로 구성된 도전성막을 게이트 배선으로서 사용할 수도 있다.

이어서, 게이트 배선과 접촉하고, 질화 규소로 구성된 제1 절연막(303) 및 산화 규소로 구성된 제2 절연막(304)이 제공된다. 블로킹막으로서 형성된 탄탈막은 유리 기판으로부터 나트륨의 확산을 블로킹함으로써, 나트륨 농도를 게이트 절연막으로서 기능하는 제1 절연막(303) 및 제2 절연막(304)에서 1×10^{16} atoms/cm³ 이하로 만든다. 이는 다시 활성층 내의 나트륨의 농도를 1×10^{16} atoms/cm³ 이하로 만들고, 그에 따라 TFT의 개선된 신뢰도를 제공하게 한다. 더욱이, 블로킹막으로서 산화 탄탈막을 사용함으로써 TFT 특성의 변화를 감소시키는 데 기여할 수 있고, 따라서 TFT의 개선된 신뢰도를 제공한다.

제2 절연막과 접촉하는 활성층으로서, p+ 영역(312)(드레인 영역) 및 P+ 영역(315)(소스 영역) 및 채널 형성 영역(314)을 갖는 CMOS 회로의 P-채널 타입 TFT가 제공된다. 상기 실시예 1 및 2에서, 공정들의 수를 감소시키기 위해, P-채널 타입 TFT는 고농도 불순물 영역과 상기 채널 형성 영역 사이에 저농도 불순물 영역(LDD 영역)을 구비하지 않지만, 형성될 수는 있다. 콘택트 홀은 활성층들을 커버하는 제1 층간 절연막(317)에 제공되고, 배선(318 및 320)은 p+ 영역(312 및 315)에 접속되고, 패시베이션막(319)이 그 위에 추가로 형성된다. 간단히 예시할 목적으로 도시하지 않았지만, 제2 층간 절연막이 그 위에 추가로 형성되고, 이어서, 납 배선이 배선(320)에 접속되고, 제3 층간 절연막이 그의 상부를 커버하도록 형성된다.

다른 한편, 활성층으로서, n+ 영역(305)(소스 영역) 및 n+ 영역(311)(드레인 영역), 채널 형성 영역(309), 및 상기 n+ 영역과 채널 형성 영역 사이에 n' 영역(306 및 310)을 갖는 N-채널 타입 TFT가 제공된다. 더욱이, 드레인 영역에 인접한 n' 영역(310)이 소스 영역에 인접한 n' 영역(360)보다 더 큰 폭으로 형성됨으로써, 개선된 신뢰도를 제공한다. 콘택트 홀은 활성층들의 상부를 커버하는 제1 층간 절연막(317)에 형성되고, n+ 영역(305 및 311)은 그 위에 형성된 배선(316 및 318)을 구비하고, 패시베이션막(319)이 그의 상부에 형성된다. 간단히 예시할 목적으로 도시하지 않았지만, 제2 층간 절연막이 그 위에 추가로 형성되고, 이어서, 납 배선이 배선(320)에 접속되고, 제3 층간 절연막이 그의 상부를 커버하도록 형성된다. 게다가, 활성층 이외의 부분들은 일반적으로 상기 P-채널 타입 TFT와 동일한 구조를 가지므로, 그의 설명은 간단히 하기 위해 생략한다.

도 8a는 도 8b의 정면도에 대응한다. 도 8a에서, 직선 A-A'를 따라 절개한 부분은 도 8b의 화소 부분의 단면 구성에 대응한다.

원칙적으로, 화소부 상에 형성된 N-채널 타입 TFT는 CMOS 회로의 N-채널 타입 TFT와 동일한 구조를 구비한다. 유리 기판(401)의 양쪽 표면과 접촉하는 산화 탄탈막(400)이 형성되고, 이어서, 산화 탄탈막(400) 중의 하나와 접촉하는 게이

트 배선(403)이 형성되고, 게이트 배선과 접촉하고, 질화 규소로 구성된 제1 절연막(402) 및 산화 규소로 구성된 제2 절연막(404)이 제공된다. 밑에 놓인 기관으로서 제공된 산화 탄탈막(400)은 유리 기관(401)으로부터 나트륨의 확산을 블로킹함으로써, 게이트 절연막으로서 기능하는 제1 절연막(402) 및 제2 절연막(404)에서 나트륨 농도를 1×10^{16} atoms/cm³ 이하 또는 잡음을 고려한 SIMS 분석의 검출 하한치 이하로 만든다. 제2 절연막과 접촉하는 활성층으로서, n+ 영역(405, 409, 414), 채널 형성 영역(407 및 411), 및 상기 n+ 영역과 상기 채널 형성 영역 사이의 n' 영역(406 및 413)이 있다. 제1 절연막(402) 및 제2 절연막(404) 내의 나트륨 농도는 낮아질 수 있고, 따라서, 활성층 내의 나트륨의 농도는 1×10^{16} atoms/cm³ 이하로 될 수 있으므로, TFT의 개선된 신뢰도를 제공한다. 콘택트 홀은 활성층의 상부를 커버하는 제1 층간 절연막(419)에 형성되고, n+ 영역(414)이 배선(417)과 접촉되고, 패시베이션막(418)이 그의 상부에 형성된다. 다음으로, 제2 층간 절연막(420)이 그 위에 형성된다. 이어서, 제3 층간 절연막(422)이 그 위에 추가로 형성되고, ITO 또는 SnO₂ 등의 투명한 전극으로 구성된 화소 전극(423)이 그에 접속된다. 더욱이, 421은 화소 전극(423)에 인접한 화소 전극이다.

또한, 화소부의 커패시터부는 커패시터스 배선(415) 및 유전체로서 사용된 제1 절연막(402) 및 제2 절연막(404)을 갖는 n+ 영역(414)에 의해 형성된다.

이 실시예에서, 투과성 LCD가 예로써 제조되지만, 본 발명은 특히 그것으로만 제한되지 않는다. 예를 들면, 화소 전극의 재료로서 반사성을 갖는 금속 재료를 사용하고, 화소 전극의 패턴을 변화시키고, 여러 가지 공정을 적절히 추가/제거함으로써 반사성 LCD를 제조할 수 있다.

더욱이, 이 실시예에서, 화소부의 화소 TFT의 게이트 배선은 이중 게이트 구성으로 형성된다. 그러나, 그 배선은 오프 전류에서 변화를 감소시키기 위해 트리플 게이트 구성과 같은 멀티-게이트 구성으로 형성될 수 있다. 게다가, 단일 게이트 구성은 구경비를 개선시키기 위해 사용될 수 있다.

이 실시예에 따른 TFT는 전기적 특성의 적은 변화를 보여준다. 이 실시예는 실시예 1 및 2를 조합함으로써 구성될 수 있다.

실시예 4

이 실시예는 도 9에서 본 발명에 따라 제조한 액정 디스플레이 장치를 보여준다. 화소 TFT(화소 스위치 원소)를 조립하고, 셀을 어셈블하기 위해 공지된 수단이 사용될 수 있고, 따라서 상세한 설명은 생략한다.

도 9는 이 실시예에 따른 액티브 매트릭스 액정 패턴을 나타내는 개략도이다. 도 9에 도시된 바와 같이, 액티브 매트릭스 기관은 반대쪽 기관에 대향하고, 액정이 이들 기관 사이에 끼워 넣어진다. 액티브 매트릭스 기관은 유리 기관(1000) 상에 형성된 화소부(1001), 주사선 구동 회로(1002) 및 신호선 구동 회로(1003)를 포함한다.

주사선 구동 회로(1002) 및 신호선 구동 회로(1003)는 주사선(1030) 및 신호선(1040) 각각에 의해 화소부(1001)에 접속된다. 이들 구동 회로(1002 및 1003)는 주로 CMOS 회로를 포함한다.

주사선(1030)은 화소부(1001)의 각각의 행(row)에 대해 형성되고, 신호선(1040)은 그의 각각의 열(column)에 대해 형성된다. 화소 TFT(1010)의 게이트 전극은 주사선(1030)에 접속되는 한편, 소스는 신호선(1040)에 접속된다. 더욱이, 드레인 전극(1060)과 기억 커패시터(1070)로 접속된다.

반대쪽 기관(1080)은 유리 기관의 전체 표면 상에 형성된 ITO 등의 투명한 도전성막을 구비한다. 투명한 도전성막은 화소부(1001)의 화소 전극(1060)에 대향하는 반대쪽 전극이다. 액정은 화소 전극과 반대쪽 전극 사이에 확립될 전계에 의해 작동된다. 반대쪽 기관(1080) 상에는 정렬막, 블랙 매트릭스 또는 컬러 필터가 필요에 따라 형성된다.

액티브 매트릭스 기관의 유리 기관 상에는, FPC(1031)을 부착시킬 영역을 사용함으로써 IC 칩(1032 및 1033)이 제조된다. 이들 IC 칩(1032 및 1033)은 실리콘 기관 상에 형성되고, 비디오 신호 처리 회로, 타이밍 펄스 발생 회로, r정정 회로, 메모리 회로 또는 운영 회로 등의 회로를 포함한다.

또한, 투과성 또는 반사성 액정 디스플레이 장치가 본 발명에 따라 제조될 수 있다. 누구나 둘중 하나를 자유롭게 선택할 수 있다. 상기한 바와 같이, 본 발명은 액티브 매트릭스 전기-광학적 장치들(반도체 장치) 중의 임의의 유형에 적용될 수 있다.

또한, 실시예 1 내지 3의 구성중 임의의 것이 사용될 수 있거나 또는 이들 실시예 각각이 이 실시예에 나타낸 반도체 장치를 제조하기 위해 서로 자유롭게 조합될 수 있다.

실시예 5

본 발명은 액티브 매트릭스 EL(전기 발광) 디스플레이 장치에 적용될 수 있다. 이 장치의 예는 도 10에 도시된다.

도 10은 액티브 매트릭스 EL 디스플레이 장치의 회로도를 나타낸다. 참조 번호 81은 디스플레이 영역을 나타내고, 그의 주변부 상에 X-방향 주변 구동 회로(82) 및 Y-방향 주변 구동 회로(83)가 제공된다. 디스플레이 영역(81)의 화소들 각각은 스위칭 TFT(84), 커패시터(85), 전류 제어 TFT(86) 및 유기 EL 원소(87)를 포함하고, 단 스위칭 TFT(84)는 X-방향 신호선(88a 또는 88b) 및 Y-방향 신호선(80a 또는 80b 또는 80c)과 접속된다. 또한, 전류 제어 TFT(86)는 동력선(89a 및 89b)과 접속된다.

게다가, 실시예 1 내지 3에 따른 구성중 임의의 것이 이 실시예의 액티브 매트릭스 EL 디스플레이 장치를 위해 조합될 수 있다.

실시예 6

본 발명은 일반적으로 종래의 IC 기술에 적용될 수 있다. 즉, 본 발명은 현재 시판중인 모든 반도체 회로에 적용될 수 있다. 예를 들면, 본 발명은 하나의 칩 상에 집적된 회로를 갖는 RISC 프로세서 또는 ASIC 프로세서 등의 마이크로프로세서 및 액정 구동기 회로에 전형적으로 사용된 신호 처리 회로(D/A 변환기, r정정 회로 또는 신호 분할기 회로) 등의 고주파수 회로 또는 휴대용 장치(휴대 전화, PHS, 또는 이동 컴퓨터)에 적용될 수 있다.

또한, 마이크로프로세서 등의 반도체 회로들은 중앙 회로로서 기능할 여러 가지 전자 장치에 설치된다. 전형적인 전자 장치로는 개인용 컴퓨터, 휴대용 정보 단말기 및 여러 가지 유형의 전기 제품을 들 수 있다. 더욱이, 이들 장치는 운송 수단(자동차 또는 기차 등)에 사용하기 위한 제어 컴퓨터를 포함하기도 한다. 본 발명은 여러 가지 반도체 장치들에 적용될 수도 있다.

실시예 7

본 발명에 따라 형성된 CMOS 회로 또는 화소부들은 여러 가지 전기-광학 장치들(액티브 매트릭스 액정 디스플레이 장치, 액티브 매트릭스 EL 디스플레이 장치, 또는 액티브 매트릭스 EC 디스플레이 장치)에 적용될 수 있다. 즉, 본 발명은 이들 전기-광학 장치들이 디스플레이 매체로서 개입되는 임의의 전자 장치에 적용될 수 있다.

그러한 전자 장치들로는 비디오 카메라, 디지털 카메라, 영사기(후위 또는 정면 타입), 헤드-설치된 디스플레이 장치(안경-타입 디스플레이 장치), 차 항법 시스템, 개인용 컴퓨터, 휴대용 정보 단말기(이동 컴퓨터, 휴대 전화 또는 전자 북) 등을 들 수 있다. 이들 장치의 예는 도 11a 내지 13c에 도시한다.

도 11a는 주 몸체(2001), 영상 입력부(2002), 디스플레이 장치(2003) 및 키보드(2004)를 포함하는 개인용 컴퓨터를 나타낸다. 본 발명은 영상 입력부(2002), 디스플레이 장치(2003) 및 기타 신호 제어 회로에 적용될 수 있다.

도 11b는 주 몸체(2101), 디스플레이 장치(2102), 음성 입력부(2103), 제어 스위치(2104), 배터리(2105) 및 영상 수신부(2106)를 포함하는 비디오 카메라를 보여준다. 본 발명은 디스플레이 장치(2102), 음성 입력부(2103) 및 기타 신호 제어 회로에 적용될 수 있다.

도 11c는 주 몸체(2201), 카메라부(2202), 영상 수신부(2203), 제어 스위치(2204) 및 디스플레이 장치(2205)를 포함하는 이동 컴퓨터를 나타낸다. 본 발명은 디스플레이 장치(2205) 및 기타 신호 제어 회로에 적용될 수 있다.

도 11d는 주 몸체(2301), 디스플레이 장치(2302) 및 암부(2303)를 포함하는 안경 타입 디스플레이 장치를 나타낸다. 본 발명은 디스플레이 장치(2302) 및 기타 신호 제어 회로에 적용될 수 있다.

도 11e는 프로그램이 기록되는 기록 매체(이하 기록 매체라 칭함)를 사용하고, 주 몸체(2401), 디스플레이 장치(2402), 스피커부(2403), 기록 매체(2404) 및 제어 스위치(2405)를 포함하는 플레이어를 나타낸다. 게다가, 이 장치는 음악 감상, 영화 감상, 게임 또는 인터넷을 위해 사용될 DVD(디지털 가전 디스크) 또는 CD 등의 기록 매체를 사용한다. 본 발명은 디스플레이 장치(2402) 및 기타 신호 제어 회로에 적용될 수 있다.

도 11f는 주 몸체(2501), 디스플레이 장치(2502), 대안렌즈부(2503), 제어 스위치(2504) 및 영상 수신부(도시하지 않음)를 포함하는 디지털 카메라를 나타낸다. 본 발명은 디지털 장치(2502) 및 기타 신호 제어 회로에 적용될 수 있다.

도 12a는 광원 광학 시스템 및 디스플레이 장치(2601) 및 스크린(2602)을 포함하는 정면형 영사기를 나타낸다. 본 발명은 디스플레이 장치 및 기타 신호 처리 회로에 적용될 수 있다.

도 12b는 주 몸체(2701), 광원 광학 시스템 및 디스플레이 장치(2702), 모니터(2703) 및 스크린(2704)을 포함하는 후위형 영사기를 나타낸다. 본 발명은 디스플레이 장치 및 기타 신호 처리 회로에 적용될 수 있다.

도 13a는 주 몸체(2901), 음성 출력부(2902), 음성 입력부(2903), 디스플레이부(2904), 제어 스위치(2905), 안테나(2906) 등을 포함하는 휴대용 전화를 나타낸다. 본 발명은 음성 출력부(2902), 음성 입력부(2903) 디스플레이부(2904) 및 기타 신호 처리 회로에 적용될 수 있다.

도 13b는 주 몸체(3001), 디스플레이부(3002 및 3003), 기록 매체(3004), 제어 스위치(3005), 안테나(3006) 등을 포함하는 휴대용 북(전자 북)을 나타낸다. 본 발명은 디스플레이부(3002 및 3003) 및 기타 신호 처리 회로에 적용될 수 있다.

도 13c는 주 몸체(3101), 지원 베이스(3102), 디스플레이부(3103) 등을 포함하는 디스플레이 장치를 나타낸다. 본 발명은 디스플레이부(3103)에 적용될 수 있다. 본 발명은 상부 좌측 코너로부터 하부 우측 코너까지 10인치 이상(특히, 30인치 이상)으로 계속된 디스플레이 등의 큰 디스플레이 스크린에 특히 유리하다.

상기한 바와 같이, 본 발명은 광범위한 용도를 갖고, 따라서, 각종 분야의 전자 장치에 적용될 수 있다. 더욱이, 이 실시예에 따른 전자 장치들은 실시예 1 내지 6의 구성의 임의의 조합에 의해 실현될 수 있다.

실시예 8

실시예 1 또는 2에서, 산화 탄탈막이 산소를 함유하는 혼합 분위기에서 탄탈로 구성된 타겟을 스퍼터링함으로써 형성되는 예가 도시되었다. 이 실시예에서, 산화 탄탈막이 실시예 1 또는 2와 상이한 방법에 의해 형성되는 예가 도시된다.

먼저, 탄탈로 구성된 타겟이 크세논 분위기에서 유리 기판(667°C의 유리 뒤틀림 온도를 갖는 코닝 1737) 상으로 스퍼터링되어 50nm 내지 250nm, 바람직하게는 50 내지 150nm 범위 두께의 탄탈막(50)을 형성한다. 스퍼터링 분위기로서, 아르곤 분위기 또는 기타 희박 가스 분위기가 사용될 수 있다. 대안으로, 크세논 분위기, 아르곤 분위기 또는 기타 희박 가스 분위기 혼합물이 사용될 수 있다.

순차로, 탄탈막을 양극 처리하기 위해 양극 처리 장치 내의 탄탈막에 전압이 인가되고, 따라서 산화 탄탈막이 형성되었다. 그 조건으로서, 3% 타르타르산을 함유하는 에틸렌 글리콜 용액이 10°C의 전해 온도, 40 내지 80V의 획득 전압, 30분의 전압 인가 시간 및 10mA/1 기판으로 공급된 전류에서 전해질로서 사용되었다.

양극 처리가 완료된 후, 욕안으로 유리 기판을 관찰하여 탄탈막이 거의 투명한 것을 보았다. 그 이유는 탄탈막이 양극 처리되어 산화 탄탈막을 형성하기 때문이다.

더욱이, 탄탈막의 시트 저항은 초기 조건(양극 처리 전) 하에 100.1Ω/스퀘어였지만, 양극 처리 후 시트 저항은 측정 장치의 측정 범위에 걸쳐 관독치를 보였다. 측정 장치의 최대 측정치는 5000KΩ/스퀘어이기 때문에, 양극 처리 후 시트 저항은 5000KΩ/스퀘어 미만이다. 더욱이, 시트 저항 값은 5회 측정치의 평균값이다. 그것은 탄탈막이 산화되어 산화 탄탈막을 형성하는 매우 큰 시트 저항 값으로부터 알 수 있다.

양극 처리법에 의해 형성된 산화 탄탈막의 반사율은 유리 기판(코닝 1737) 상에 형성된 40nm 두께의 산화 탄탈막에 대해 20.4%였다. 이러한 반사율에 기초하여 결정된 굴절 지수는 2.65였다.

산화 탄탈막이 형성된 후, TFT는 실시예 1 또는 2에 따라 제조되었다. 더욱이, 실시예 1 및 2는 자유롭게 조합될 수 있다. 또한, 실시예 3 내지 7에서, 이 실시예에 따른 제조 방법에 의해 형성된 산화 탄탈막을 갖는 구성이 사용될 수 있다.

본 발명에 따라, TFT 특성은 유리 기판으로부터 활성층으로 나트륨 등의 불순물의 확산 방지를 보장할 수 있는 블로킹막을 제공함으로써 개선될 수 있다. 또한, 코팅에서 열분해는 수율의 감소를 방지할 수 있다. 따라서, 큰 디스플레이 영역을 갖는 고성능 액티브 매트릭스 액정 디스플레이 장치가 낮은 단가로 제공될 수 있다. 더욱이, 보텀 게이트 TFT에서, 게이트 배선에 대한 우수한 접착성을 갖는 블로킹 층이 형성될 수 있다.

발명의 효과

본 발명의 구성에 따라, 유리 기판으로부터 활성층으로 불순물에 의해 유발된 오염은 산화 탄탈막에 의해 예방될 수 있으므로, TFT 특성의 변화를 감소시키고, 따라서 TFT의 개선된 신뢰도를 제공한다.

도면의 간단한 설명

- 도 1의 (a) 내지 (e)는 실시예 1의 TFT 제조 공정을 나타내는 도면.
- 도 2의 (a) 내지 (d)는 실시예 1의 TFT 제조 공정을 나타내는 도면.
- 도 3의 (a) 내지 (c)는 실시예 1의 TFT 제조 공정을 나타내는 도면.
- 도 4의 (a) 내지 (e)는 실시예 2의 TFT 제조 공정을 나타내는 도면.
- 도 5의 (a) 내지 (d)는 실시예 2의 TFT 제조 공정을 나타내는 도면.
- 도 6의 (a) 내지 (d)는 실시예 2의 TFT 제조 공정을 나타내는 도면.
- 도 7a 내지 7c는 실시예 3의 CMOS 회로의 정면도, 단면도 및 회로도 나타내는 도면.
- 도 8a 및 8b는 실시예 3의 화소부의 정면도 및 단면도를 나타내는 도면.
- 도 9는 실시예 4의 액티브 매트릭스 기판의 실시예를 나타내는 도면.
- 도 10은 실시예 5의 EL 패널의 회로도를 나타내는 도면.
- 도 11a 내지 11f는 실시예 7의 전자 장치의 실시예들을 나타내는 도면.
- 도 12a 및 12b는 실시예 7의 전자 장치의 실시예들을 나타내는 도면.
- 도 13a 내지 13c는 실시예 7의 전자 장치의 실시예들을 나타내는 도면.

* 도면의주요부분에대한부호의설명

102, 302: 게이트 배선

103a, 103b: 게이트 절연막

104: 무정형 반도체막

106, 108: 절연막

107: 포토-레지스트 마스크

108: 채널 보호막

109, 114: 레지스트 마스크

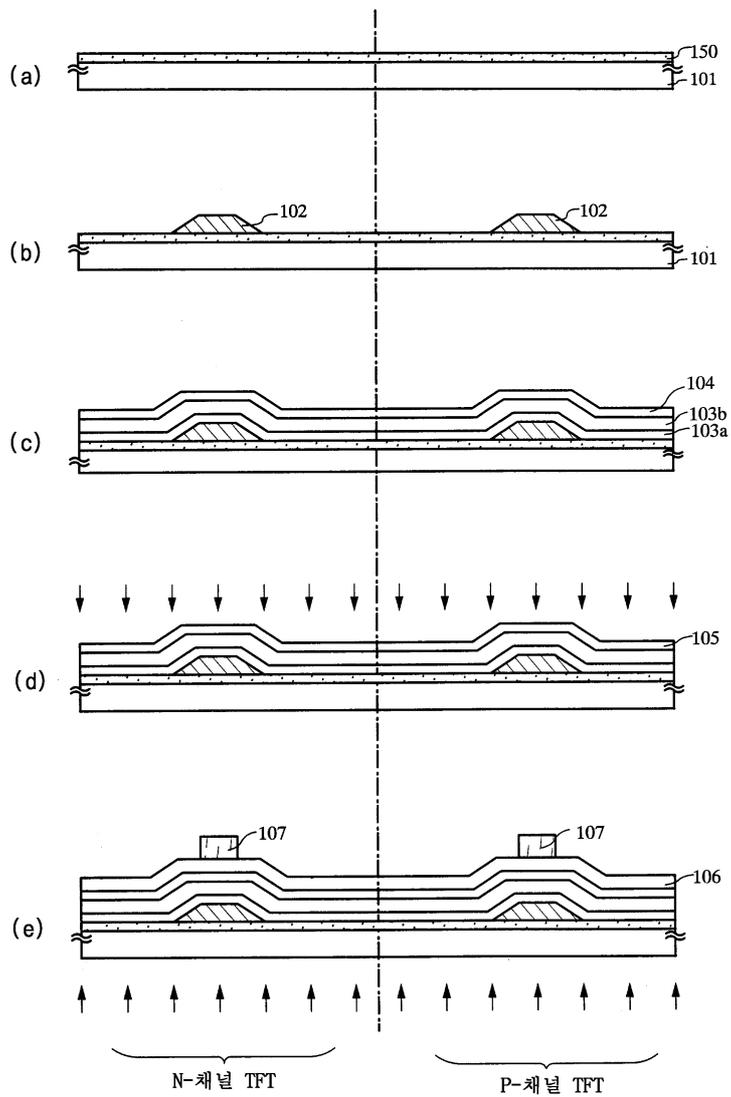
115, 215: 소스 영역

116, 216: 드레인 영역

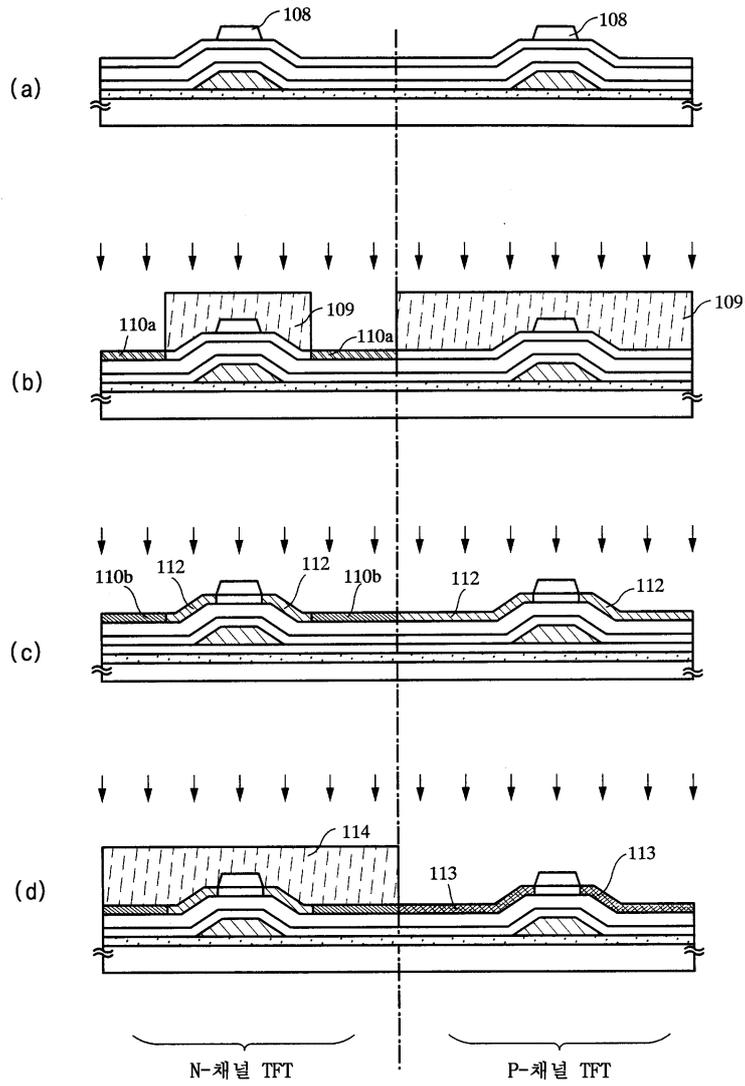
119, 219, 314: 채널 형성 영역

도면

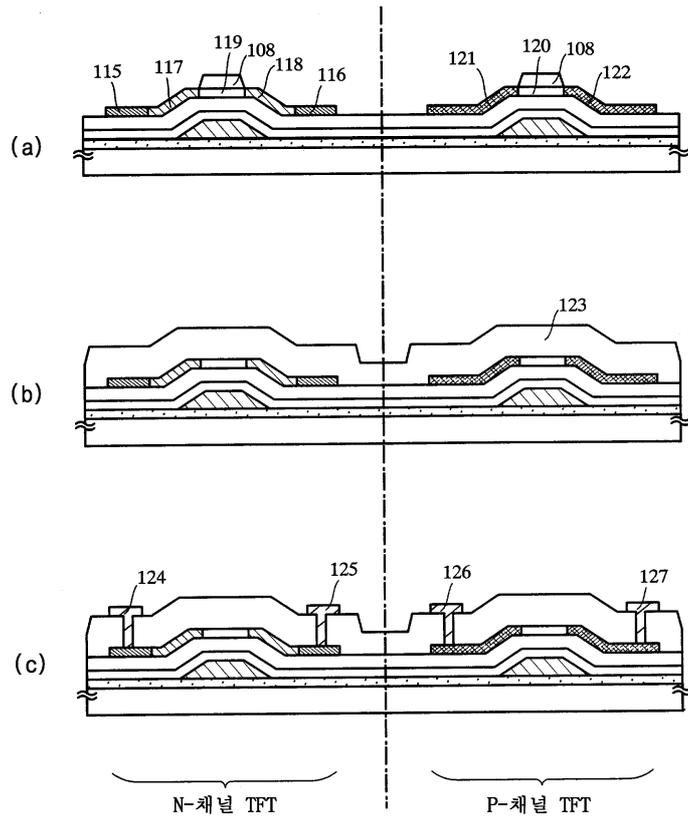
도면1



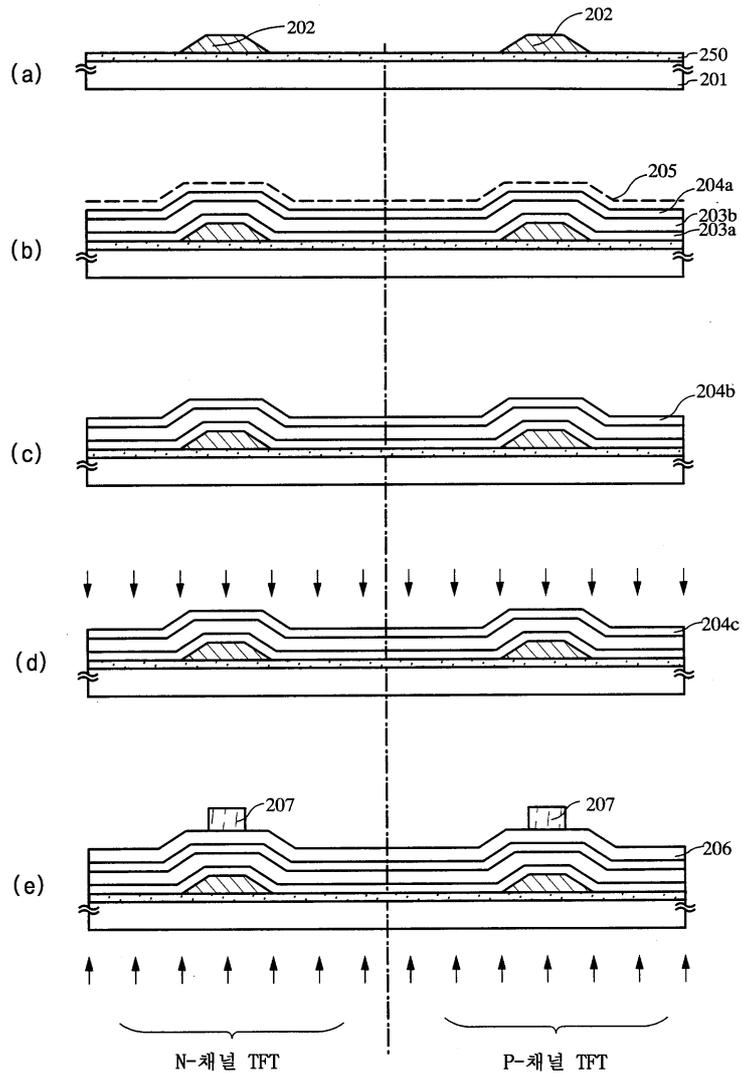
도면2



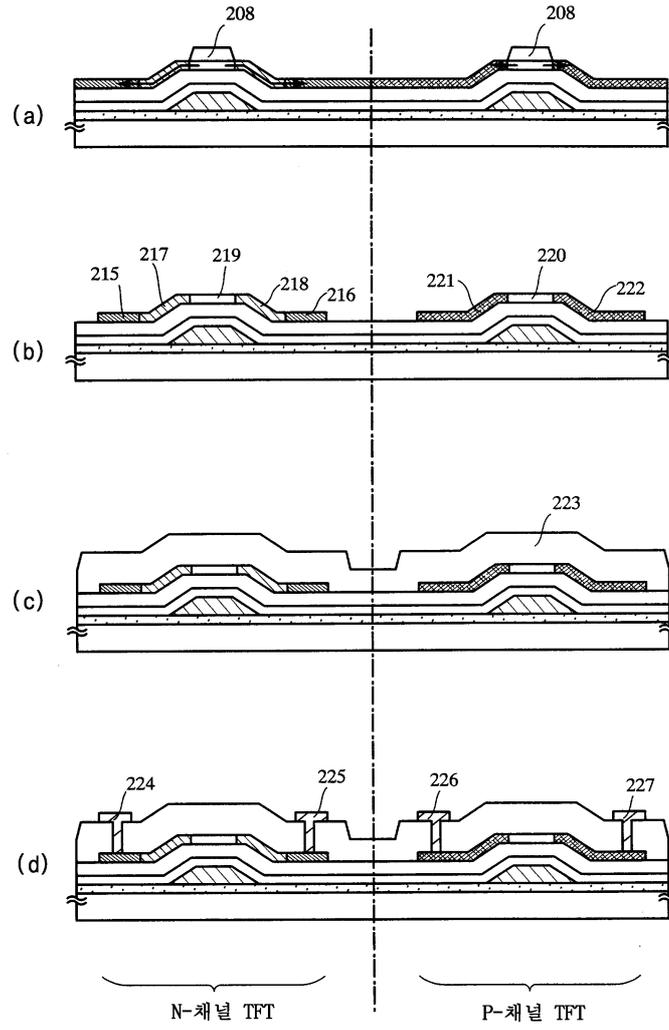
도면3



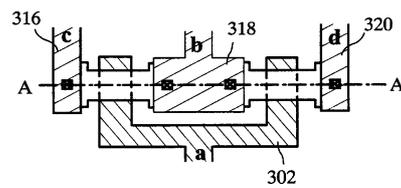
도면4



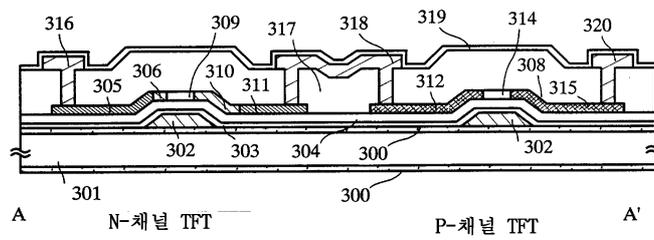
도면6



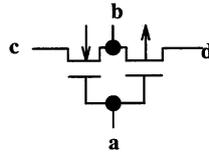
도면7a



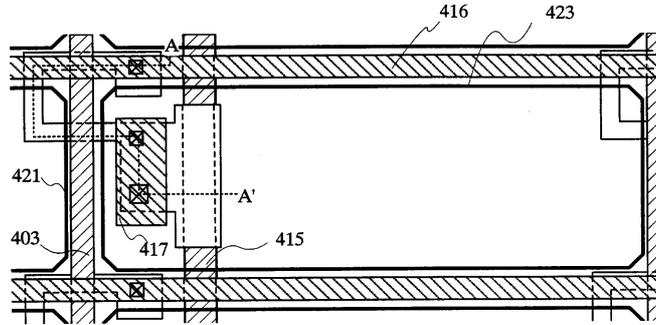
도면7b



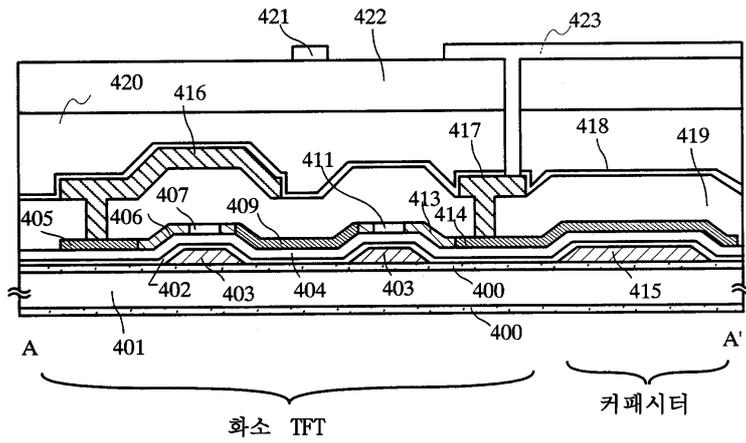
도면7c



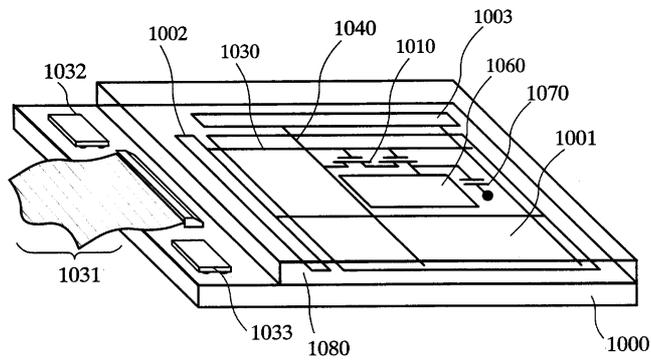
도면8a



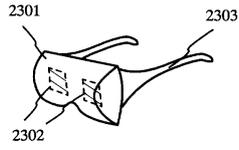
도면8b



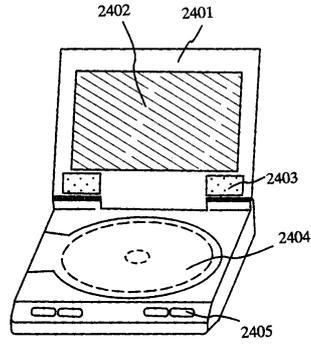
도면9



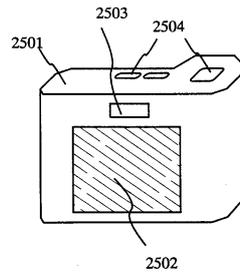
도면11d



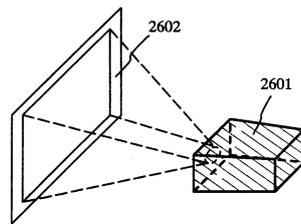
도면11e



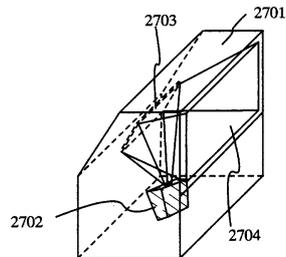
도면11f



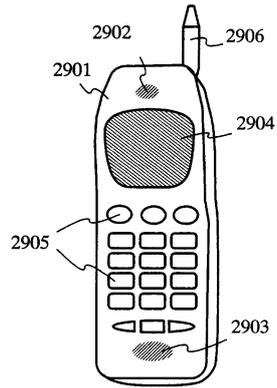
도면12a



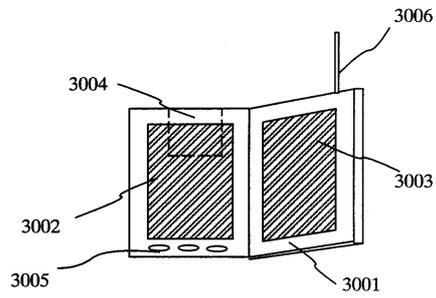
도면12b



도면13a



도면13b



도면13c

