

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成17年8月18日(2005.8.18)

【公開番号】特開2002-318570(P2002-318570A)

【公開日】平成14年10月31日(2002.10.31)

【出願番号】特願2002-30482(P2002-30482)

【国際特許分類第7版】

G 09 G 3/36

G 02 F 1/133

G 09 G 3/20

【F I】

G 09 G 3/36

G 02 F 1/133 5 5 0

G 02 F 1/133 5 7 5

G 09 G 3/20 6 1 1 A

G 09 G 3/20 6 2 1 M

G 09 G 3/20 6 2 3 E

G 09 G 3/20 6 2 3 F

G 09 G 3/20 6 2 4 B

G 09 G 3/20 6 4 2 D

G 09 G 3/20 6 6 0 U

【手続補正書】

【提出日】平成17年2月4日(2005.2.4)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

nビット(nは2以上の自然数)のデジタル映像信号を用いて階調を表示する液晶表示装置であって、

n個の記憶回路と液晶素子とをそれぞれ備えたk(kは2以上の自然数)個の画素よりなるブロックを有し、

前記ブロックはD/A変換回路を有し、

前記n個の記憶回路に前記nビットのデジタル映像信号を記憶する手段と、

前記k個の画素のうち1つを選択し、前記選択された画素に記憶された前記nビットのデジタル映像信号を前記D/A変換回路に入力する手段と、

前記D/A変換回路が出力するアナログ信号を、前記選択された画素の前記液晶素子に入力する手段とを有することを特徴とする液晶表示装置。

【請求項2】

nビット(nは2以上の自然数)のデジタル映像信号を用いて階調を表示する液晶表示装置であって、

k(kは2以上の自然数)個の画素よりなるブロックと、ゲート信号線駆動回路と、ソース信号線駆動回路とを有し、

前記ブロックはD/A変換回路を有し、

前記k個の画素それぞれは、n個の記憶回路と、液晶素子と、前記ゲート信号線駆動回路の出力信号によって導通状態となるn個のスイッチング素子とを有し、

前記 n 個のスイッチング素子それぞれを介して、前記ソース信号線駆動回路から出力された n ビットのデジタル映像信号を前記 n 個の記憶回路それぞれに入力する手段と、

前記 k 個の画素のうち 1 つを選択し、前記選択された画素に記憶された前記 n ビットのデジタル映像信号を前記 D / A 変換回路に入力する手段と、

前記 D / A 変換回路が出力するアナログ信号を、前記選択された画素の前記液晶素子に入力する手段とを有することを特徴とする液晶表示装置。

【請求項 3】

請求項 2 において、

前記ソース信号線駆動回路は、アドレスデコーダを有することを特徴とする液晶表示装置。

【請求項 4】

請求項 2 において、

前記ゲート信号線駆動回路は、アドレスデコーダを有することを特徴とする液晶表示装置。

【請求項 5】

請求項 2 において、

前記ソース信号線駆動回路は、アドレスデコーダを有し、

前記ゲート信号線駆動回路は、アドレスデコーダを有することを特徴とする液晶表示装置。

【請求項 6】

請求項 1 乃至 請求項 5 のいずれか一項において、

前記 k 個の画素、前記ソース信号線駆動回路、前記ゲート信号線駆動回路は、同一基板上に形成されていることを特徴とする液晶表示装置。

【請求項 7】

請求項 1 乃至 請求項 6 のいずれか一項において、

前記 n 個の記憶回路はスタティック型メモリであることを特徴とする液晶表示装置。

【請求項 8】

請求項 1 乃至 請求項 6 のいずれか一項において、

前記 n 個の記憶回路は強誘電体メモリであることを特徴とする液晶表示装置。

【請求項 9】

請求項 1 乃至 請求項 6 のいずれか一項において、

前記 n 個の記憶回路はダイナミック型メモリであることを特徴とする液晶表示装置。

【請求項 10】

請求項 1 乃至 請求項 9 のいずれか一項に記載の前記液晶表示装置を用いることを特徴とする携帯情報端末、電子手帳、モバイルコンピュータ、携帯電話、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ、ヘッドマウントディスプレイまたは携帯書籍。

【請求項 11】

n ビット (n は 2 以上の自然数) のデジタル映像信号を用いて階調を表示する液晶表示装置の駆動方法であって、

n 個の記憶回路と、液晶素子とをそれぞれ備えた k (k は 2 以上の自然数) 個の画素よりなるブロックを有し、

前記ブロックは D / A 変換回路を有し、

前記 n 個の記憶回路に、前記 n ビットのデジタル映像信号を記憶する第 1 の動作と、

前記 k 個の画素のうち 1 つを選択し、前記選択された画素に記憶された前記 n ビットのデジタル映像信号を前記 D / A 変換回路に入力する第 2 の動作と、

前記 D / A 変換回路が出力するアナログ信号を、前記選択された画素の前記液晶素子に入力する第 3 の動作とを有することを特徴とする液晶表示装置の駆動方法。

【請求項 12】

n ビット (n は 2 以上の自然数) のデジタル映像信号を用いて階調を表示する液晶表示

装置の駆動方法であって、

k (k は 2 以上の自然数) 個の画素よりなるプロックと、ゲート信号線駆動回路と、ソース信号線駆動回路とを有し、

前記プロックは D / A 変換回路を有し、

前記 k 個の画素それぞれは、 n 個の記憶回路と、液晶素子と、前記ゲート信号線駆動回路の出力信号によって導通状態となる n 個のスイッチング素子とを有し、

前記 n 個のスイッチング素子それぞれを介して、前記ソース信号線駆動回路から出力された n ビットのデジタル映像信号を前記 n 個の記憶回路それぞれに入力する第 1 の動作と、

前記 k 個の画素のうち 1 つを選択し、前記選択された画素に記憶された前記 n ビットのデジタル映像信号を前記 D / A 変換回路に入力する第 2 の動作と、

前記 D / A 変換回路が出力するアナログ信号を、前記選択された画素の前記液晶素子に入力する第 3 の動作とを有することを特徴とする液晶表示装置の駆動方法。

【請求項 1 3】

請求項 1 1 または請求項 1 2 において、

前記第 1 の動作を一旦行った後、

前記第 2 の動作と前記第 3 の動作のみを、一定期間繰り返すことを特徴とする液晶表示装置の駆動方法。

【請求項 1 4】

請求項 1 2 において、

前記第 1 の動作を一旦行った後、

前記ゲート信号線駆動回路の動作を停止することによって前記第 1 の動作を行わず、前記第 2 の動作と前記第 3 の動作のみを一定期間繰り返すことを特徴とする液晶表示装置の駆動方法。

【請求項 1 5】

請求項 1 2 において、

前記第 1 の動作を一旦行った後、

前記ソース信号線駆動回路の動作と前記ゲート信号線駆動回路の動作とを停止することによって前記第 1 の動作を行わず、前記第 2 の動作と前記第 3 の動作のみを一定期間繰り返すことを特徴とする液晶表示装置の駆動方法。