

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4247640号
(P4247640)

(45) 発行日 平成21年4月2日(2009.4.2)

(24) 登録日 平成21年1月23日(2009.1.23)

(51) Int. Cl.	F 1	
G09G 3/28 (2006.01)	G09G	3/28 J
H02M 3/28 (2006.01)	H02M	3/28 B
G09G 3/20 (2006.01)	H02M	3/28 H
H04N 5/66 (2006.01)	G09G	3/28 N
	G09G	3/20 612D
請求項の数 3 (全 13 頁) 最終頁に続く		

(21) 出願番号	特願2006-252697 (P2006-252697)	(73) 特許権者	000201113 船井電機株式会社 大阪府大東市中垣内7丁目7番1号
(22) 出願日	平成18年9月19日(2006.9.19)	(74) 代理人	100096703 弁理士 横井 俊之
(65) 公開番号	特開2008-76504 (P2008-76504A)	(72) 発明者	小川 敬弘 大阪府大東市中垣内7丁目7番1号 船井電機株式会社内
(43) 公開日	平成20年4月3日(2008.4.3)	審査官	中村 直行
審査請求日	平成18年9月28日(2006.9.28)		
最終頁に続く			

(54) 【発明の名称】 プラズマテレビジョンおよび電源回路

(57) 【特許請求の範囲】

【請求項1】

所定の起動信号が入力されると一次側の発振を開始させ、該発振の開始から二次側の出力電圧が所定電圧以上となるまでに所定時間を要するサステイン電圧生成回路を備えて、入力される映像信号に基づく映像を画面に表示するプラズマテレビジョンにおいて、

交流電圧が入力されて直流電圧を生成する整流回路と、

内蔵するトランスの一次側巻線に上記直流電圧が入力され、二次側巻線においてアドレス電圧を生成してプラズマディスプレイパネルに出力するアドレス電圧生成回路と、

内蔵するトランスの一次側巻線に上記直流電圧が入力され、二次側巻線における巻き出し位置がそれぞれ異なる導線から電圧レベルの異なるサステイン電圧と検査用電圧とを出力して該サステイン電圧をプラズマディスプレイパネルに出力するとともに該検査用電圧を外部に出力する上記サステイン電圧生成回路と、

内蔵するトランスの一次側巻線に上記直流電圧が入力され、二次側巻線における巻き出し位置がそれぞれ異なる導線から電圧レベルの異なる第一の消去電圧と第二の消去電圧とスキャン電圧とをプラズマディスプレイパネルに出力するスタンバイ電圧生成回路と、

上記検査用電圧が一端に入力されつつ他端がグランドに接続される第一の分割抵抗を有する検知回路と、

上記整流回路の前段に設けられ、上記整流回路への交流電圧の供給と遮断とを切り替えることにより主電源のオン・オフを切り替えるリレー回路と、

上記第一の分割抵抗の分割点における電圧を入力され、該電圧が所定値より低い場合に

10

20

上記サステイン電圧が異常値であると判断して上記リレー回路をオフに切り替えるマイコンと、

一端に一定の外部電圧が入力されつつ他端がグラウンドに接続される第二の分割抵抗と、一端がグラウンドに接続される第三の分割抵抗と、該第三の分割抵抗の他端にアノードが接続されつつカソードに上記サステイン電圧が入力され、かつ上記発振の開始から所定時間後の上記サステイン電圧にて降伏するツェナダイオードと、上記第二の分割抵抗の分割点にコレクタが接続されるとともに上記第三の分割抵抗の分割点にベースが接続され、かつエミッタがグラウンドに接続されるトランジスタと、を含んで構成され、上記第一の分割抵抗の分割点と上記第二の分割抵抗の分割点とが接続され、上記ツェナダイオードの降伏時以外は該第二の分割抵抗の分割点における電圧が上記所定値以上となる検知無効回路と、

10

【請求項 2】

所定の起動信号が入力されると一次側の発振が開始され、該発振の開始から二次側の出力電圧が所定電圧以上となるまで所定時間を要する電源回路において、

該電源回路の出力電圧が入力され、該出力電圧が上記所定電圧以上であるか否かを検知する検知手段と、

上記検知手段が出力電圧を上記所定電圧より低いと判断した場合に該電源回路の主電源をオフ状態に切り替える電源切替手段と、

一端に上記電源回路の外部より一定電圧が入力されつつ他端がグラウンドに接続される第二の分割抵抗と、一端がグラウンドに接続される第三の分割抵抗と、該第三の分割抵抗の他端にアノードが接続されつつ上記出力電圧がカソードに入力され、かつ上記発振の開始から所定時間後の上記出力電圧にて降伏するツェナダイオードと、上記第二の分割抵抗の分割点にコレクタが接続されるとともに上記第三の分割抵抗の分割点にベースが接続され、かつエミッタがグラウンドに接続されるトランジスタと、を含んで構成され、上記第二の分割抵抗の分割点の電圧が上記検知手段に接続されており、上記出力電圧が上記所定電圧以上になるまで上記検知手段に所定値以上の代替電圧を供給するとともに、上記出力電圧が上記所定電圧以上になると上記ツェナダイオードが降伏して上記代替電圧の供給を停止し、かつ上記出力電圧に基づく電圧を上記検知手段に入力する検知無効手段と、を備えることを特徴とする電源回路。

20

【請求項 3】

上記検知手段は、一端に上記出力電圧が入力されつつ他端がグラウンドに接続される第一の分割抵抗を有しており、該第一の分割抵抗の分割点の電圧が所定値より低い場合に上記出力電圧が上記所定電圧より低いと検知し、

30

上記検知無効手段は、一端に一定電圧の外部電圧が入力されつつ他端がグラウンドに接続される第二の分割抵抗と、一端がグラウンドに接続される第三の分割抵抗と、該第三の分割抵抗の他端にアノードが接続されつつ上記出力電圧がカソードに入力され、かつ上記発振の開始から所定時間後の上記出力電圧にて降伏するツェナダイオードと、上記第二の分割抵抗の分割点にコレクタが接続されるとともに上記第三の分割抵抗の分割点にベースが接続され、かつエミッタがグラウンドに接続されるトランジスタと、を含んで構成され、上記第一の分割抵抗の分割点と上記第二の分割抵抗の分割点とが接続され、上記ツェナダイオードの降伏時以外は該第二の分割抵抗の分割点における電圧が上記所定値以上となることを特徴とする上記請求項 2 に記載の電源回路。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、プラズマテレビジョンおよび電源回路に関する。

【背景技術】

【0002】

電源回路においては、電源電圧が異常状態とならないように、電源電圧を所定の範囲内にするための保護回路が設けられるのが一般的である。例えばマイコンで電源回路の出力

50

電圧を監視し、該出力電圧が所定範囲外になるとマイコンが電源回路をリセットするなどである。

【0003】

このような保護回路が設けられた電源回路として、出力電圧を検出して定常動作信号とを比較し、継続的な異常の場合のみ電源装置を停止させること（例えば特許文献1等。）、2種類の基準電圧と電源電圧とを比較し、電源電圧が所定範囲外であるときに電源回路の動作を停止させること（例えば特許文献3等。）が知られている。また、特許文献2にはPDPへの各種電源の供給順乱れを防止する技術について記載されている。

【特許文献1】特開2001-16847号公報

【特許文献2】実用新案登録第3113676号

【特許文献3】特開2003-330408号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、上述した従来の電源回路においては、電源回路の一次側の共振を制御する共振制御素子によっては、電源回路に対する電源電圧の供給が開始されてから十分な電圧での発振が開始されるまでに時間がかかるものもある。この場合、出力電圧が所定電圧まで上昇する前にマイコンの監視が開始され、マイコンが電源異常と判断してしまうことがあった。

【0005】

本発明は、上記課題に鑑みてなされたもので、電源電圧の供給が開始されてから十分な電圧での発振が開始されるまでに時間がかかる電源回路であっても、出力電圧が所定の電圧以上になるまでに電源異常とならない電源回路、および該電源回路を備えるプラズマテレビジョンの提供を目的とする。

【課題を解決するための手段】

【0006】

上記課題を解決するために本発明では、所定の起動信号が入力されると一次側の発振が開始され、該発振の開始から二次側の出力電圧が所定電圧以上となるまで所定時間を要する電源回路において、該電源回路の出力電圧が入力され、該出力電圧が上記所定電圧以上であるか否かを検知する検知手段と、上記検知手段が出力電圧を上記所定電圧より低いと判断した場合に該電源回路の主電源をオフ状態に切り替える電源切替手段と、一端に上記電源回路の外部より一定電圧が入力されつつ他端がグラウンドに接続される第二の分割抵抗と、一端がグラウンドに接続される第三の分割抵抗と、該第三の分割抵抗の他端にアノードが接続されつつ上記出力電圧がカソードに入力され、かつ上記発振の開始から所定時間後の上記出力電圧にて降伏するツェナダイオードと、上記第二の分割抵抗の分割点にコレクタが接続されるとともに上記第三の分割抵抗の分割点にベースが接続され、かつエミッタがグラウンドに接続されるトランジスタと、を含んで構成され、上記第二の分割抵抗の分割点の電圧が上記検知手段に接続されており、上記出力電圧が上記所定電圧以上になるまで上記検知手段に所定値以上の代替電圧を供給するとともに、上記出力電圧が上記所定電圧以上になると上記ツェナダイオードが降伏して上記代替電圧の供給を停止し、かつ上記出力電圧に基づく電圧を上記検知手段に入力する検知無効手段と、を備える構成としてある。

上記構成よれば、二次側の出力電圧が所定電圧以上になるまでは上記検知無効手段が上記検知手段に代替電圧を入力して出力電圧が所定電圧以上であると認識させ、上記検知手段は上記出力電圧が正常であると認識する。一方、二次側の出力電圧が所定電圧以上になると上記検知無効手段は代替電圧の出力を停止し、二次側の出力電圧に基づく電圧が上記検知手段に入力され、上記検知手段は上記出力電圧が正常であると認識する。

【0007】

上記所定電圧とは、電源回路の電源供給先を駆動するのに十分な電圧であり、所定時間とは該電源回路が発振を開始してから出力電圧が該十分な電圧を超えるまでに要する時間

10

20

30

40

50

である。上記所定値とは、出力電圧が上記十分な電圧を超えていると上記検知手段が判断する値であり、該所定値以上の代替電圧が上記検知手段に入力されていると、上記電源切替手段は上記主電源をオフ状態に切り替えない。上記出力電圧は一系統であっても良いし、検知手段の検知用に別途設けられても構わない。上記外部とは該電源回路内では無いことを意味し、該電源回路の電源事情に左右されない電圧を供給可能であることを意味する。即ち、外部とは、該電源回路の出力電圧が所定の電圧以上でなくとも安定して電圧を供給するものであり、例えば該電源回路の前段に位置するものが適する。

【 0 0 0 8 】

このように本発明によれば、所定の起動信号が入力されると一次側の発振が開始され、該発振の開始から二次側の出力電圧が所定の電圧以上となるまでに所定時間を要する電源回路においても、該所定時間に検知手段が出力電圧の異常を検知することが無いため上記電源切替手段が該電源回路の主電源をオフ状態にすることが無い。

10

【 0 0 0 9 】

また、より具体的には、上記検知手段は、一端に上記出力電圧が入力されつつ他端がグラウンドに接続される第一の分割抵抗を有しており、該第一の分割抵抗の分割点の電圧が所定値より低い場合に上記出力電圧が上記所定電圧より低いと検知し、上記検知無効手段は、一端に一定電圧の外部電圧が入力されつつ他端がグラウンドに接続される第二の分割抵抗と、一端がグラウンドに接続される第三の分割抵抗と、該第三の分割抵抗の他端にアノードが接続されつつ上記出力電圧がカソードに入力され、かつ上記発振の開始から所定時間後の上記出力電圧にて降伏するツェナダイオードと、上記第二の分割抵抗の分割点にコレクタが接続されるとともに上記第三の分割抵抗の分割点にベースが接続され、かつエミッタがグラウンドに接続されるトランジスタと、を含んで構成され、上記第一の分割抵抗の分割点と上記第二の分割抵抗の分割点とが接続され、上記ツェナダイオードの降伏時以外は該第二の分割抵抗の分割点における電圧が上記所定値以上となる構成としても良い。

20

【 0 0 1 0 】

この構成によれば、上記出力電圧が所定電圧より低いときには、上記外部電圧が上記第二の分割抵抗により所定値に調整されて上記検知手段に供給される。一方、上記出力電圧が所定電圧以上になると、上記ツェナダイオードが降伏して上記トランジスタをオンし、外部電圧をグラウンドに引き込むため、上記出力電圧が上記第一の分割抵抗により所定値に調整されて上記検出手段に入力される。

30

【 0 0 1 1 】

さらに、より具体的な構成として、所定の起動信号が入力されると一次側の発振を開始させ、該発振の開始から二次側の出力電圧が所定電圧以上となるまでに所定時間を要するサステイン電圧生成回路を備えて、入力される映像信号に基づく映像を画面に表示するプラズマテレビジョンにおいて、交流電圧が入力されて直流電圧を生成する整流回路と、内蔵するトランスの一次側巻線に上記直流電圧が入力され、二次側巻線においてアドレス電圧を生成してプラズマディスプレイパネルに出力するアドレス電圧生成回路と、内蔵するトランスの一次側巻線に上記直流電圧が入力され、二次側巻線における巻き出し位置がそれぞれ異なる導線から電圧レベルの異なるサステイン電圧と検査用電圧とを出力して該サステイン電圧をプラズマディスプレイパネルに出力するとともに該検査用電圧を外部に出力する上記サステイン電圧生成回路と、内蔵するトランスの一次側巻線に上記直流電圧が入力され、二次側巻線における巻き出し位置がそれぞれ異なる導線から電圧レベルの異なる第一の消去電圧と第二の消去電圧とスキャン電圧とをプラズマディスプレイパネルに出力するスタンバイ電圧生成回路と、上記検査用電圧が一端に入力されつつ他端がグラウンドに接続される第一の分割抵抗を有する検知回路と、上記整流回路の前段に設けられ、上記整流回路への交流電圧の供給と遮断とを切り替えることにより主電源のオン・オフを切り替えるリレー回路と、上記第一の分割抵抗の分割点における電圧を入力され、該電圧が所定値より低い場合に上記サステイン電圧が異常値であると判断して上記リレー回路をオフに切り替えるマイコンと、一端に一定の外部電圧が入力されつつ他端がグラウンドに接続される第二の分割抵抗と、一端がグラウンドに接続される第三の分割抵抗と、該第三の分割抵

40

50

抗の他端にアノードが接続されつつカソードに上記サステイン電圧が入力され、かつ上記発振の開始から所定時間後の上記サステイン電圧にて降伏するツェナダイオードと、上記第二の分割抵抗の分割点にコレクタが接続されるとともに上記第三の分割抵抗の分割点にベースが接続され、かつエミッタがグランドに接続されるトランジスタと、を含んで構成され、上記第一の分割抵抗の分割点と上記第二の分割抵抗の分割点とが接続され、上記ツェナダイオードの降伏時以外は該第二の分割抵抗の分割点における電圧が上記所定値以上となる検知無効回路と、を具備する構成としても良い。

【発明の効果】

【0012】

以上説明したように本発明によれば、検出手段の仕様変更をする事無く、出力電圧の遅延上昇に対応することが可能な電源回路を提供することができる。

10

【0013】

また請求項3にかかる発明によれば、簡易な回路構成で本発明を実現できる。

さらに請求項1のような、より具体的な構成において、上述した請求項2および請求項3の各発明と同様の作用を奏することはいうまでもない。

【発明を実施するための最良の形態】

【0014】

以下、下記の順序に従って本発明の実施形態を説明する。

(1) 本発明の概略構成：

(2) 電源回路等の構成：

20

(3) サステイン電圧生成回路：

(4) まとめ：

【0015】

(1) 本発明の概略構成：

図1は、本発明にかかる電源回路を備えたプラズマテレビジョンの概略構成をブロック図により示している。

【0016】

同図において、プラズマテレビジョン100は、概略、プラズマディスプレイパネル(以下、PDPと略す。)40と映像処理回路20とチューナ回路10とマイコン60とパネル駆動回路30と電源回路50とから構成されている。チューナ回路10はアンテナ10aを介してテレビ放送信号を受信し、マイコン60の制御に基づいて所定の周波数帯域のテレビ放送信号から映像信号と音声信号とを中間周波信号として抽出する。マイコン60は、内蔵するCPUとROMとRAMとからなるプログラム実行環境を備えており、プラズマテレビジョン100全体の制御を行う。

30

【0017】

映像処理回路20はチューナ10から入力された映像信号に基づいて映像信号をデジタル化し、該デジタル化された映像信号にカラーマネージメント、ノイズリダクション、エッジエンハンス、画質調整、補正、パネルタイミング、ゲイン調整、バランス調整等の映像信号処理を施す。映像処理回路20から出力されるデジタル映像信号は、パネル駆動回路30に入力され、同パネル駆動回路30にてPDP40の駆動信号が生成され、該駆動信号に基づいてPDP40の画面に映像を表示する。

40

【0018】

電源回路50は、電源ケーブル57を介して商用の交流電圧ACが供給され、該供給された交流電圧からPDP40を駆動させるための電源電圧として、サステイン電圧 V_{sus} と、アドレス電圧 V_{add} と、第1消去電圧 V_{set} と、第2消去電圧 V_e と、スキャン電圧 V_{scan} とを生成し、PDP40に対して供給する。なお、電源回路50は、PDP40以外にも、マイコン60を始めとするプラズマテレビジョン100を構成する各回路に対して必要な電源を供給する。

【0019】

サステイン電圧 V_{sus} とアドレス電圧 V_{add} とは、PDP40に多数備えられるセルにお

50

ける維持電極とアドレス電極とにそれぞれ供給され、スキャン電圧 V_{scan} は、PDP40 に多数備えられるセルにおける走査電極に供給される。本実施形態のPDP40では、アドレス電極によって予備放電を行ったセルにおいて、走査電極と維持電極間にパルス電圧を加えることにより、PDP40の表示面方向に放電を起こさせる面放電方式を採用している。また、第1消去電圧 V_{set} と第2消去電圧 V_e 電源とは、セルに残留した電荷を消去するために用いられる。上記各電源電圧は、プラズマテレビジョン100の起動時において、特定の順序とタイミングでPDP40に出力される。

【0020】

以上の構成により、テレビ電波に基づく映像をPDP40にて再生することができる。むろん、アンテナ10aにて受信したテレビ映像のみならず、CATVによるテレビ映像が再生されてもよいし、DVDビデオデッキ等の外部機器から入力された映像信号が再生されてもよい。映像処理回路20が各信号形式に対応していればよく、チューナ回路10に入力されるテレビ電波はデジタル形式であってもよいし、アナログ形式であってもよい。

10

【0021】

(2) 電源回路等の構成：

図2は、電源回路50やマイコン60等をブロック図により示している。

電源回路50においては、整流回路51が交流電圧ACを入力し、この交流電圧ACを所定レベルの直流電圧DCに変換する。そして、変換後の直流電圧DCは、サステイン電圧 V_{sus} 生成回路52、アドレス電圧 V_{add} 生成回路53、スタンバイ電圧生成回路54にそれぞれ並列的に出力される。各電圧生成回路52～54はそれぞれに特定の巻き数比となったトランスを内部に備えており、トランスの一次側に直流電圧DCが入力されて、トランスの二次側においてそれぞれ所望の電圧レベルとなったサステイン電圧 V_{sus} 、アドレス電圧 V_{add} 、第1消去電圧 V_{set} 、第2消去電圧 V_e 、スキャン電圧 V_{scan} が取り出される。本実施形態においては整流回路51から入力される直流電圧DCが起動信号に相当する。

20

【0022】

各電圧生成回路52～54からは、出力電圧が所定値(例えば、2.5V)に調整された導線から検査用電圧 $S - V_{samp}$ を出力する。各電圧生成回路52～54の二次側から出力される直流電圧DCが所定範囲で安定している場合には、検査用電圧 $S - V_{samp}$ の値も安定した所定値となるが、各電圧生成回路52～54の二次側から出力される直流電圧DCが不安定である場合には同 $S - V_{samp}$ の値も不安定となる。つまり、検査用電圧 $S - V_{samp}$ は各電圧生成回路52～54から安定して出力されているか否か判断するための電圧である。検査用電圧 $S - V_{samp}$ はマイコン60に対して出力され、該検査用電圧 $S - V_{samp}$ を受け付けたマイコン60がそのレベルが正常か否かを判断する。

30

【0023】

マイコン60は、 V_{sus} 生成回路52から出力された電圧を入力するためのアナログ/デジタル(A/D)入力ポートを備えている。本実施形態においては、 $S - V_{samp}$ として検査用電圧 $S - V_{sus}$ をA/D変換した上でマイコン60のA/D入力ポートに入力させる。本実施形態においてマイコン60は、A/D入力ポートに1.5～3.5Vが入力されるとポートPW1からハイ(H)の切換信号を出力し、A/D入力ポートに1.5～3.5V以外の電圧が入力されるとポートPW1からロー(L)の切換信号を出力する。

40

【0024】

整流回路51の前段には、リレー回路55が搭載されている。つまり、マイコン60がポートPW1から出力する切替信号によってこのリレー回路55におけるスイッチをオン・オフすることにより、主電源の供給をオン・オフする。具体的には、リレー回路55のリレーコイルを駆動するためのスイッチング動作のトレンジスタ T_{r1} をマイコン60とリレー回路55間に配置するとともに、トレンジスタ T_{r1} に上記切替信号を印加するようにしており、同切替信号がハイ(H)レベルとなればリレー回路55のスイッチはオンとなって主電源の供給が行われ、同切替信号がロー(L)レベルとなればリレー回路5

50

5のスイッチはオフとなって主電源の供給が遮断される。ただし、リレー回路55においては、上記スイッチとは別に電源の入力側と出力側とを抵抗R1を介して接続しており、かかる接続により上記スイッチがオフとなっている場合でも、マイコン60には一定レベルのスタンバイ用の電源電圧が供給されるようになっている。当該スタンバイ用の電源電圧は、スタンバイ電圧生成回路54を介してマイコン60に供給される。

【0025】

(3) サステイン電圧生成回路：

以下、部分共振制御素子を有する電源回路の一例としてVsus生成回路52を例にとって説明する。図3はVsus生成回路52の回路図である。

【0026】

Vsus生成回路52は部分共振回路であり、整流回路51で整流後の電圧が直接入力される一次側と、トランスを介して所望の電圧に調整され、PDPにサステイン電圧Vsusを供給する二次側と、から構成される。

【0027】

一次側70には、一次側70の電圧を適宜調整する制御IC70aと、共振回路70bと、二次側72の電圧を制御IC70aにフィードバックする一次側フィードバック回路70dと、が設けられている。二次側72には、二次側72の出力電圧に応じて一次側フィードバック回路70dに信号を送信する二次側フィードバック回路72gと、所定の出力電圧を出力可能とするトランス71の二次側巻線71cの必要巻数からの出力ライン72aと、二次側72の電圧を所定電圧に降下させてマイコン60のA/D端子に検査用電圧S-Vsusを供給する検知回路72bと、15VをVsus生成回路52の外部から供給されて該電圧に基づいてA/D端子に所定電圧を供給可能な検知無効回路73と、が設けられている。

【0028】

制御IC70aは、共振回路70bからトリガ電圧が入力されるトリガ入力端子としてのゼロ電流検出端子Aと、グランド電圧が供給されるGND端子Bと、一次側フィードバック回路70dを介してフィードバック信号が入力されるフィードバック端子Cと、コントロール巻線71aからの電源供給を受けるVcc端子Dと、AC整流後の電圧を直接入力されて起動時のみVccに電流を供給して起動後は自動切断されるVin端子Fと、を備える。

【0029】

整流回路51から直流電圧DCが供給されると、まずVin端子Fに電圧が印加され、制御IC70a内部の起動回路で電荷の蓄積が開始される。このVin端子Fはマイクロアンペアレベルの電流を制御IC70a内部の起動回路に供給しているため、電荷の蓄積に時間を要する。この時間が遅延である。起動回路の電荷が所定量に達するまでは、VccはVinから入力される電圧に基づいて発振し、起動回路の電荷が所定量に達するとVccはコントロール巻線71aからの電源供給だけで発振される。同時に、Vin端子Fからの入力が自動的に切断されてVin端子Fからの電荷の供給は停止する。

【0030】

また、制御ICは、フィードバック端子Cに入力されたフィードバック信号に基づき、PWMによるフィードバック制御を行い、二次側の出力電圧が適正電圧となるように適宜調整し、コレクタ端子Gよりトランスの一次側メイン巻線に駆動電圧を出力する。

【0031】

更に、制御ICは、共振回路を介してトランスのコントロール巻線における電圧をゼロ電流検出端子Aに入力することで、二次側のゼロ電流点を検出し、コレクタ端子Gからの出力をスイッチングするメインスイッチング素子のオンタイミングを決定している。

【0032】

一次側フィードバック回路70dは、フォトカプラを構成するフォトトランジスタ70eを介して、制御IC70aのフィードバック端子Cがグランドに接続されて成り、フォトトランジスタ70eが、後述する二次側フィードバック回路72hに設けられたフォト

10

20

30

40

50

カプラを構成する発光ダイオード i からの所定時間の発光を受光することでオンし、フィードバック信号をフィードバック端子 C に入力する。

【 0 0 3 3 】

トランス 7 1 からは、約 1 7 5 V をサステイン電圧として出力する V_{sus} 出力ライン 7 2 a と、二次側フィードバック回路 7 2 h や検知回路 7 2 b が接続される電圧監視ライン 7 2 g とが出力されている。 V_{sus} 出力ライン 7 2 a には検知無効回路 7 3 が接続されるとともに、該検知無効回路 7 3 からの出力ラインが後述する検知回路 7 2 b に接続される。

【 0 0 3 4 】

二次側フィードバック回路 7 2 h は、フォトカプラを構成する発光ダイオード 7 2 i がアノードを監視ライン 7 2 g に向けて接続され、該発光ダイオード 7 2 i のカソードは該発光ダイオード 7 2 i に対して逆方向に接続されるツェナダイオード 7 2 f を介してグラウンドに接続される。即ち、監視ライン 7 2 g の電圧がツェナダイオード 7 2 f の降伏電圧を超えるとツェナダイオード 7 2 f が降伏して発光ダイオード 7 2 i に電流が流れて発光し、フォトランジスタ 7 0 e に受光させる。

【 0 0 3 5 】

また、検知回路 7 2 b は、一端が電圧監視ライン 7 2 g に接続されつつ他端がグラウンドに接続される分割抵抗 7 2 d , 7 2 e (第一の分割抵抗) と、該分割抵抗の分割点にカソードが接続されるとともにアノードがマイコン 6 0 の A / D 端子に接続されるダイオード 7 2 c と、を有する。さらにダイオード 7 2 c のアノードには検知無効回路 7 3 の出力ラインも接続される。即ち、電圧監視ライン 7 2 g の電圧が分割抵抗 7 2 d , 7 2 e により分割されて分割点の電圧が検査用電圧 $S - V_{sus}$ として出力されており、検査用電圧 $S - V_{sus}$ が所定電圧よりも低いとマイコン 6 0 の A / D 端子がこの電圧を検知して L を出力するためリレー回路 5 5 がオフになり、電源回路 5 0 が停止される。一方、検査用電圧 $S - V_{sus}$ が所定電圧よりも高いとマイコン 6 0 の A / D 端子がこの電圧を検知して H を出力し、リレー回路 5 5 はオンになるため電源回路 5 0 は停止されない。分割抵抗 7 2 d , 7 2 e の抵抗値は、分割点の電圧が 1 . 5 ~ 3 . 5 V (中心値 2 . 5 V) となるように設定される。

【 0 0 3 6 】

以上より検知回路 7 2 b からの検査用電圧 $S - V_{sus}$ を供給されて V_{sus} 電圧の異常を検出するマイコン 6 0 が検知手段を構成する。また、 $S - V_{sus}$ が異常であると判断した場合に L を出力してリレー回路をオフするマイコン 6 0 が電源切替手段を構成する。

【 0 0 3 7 】

ところで、制御 IC 7 0 a が発振を開始するまでに所定時間を要し、かつマイコン 6 0 が検知回路 7 2 b を介して所定電圧よりも低い電圧を検知する場合は、マイコン 6 0 が電源回路 5 0 を停止する。従って、マイコン 6 0 の起動タイミングによっては、制御 IC 7 0 a が発振を開始するまでに電源回路 5 0 が停止されてしまい、電源回路 5 0 が起動しないこととなる。そこで本発明においては、制御 IC 7 0 a が起動するまでの間に、電源回路 5 0 が停止されないように検知無効回路 7 3 を設けた。

【 0 0 3 8 】

検知無効回路 7 3 は、ツェナダイオード 7 3 a 、分割抵抗 7 3 b 、 7 3 c (第三の分割抵抗) 、トランジスタ 7 3 d 、分割抵抗 7 3 e , 7 3 f (第二の分割抵抗) 、ダイオード 7 3 g 、を有し、 V_{sus} 生成回路 5 2 の外部から 1 5 V が入力されている。

ツェナダイオード 7 3 a は、降伏電圧が約 1 5 0 V であり、 V_{sus} 出力ラインに対してカソードを接続され、アノードが分割抵抗 7 3 b 、 7 3 c の一端に接続される。分割抵抗 7 3 b 、 7 3 c の他端はグラウンドに接続される。分割抵抗 7 3 b 、 7 3 c の抵抗値は、 V_{sus} 出力ライン 7 2 a の電圧が約 1 7 5 V のときに、ツェナダイオード 7 3 a に印加される電圧が約 1 5 0 V となるように設定される。分割抵抗 7 3 b 、 7 3 c の分割点には、トランジスタ 7 3 d のベースが接続される。外部より入力される 1 5 V 対グラウンドに直列に接続される分割抵抗 7 3 e , 7 3 f は、分割点にトランジスタ 7 3 d のコレクタとダイオ

10

20

30

40

50

ード73gのアノードが接続される。つまり抵抗73eには電源回路50の V_{sus} 生成回路よりも前段から15Vが供給される。トランジスタ73dのエミッタは、グラウンドに接続される。また、ダイオード73gのカソードは検知回路72bのダイオード72cのアノードに接続される。

【0039】

即ち、 V_{sus} 出力ライン72aの電圧が約175Vよりも低い場合は、ツェナダイオード73aは降伏せず、トランジスタ73dのベースにも電圧が印加されないためオンしない。従って外部から入力される15Vが抵抗73eとダイオード73gとを介して、1.5V~3.5V(中心値2.5V)に減圧されてマイコン60のA/D入力ポートに入力され、マイコン60は V_{sus} 電圧が175V以上であると認識する。

10

【0040】

一方、 V_{sus} 出力ライン72aの電圧が約175V以上になると、ツェナダイオード73aは降伏してトランジスタ73dをオンし、外部から入力される15Vをトランジスタ73dのコレクタ-エミッタラインを介してグラウンドに引き込む。よってこのとき外部より入力される15Vに基づく電圧は、検知回路72bには供給されない。

【0041】

以上より、 V_{sus} 電圧が175Vより低い場合に検知回路72bに(すなわちマイコン60のA/D入力ポートに)1.5V~3.5Vを出力し、 V_{sus} 電圧が175V以上である場合に検知回路72bに(すなわちマイコン60のA/D入力ポートに)電圧を出力しない検知無効回路73が検知無効手段を構成する。

20

【0042】

次に図4のタイミングチャートを参照して、回路全体の動作を説明する。

まず、プラズマテレビジョン100の電源がオンされると、電源回路50が起動する。するとリレー回路55がオンし、整流回路51で整流された直流電圧DCが V_{sus} 生成回路52に入力される。このとき15Vラインは V_{sus} 生成回路よりも先に出力を開始しており、 V_{sus} 生成回路が起動中は常に15Vを検知無効回路73に供給し続ける。

【0043】

V_{sus} 生成回路52がオンすると、制御IC70aのVin端子に電荷が供給され、制御IC70aの起動回路に電荷が蓄積され始める。同時に蓄積された電荷を電源としてVccが発振を開始する。するとトランス71の二次側巻線71cから出力される V_{sus} 電圧が0Vから175Vまで漸次上昇する。しかしながら、この二次側巻線71cの出力電圧上昇中は、 V_{sus} 出力ライン72aの電圧は175Vより低いためツェナダイオード73aは降伏せず、外部から入力される15Vが抵抗73eにより1.5~3.5Vに減圧されてマイコン60のA/D入力ポートに供給される。

30

【0044】

また、 V_{sus} が上昇を開始すると同時に、分割抵抗72d、72eの分割点Sの電圧も0Vから約2.5V(1.5~3.5V)まで上昇を開始するが、検知無効回路73から供給される電圧よりも低いためマイコン60のA/D入力ポートには供給されない。即ち、マイコン60は検知無効回路73から供給される検知電圧により切換信号としてHを出力するため、リレー回路55のスイッチはオンされ続ける。

40

【0045】

そして、 V_{sus} 電圧が175Vに達すると、ツェナダイオード73aが降伏し、分割抵抗73b、73cを介してグラウンドに電流が流れ、該分割抵抗の分割点に電圧が発生し、トランジスタ73dのベースに電圧が供給されてオンする。すると外部から入力される15Vはトランジスタ73dによりグラウンドに引き込まれ、検知無効回路73から検知回路72bへの電圧供給が停止される。一方、 V_{sus} 電圧が175Vに達すると分割点Sの電圧は2.5Vに達しており、分割点Sの電圧が検査用電圧S- V_{sus} としてマイコン60のA/Dポートに供給され、マイコン60は切換信号をHとして出力し続けるためリレー回路55のスイッチはオンされ続ける。

【0046】

50

よって電源回路50に対する電源電圧の供給が開始されてから十分な電圧での発振が開始されるまでに時間がかかる制御ICを使用し、出力電圧が所定電圧まで上昇する前にマイコンの監視が開始されても、マイコンが電源異常と判断することの無い電源回路を提供することが可能となる。

【0047】

(4)まとめ：

つまり、サステイン電圧生成回路52の前段から供給される電圧が一端に入力されつつ他端がグランドに接続される分割抵抗73e, 73fと、Vsus出力ライン72aに対してカソードを接続しつつ約150Vで降伏するツェナダイオード73aと、一端がツェナダイオード73aのアノードに接続されつつ他端がグランドに接続される分割抵抗73e, 73fと、分割抵抗73e, 73fの分割点にコレクタが接続されるとともに分割抵抗73b, 73cの分割点にベースが接続され、かつエミッタがグランドに接続されるトランジスタ73dとにより成る検知無効回路73を設け、分割抵抗73e, 73fの分割点と分割抵抗72d, 72eの分割点とを接続した。

10

【0048】

これにより、検知無効回路73は、Vsusが175Vになるまで検知回路72bに代替電圧を供給し、Vsusが175V以上になると代替電圧の供給を停止させる。従ってVsusが175Vより低い場合でもマイコン60のA/D入力ポートにはVsusが175V以上である旨を示す代替電圧が入力されるため、マイコン60がリレー回路55にLの切替信号を出力することが無い。

20

【0049】

なお、本発明は上記実施例に限られるものでないことは言うまでもない。当業者であれば言うまでもないことであるが、

- ・上記実施例の中で開示した相互に置換可能な部材および構成等を適宜その組み合わせを変更して適用すること
 - ・上記実施例の中で開示されていないが、公知技術であって上記実施例の中で開示した部材および構成等と相互に置換可能な部材および構成等を適宜置換し、またその組み合わせを変更して適用すること
 - ・上記実施例の中で開示されていないが、公知技術等に基づいて当業者が上記実施例の中で開示した部材および構成等の代用として想定し得る部材および構成等と適宜置換し、またその組み合わせを変更して適用すること
- は本発明の一実施例として開示されるものである。

30

【図面の簡単な説明】

【0050】

【図1】本発明にかかる電源回路を備えたプラズマテレビジョンの概略構成を示すブロック図である。

【図2】本発明にかかる電源回路やマイコン等を示すブロック図である。

【図3】本発明にかかるサステイン電圧生成回路の回路図である。

【図4】本発明にかかるサステイン電圧生成回路の各部の電圧上昇を示すタイミングチャートである。

40

【符号の説明】

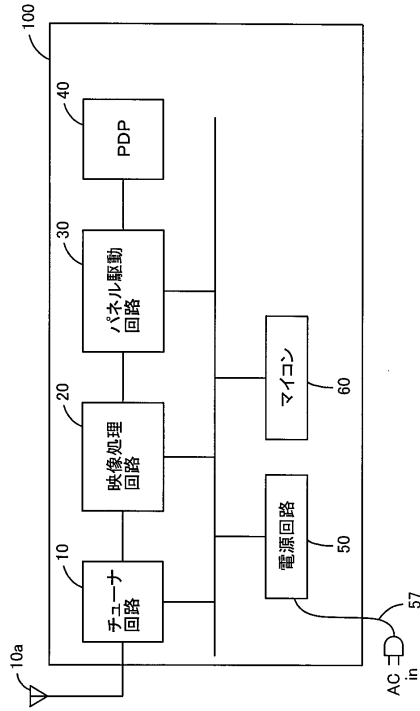
【0051】

- 10 ... チューナ回路
- 10 a ... アンテナ
- 20 ... 映像処理回路
- 30 ... パネル駆動回路
- 40 ... PDP
- 50 ... 電源回路
- 51 ... 整流回路
- 52 ... サステイン電圧生成回路

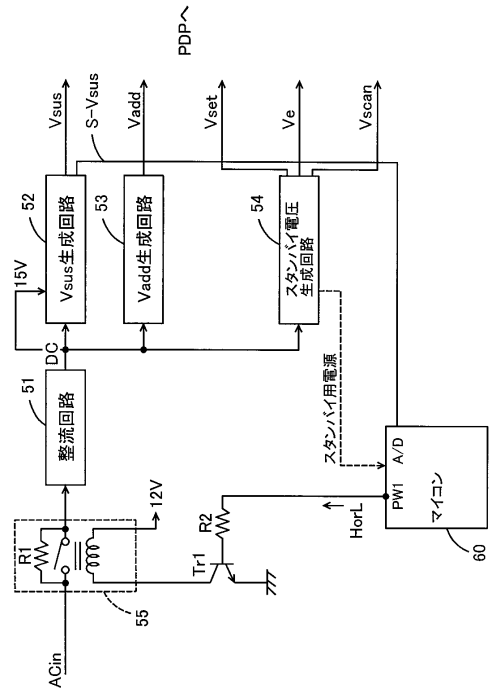
50

5 3 ... アドレス電圧生成回路	
5 4 ... スタンバイ電圧生成回路	
5 5 ... リレー回路	
5 7 ... 電源ケーブル	
6 0 ... マイコン	
7 0 ... 一次側	
7 0 a ... 制御 I C	
7 0 b ... 共振回路	
7 0 c ... 一次側フィードバック回路	
7 0 d ... フォトトランジスタ	10
7 1 ... トランス	
7 1 a ... コントロール巻線	
7 1 b ... 一次側メイン巻線	
7 1 c ... 二次側巻線	
7 2 ... 二次側	
7 2 a ... V sus出力ライン	
7 2 b ... S - V sus回路	
7 2 c ... ダイオード	
7 2 d、7 2 e ... 抵抗	
7 2 f ... ツェナダイオード	20
7 2 g ... 電圧監視ライン	
7 2 h ... 二次側フィードバック回路	
7 2 i ... 発光ダイオード	
7 3 ... 検知無効回路	
7 3 a ... ツェナダイオード	
7 3 b、7 3 c ... 抵抗	
7 3 d ... トランジスタ	
7 3 e、7 3 f ... 抵抗	
7 3 g ... ダイオード	
1 0 0 ... プラズマテレビジョン	30

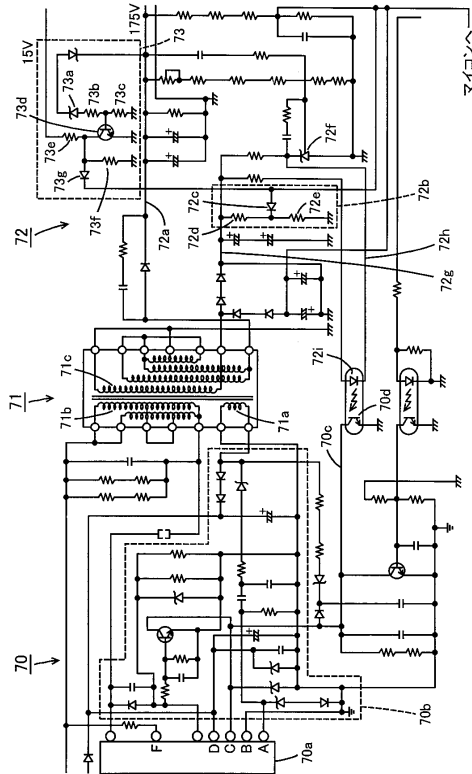
【図1】



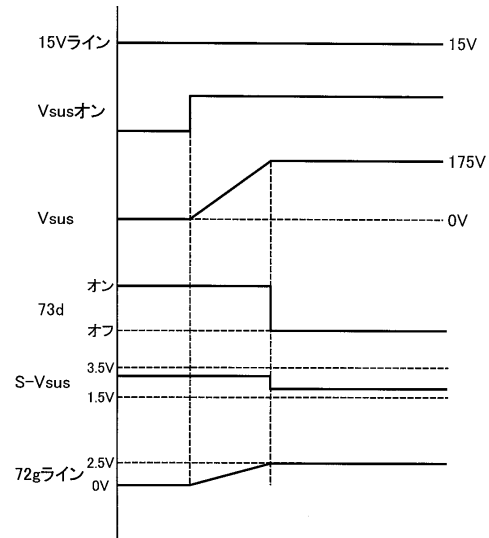
【図2】



【図3】



【図4】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 1 2 E
G 0 9 G	3/20	6 7 0 D
G 0 9 G	3/20	6 1 2 G
G 0 9 G	3/20	6 7 0 C
H 0 4 N	5/66	1 0 1 Z

(56)参考文献 特開2001-045748(JP,A)

特開平05-328711(JP,A)

特開昭56-157266(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G	3 / 0 0	-	3 / 3 8
H 0 2 M	3 / 2 8		
H 0 4 N	5 / 6 6		