

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-250737

(P2008-250737A)

(43) 公開日 平成20年10月16日(2008.10.16)

(51) Int.Cl.	F I	テーマコード (参考)
G 0 6 F 21/06 (2006.01)	G 0 6 F 12/14 5 6 0 E	5 B 0 1 7
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 0 1 S	5 B 0 3 5
G 0 6 K 19/07 (2006.01)	G 0 6 K 19/00 H	5 B 1 2 5
G 0 6 K 19/073 (2006.01)	G 0 6 K 19/00 P	

審査請求 未請求 請求項の数 16 O L (全 32 頁)

(21) 出願番号	特願2007-91920 (P2007-91920)	(71) 出願人	000005049
(22) 出願日	平成19年3月30日 (2007. 3. 30)		シャープ株式会社
			大阪府大阪市阿倍野区長池町22番22号
		(74) 代理人	100114476
			弁理士 政木 良文
		(72) 発明者	松江 一機
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		Fターム(参考)	5B017 AA07 BA08 CA11
			5B035 BB09 CA11 CA23 CA25 CA38
			5B125 BA02 CA22 DA09 DD10 EA01
			EE05 EH00 FA10

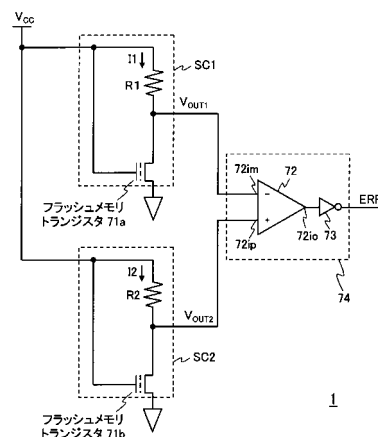
(54) 【発明の名称】 電磁波照射検出回路、半導体装置、I Cカード

(57) 【要約】

【課題】 利便性を低下させることなく高セキュリティ性の実現が可能な半導体装置を提供する。

【解決手段】 一端に電源電圧 V_{CC} 、他端に接地電圧が印加された2つの直列回路SC1及びSC2を有する。各直列回路は、抵抗とフラッシュメモリトランジスタとで構成される。コンパレータ71の反転入力端子72imには第1対象電圧 V_{OUT1} が、反転入力端子72ipには第2対象電圧 V_{OUT2} が夫々入力され、両者の大小関係に基づいて検出信号ERRが出力される。電磁波が照射されていない状態の下での検出信号ERRの電圧レベルと、電磁波が照射された状態下での検出信号ERRの電圧レベルとが変化するように、両抵抗R1及びR2の抵抗値、及び両フラッシュメモリトランジスタ71a及び71bの閾値電圧を所定の条件下に調整する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 抵抗と第 1 不揮発性メモリトランジスタが直列に配列された第 1 直列回路と、
第 2 抵抗と第 2 不揮発性メモリトランジスタが直列に配列された第 2 直列回路と、
一对の差動入力端子の内の一方の入力端子に前記第 1 直列回路の前記第 1 抵抗と前記第 1 不揮発性メモリトランジスタの中間点が接続し、他方の入力端子に前記第 2 直列回路の前記第 2 抵抗と前記第 2 不揮発性メモリトランジスタの中間点が接続し、前記両入力端子に入力される電圧差に応じた 2 値の検出信号を出力する比較回路と、を備え、

前記第 1 抵抗と前記第 1 不揮発性メモリトランジスタの中間点の電位、並びに前記第 2 直列回路の前記第 2 抵抗と前記第 2 不揮発性メモリトランジスタの中間点の電位が共に電源電圧に応じて決定される構成であり、

電磁波が照射されることで所定量以上のエネルギーが与えられると、前記第 1 及び第 2 不揮発性メモリトランジスタのオン抵抗が変化して、電磁波が照射されていない非照射状態と電磁波が照射された照射状態の間で、前記両入力端子に入力される電圧差が変化して、前記検出信号が変化することを特徴とする電磁波照射検出回路。

【請求項 2】

前記比較回路が、反転入力端子、非反転入力端子、及び出力端子を有するコンパレータを備え、

前記反転入力端子が、前記第 1 直列回路の前記第 1 抵抗と前記第 1 不揮発性メモリトランジスタの中間点と接続され、

前記非反転入力端子が、前記第 2 直列回路の前記第 2 抵抗と前記第 2 不揮発性メモリトランジスタの中間点と接続され、

前記出力端子が、前記反転入力端子と前記非反転入力端子に入力される 2 電圧の大小関係に応じて決定される 2 値の電圧信号を出力する構成であり、

前記検出信号の電圧レベルが、前記出力端子から出力される電圧信号の電圧レベルに基づいて決定され、

電磁波が照射されることで所定量以上のエネルギーが与えられると、前記第 1 及び第 2 不揮発性メモリトランジスタのオン抵抗が変化して、電磁波が照射されていない非照射状態と電磁波が照射された照射状態の間で、前記反転入力端子と前記非反転入力端子に入力される電圧の大小関係が変化して、前記出力端子より出力される前記検出信号が変化することを特徴とする請求項 1 に記載の電磁波照射検出回路。

【請求項 3】

前記第 1 抵抗の抵抗値が前記第 2 抵抗の抵抗値よりも小さく、

前記非照射状態において、前記第 1 不揮発性メモリトランジスタの閾値電圧が前記第 2 不揮発性メモリトランジスタの閾値電圧よりも小さいことを特徴とする請求項 2 に記載の電磁波照射検出回路。

【請求項 4】

所定領域に電磁波遮蔽手段を備えており、

前記電磁波遮蔽手段によって照射された電磁波の一部が反射されることで、前記第 1 不揮発性メモリセルに対して与えられるエネルギー量が前記第 2 不揮発性メモリセルに対して与えられるエネルギー量よりも少なくなるように構成されていることを特徴とする請求項 2 又は請求項 3 に記載の電磁波照射検出回路。

【請求項 5】

前記電磁波遮蔽手段が、前記第 1 不揮発性メモリセルの形成領域の上層に備えられており、前記第 2 不揮発性メモリセルの形成領域の上層に備えられていないことを特徴とする請求項 4 に記載の電磁波照射検出回路。

【請求項 6】

前記電磁波遮蔽手段が金属配線層で構成されることを特徴とする請求項 4 又は請求項 5 に記載の電磁波照射検出回路。

【請求項 7】

前記第 1 直列回路と前記第 2 直列回路が並列に接続されており、夫々の一方の端子には第 1 基準電圧が、他方の端子には第 2 基準電圧が印加され、

前記第 1 基準電圧が、電源電圧、又は当該電源電圧に応じて決定される電圧であり、

前記第 1 不揮発性メモリトランジスタ及び前記第 2 不揮発性メモリトランジスタの両コントロールゲートに対して、前記第 1 基準電圧が印加される構成であることを特徴とする請求項 1～請求項 6 の何れか 1 項に記載の電磁波照射検出回路。

【請求項 8】

前記第 1 直列回路と前記第 2 直列回路が並列に接続されており、夫々の一方の端子には第 1 基準電圧が、他方の端子には第 2 基準電圧が印加され、

前記第 1 基準電圧が、電源電圧、又は当該電源電圧に応じて決定される電圧であり、

前記第 1 不揮発性メモリトランジスタ及び前記第 2 不揮発性メモリトランジスタの両コントロールゲートに対して、前記第 1 或いは第 2 不揮発性メモリトランジスタに対する読み出し、書き込み、或いは消去処理を行うための電圧発生回路からの出力電圧が印加されることを特徴とする請求項 7 に記載の電磁波照射検出回路。

【請求項 9】

前記第 1 及び第 2 不揮発性メモリトランジスタのソース・ドレイン端子間にバイアス電圧を印加するためのバイアス発生回路を備えることを特徴とする請求項 1～請求項 8 の何れか 1 項に記載の電磁波照射検出回路。

【請求項 10】

前記第 1 及び第 2 不揮発性メモリトランジスタがフラッシュメモリトランジスタで構成されることを特徴とする請求項 1～請求項 9 の何れか 1 項に記載の電磁波照射検出回路。

【請求項 11】

前記第 1 及び第 2 不揮発性メモリトランジスタが、ゲート端子及びドレイン端子に金属配線層との接続を構成しており、

前記第 1 不揮発性メモリトランジスタのゲート端子及びドレイン端子に接続されている金属配線層の面積と、前記第 2 不揮発性メモリトランジスタのゲート端子及びドレイン端子に接続されている金属配線層の面積と、が異なっていることを特徴とする請求項 1～請求項 10 の何れか 1 項に記載の電磁波照射検出回路。

【請求項 12】

請求項 1～請求項 11 の何れか 1 項に記載の電磁波照射検出回路と、

前記比較回路から出力される前記検出信号の活性／不活性状態に基づいて、リセット信号を生成するリセット信号生成回路と、を備え、

前記リセット信号生成回路から出力される前記リセット信号に基づいてリセット動作が行われることを特徴とする半導体装置。

【請求項 13】

請求項 1～請求項 11 の何れか 1 項に記載の電磁波照射検出回路と、

前記比較回路から出力される前記検出信号の活性／不活性状態に基づいて、リセット信号を生成するリセット信号生成回路と、

前記電磁波照射検出回路の検出結果の無効化処理が可能な無効化回路と、を備えると共に、前記リセット信号生成回路から出力される前記リセット信号に基づいてリセット動作が行われる構成であって、

前記無効化回路が、

前記電磁波照射検出回路の検出結果の無効化処理を実行するか否かの指示を示す無効化指示信号と前記検出信号とが入力される構成であって、

前記無効化処理を実行しない旨の前記無効化指示信号が入力されている場合には、前記検出信号を前記リセット信号生成回路に入力し、

前記無効化処理を実行する旨の前記無効化指示信号が入力されている場合には、前記検出信号の活性／不活性に拘らず、不活性状態を示す電圧信号を前記リセット信号生成回路に入力することを特徴とする半導体装置。

【請求項 14】

前記無効化回路が、外部からテストパッドにより前記無効化指示信号の入力受付を可能に構成されていることを特徴とする請求項 1 3 に記載の半導体装置。

【請求項 1 5】

一定の動作条件が充足されると高レベルの動作リセット指示信号を出力する動作リセット回路と、

2 値の電圧レベルの前記無効化指示信号を生成し、前記無効化回路に対して出力する無効化指示信号生成回路と、を備え、

前記リセット信号生成回路が、

前記無効化回路の出力信号と前記動作リセット指示信号とが入力されると共に、何れかの信号が活性状態であるか否かに基づいて前記リセット信号を生成する構成であり、

前記無効化指示信号生成回路が、

所定の無効化指示用不揮発性メモリトランジスタの記憶状態に応じた高低 2 値の無効化副指示信号、並びに前記動作リセット指示信号が入力されると共に、当該入力される電圧レベルの高低に応じた 2 値の一時記憶情報を記憶可能な構成であって、

記憶している前記一時記憶情報と異なる情報に対応付けられた電圧レベルの前記無効化指示信号を出力することを特徴とする請求項 1 3 に記載の半導体装置。

【請求項 1 6】

請求項 1 2 ～請求項 1 6 の何れか 1 項に記載の半導体装置と、非接触型外部装置と非接触で通信されることで情報の授受が行われると共に前記非接触型外部装置から電磁結合によって電力が供給される非接触型通信インタフェース、或いは、接触型外部装置との接触によって情報の授受が行われると共に前記接触型外部装置から電力が供給される接触型通信インタフェースの内の何れか一方又は双方を備えることを特徴とする IC カード。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、外部からの電磁波照射を検知する電磁波照射検出回路、及びこの電磁波照射検出回路を備える半導体装置、IC カードに関する。

【背景技術】

【0002】

近年、普段の生活において、キャッシュカード、クレジットカード、或いは、プリペイドカード等を使用する機会が増えている。このようなカードに対し、従前は情報を記憶するために磁気カードが利用されていたが、個人情報に関する取り扱いをより慎重に行う観点から、近年、磁気カードに替わってセキュリティ対策を取り易い IC カードが利用されるようになって来ている。IC カードには、通常、情報を記憶するために電源を遮断しても記憶が保持される不揮発性半導体記憶装置が使用されており、この不揮発性半導体記憶装置として EEPROM (Electrically Erasable and Programmable Read Only Memory)、或いはフラッシュメモリを用いた IC カードが従来より提供されている。

【0003】

図 8 は、典型的な従来の IC カード 90 の概略的構成を示すブロック図である。IC カード用 LSI の内部ブロックは、演算及びデータ格納部 40、非接触インタフェース 10、接触インタフェース 60、パワーオンリセット回路 80、及びアンテナ 15 を備えて構成される。

【0004】

非接触インタフェース 10 は、整流回路 11、変調回路 12、復調回路 13、クロック分離回路 14、レギュレータ 16、レギュレータ 17、及びプロトコル制御回路 18 を備える。接触インタフェース 60 は、UART (Universal Asynchronous Receiver Transmitter) 61 を備える。演算及びデータ格納部 40 は、通常のマイクロコンピュータの構成と殆ど同じであり、CPU 41、ROM 42、RAM 43、及びフラッシュメモリ 20 を備える。ROM 42 はプログラムを格納するものであり、RAM 43 はワーキングメモリとして演算中に使用される。フラッシュメモリ 20 はプログラムを格納、またはデータ

を保持するのに使用される。

【0005】

尚、フラッシュマクロ20は、外部からの電磁波照射を検出する電磁波照射検出回路70を内部に備える。当該回路70の構成については後述する。

【0006】

以下、上記構成を有する非接触型ICカード90に内装されるICモジュールの基本的動作について、図8を参照して説明する。

【0007】

先ず、外部のリーダライタ装置（図示せず）より非接触ICカード90の制御信号が電磁波に変換されて与えられる。非接触ICカードが、当該電磁波に変換された制御信号を受信すると、非接触ICカード90内部に埋め込まれたアンテナ15において電磁誘導を生じさせる。この電磁誘導により発生した信号は、演算及びデータ格納部40を動作させるための供給電力、クロック信号、制御信号に変換される。

10

【0008】

又、前記電磁誘導により発生した信号は、整流回路11を介して正の電圧に変換され、更にレギュレータ16（ V_{PP} を発生）、レギュレータ17（ V_{CC} を発生）を介して平滑化され、演算及びデータ格納部40に電源電圧として供給される。尚、一般的なICモジュールの電源電圧（ V_{CC} 及び V_{PP} ）は5V或いは3Vである。

【0009】

又、前記電磁誘導により発生した信号は、クロック分離回路14により、内部クロックに変換される。内部クロックの周波数はおよそ1MHz～15MHzである。

20

【0010】

更に、前記電磁誘導により発生した信号は、復調回路13を通して、プロトコル制御回路18に入力される。プロトコル制御回路18は、非接触ICカードの通信プロトコル（例えば近傍型非接触ICカードの場合、Type A、Type B、Type C）の制御、およびCPU41とデータの送受信を行う。CPU41は、前記データに基づき、ROM42、RAM43、フラッシュマクロ20を制御し演算等の処理を行う。CPU41で演算された結果は、プロトコル制御回路18を介して、変調回路12により変調され、所定の帯域を持った交流信号に変換された後、アンテナ15から電磁波として出力される。外部のリーダライタ装置はこの電磁波を受け取り、リーダライタ装置内の復調回路を通して信号に変換し、ICカードとの情報の授受を完了する。

30

【0011】

パワーオンリセット回路80は主に非接触動作におけるリセット信号を出力する回路である。ICカード90がリーダライタ装置に対して所定範囲内の距離に近接すると、リーダライタ装置から発せされる電磁波が電磁誘導されることで生成される電圧が上昇する。この電圧に基づいて生成される電源電圧 V_{CC} が所望の電圧に達した場合（例えば2.3V）、リセット状態が解除される。

【0012】

一方、外部リセット信号RSTは、接触動作時におけるリセット信号である。接触型のリーダライタ装置により制御される。電圧値が所定のレベルを下回ると外部リセット信号RSTが活性化される（ロウアクティブ）。

40

【0013】

尚、パワーオンリセット回路80の出力信号、並びに外部リセット信号RST（の否定信号）は、共に内部で論理和回路で構成されるリセット信号生成回路9によってOR接続されている。このリセット信号生成回路9の出力信号がリセット信号RST1として演算及びデータ格納部40に与えられる。演算及びデータ格納部40は、活性状態であるリセット信号RST1が与えられると、リセット処理を実行する。リセット信号生成回路9に入力される電磁波照射検出回路70からの出力信号ERRについては後述する。

【0014】

上述したように、近年のICカードには不揮発性半導体記憶装置が搭載されており、当

50

該記憶装置内において種々の情報が記録されている。かかる情報には、暗証番号等の個人情報、秘密保持の必要性の高い情報が含まれているため、これらの情報の改ざんや漏洩等の不正目的のために外部から I C カード内の当該記憶装置に対してアクセスが行われることを防止する措置を施す必要性がある。

【0015】

I C カードに対して電磁波等の照射による回路動作の不正な解析を阻止し、内部データの漏洩、改ざん、並びに複製等の防止に関する従来技術としては下記特許文献 1 に開示されているものがある。特許文献 1 に記載の半導体装置は、半導体基板上に形成された集積回路に対して照射される電磁波を検出するための不揮発性メモリを含む検出回路（以下、「電磁波照射検出回路」と記載）を備えており、前記不揮発性メモリの読み出した値が所定の値と一致しない場合に以降の動作を停止させるものである。以下、図面を参照して、特許文献 1 に記載されている電磁波照射検出回路の基本的動作について説明を行う。尚、この電磁波照射検出回路は、図 8 に示されている電磁波照射検出回路 70 に相当する。

10

【0016】

図 9 は、従来の電磁波照射検出回路 70 の概略的構成を示す回路ブロック図である。図 9 に示される電磁波等検出回路 70 は、抵抗 R 1、フラッシュメモリトランジスタ 71、及び比較回路 74 を備えて構成される。

【0017】

抵抗 R 1 とフラッシュメモリトランジスタ 71 とは、直列に配列されて直列回路を構成している。より具体的には、抵抗 R 1 の一端に電源電圧 V_{CC} が印加され、抵抗 R 1 の他端にフラッシュメモリトランジスタ 71 のドレインが接続され、フラッシュメモリトランジスタ 71 のソースが接地されている。尚、この電源電圧 V_{CC} は、フラッシュメモリトランジスタ 71 のゲートにも印加される構成である。

20

【0018】

比較回路 74 は、コンパレータ 72 と否定回路 73 とで構成される。コンパレータ 72 は、反転入力端子 72 i m、非反転入力端子 72 i p、及び出力端子 72 o を備える。反転入力端子 72 i m には所定の基準電圧 V_{REF} が入力される。又、非反転入力端子 72 i p には、抵抗 R 1 とフラッシュメモリトランジスタ 71 の接続ノードが示す電圧（以下、「対象電圧」と記載する） V_{OUT} が印加される。そして、非反転入力端子 72 i p に入力される対象電圧 V_{OUT} と、反転入力端子 72 i m に入力される基準電圧 V_{REF} とを比較し、その大小関係に基づく 2 値の電圧信号を出力端子 72 o から出力する。ここでは、 $V_{OUT} > V_{REF}$ の場合には出力端子 72 o から高レベル電圧（例えば 3 V）を出力し、逆に $V_{OUT} < V_{REF}$ の場合には出力端子 72 o から低レベル電圧（例えば接地電圧）を出力するものとする。又、否定回路 73 は、コンパレータ 72 の出力端子 72 o から出力される電圧が入力され、入力電圧の高低の結果を反転し、検出信号 E R R として出力する。即ち、電磁波照射検出回路 70 は、 $V_{OUT} > V_{REF}$ の場合には検出信号 E R R として低レベル電圧（例えば接地電圧）を出力し、 $V_{OUT} < V_{REF}$ の場合には検出信号 E R R として高レベル電圧（例えば 3 V）を出力する。

30

【0019】

図 9 に示されるような構成を有する電磁波照射検出回路 70 に対し、電磁波が照射されることによる対象電圧 V_{OUT} の変化について以下に説明する。

40

【0020】

電磁波が照射されることによる対象電圧 V_{OUT} の変化を説明するに際し、先ず、フラッシュメモリトランジスタの動作原理について説明を行う。図 10 は、フラッシュメモリトランジスタ 71 の概念的な構造図である。図 10 に示されるように、フラッシュメモリトランジスタ 71 は、コントロールゲート 51、フローティングゲート 52、ソース 53、及びドレイン 54 の各電極（端子）を備える。

【0021】

フラッシュメモリトランジスタ 71 は、フローティングゲート 52 内の電子の多寡によって閾値電圧が変化するため、この閾値電圧の大小によって書き込み状態と消去状態を夫

50

々定義することで、2 値或いは多値の情報の記憶が可能となる。即ち、フローティングゲート 5 2 内に蓄積されている電荷（以下、電子とする）が多い状態を書き込み状態とし、電子が蓄積されていない状態（又は蓄積されている電子が少ない状態）を消去状態とすることで、フローティングゲート 5 2 内に対して電子（ホットエレクトロン）の注入によって情報の書き込みが行われ、逆にフローティングゲート 5 2 内に蓄積されている電子が引き抜かれることで情報の消去が行われることとなる。

【0022】

例えば、フラッシュメモリトランジスタ 7 1 に対して情報の書き込みを行う場合には、コントロールゲート 5 1 に高電圧（例えば 12 V）を、ドレイン 5 4 に高電圧（例えば 7 V）を、ソース 5 3 に低電圧（例えば 0 V）を夫々印加することで、ドレイン接合近傍で発生されたホットエレクトロンをフローティングゲート 5 2 に注入することにより行う。

10

【0023】

逆に、フラッシュメモリトランジスタ 7 1 に書き込まれている情報の消去を行う場合には、コントロールゲート 5 1 に低電圧（例えば 0 V）を、ドレイン 5 4 に低電圧（例えば 0 V）を、ソース 5 3 に高電圧（例えば 12 V）を夫々印加し、フローティングゲート 5 2 とソース 5 3 間に高電界を発生させ、トンネル現象を利用してフローティングゲート 5 2 内の電子をソース側に引き抜くことにより行う。

【0024】

又、フラッシュメモリトランジスタ 7 1 から情報の読み出しを行う場合には、コントロールゲート 5 1 に高電圧（例えば 5 V）を、ドレイン 5 4 に低電圧（例えば 1 V）を、ソース 5 3 に低電圧（例えば 0 V）を夫々印加し、ドレイン 5 4 を流れるドレイン電流の大きさを内部のセンスアンプによって増幅して、データの「1」及び「0」の判定（2 値データの場合）を行う。上記電圧が印加された場合、フローティングゲート 5 2 に電子が蓄積されている（情報が書き込まれている）場合には、閾値電圧が高いため、フラッシュメモリトランジスタ 7 1 のオン抵抗が大きく、これによって前記ドレイン電流は小さくなる。逆に、フローティングゲート 5 2 に電子が蓄積されていない又は蓄積電子量が少ない（情報が消去されている）場合には、閾値電圧が低いため、フラッシュメモリトランジスタ 7 1 のオン抵抗が小さく、これによって前記ドレイン電流は大きくなる。従って、ドレイン電流の大きを検出することで、フラッシュメモリトランジスタ 7 1 の記憶状態の判別が可能となる。

20

30

【0025】

IC カードに備えられる不揮発性半導体記憶装置（フラッシュマクロ 2 0）は、上述したフラッシュメモリトランジスタ 7 1 を一のメモリセルとし、かかるメモリセルを行方向並びに列方向に複数配列することで構成されたメモリセルアレイによって実現されている。図 1 1 は、図 1 0 に示すフラッシュメモリトランジスタ 7 1 をマトリクス状に配列して構成されたメモリセルアレイの概略構成図である。

【0026】

図 1 1 では、上述したフラッシュメモリトランジスタ 7 1 と同一の構成を有するトランジスタを m 行 n 列のマトリクス状に配列したものである。図 1 1 に示されるメモリセルアレイ 2 0 a は、行方向に延伸する複数のワード線 W L 1、W L 2、…、W L m と、列方向に延伸する複数のビット線 B L 1、B L 2、…、B L n、及びソース線 S L を備える。そして、同一行のフラッシュメモリトランジスタの各コントロールゲート夫々が同一のワード線に接続され、同一列のフラッシュメモリトランジスタの各ドレイン夫々が同一のビット線に接続され、全てのトランジスタのソースが共通のソース線 S L に接続される。

40

【0027】

このように構成されるメモリセルアレイを有するフラッシュメモリに対し、書き込み、消去、読み出し対象となるメモリセルに接続されているワード線、ビット線、並びにソース線を介して夫々処理に応じた上記電圧を印加することで、選択メモリセルに対する情報の書き込み、消去、或いは読み出しの各処理を実行する。

【0028】

50

上述したような原理に基づいて情報の記憶を行うフラッシュメモリは、フローティングゲート52内に蓄積された電子の多寡によって書き込み状態と消去状態の区別を行う構成であるところ、フローティングゲート52が周囲の導電性材料と絶縁状態にある（フローティング状態にある）構成であるため、一度フローティングゲート52内に注入された電子は新たな電圧印加を行わない限り当該フローティングゲート52内に安定的に留まり、又、新たな電圧印加を行わない限り外部の導電性材料から電子がフローティングゲート52内に注入されるようなことはなく、これによって情報を安定的に保持することができる構成である。

【0029】

ところが、このようなフラッシュメモリに対して外部より電磁波が照射されると、照射された電磁波に含まれるエネルギーがフローティングゲート52に与えられる結果、フローティングゲート52内に蓄積されている電子が高エネルギー状態となり、フローティングゲート52外に脱出するという事態が起こり得る。このような事態が発生すると、正しく書き込まれていた情報が不正に消去されたり、書換えられたり、或いは読み出されるという懸念が招来する。

【0030】

図9に示される電磁波照射検出回路70は、このような懸念に対処すべく、電磁波が照射された場合にフラッシュメモリセルトランジスタの閾値電圧が変化することを利用して、閾値電圧の変化を検知することで電磁波の照射を検出することを可能にするものである。

【0031】

図9に示されるような回路構成において、電磁波が照射されていない状態（以下、「非照射状態」と記載）の下で、対象電圧 V_{OUT} が基準電圧 V_{REF} よりも大きい値（ $V_{OUT} > V_{REF}$ ）を示すように、抵抗 R_1 及びフラッシュメモリトランジスタ71の閾値電圧を予め設定しているものとする。この場合、上述したように、電磁波照射検出回路70から出力される検出信号ERRは低レベル電圧を示す。

【0032】

ここで、電磁波が照射されることでフローティングゲート52内に蓄積されている電子がフローティングゲート52外に脱出したとする。このとき、フラッシュメモリトランジスタ71の閾値電圧が低下し、これによってフラッシュメモリトランジスタ71のオン抵抗（以下、適宜「 R_{ON} 」と符号を付す）も減少する。図9に示される対象電圧 V_{OUT} は、電源電圧 V_{CC} を抵抗 R_1 とオン抵抗 R_{ON} の抵抗比で分圧することで算出される値となるため、オン抵抗 R_{ON} が低下すると、抵抗 R_1 の両端の電位差が大きくなる。この結果、抵抗 R_1 とフラッシュメモリトランジスタ71のドレインの接続ノードの電圧で定義される対象電圧 V_{OUT} は、電源電圧 V_{CC} から抵抗 R_1 の両端の電位差に相当する電圧が低下した値と算出できるため、かかる V_{OUT} の値はオン抵抗 R_{ON} の低下に伴って減少することとなる。

【0033】

ここで、電磁波が照射されることで対象電圧 V_{OUT} が基準電圧 V_{REF} を下回る程度に低下した場合、コンパレータ72の出力端子からは低レベル電圧が出力されるため、かかる信号が反転される結果、高レベル電圧の検出信号ERRが電磁波照射検出回路70から出力されることとなる。つまり、電磁波照射検出回路70からの出力される検出信号ERRが高レベル電圧であることを検出することにより、電磁波が照射されたことを認識することができる。

【0034】

尚、図8に示されるように、電磁波等検出回路70の出力信号であるERRは、接触動作時における外部リセット信号RSTの反転信号、並びに非接触動作時におけるリセット信号であるパワーオンリセット回路80の出力信号と共に、論理和回路で構成されるリセット信号生成回路9においてOR接続されており、このリセット信号生成回路9の出力信号がリセット信号RST1として演算及びデータ格納部40に与えられる構成である。従

って、電磁波照射検出回路70によって電磁波の照射が検出された場合、高レベル電圧のERR信号がリセット信号生成回路9を介してリセット信号RST1として演算及びデータ格納部40に与えられ、これによって演算及びデータ格納部40はリセット処理が実行される。即ち、電磁波の照射を検出すると、演算及びデータ格納部40は強制的にリセット状態となるため、電磁波の照射によって内部の記録情報に対する不正な書換え、消去、或いは読み出し等が行われることを防止することができる。

【0035】

【特許文献1】特開2005-149438号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0036】

ところが、上記従来構成においては、電源電圧 V_{CC} が変動した場合に、電磁波照射検出回路70が所望の動作を実現しない場合があった。

【0037】

即ち、図9における構成において、例えば不正の目的により電源電圧 V_{CC} が仕様値よりも高く設定された場合、フラッシュメモリトランジスタ71のゲート電圧がこれに伴って高くなる。すると、フラッシュメモリトランジスタ71（を含む直列回路）を流れる電流が増加することとなり、この結果、抵抗 $R1$ の両端における電圧降下が大きくなるため、対象電圧 V_{OUT} の値は低下する。これにより、対象電圧 V_{OUT} が基準電圧 V_{REF} よりも小さい値になりやすく（ $V_{OUT} < V_{REF}$ ）、この結果、電磁波照射検出回路70から出力される検出信号ERRは高レベルを出力しやすくなる。

20

【0038】

逆に、電源電圧 V_{CC} が使用値よりも低く設定された場合、フラッシュメモリトランジスタ71のゲート電圧がこれに伴って低くなるため、フラッシュメモリトランジスタ71（を含む直列回路）を流れる電流が減少し、対象電圧 V_{OUT} の値は上昇する。これにより、対象電圧 V_{OUT} が基準電圧 V_{REF} よりも大きい値になりやすく（ $V_{OUT} > V_{REF}$ ）、この結果、電磁波照射検出回路70から出力される検出信号ERRは低レベルを出力しやすくなる。

【0039】

又、ICカード90は、非接触動作を行う場合、上記のように非接触型のリーダライタが発生した磁場に当該ICカードをかざすことで、電磁誘導によって発生された電力を利用して給電、クロック供給、データ通信等を行う構成である。このため、ICカード90のかざし方によっては、ICカード90とリーダライタとの距離が変化する場合がある。ICカード90とリーダライタとの距離が離れると、磁界強度が低下し、これに伴って電流供給能力が低下してしまう。このため、消費電流が大きい動作（例えばフラッシュメモリの読み出し動作）を行うと、動作開始時には電源電圧 V_{CC} が所望の電圧に到達していても、レギュレータ17が電源電圧 V_{CC} の降下を引き起こし、この結果、前記のように電磁波照射検出回路70の誤動作を生じる場合が考えられる。

30

【0040】

又、かかる誤動作が生じると、ICカード90はリセット状態となるため、電圧の回復を待つて再度読み出しを行う等の復帰処理が必要となり、重複した動作が要求される。このことはICカードの利便性を低下させるという問題を招来する。

40

【0041】

本発明は、上記の問題点に鑑み、電源電圧が変化した場合でも誤動作を生じることのない電磁波照射検出回路を提供することを目的とする。又、本発明は、かかる電磁波照射検出回路を備えることで、利便性を低下させることなく高セキュリティ性の実現が可能な半導体装置、並びにICカードを提供することを目的とする。

【課題を解決するための手段】

【0042】

上記目的を達成するための本発明に係る電磁波照射検出回路は、第1抵抗と第1不揮発

50

性メモリトランジスタが直列に配列された第1直列回路と、第2抵抗と第2不揮発性メモリトランジスタが直列に配列された第2直列回路と、一对の差動入力端子の内の一方の入力端子に前記第1直列回路の前記第1抵抗と前記第1不揮発性メモリトランジスタの中間点が接続し、他方の入力端子に前記第2直列回路の前記第2抵抗と前記第2不揮発性メモリトランジスタの中間点が接続し、前記両入力端子に入力される電圧差に応じた2値の検出信号を出力する比較回路と、を備え、前記第1抵抗と前記第1不揮発性メモリトランジスタの中間点の電位、並びに前記第2直列回路の前記第2抵抗と前記第2不揮発性メモリトランジスタの中間点の電位が共に電源電圧に応じて決定される構成であり、電磁波が照射されることで所定量以上のエネルギーが与えられると、前記第1及び第2不揮発性メモリトランジスタのオン抵抗が変化して、電磁波が照射されていない非照射状態と電磁波が照射された照射状態の間で、前記両入力端子に入力される電圧差が変化して、前記検出信号が変化することを第1の特徴とする。

【0043】

本発明に係る電磁波照射検出回路の上記第1の特徴構成によれば、第1及び第2直列回路における所定のノード（抵抗と不揮発性メモリトランジスタの接続ノード、以下単に「中間点」と記載）の電位に基づく両電圧信号が、比較回路の両入力端子に入力され、かかる入力電圧の電圧差に基づいて検出信号が出力される。又、両直列回路は、夫々抵抗と不揮発性メモリトランジスタを有しており、電磁波が照射されることで不揮発性メモリトランジスタのオン抵抗が変化すると、直列回路を流れる電流が変化するため、前記中間点の電位が変化する構成である。このため、非照射状態の下で予め両抵抗の抵抗値、並びに両不揮発性メモリトランジスタの閾値電圧を所定の値に設定しておくことで、電磁波が照射された際に両直列回路の中間点の電位差が減少する。従って、かかる電位差の変化を検出することで、検出信号の電圧レベルが変化するため、これを確認することにより電磁波が照射されたことを認識することができる。

【0044】

そして、本特徴構成によれば、両中間点の電位が電源電圧に応じて決定される構成であるため、電源電圧が変化した場合であっても、比較回路に入力される両電圧信号の電圧差が、前記検出信号の電圧レベルを変化させる程度にまで変化することはない。このため、不正の目的で電源電圧を変更された場合や、利用状態によって電源電圧が変化した場合においても、これらの影響を受けることなく、正しく電磁波照射の検出を行うことができる。

【0045】

又、本発明に係る電磁波照射検出回路は、上記第1の特徴構成に加えて、前記比較回路が、反転入力端子、非反転入力端子、及び出力端子を有するコンパレータを備え、前記反転入力端子が、前記第1直列回路の前記第1抵抗と前記第1不揮発性メモリトランジスタの中間点と接続され、前記非反転入力端子が、前記第2直列回路の前記第2抵抗と前記第2不揮発性メモリトランジスタの中間点と接続され、前記出力端子が、前記反転入力端子と前記非反転入力端子に入力される2電圧の大小関係に応じて決定される2値の電圧信号を出力する構成であり、前記検出信号の電圧レベルが、前記出力端子から出力される電圧信号の電圧レベルに基づいて決定され、電磁波が照射されることで所定量以上のエネルギーが与えられると、前記第1及び第2不揮発性メモリトランジスタのオン抵抗が変化して、電磁波が照射されていない非照射状態と電磁波が照射された照射状態の間で、前記反転入力端子と前記非反転入力端子に入力される電圧の大小関係が変化して、前記出力端子より出力される前記検出信号が変化することを第2の特徴とする。

【0046】

本発明に係る電磁波照射検出回路の上記第2の特徴構成によれば、電磁波が照射されると、前記反転入力端子と前記非反転入力端子に入力される2電圧の大小関係が変化し、これによって検出信号が変化する。従って、この検出信号の電圧レベルの変化を確認することにより電磁波が照射されたことを認識することができる。

【0047】

そして、本特徴構成によれば、両中間点の電位が電源電圧に応じて決定される構成であるため、電源電圧が変化した場合であっても、比較回路に入力される両電圧信号の大小関係が非照射状態の下での大小関係と逆転することがない。このため、不正の目的で電源電圧を変更された場合や、利用状態によって電源電圧が変化した場合においても、これらの影響を受けることなく、正しく電磁波照射の検出を行うことができる。

【0048】

ここで、前記比較回路が更に否定回路を備えると共に、前記コンパレータの出力端子に否定回路が接続されることで、コンパレータの出力端子から出力される信号の電圧レベルを反転させて前記検出信号を生成する構成としても良い。

【0049】

又、本発明に係る電磁波照射検出回路は、上記第2の特徴構成に加えて、前記第1抵抗の抵抗値が前記第2抵抗の抵抗値よりも小さく、前記非照射状態において、前記第1不揮発性メモリセルの閾値電圧が前記第2不揮発性メモリセルの閾値電圧よりも小さいことを第3の特徴とする

【0050】

本発明に係る電磁波照射検出回路の上記第3の特徴構成によれば、非照射状態の下では非反転入力端子に入力される電圧レベルが、反転入力端子に入力される電圧レベルよりも高くなる。そして、かかる構成の下で、電磁波が照射されると、両不揮発性メモリトランジスタの閾値電圧が共に低下するため、両直列回路を流れる電流は共に上昇する。この結果、所定量以上のエネルギーが電磁波の照射によって与えられると、抵抗値が大きい第2抵抗の両端の電位差が、抵抗値の小さい第1抵抗の両端の電位差を上回り、両入力端子に入力される電圧レベルの大小関係が逆転し、検出信号の電圧レベルもこれに応じて変化する。従って、出力される検出信号の電圧レベルの変化を確認することで、電磁波が照射されたことを認識することができる。

【0051】

又、本発明に係る電磁波照射検出回路は、上記第2又は第3の特徴構成に加えて、所定領域に電磁波遮蔽手段を備えており、前記電磁波遮蔽手段によって照射された電磁波の一部が反射されることで、前記第1不揮発性メモリトランジスタに対して与えられるエネルギー量が前記第2不揮発性メモリトランジスタに対して与えられるエネルギー量よりも少なくなるように構成されていることを第4の特徴とする。

【0052】

本発明に係る電磁波照射検出回路の上記第4の特徴構成によれば、両不揮発性メモリトランジスタに対して電磁波が照射された場合であっても、当該照射によって両不揮発性トランジスタに与えられるエネルギー量に差異が生じる。この結果、両不揮発性メモリトランジスタ間の閾値電圧の変化に差異を設けることができる。従って、非照射状態の下で中間点の電位が低く設定されている側の直列回路が有する不揮発性メモリトランジスタを、他の不揮発性メモリトランジスタよりも電磁波の遮蔽能力を高く設定しておくことで、電磁波が照射されると比較回路の両入力端子に入力される両入力電圧の大小関係が逆転するため、検出信号の電圧レベルが変化し、これによって電磁波の照射を検出することができる。

【0053】

尚、電磁波の遮蔽能力を高く設定したい側の不揮発性メモリトランジスタに対してのみ電磁波遮蔽手段を備える構成としても構わないし、例えば遮蔽面積や遮蔽部材に差異を設けることで両不揮発性メモリトランジスタに対して電磁波遮蔽手段を備える構成としても構わない。

【0054】

又、本特徴構成の場合には、電磁波の照射によって両不揮発性メモリトランジスタの閾値電圧の変化程度が異なるため、第1及び第2抵抗の抵抗値を同一値とした場合であっても、電磁波が照射されることで比較回路に入力される両入力電圧の大小関係を変化させることができる。

【0055】

又、本発明に係る電磁波照射検出回路は、上記第4の特徴構成に加えて、前記電磁波遮蔽手段が、前記第1不揮発性メモリセルの形成領域の上層に備えられており、前記第2不揮発性メモリセルの形成領域の上層に備えられていないことを第5の特徴とする。

【0056】

又、本発明に係る電磁波照射検出回路は、上記第4又は第5の特徴構成に加えて、前記電磁波遮蔽手段が金属配線層で構成されることを第6の特徴とする。

【0057】

又、本発明に係る電磁波照射検出回路は、上記第1～第6の何れか一の特徴構成に加えて、前記第1直列回路と前記第2直列回路が並列に接続されており、夫々の一方の端子には第1基準電圧が、他方の端子には第2基準電圧が印加され、前記第1基準電圧が、電源電圧、又は当該電源電圧に応じて決定される電圧であり、前記第1不揮発性メモリトランジスタ及び前記第2不揮発性メモリトランジスタの両コントロールゲートに対して、前記第1基準電圧が印加される構成であることを第7の特徴とする。

【0058】

本発明に係る電磁波照射検出回路の上記第7の特徴構成によれば、両直列回路の両端は夫々同一の電位を示すため、電源電圧が変化した場合には、当該変化に応じて両直列回路の中間点の電位が同様の変化を示すこととなる。即ち、電源電圧の変化によって中間点の電位の大小関係が変化することがないため、誤動作を生じることなく正しく電磁波照射の検出を実行することができる。

【0059】

尚、前記第2基準電圧は、例えば接地電圧とすることができる。

【0060】

又、本発明に係る電磁波照射検出回路は、上記第1～第6の何れか一の特徴構成に加えて、前記第1直列回路と前記第2直列回路が並列に接続されており、夫々の一方の端子には第1基準電圧が、他方の端子には第2基準電圧が印加され、前記第1基準電圧が、電源電圧、又は当該電源電圧に応じて決定される電圧であり、前記第1不揮発性メモリトランジスタ及び前記第2不揮発性メモリトランジスタの両コントロールゲートに対して、前記第1或いは第2不揮発性メモリトランジスタに対する読み出し、書き込み、或いは消去処理を行うための電圧発生回路からの出力電圧が印加されることを第8の特徴とする。

【0061】

本発明に係る電磁波照射検出回路の上記第8の特徴構成によれば、両不揮発性メモリトランジスタのフローティングゲートに蓄積される電子量を多くすることができるため、閾値電圧を上昇させることができる。これにより、電磁波が照射されたときの閾値電圧並びに両直流回路を流れる電流に対する影響を大きくすることができるため、電磁波照射の検出精度を高めることができる。

【0062】

又、本発明に係る電磁波照射検出回路は、上記第1～第8の何れか一の特徴構成に加えて、前記第1及び第2不揮発性メモリトランジスタのソース・ドレイン端子間にバイアス電圧を印加するためのバイアス発生回路を備えることを第9の特徴とする。

【0063】

本発明に係る電磁波照射検出回路の上記第9の特徴構成によれば、非照射状態の下では両不揮発性メモリトランジスタのドレイン・ソース間に所定のバイアス電圧が印加されるように構成することができるため、かかるバイアス電圧を予め低い電圧に設定しておくことにより、非照射状態の下でソフトプログラム（弱い書き込み）が発生するのを防止することができる。これにより、非照射状態の下で各不揮発性メモリトランジスタのフローティングゲート内に蓄積されている電子量の変動を防止され、電磁波照射検出精度を更に向上させることができる。

【0064】

又、本発明に係る電磁波照射検出回路は、上記第1～第9の何れか一の特徴構成に加えて

て、前記第 1 及び第 2 不揮発性メモリトランジスタがフラッシュメモリトランジスタで構成されることを第 10 の特徴とする。

【0065】

又、本発明に係る電磁波照射検出回路は、上記第 1～第 10 の何れか一の特徴構成に加えて、前記第 1 及び第 2 不揮発性メモリトランジスタが、ゲート及びドレインに金属配線層との接続を構成しており、前記第 1 不揮発性メモリトランジスタのゲート端子及びドレイン端子に接続されている金属配線層の面積と、前記第 2 不揮発性メモリトランジスタのゲート端子及びドレイン端子に接続されている金属配線層の面積と、が異なっていることを第 11 の特徴とする。

【0066】

上記第 11 の特徴構成を有する本発明に係る電磁波照射検出回路を製造する際、ゲート電極並びにドレイン拡散層に対して金属配線層を接続させることで、この金属配線層を堆積する際に、当該金属配線層内に電荷が蓄積されることとなる。このため、製造された本発明に係る電磁波照射検出回路が有する両不揮発性メモリトランジスタに対して書き込み処理を行うと、金属配線層内に蓄積されていた電荷もフローティングゲート内に取り込まれるため、金属配線層を有しない構成と比較して閾値電圧を変化させることができる。

【0067】

ゲート電極並びにドレイン拡散層に対して接続されている金属配線層の配線量（配線長、配線面積）が多いほど、当該金属配線層内に取り込まれる電子量は増大するため、かかる配線量を第 1 及び第 2 不揮発性メモリトランジスタ間で差異を持たせることにより、予め両不揮発性メモリトランジスタ間の閾値電圧に差異を生じさせることができる。即ち、本特徴構成によれば、製造された時点で既に両不揮発性メモリトランジスタの閾値電圧の調整がされているため、改めて閾値電圧の調整を行う必要がない。このため、本発明に係る電磁波照射検出回路を半導体装置内に実装する際において、当該半導体装置は、両不揮発性メモリトランジスタの閾値電圧の調整のための調整手段を設ける必要がなく、装置規模の縮小化の実現に寄与することができる。

【0068】

又、上記目的を達成するための本発明に係る半導体装置は、上記第 1～第 11 の何れか一の特徴構成の電磁波照射検出回路と、前記比較回路から出力される前記検出信号の活性／不活性状態に基づいて、リセット信号を生成するリセット信号生成回路と、を備え、前記リセット信号生成回路から出力される前記リセット信号に基づいてリセット動作が行われることを第 1 の特徴とする。

【0069】

本発明に係る半導体装置の上記第 1 の特徴構成によれば、電源電圧の変動の影響を受けることなく電磁波照射の検出を行うことができる電磁波照射検出回路を備える構成であるため、電源電圧の変動によって電磁波照射検出回路が誤動作してリセット処理が実行されるということがない。従って、電源電圧の変動によって当該リセット処理後の復帰処理を要求されることがないため、利便性を低下させることなくセキュリティ性の高い半導体装置の実現が可能となる。

【0070】

又、上記目的を達成するための本発明に係る半導体装置は、上記第 1～第 11 の何れか一の特徴構成の電磁波照射検出回路と、前記比較回路から出力される前記検出信号の活性／不活性状態に基づいて、リセット信号を生成するリセット信号生成回路と、前記電磁波照射検出回路の検出結果の無効化処理が可能な無効化回路と、を備えると共に、前記リセット信号生成回路から出力される前記リセット信号に基づいてリセット動作が行われる構成であって、前記無効化回路が、前記電磁波照射検出回路の検出結果の無効化処理を実行するか否かの指示を示す無効化指示信号と前記検出信号とが入力される構成であって、前記無効化処理を実行しない旨の前記無効化指示信号が入力されている場合には、前記検出信号を前記リセット信号生成回路に入力し、前記無効化処理を実行する旨の前記無効化指示信号が入力されている場合には、前記検出信号の活性／不活性に拘らず、不活性状態を

10

20

30

40

50

示す電圧信号を前記リセット信号生成回路に入力することを第2の特徴とする。

【0071】

本発明に係る半導体装置の上記第2の特徴構成によれば、本発明に係る電磁波照射検出回路の検出結果を無効化することができる。このため、電磁波照射検出回路が備える不揮発性メモリトランジスタの閾値電圧が所定の条件を充足せず、非照射状態下においても電磁波の照射を検出した旨の検出信号を出力してしまう場合に、当該無効化処理を実行して、電磁波照射検出回路の検出結果を無効化した上で、電磁波照射検出の機能を奏するように両不揮発性メモリトランジスタの閾値電圧を調整することができる。

【0072】

又、本発明に係る半導体装置は、上記第2の特徴構成に加えて、前記無効化回路が、外部からテストパッドにより前記無効化指示信号の入力受付を可能に構成されていることを第3の特徴とする。

【0073】

本発明に係る半導体装置の上記第3の特徴構成によれば、不揮発性メモリトランジスタの閾値電圧の調整の際、簡易な処理によって電磁波照射検出回路の検出結果の無効化を実行することができる。

【0074】

又、本発明に係る半導体装置は、上記第2の特徴構成に加えて、一定の動作条件が充足されると高レベルの動作リセット指示信号を出力する動作リセット回路と、2値の電圧レベルの前記無効化指示信号を生成し、前記無効化回路に対して出力する無効化指示信号生成回路と、を備え、前記リセット信号生成回路が、前記無効化回路の出力信号と前記動作リセット指示信号とが入力されると共に、何れか一の信号が活性状態であるか否かに基づいて前記リセット信号を生成する構成であり、前記無効化指示信号生成回路が、所定の無効化指示用不揮発性メモリトランジスタの記憶状態に応じた高低2値の無効化副指示信号、並びに前記動作リセット指示信号が入力されると共に、当該入力される電圧レベルの高低に応じた2値の一時記憶情報を記憶可能な構成であって、記憶している前記一時記憶情報と異なる情報に対応付けられた電圧レベルの前記無効化指示信号を出力することを第4の特徴とする。

【0075】

本発明に係る半導体装置の上記第4の特徴構成によれば、無効化指示用不揮発性メモリトランジスタの記憶状態に応じて無効化処理を実行するか否かを決定することができる。このため、パッケージ等にてアセンブリする前段階において、無効化指示用不揮発性メモリトランジスタに対して、無効化処理が実行される状態を示す記憶状態にしておき、閾値電圧の調整後、当該無効化指示用不揮発性メモリトランジスタの記憶状態を再度変化させて、無効化処理を実行しない旨の記憶状態に変化させることができる。不揮発性メモリトランジスタの記憶状態の変化、並びに当該記憶状態の読み出しは、通常の不揮発性半導体記憶装置の書き込み、消去、読み出しの各処理で実行が可能であるため、予めプログラム化することが可能である。従って、本特徴構成によれば、電磁波照射検出回路からの検出結果の無効化と有効化の切替を自動的に行うことができる。

【0076】

又、上記目的を達成するための本発明に係るICカードは、上記第1～第4の何れか一の特徴構成の半導体装置と、非接触型外部装置と非接触で通信されることで情報の授受が行われると共に前記非接触型外部装置から電磁結合によって電力が供給される非接触型通信インタフェース、或いは、接触型外部装置との接触によって情報の授受が行われると共に前記接触型外部装置から電力が供給される接触型通信インタフェースの内の何れか一方又は双方を備えることを特徴とする。

【0077】

本発明に係るICカードの上記特徴構成によれば、電源電圧の変動によって強制的にリセット処理が実行されることがないため、誤動作によって生じたりセット処理後の復帰処理を要求されることがなく、これによって、利便性の低下をさせることなくセキュリティ

10

20

30

40

50

性の高いＩＣカードを実現することが可能となる。

【発明の効果】

【００７８】

本発明の構成によれば、電源電圧が変化した場合でも誤動作を生じることのない電磁波照射検出回路を実現することができる。又、本発明に係る電磁波照射検出回路を備えることで、利便性を低下させることなく高セキュリティ性の実現が可能な半導体装置を実現することができる。

【発明を実施するための最良の形態】

【００７９】

以下において、本発明に係る電磁波照射検出回路（以下、適宜「本発明回路」と称する）、本発明に係る半導体装置（以下、適宜「本発明装置」と称する）の各実施形態について図面を参照して説明する。

10

【００８０】

尚、以下の各実施形態において、図８～図１１を参照して上述した従来技術と同一の構成については、同一の符号を付して、その詳細な説明を省略する。

【００８１】

《本発明回路の構成》

先ず、本発明回路の各実施形態につき、以下に説明する。

【００８２】

〔第１実施形態〕

20

本発明回路の第１実施形態（以下、適宜「本実施形態」と称する）につき、図１及び図２を参照して説明する。

【００８３】

図１は、本実施形態における本発明回路の概略的構成を示す回路ブロック図である。本発明回路１は、図９に示される従来の電磁波照射検出回路７０と比較して、抵抗とフラッシュメモリトランジスタからなる直列回路を２回路有する点異なる。

【００８４】

即ち、本発明回路１は、抵抗Ｒ１とフラッシュメモリトランジスタ７１ａとが直列に配列されて構成される直列回路ＳＣ１、及び、抵抗Ｒ２とフラッシュメモリトランジスタ７１ｂとが直列に配列されて構成される直列回路ＳＣ２、の２つの直列回路を有する構成である。尚、以下において、抵抗Ｒ１、フラッシュメモリトランジスタ７１ａ、直列回路ＳＣ１を夫々、「第１抵抗Ｒ１」、「第１フラッシュメモリトランジスタ７１ａ」、「第１直列回路ＳＣ１」と称し、抵抗Ｒ２、フラッシュメモリトランジスタ７１ｂ、直列回路ＳＣ２を夫々、「第２抵抗Ｒ２」、「第２フラッシュメモリトランジスタ７１ｂ」、「第２直列回路ＳＣ２」と称する。又、記号が増加することによる煩雑さを回避すべく、各抵抗に付されている符号（Ｒ１、Ｒ２）がそのまま当該抵抗の抵抗値を示しているものとして説明する。

30

【００８５】

尚、第１抵抗Ｒ１と第２抵抗Ｒ２は、同一の構造で抵抗値のみ異なる（ $R1 \neq R2$ ）ものとし、第１フラッシュメモリトランジスタ７１ａと第２フラッシュメモリトランジスタ７１ｂは、同一の構造で閾値電圧のみ異なるものとする。

40

【００８６】

第１直列回路ＳＣ１、及び第２直列回路ＳＣ２は、夫々一端に接地電圧が、他端に電源電圧 V_{CC} が印加されており、両者は並列接続を構成している。第１直列抵抗ＳＣ１を例にとれば、第１抵抗Ｒ１の一端に電源電圧 V_{CC} が印加され、第１抵抗Ｒ１の他端に第１フラッシュメモリトランジスタ７１ａのドレイン端子が接続され、第１フラッシュメモリトランジスタ７１ａのソース端子が接地されている。又、図９の構成と同様、第１フラッシュメモリトランジスタ７１ａのゲート電極には電源電圧 V_{CC} が印加される。第２直列回路ＳＣ２においても同様とする。

【００８７】

50

又、本発明回路 1 は、図 9 に示される従来の電磁波照射検出回路 70 と比較して、コンパレータ 72 の入力端子に入力される電圧が異なる。即ち、図 1 に示されるように、本発明回路 1 が備えるコンパレータ 72 は、第 1 直列回路 SC1 における第 1 抵抗 R1 と第 1 フラッシュメモリトランジスタ 71a の接続ノードが示す電圧（以下、「第 1 対象電圧」と記載する） V_{OUT1} が反転入力端子 72im に入力され、第 2 直列回路 SC2 における第 2 抵抗 R2 と第 2 フラッシュメモリトランジスタ 71b の接続ノードが示す電圧（以下、「第 2 対象電圧」と記載する） V_{OUT2} が非反転入力端子 72ip に入力される構成である。即ち、コンパレータ 72 の一方の入力端子に基準電圧 V_{REF} が入力されない構成である。

【0088】

上記接続関係の下では、第 1 対象電圧 V_{OUT1} と第 2 対象電圧 V_{OUT2} の大小関係によって検出信号 ERR のレベルが決定される。即ち、本発明回路 1 は、 $V_{OUT1} < V_{OUT2}$ の場合には検出信号 ERR として低レベル電圧（例えば接地電圧）を出力し、 $V_{OUT1} > V_{OUT2}$ の場合には検出信号 ERR として高レベル電圧（例えば 3V）を出力する。

【0089】

第 1 対象電圧 V_{OUT1} と第 2 対象電圧 V_{OUT2} の何れかが大きい電圧値となるかは、各抵抗 R1 及び R2 の抵抗値、並びに各フラッシュメモリトランジスタ 71a 及び 71b の閾値電圧に依存する。ここで、両抵抗 R1 及び R2 が $R1 < R2$ の関係を有するものとし、非照射状態の下、 $V_{OUT1} < V_{OUT2}$ となるように、各フラッシュメモリトランジスタ 71a 及び 71b の閾値電圧が設定されているものとする。即ち、第 1 フラッシュメモリトランジスタ 71a の閾値電圧を V_{th1} とし、第 2 フラッシュメモリトランジスタ 71b の閾値電圧を V_{th2} とすると、非照射状態の下で、少なくとも $V_{th1} < V_{th2}$ が成立しているものとする。このとき、本発明回路 1 は、非照射状態の下では低レベル電圧を出力しており、電磁波照射を検出していない旨の信号を出力していることとなる。

【0090】

このような構成下で、本発明回路 1 に対して電磁波が照射された場合について検討する。上述したように、フラッシュメモリトランジスタに対して紫外線が照射されると、閾値電圧が低下する。しかし、この閾値電圧は、ある一定の値（例えば 2V、以下適宜「最小閾値電圧」と称する）を境としてそれ以下には低下しなくなる。即ち、両フラッシュメモリトランジスタ 71a、71b に対して電磁波が照射された場合、何れの閾値電圧も当該電磁波照射に伴って低下するものの、所定量以上の照射がされた段階で、閾値電圧の低下が見られなくなる。ここで、上述したように、両フラッシュメモリトランジスタ 71a 及び 71b を同一の構造で構成しているため、両フラッシュメモリトランジスタの最小閾値電圧は略同程度の値を示すこととなる。

【0091】

従って、電磁波の照射に伴って、両フラッシュメモリトランジスタの閾値電圧が低下していくと、非照射状態の下で予め閾値電圧を低く設定されていた第 1 フラッシュメモリトランジスタ 71a の閾値電圧が、第 2 フラッシュメモリトランジスタ 71b の閾値電圧よりも先に前記最小閾値電圧近傍の値になる。閾値電圧が最小閾値電圧に近づくに連れ、閾値電圧の低下速度は遅くなるため、徐々に第 1 フラッシュメモリトランジスタ 71a の閾値電圧の低下速度は、第 2 フラッシュメモリトランジスタ 71b の低下速度と比べて遅くなる。この結果、両フラッシュメモリトランジスタの閾値電圧の差が徐々に縮まってくる。

【0092】

上述したように、フラッシュメモリトランジスタの閾値電圧が低下すると、オン抵抗が減少するため、ドレイン電流、即ち各直列回路を流れる電流が上昇する。そして、第 1 フラッシュメモリトランジスタ 71a の閾値電圧が最小閾値電圧に近づくに連れ、第 1 直列回路 SC1 を流れる電流（以下、「第 1 電流 I1」と記載）の上昇速度は第 2 直列回路 S

10

20

30

40

50

C 2を流れる電流（以下、「第2電流 I 2」と記載）の上昇速度よりも遅くなる。

【0093】

ここで、各対象電圧 V_{OUT1} 、 V_{OUT2} は、共通の電源電圧 V_{CC} から抵抗 R 1 或いは R 2 の両端の電位差に相当する電圧が低下した値であるため、各抵抗の両端の電位差が大きいほど各対象電圧は低下することとなる。上記のとおり、 $R1 < R2$ であり、第2電流 I 2 の上昇速度が第1電流 I 1 の上昇速度よりも速いため、所定時間が経過すると、抵抗 R 2 の両端の電位差が抵抗 R 1 の両端の電位差を上回ることとなる。即ち、このとき、第1対象電圧 V_{OUT1} と第2対象電圧 V_{OUT2} の大小関係が逆転し（ $V_{OUT1} > V_{OUT2}$ ）、検出信号 E R R として高レベル電圧（例えば3 V）を出力する。これにより、本発明回路 1 は、電磁波照射を検出した旨の信号を出力する。

10

【0094】

従って、上記構成によれば、本発明回路 1 は、電磁波が照射された場合には検出信号 E R R のレベルを低電圧から高電圧に変化させるため、かかる電圧レベルの変化を確認することで、電磁波の照射がされたことを認識することができる。

【0095】

ここで、非照射状態の下で、電源電圧 V_{CC} が変動した場合における本発明回路 1 の動作について検討する。

【0096】

本発明回路 1 の構成においても、従来構成と同様、電源電圧 V_{CC} が直列回路を構成する抵抗の一端に入力されるため、電源電圧 V_{CC} が変動すれば、直列回路を流れる電流もこれに伴って変化する。しかしながら、本発明回路 1 の構成の場合、コンパレータ 7 2 には第1対象電圧 V_{OUT1} 及び第2対象電圧 V_{OUT2} が入力される構成である。両対象電圧は第1電流 I 1 並びに第2電流 I 2 に基づいて決定される。電源電圧 V_{CC} が変化することで、両直列回路を流れる電流（I 1 並びに I 2）は共に変化することとなるが、閾値電圧が高い方が直列回路を流れる電流が少ないことに変わりはない。上記の通り、非照射状態の下では、 $V_{th1} < V_{th2}$ となるように両フラッシュメモリトランジスタの閾値電圧が設定されているため、依然として閾値電圧が大きく設定されている第2フラッシュメモリトランジスタ 7 1 b を備える第2直列回路 S C 2 を流れる第2電流 I 2 が、第1フラッシュメモリトランジスタ 7 1 a を備える第1直列回路 S C 1 を流れる第1電流 I 1 よりも小さい値を示す。

20

30

【0097】

そして、上記の通り、 $R2 > R1$ であるため、電源電圧 V_{CC} が変動しても、依然として抵抗 R 2 の両端の電位差が抵抗 R 1 の両端の電位差よりも大きい状態が維持される。この結果、依然として、第1対象電圧 V_{OUT1} が第2対象電圧 V_{OUT2} よりも小さい値を示すこととなるため、本発明回路 1 は、検出信号 E R R として低レベル電圧を出力する。

【0098】

従って、本発明回路 1 の構成によれば、電源電圧 V_{CC} が変動した場合であっても、従来構成のように電源電圧の変動に対する影響を受けることがない。このため、不正の目的で電源電圧 V_{CC} を変更された場合や、利用状態によって電源電圧 V_{CC} が変化した場合においても、これらの影響を受けることなく、正しく電磁波照射の検出を行うことができる。

40

【0099】

尚、本実施形態では、比較回路 7 4 がコンパレータ 7 2 と否定回路 7 3 とで構成されると共に、コンパレータ 7 2 の反転入力端子に第1対象電圧 V_{OUT1} が、非反転入力端子に第2対象電圧 V_{OUT2} が夫々入力される構成としたが、両対象電圧 V_{OUT1} 及び V_{OUT2} の大小関係を比較し、この関係が逆転したときにレベルの異なる電圧を発生させる手段を備えていれば、比較回路 7 4 の構成は必ずしも図 1 に示される構成に限定されるものではない。図 1 の構成とは異なる別の一例を図 2 に示す。

【0100】

50

図2に示される比較回路74aは、コンパレータ72a、72b、72cを有して構成される。コンパレータ72aは、反転入力端子に第1対象電圧 V_{OUT1} が、非反転入力端子に第2対象電圧 V_{OUT2} が入力される。コンパレータ72bは、コンパレータ72aとは異なり、非反転入力端子に第1対象電圧 V_{OUT1} が、反転入力端子に第2対象電圧 V_{OUT2} が入力される。又、コンパレータ72cは、反転入力端子にコンパレータ72aの出力電圧 V_oa が、非反転入力端子にコンパレータ72bの出力電圧 V_ob が入力される。尚、少なくとも、コンパレータ72aが出力する高レベル電圧は、コンパレータ72bが出力する低レベル電圧よりも高く、コンパレータ72aが出力する低レベル電圧は、コンパレータ72bが出力する高レベル電圧よりも低いものとする。もちろん、コンパレータ72aと72bとが同一の回路で構成されていても良い。

10

【0101】

上記のような回路構成の場合、非照射状態の下では、 $V_{OUT1} < V_{OUT2}$ であるため、コンパレータ72aは出力電圧 V_oa として高レベル電圧を出力し、コンパレータ72bは出力電圧 V_ob として低レベル電圧を出力する。このとき、コンパレータ72cからは低レベル電圧が出力されるため、検出信号ERRは低レベル電圧を示す。

【0102】

一方、電磁波照射が検出されて両対象電圧の大小関係が逆転し、 $V_{OUT1} > V_{OUT2}$ となると、コンパレータ72aは出力電圧 V_oa として低レベル電圧を出力し、コンパレータ72bは出力電圧 V_ob として高レベル電圧を出力する。このとき、コンパレータ72cからは高レベル電圧が出力されるため、検出信号ERRは高レベル電圧を示す。このため、検出信号ERRの電圧レベルを確認することで、図1と同様、電磁波の照射がされたことを認識することができる。

20

【0103】

上述した本実施形態の場合、電磁波が照射されることで第1対象電圧 V_{OUT1} と第2対象電圧 V_{OUT2} の大小関係が反転した場合に高レベルの検出信号ERRが出力される。従って、逆に言えば、電磁波の照射量が前記両対象電圧の大小関係を反転させない範囲内である場合には、本発明回路1の構成では電磁波の照射を検出することができない。

【0104】

しかし、上述したように、電磁波が照射されることで両直列回路SC1及びSC2を流れる電流が変化し、その変化速度は両直列回路において異なるものである。そして、両対象電圧 V_{OUT1} 及び V_{OUT2} は、夫々両直列回路SC1及びSC2を流れる電流によって決定される電圧値であるところ、電磁波が照射されると両対象電圧の電圧差に変化が生じることとなる。

30

【0105】

特に、図1の構成の場合、電磁波が照射されると、直列回路SC2を流れる電流I2の上昇速度が、直列回路SC1を流れる電流I1の上昇速度よりも速いため、抵抗R2両端の電位差は抵抗R1両端の電位差よりも速く上昇し、この結果、第2対象電圧 V_{OUT2} は、第1対象電圧 V_{OUT1} よりも速く低下することとなる。即ち、第1対象電圧 V_{OUT1} よりも高い電圧値を示していた第2対象電圧 V_{OUT2} が、第1対象電圧 V_{OUT1} よりも速く低下するため、両対象電圧の電圧差は縮まっていく。

40

【0106】

従って、両対象電圧の電圧差が、所定の範囲内となった段階で、高レベルの検出信号ERRを出力するような構成とすることにより、両対象電圧の大小関係が逆転しない範囲内の電磁波照射量である場合においても、電磁波照射の検出が可能となる。一例として、コンパレータのオフセット電圧を利用することが可能である。

【0107】

図1に示されるコンパレータ72が、所定のオフセット α を有する構成であるとする。このとき、反転入力端子72imの入力電圧にオフセット α を加えた電圧が、非反転入力端子72ipの入力電圧よりも低い場合には、高レベルの出力電圧を出力端子72ioから出力し、逆に、反転入力端子72imの入力電圧にオフセット α を加えた電圧が、非反

50

転入力端子 72 i p の入力電圧よりも高い場合には、低レベルの出力電圧を出力端子 72 i o から出力する構成であるとする。

【0108】

かかる場合、両対象電圧 V_{OUT1} 及び V_{OUT2} の大小関係が逆転しなくても、両電圧の電圧差がオフセット α 以下になった時点で出力端子 72 i o から低レベルの出力電圧が出力されるため、検出信号 E R R の電圧レベルが高レベルに変化する。これにより、電磁波の照射を検出することができる。

【0109】

但し、図 1 の構成の下でオフセット電圧 α を用いた電圧検出を行う場合、出力端子 72 i o から出力される電圧レベルが変化する閾値近傍においては、コンパレータ 72 の後段に接続されている否定回路 73 から出力される検出信号 E R R が安定化しない可能性もある。これに対し、図 2 のような差動増幅型のコンパレータのみで比較回路 74 が構成されている場合の方が、検出信号 E R R の電圧レベルが変化する閾値近傍においても安定的な出力が示される。

【0110】

又、上記において、各メモリトランジスタ 71 a 及び 71 b が、何れもフラッシュメモリトランジスタで構成されるものとしたが、E E P R O M 等の他の不揮発性メモリトランジスタで構成されるものとしても構わない。以下の各実施形態においても同様とする。

【0111】

更に、上述の実施形態では、本発明回路 1 が「電磁波」の照射の検出を行う機能を奏すると記載したが、ここでいう「電磁波」という呼称は紫外線、X 線、ガンマ線等を含む一般的なエネルギー放射を示唆するものである。言い換えれば、本発明回路 1 は、紫外線、X 線、ガンマ線等の電磁波の内、少なくとも何れか一のエネルギー照射の検出が可能である構成であるとして構わない。以下の各実施形態においても同様とする。

【0112】

[第 2 実施形態]

本発明回路の第 2 実施形態（以下、適宜「本実施形態」と称する）につき、図 3 を参照して説明する。尚、第 1 実施形態と同一の構成要素については、同一の符号を付してその説明を省略する。

【0113】

図 3 は本実施形態における本発明回路の概略的構成を示す回路ブロック図である。本実施形態における 1 a は、第 1 実施形態における本発明回路 1 と比較して、更にバイアス発生回路 30、M O S トランジスタ 31 a、31 b（ここでは N チャネル型とする）を備える点異なる。

【0114】

M O S トランジスタ 31 a は、第 1 抵抗 R 1、第 1 フラッシュメモリトランジスタ 71 a と共に第 1 直列回路 S C 1 を構成しており、第 1 抵抗 R 1 と第 1 フラッシュメモリトランジスタ 71 a のドレインの間に介装される。より具体的には、M O S トランジスタ 31 a は、ドレインが第 1 抵抗 R 1 の一端と接続され、ソースが第 1 フラッシュメモリトランジスタ 71 a のドレインと接続され、ゲートにはバイアス発生回路 30 と接続される。同様に、M O S トランジスタ 31 b も、M O S トランジスタ 31 a と同様に、第 2 抵抗 R 2、第 2 フラッシュメモリトランジスタ 71 b と共に第 2 直列回路 S C 2 を構成しており、ドレインが第 2 抵抗 R 2 の一端と接続され、ソースが第 2 フラッシュメモリトランジスタ 71 b のドレインと接続され、ゲートにはバイアス発生回路 30 と接続される。

【0115】

バイアス発生回路 30 は、非照射状態の下で、両フラッシュメモリトランジスタ 71 a、71 b のドレイン・ソース間に最大で約 1 V 程度のバイアス電圧が印加されるよう、両 M O S トランジスタ 31 a、31 b のゲート端子に所定の電圧を印加する。

【0116】

このように構成されることで、非照射状態の下では、両フラッシュメモリトランジスタ

10

20

30

40

50

71a、71bのドレイン・ソース間には予め設定された低いバイアス電圧が印加される構成となるため、非照射状態の下で当該フラッシュメモリトランジスタ71a、71bに対するソフトプログラム（弱い書き込み）を防止することができる。これにより、非照射状態の下で、各フラッシュメモリトランジスタ71a、71bのフローティングゲート内に蓄積されている電子の量の変動することを防止することができるため、電磁波照射検出精度を更に向上させることができる。

【0117】

又、両MOSトランジスタ31a、31bのゲートには、バイアス発生回路30から同一の電圧が印加される構成であるため、かかる電圧印加によって電磁波照射検出精度が低下することはなく、第1実施形態と同様、電源電圧 V_{CC} の変動に対する影響を受けることなく、正しく電磁波照射の検出を行うことができる。

10

【0118】

〔第3実施形態〕

本発明回路の第3実施形態（以下、適宜「本実施形態」と称する）につき以下において説明する。尚、第1実施形態と同一の構成要素については、同一の符号を付してその説明を省略する。

【0119】

本実施形態では、第1抵抗 R_1 と第2抵抗 R_2 の抵抗値が同一（ $R_1 = R_2$ ）で、第1フラッシュメモリトランジスタ71aの上層部に金属配線層を備える点を除けば、第1実施形態の構成（図1）と同一である。以下では、図1を参照して説明を行う。尚、第1実施形態に係る本発明回路1と区別するため、本実施形態における本発明回路を「本発明回路1b」と記載する（不図示）。

20

【0120】

$R_1 = R_2$ であるため、第1電流 I_1 並びに第2電流 I_2 は、各フラッシュメモリトランジスタの閾値電圧にのみ依存する。第1実施形態で上述したように、非照射状態の下では、 $V_{th1} < V_{th2}$ となるように設定されているため、かかる状態の下では $I_1 > I_2$ が成立する。従って、第1抵抗 R_1 の両端の電位差は、第2抵抗 R_2 の両端の電位差より大きいため、 $V_{OUT1} < V_{OUT2}$ が成立し、低レベル電圧の検出信号ERRが出力される。

【0121】

又、電源電圧 V_{CC} が変動した場合であっても、同一の電源電圧が両フラッシュメモリトランジスタのゲートに与えられる構成であるため、第1実施形態で上述したように、両フラッシュメモリトランジスタの閾値電圧の大小関係が逆転することはない。検出信号ERRの電圧レベルに影響を与えることはない。

30

【0122】

かかる構成の下、本発明回路1bに対して電磁波が照射された場合について検討する。このとき、第1フラッシュメモリトランジスタ71aの上層部には金属配線層が形成されているため、当該金属配線層によって照射される電磁波の内の一部が遮蔽される結果、第1フラッシュメモリトランジスタ71aに対して与えられる電磁波のエネルギー量は、当該金属配線層が存在しない場合よりも減少する。一方、第2フラッシュメモリトランジスタ71bの上層部には、かかる金属配線層は形成されていないため、当該電磁波照射によって第1フラッシュメモリトランジスタ71aよりも多いエネルギー量が第2フラッシュメモリトランジスタ71bに対して与えられる。

40

【0123】

この結果、第2フラッシュメモリトランジスタ71bの閾値電圧は、第1フラッシュメモリトランジスタ71aの閾値電圧よりも大きく減少する。この結果、第2電流 I_2 の上昇速度は第1電流 I_1 の上昇速度よりも速くなり、所定時間が経過すると、抵抗 R_2 の両端の電位差が抵抗 R_1 の両端の電位差を上回ることとなる。このとき、第1対象電圧 V_{OUT1} と第2対象電圧 V_{OUT2} の大小関係が逆転し（ $V_{OUT1} > V_{OUT2}$ ）、検出信号ERRとして高レベル電圧（例えば3V）を出力する。これにより、本発明回路1は

50

、電磁波照射を検出した旨の信号を出力する。

【0124】

尚、本実施形態では、抵抗値を同一 ($R_1 = R_2$) とし、両フラッシュメモリトランジスタの閾値電圧のみを異ならせることとしたが、非照射状態の下で、 $V_{OUT1} < V_{OUT2}$ が成立するように設定されていれば、逆に抵抗値を異ならせて両フラッシュメモリトランジスタの閾値電圧を同一の電圧値に設定していても構わないし、第1実施形態のように、両抵抗値並びに両フラッシュメモリトランジスタの閾値電圧を共に異なる値に設定しても構わない。

【0125】

又、本実施形態では、第1フラッシュメモリトランジスタ71aの上層部に金属配線層が設けられているものとしたが、電磁波を遮蔽する機能を有する構造体であれば良く、金属配線層に限定されるものではない。又、第2フラッシュメモリトランジスタ71bと比較して第1フラッシュメモリトランジスタ71aの方がより多くの電磁波を遮蔽することができる構成であれば良いため、かかる条件を充足する範囲内であれば、例えば第2フラッシュメモリトランジスタ71bの上層部にも金属配線層等の電磁波遮蔽手段が設けられる構成であっても構わない。

【0126】

更に、本実施形態においても、第2実施形態と同様、バイアス発生回路30、MOSトランジスタ31a、31bを備える構成としても良い。以下の第4及び第5実施形態においても同様とする。

【0127】

[第4実施形態]

本発明回路の第4実施形態（以下、適宜「本実施形態」と称する）につき図4を参照して明する。尚、第1実施形態と同一の構成要素については、同一の符号を付してその説明を省略する。

【0128】

図4は本実施形態における本発明回路の概略的構成を示す回路ブロック図である。本実施形態における1cは、第1実施形態における本発明回路1と比較して、更に電圧発生回路21を備える点異なる。

【0129】

電圧発生回路21は、本発明回路1cの外部に備えられるフラッシュメモリ等の不揮発性半導体記憶装置に対して読み出し、書き込み、或いは消去の各処理を実行するための電圧を発生する回路である。

【0130】

本発明回路1cは、各フラッシュメモリトランジスタ71a及び71bが、ゲート端子に対し、電源電圧 V_{CC} ではなく、電圧発生回路21からの出力電圧が印加される構成である。

【0131】

電圧発生回路21からの出力電圧は電源電圧 V_{CC} よりも大きい値となるように設定されており、例えば、電源電圧 V_{CC} が3V程度である場合、電圧発生回路21からは5V程度の電圧が出力される。このような構成とすることで、電源電圧 V_{CC} がコントロールゲートに印加される第1実施形態と比較して、両フラッシュメモリトランジスタ71a及び71bのフローティングゲートに蓄積される電子量を多くすることができるため、閾値電圧を上昇させることができる。これにより、電磁波が照射されたときの閾値電圧並びに電流 (I_1 及び I_2) に対する影響を大きくすることができるため、電磁波照射の検出精度を高めることができる。

【0132】

[第5実施形態]

本発明回路の第5実施形態（以下、適宜「本実施形態」と称する）につき以下において説明する。尚、第1実施形態と同一の構成要素については、同一の符号を付してその説明

を省略する。又、第 1 実施形態に係る本発明回路 1 と区別するため、本実施形態における本発明回路を「本発明回路 1 d」と記載する（不図示）。

【0133】

本実施形態は、上記第 1～第 4 の各実施形態における本発明回路を製造する際、フラッシュメモリトランジスタ 71 a 及び 71 b のゲート並びにドレインに、金属配線層が接続されている点異なり、他は各実施形態と共通である。

【0134】

即ち、上記各実施形態の場合、非照射状態の下で $V_{OUT1} < V_{OUT2}$ となるように、各抵抗 R1 及び R2 と共に、両フラッシュメモリトランジスタ 71 a 及び 71 b の閾値電圧を所定の条件下に調整する必要がある。

10

【0135】

本発明回路 1 d のように、製造時に予めゲート電極並びにドレイン拡散層に対して金属配線層を接続させる構成とすることで、例えばスパッタリング工程によって金属配線層を堆積する際、当該金属配線層内に電荷が蓄積される。この結果、本発明回路の製造が完成した後、ゲート及びドレインに高電圧が印加されると、当該金属配線層内に蓄積されていた電荷がフローティングゲート内に取り込まれ、書き込みが行われる。このため、金属配線層を有しない構成と比較して、フラッシュメモリトランジスタの閾値電圧を高くすることができる。

【0136】

ゲート電極或いはドレイン拡散層に対して接続される金属配線層の配線量（配線長、配線面積）が多いほど、当該金属配線層内に取り込まれる電子量は増大するため、その後にフローティングゲート内に取り込まれる電子量も増大することとなる。従って、ゲート電極或いはドレイン拡散層に対して接続される金属配線層の配線量を異ならせてフラッシュメモリトランジスタを製造することで、完成後のフラッシュメモリトランジスタの閾値電圧を異ならせることができる。従って、かかる製造条件を異ならせた 2 のフラッシュメモリトランジスタを夫々フラッシュメモリトランジスタ 71 a 及び 71 b として用いることで、電磁波照射の検出時に各フラッシュメモリトランジスタの閾値電圧の調整を行う必要がない。

20

【0137】

《本発明装置の構成》

30

次に、本発明装置の各実施形態につき、以下に説明する。尚、図 8 に示される従来の IC カード 90 と同一の構成要素については、同一の符号を付してその説明を省略する。

【0138】

〔第 1 実施形態〕

本発明装置の第 1 実施形態（以下、適宜「本実施形態」と称する）につき、図 5 を参照して説明する。

【0139】

図 5 は、本実施形態における本発明装置の概略的構成を示す回路ブロック図である。本発明装置 2 は、図 8 に示される従来の IC カード 90 と比較して、従来の電磁波照射検出回路 70 に代えて本発明回路 1（又は 1 a、1 b、1 c、1 d）を備える構成であり、他は図 8 の構成と同一である。

40

【0140】

即ち、パワーオンリセット回路 80 の出力信号、外部リセット信号 RST（の否定信号）に加えて、本発明回路 1 から出力される検出信号 ERR がリセット信号生成回路 9 に対して与えられる。リセット信号生成回路 9 は、論理和回路で構成されており、これらの 3 信号の論理和演算に基づく 2 値の電圧信号をリセット信号 RST1 として演算及びデータ格納部 40 に対して与える構成である。演算及びデータ格納部 40 は、高レベル（活性状態）のリセット信号 RST1 が与えられるとリセット処理が実行され、本発明装置 2 はリセット状態へと移行する。

【0141】

50

このように構成されるとき、本発明回路 1 が電磁波照射を検出して高レベル電圧の検出信号 E R R を出力すると、かかる検出信号 E R R が与えられたリセット信号生成回路 9 は、高レベル電圧のリセット信号 R S T 1 を演算及びデータ格納部 40 に与え、これにより本発明装置 2 はリセット状態となる。上述したように、本発明回路 1 は、電源電圧 V_{CC} の変動の影響を受けることなく電磁波照射の検出を行うことができる構成であり、電源電圧 V_{CC} の変動によって誤動作されることがない。従って、従来構成のように、電磁波照射検出回路 70 が誤動作することで高レベル電圧の検出信号 E R R が出力されて、かかる誤動作によってリセット処理が実行されることがない。

【0142】

これにより、本発明装置 2 を IC カードとして実装した場合、従来の IC カード 90 のように誤動作によって生じたりセット処理後の復帰処理を要求されることがないため、利便性の低下をさせることなくセキュリティ性の高い IC カードを実現することが可能となる。

10

【0143】

尚、本発明装置 2 は、カード型形状に実装された IC カードに限られるものではなく、IC チップ、IC タグ等、R F I D (Radio Frequency IDentification: 無線周波数による非接触自動識別) 技術を用いる半導体装置であれば、その名称や形状には拘泥されない。以下の各実施形態でも同様とする。

【0144】

〔第 2 実施形態〕

本発明装置の第 2 実施形態（以下、適宜「本実施形態」と称する）につき、図 6 を参照して説明する。尚、第 1 実施形態と同一の構成要素については、同一の符号を付してその説明を省略する。

20

【0145】

図 6 は、本実施形態における本発明装置の概略的構成を示す回路ブロック図である。本発明装置 2 a は、第 1 実施形態における本発明装置 2 と比較して、更に無効化回路 4 を備える点が異なる。

【0146】

無効化回路 4 は、無効化指示信号 E R R D I S の入力に基づいて、本発明回路 1 から出力される検出信号 E R R が示す検出結果を無効化する機能を有する。図 6 に示されるように、本実施形態では、検出信号 E R R は、リセット信号生成回路 9 に直接入力されるのではなく、無効化回路 4 に対して入力される構成である。そして、この無効化回路 4 は、無効化指示信号 E R R D I S 及び検出信号 E R R の入力を受け付け、かかる信号を用いて論理演算を行い、その演算結果をリセット信号生成回路 9 に与える。尚、無効化回路 4 から出力される信号を、以下では「検出改変信号 E R R 1」と記載する。

30

【0147】

無効化回路 4 は、高レベル電圧（例えば電源電圧）の無効化指示信号 E R R D I S が入力されている場合には、検出信号 E R R のレベルの高低に拘らず低レベル電圧の検出改変信号 E R R 1 を出力し、低レベル電圧（例えば接地電圧）の無効化指示信号 E R R D I S が入力されている場合には、検出信号 E R R のレベルの高低に準じたレベルの検出改変信号 E R R 1 を出力する。

40

【0148】

言い換えれば、高レベル電圧の無効化指示信号 E R R D I S が入力されている間は、検出信号 E R R が高レベル電圧を示していた場合であっても、本発明回路 1 の検出結果を無効化し、あたかも本発明回路 1 から電磁波照射の検出がされていない状態である旨の信号をリセット信号生成回路 9 に与える。

【0149】

一方、低レベル電圧の無効化指示信号 E R R D I S が入力されている間は、第 1 実施形態と同様、本発明回路 1 から出力される検出信号 E R R の電圧レベルの高低をそのままリセット信号生成回路 9 に与えることで、本発明回路 1 の検出結果をリセット信号生成回路

50

9に送る。即ち、検出信号ERRが高レベル電圧である場合には、高レベル電圧の検出
変信号ERR1をリセット信号生成回路9に与え、検出信号ERRが低レベル電圧である
場合には低レベル電圧の検出変信号ERR1をリセット信号生成回路9に与える。

【0150】

本発明装置2aが備える本発明回路1（又は1a、1b、1c、1d）は、上述したよ
うに、第1フラッシュメモリトランジスタ71a及び第2フラッシュメモリトランジスタ
71bを備える。本発明回路1は、スパッタリング法、エッチング法等の通常の半導体プ
ロセスを経て製造される構成であるため、製造時の条件によっては、製造後の本発明回路
1が備える第2フラッシュメモリトランジスタ71bの閾値電圧 V_{th2} が、第1フラッ
シュメモリトランジスタ71aの閾値電圧 V_{th1} より低くなることが考えられる。

10

【0151】

かかる事態が生じた場合、図1に示される本発明回路1の構成においては、電磁波の照
射を検出していないにも拘らず、高レベル電圧の検出信号ERRが出力されることとなる
。この結果、図5に示される第1実施形態の本発明装置2の構成であれば、電磁波の照射
が検出されていないにも拘らず、リセット処理が実行されてしまう結果となる。

【0152】

本実施形態に係る本発明装置2aの構成によれば、万一、 $V_{th2} < V_{th1}$ となった
場合であっても、無効化回路4に対して高レベルの無効化指示信号ERRDISを与える
ことで本発明回路1から出力される出力信号ERRを無効化することができる（以下、か
かる状態を適宜「無効化状態」と称する）。そして、この無効化状態下で、 $V_{th1} < V_{th2}$
が成立するように両フラッシュメモリトランジスタ71a及び71bの閾値電圧を
調整した後、無効化指示信号ERRDISを低レベルにすることで、本発明回路1の電磁
波照射検出結果に基づいてリセット処理の実行が可能な状態に移行できる。

20

【0153】

尚、各フラッシュメモリトランジスタ71a、71bの閾値電圧の調整方法としては、
フローティングゲート内に対するホットエレクトロンを注入し、又は引き抜くことで行う
。

【0154】

例えば、閾値電圧を上昇させたい場合には、上昇させたいフラッシュメモリトランジスタ
に対する書き込み動作、即ち、コントロールゲートに高電圧（例えば12V）を、ビット
線からドレインに高電圧（例えば7V）を、ソースに低電圧（例えば0V）を夫々印加
し、ドレイン接合近傍で発生されたホットエレクトロンをフローティングゲートに注入す
ることにより行う。逆に、閾値電圧を低下させたい場合には、低下させたいフラッシュメ
モリトランジスタに対して消去処理を実行して閾値電圧を十分低下させた後、所望の閾値
電圧になるように前記のように書き込み動作を実行して電圧を一定程度上昇させる。消去
処理を実行する際には、コントロールゲートに低電圧を（例えば0V）、ビット線からド
レインに低電圧（例えば0V）を、ソースに高電圧（例えば12V）を夫々印加し、フロ
ーティングゲート・ソース間に高電界を発生させ、トンネル現象を利用してフローティ
ングゲート内の電子をソース側に引き抜くことにより行う。

30

【0155】

尚、閾値電圧の微調整はソフトプログラム（弱い書き込み）を用いて行うことができる
。例えば、通常書き込み動作時にはコントロールゲートに高電圧（例えば12V）を印加するが、ソフトプログラム時にはそれよりも低い電圧（例えば6V程度）を印加することで行えば良い。この他にも、ドレイン電圧に印加する電圧を通常書き込み電圧より低い電圧を印加することでソフトプログラムを実現することも可能である。

40

【0156】

又、フラッシュメモリトランジスタの上層部に金属配線層を有しない構成であれば、無
効化状態の下で、フラッシュメモリトランジスタに対して紫外線を照射することで閾値電
圧の調整を行うことも可能である。

【0157】

50

尚、無効化指示信号 E R R D I S の入力方法としては、例えば外部より専用のテストパッドを用いて信号の入力を行う方法が可能である。即ち、本発明回路 1 からの検出信号 E R R を無効化したい場合にのみ、当該テストパッドを介して高レベルの電圧信号（無効化指示信号 E R R D I S）を無効化回路 4 に対して入力し、無効化を解除（有効化）する場合には、テストパッドからの信号入力を行わない構成とすることで、本発明回路 1 からの検出信号 E R R の有効／無効化の切換が可能となる。

【0158】

このとき、モジュール等のパッケージに対するアセンブリ時に本テストパッドを外部端子にボンディングしないことで、製造時のみ無効化状態とすることができる。又、無効化状態下で、 $V_{th1} < V_{th2}$ が成立するように両フラッシュメモリトランジスタ 71 a 及び 71 b の閾値電圧を調整した後、本テストパッドと無効化指示信号 E R R D I S をヒューズにより切り離すことで、製造時のみ無効化状態とすることができる。尚、アセンブリ時に本テストパッドを外部端子にボンディングしない場合、ヒューズにより本テストパッドと無効化指示信号 E R R D I S を切り離す場合であっても、無効化指示信号 E R R D I S を低レベル（接地電圧）になるように設定しておく必要がある。ヒューズはレーザーヒューズ、電氣的ヒューズのいずれの場合でも良い。

【0159】

又、上述したように、第 5 実施形態に係る本発明回路 1 d においては、予め製造時に各フラッシュメモリトランジスタの閾値電圧の調整が可能であるため、本発明装置 2 a は、特に本発明回路 1 d 以外の本発明回路 1、1 a、1 b、1 c を備える場合に有用である。しかしながら、本発明回路 1 d を備える場合であっても、万一、 $V_{th2} < V_{th1}$ となった場合には無効化状態として閾値電圧の調整を行うことができるようになるという点で、本発明装置 2 a の構成とすることは有用である。この点は以下の第 3 実施形態においても同様である。

【0160】

尚、図 6 に示される本発明装置 2 a は、無効化回路 4 が、無効化指示信号 E R R D I S の入力を受け付ける否定回路 3 3 と、否定回路 3 3 の出力信号と検出信号 E R R の論理積演算を行ってその演算結果を検出変化信号 E R R 1 として出力する論理和回路 3 4 と、で構成されるものとしたが、かかる回路構成は一例であって、上述した論理内容の実現が可能な回路構成であればこれに限られるものではない。

【0161】

〔第 3 実施形態〕

本発明装置の第 3 実施形態（以下、適宜「本実施形態」と称する）につき、図 7 を参照して説明する。尚、第 1 或いは第 2 実施形態と同一の構成要素については、同一の符号を付してその説明を省略する。

【0162】

図 7 は、本実施形態における本発明装置の概略的構成を示す回路ブロック図である。本発明装置 2 b は、第 2 実施形態における本発明装置 2 a と比較して、無効化回路 4 に代えて無効化回路 4 a を備え、更に無効化指示信号生成回路 5 及び動作リセット回路 6 を備える点異なる。

【0163】

無効化回路 4 a は、第 2 実施形態に係る無効化回路 4 とは異なり、低レベル電圧（例えば電源電圧）の無効化指示信号 E R R D I S が入力されている場合には、検出信号 E R R のレベルの高低に拘らず低レベル電圧の検出変化信号 E R R 1 を出力し、高レベル電圧（例えば接地電圧）の無効化指示信号 E R R D I S が入力されている場合には、検出信号 E R R のレベルの高低に準じたレベルの検出変化信号 E R R 1 を出力する。尚、図 7 では、無効化回路 4 a が、論理積回路 3 4 のみで構成されるものとしているが、前記の論理内容の実現が可能な回路構成であればこれに限られるものではない。

【0164】

動作リセット回路 6 は、接触動作並びに非接触動作時のリセット信号の入力を受け付け

10

20

30

40

50

、何れかがリセット状態である場合には、高レベルの電圧信号（以下、「動作リセット指示信号 R S D」と称する）を無効化指示信号生成回路 5 に与え、何れもがリセット状態ではない場合には低レベルの動作リセット指示信号 R S D を無効化指示信号生成回路 5 に与える。

【0165】

無効化指示信号生成回路 5 は、動作リセット回路 6 からの動作リセット指示信号 R S D、並びに制御バスを介して与えられる高低 2 値レベルの電圧信号（以下、「無効化副指示信号」と称する）が入力される構成であると共に、無効化副指示信号の電圧レベルを一時的に記憶可能な構成であり、例えばレジスタ回路で構成されている。又、無効化指示信号生成回路 5 は、高レベルの動作リセット指示信号 R S D が入力されると記憶している情報（以下、「一時記憶情報」と称する）に対してリセット処理が施される構成であるとする。更に、無効化指示信号生成回路 5 は、現に記憶している一時記憶情報に対応付けられている電圧レベルの無効化指示信号 E R R D I S を生成し、無効化回路 4 a に対して出力する。

10

【0166】

例えば、無効化指示信号生成回路 5 に対して高レベルの無効化副指示信号が入力されると一時記憶情報として高レベル状態である旨（以下、「情報 H」と記載する）が記憶され、逆に、低レベルの無効化副指示信号が入力されると一時記憶情報として低レベル状態である旨（以下、「情報 L」と記載する）が記憶される。このとき、無効化指示信号生成回路 5 は、一時記憶情報として情報 H を記憶している場合には、この記憶している情報 H に対応した電圧レベル、即ち高レベルの無効化指示信号 E R R D I S を生成し、逆に、一時記憶情報として情報 L を記憶している場合には、この記憶している情報 L に対応した電圧レベル、即ち低レベルの無効化指示信号 E R R D I S を生成するものとする。又、無効化指示信号生成回路 5 に対して高レベルの動作リセット指示信号 R S D が入力されると、一時記憶情報が強制的にリセット状態となり、情報 L が記憶されると共に、低レベルの無効化指示信号 E R R D I S を生成し、無効化状態となる。

20

【0167】

ここで、前記無効化副指示信号は、フラッシュメモリ 20 内の所定の無効化指示用フラッシュメモリトランジスタ N T（図 7 参照）の読み出し電圧（電流）値の反転値に対応した電圧信号であるとする。具体的には、無効化指示用フラッシュメモリトランジスタが書き込み状態である場合には、読み出し電圧が低レベルとなるため、その反転値である高レベルの無効化副指示信号が無効化指示信号生成回路 5 に対して与えられる。逆に、無効化指示用フラッシュメモリトランジスタが消去状態である場合には、読み出し電圧が高レベルとなるため、その反転値である低レベルの無効化副指示信号が無効化指示信号生成回路 5 に対して与えられる。

30

【0168】

まず、本発明装置 2 b の製造完了後、パッケージ等にてアセンブリする前段階、例えばウエハ状態での検査工程時に紫外線等の電磁波を無効化指示用フラッシュメモリトランジスタ N T に照射して消去状態とし、読み出し電圧を高レベルとする。これにより、無効化副指示信号は低レベル電圧となるため、無効化指示信号生成回路 5 は一時記憶情報として情報 L を記憶する。

40

【0169】

このとき、無効化指示信号生成回路 5 は、無効化回路 4 a に対して低レベルの無効化指示信号 E R R D I S を出力し、これにより本発明回路 1 は無効化状態となる。従って第 2 実施形態で上述したように、かかる無効化状態の下で、 $V_{th1} < V_{th2}$ が成立するように両フラッシュメモリトランジスタ 71 a 及び 71 b の閾値電圧を調整することができる。

【0170】

両フラッシュメモリトランジスタの閾値電圧の調整後、無効化指示用フラッシュメモリトランジスタ N T に対して書き込み動作を行う。これにより、当該フラッシュメモリトラ

50

ンジスタNTの読み出し電圧が低レベルとなるため、その反転値である高レベルの無効化副指示信号が無効化指示信号生成回路5に対して与えられる。この結果、無効化指示信号生成回路5は一時記憶情報として情報Hを記憶し、無効化状態が解除され、本発明回路1の電磁波照射検出結果に基づいてリセット処理の実行が可能な状態に移行できる。

【0171】

ここで、接触動作或いは非接触動作の何れかがリセット状態となった場合を想定する。かかる場合、上述したように、動作リセット回路6は高レベルの動作リセット指示信号RSDを無効化指示信号生成回路5に対して出力する。高レベルの動作リセット指示信号RSDが入力された無効化指示信号生成回路5は、リセット処理が実行され、一時記憶情報として情報Lを記憶すると共に、無効化回路4aに対して低レベルの無効化指示信号ERRDISを出力し、無効化状態となる。尚、この間は、リセット信号生成回路9に対して与えられる外部リセット信号RSTの否定信号、或いはパワーオンリセット回路80の何れかが高レベル電圧信号であるため、無効化回路4から出力される検出改変信号ERR1のレベルに拘らず、演算及びデータ格納部40に対して高レベルのリセット信号RST1が与えられ、本発明装置2bはリセット状態を示す。

【0172】

次に、リセット状態となっていた動作（接触動作或いは非接触動作）の当該リセット状態が解除されると、動作リセット回路6は低レベルの動作リセット指示信号RSDを無効化指示信号生成回路5に対して出力する。尚、この時点では、依然として無効化指示信号生成回路5は一時記憶情報として情報Lを記憶しているため、無効化回路4aに対して低レベルの無効化指示信号ERRDISを出力し、無効化状態が継続している。

【0173】

又、リセットが解除されると、CPU41はROM42に格納されたプログラムを実行し、無効化指示信号生成回路5に対して無効化指示用フラッシュメモリトランジスタNTの読み出し電圧値の反転値を格納する。このとき、無効化指示用フラッシュメモリトランジスタNTの読み出し電圧は上記の通り低レベルであるため、無効化指示信号生成回路5は一時記憶情報として情報Hを記憶し、無効化状態が解除され、再び本発明回路1の電磁波照射検出結果に基づいてリセット処理の実行が可能な状態に移行できる。

【0174】

尚、無効化指示用フラッシュメモリトランジスタNTは、データ格納領域、具体的には物理的に保護したいデータの近傍に配置することが望ましい。万一、意図的に無効化状態を形成すべく、無効化指示用フラッシュメモリトランジスタNTに対して紫外線が照射された場合であっても、近接して存在するデータ格納領域に係るフラッシュメモリトランジスタ群（メモリセル群）に対しても電磁波が照射されることとなる。この結果、フラッシュメモリトランジスタ群が消去状態となって保護したい対象データも消去されるため、高セキュリティを実現することができるからある。

【0175】

又、上述した本実施形態では、無効化副指示信号が、フラッシュメモリ20内の所定の無効化指示用フラッシュメモリトランジスタNTの読み出し電圧（電流）値の反転値に対応した電圧信号であるとしたが、読み出し電圧値に対応した電圧信号であるものとするこ

【0176】

この場合は、本発明装置2bの製造完了後、パッケージ等にてアセンブリする前段階において、無効化指示用フラッシュメモリトランジスタNTを書き込み状態として、読み出し電圧を低レベルとする。これにより、無効化副指示信号は低レベル電圧となるため、無効化指示信号生成回路5は一時記憶情報として情報Lを記憶する。これにより、本発明回路1は無効化状態となるため、閾値電圧の調整を行うことができる。

【0177】

そして、閾値電圧の調整後、無効化指示用フラッシュメモリトランジスタNTに対して消去動作を行う。これにより、当該フラッシュメモリトランジスタNTの読み出し電圧が

高レベルとなるため、高レベルの無効化副指示信号が無効化指示信号生成回路 5 に対して与えられる。この結果、無効化指示信号生成回路 5 は一時記憶情報として情報 H を記憶し、無効化状態が解除され、本発明回路 1 の電磁波照射検出結果に基づいてリセット処理の実行が可能な状態に移行できる。

【0178】

非接触動作或いは接触動作の何れかがリセット状態となった場合には、無効化指示信号生成回路 5 は、リセット処理が実行され、一時記憶情報として情報 L を記憶する。そして、リセット状態が解除されると、CPU 41 は ROM 42 に格納されたプログラムを実行し、無効化指示信号生成回路 5 に対して無効化指示用フラッシュメモリトランジスタ NT の読み出し電圧値を格納する。前記の通り、フラッシュメモリトランジスタ NT の読み出し電圧は高レベルであるため、高レベルの無効化副指示信号が無効化指示信号生成回路 5 に対して与えられ、無効化指示信号生成回路 5 は一時記憶情報として情報 H を記憶し、無効化状態が解除される。これにより、再び本発明回路 1 の電磁波照射検出結果に基づいてリセット処理の実行が可能な状態に移行することができる。

【0179】

尚、この場合、電磁波が照射された場合であっても無効化指示用フラッシュメモリトランジスタ NT は変化を生じないため（消去状態のまま）、無効化指示用フラッシュメモリトランジスタ NT を必ずしもデータ格納領域の近傍に配置する必要はない。

【0180】

又、上述した本発明装置に係る第 2 及び第 3 実施形態では、本発明装置 2a 或いは 2b が無効化指示用フラッシュメモリトランジスタ NT を備えるものとしたが、EEPROM 等の他の不揮発性メモリトランジスタで構成されるものとしても構わない。

【図面の簡単な説明】

【0181】

【図 1】本発明に係る電磁波照射検出回路の第 1 実施形態の概略的構成を示すブロック図

【図 2】本発明に係る電磁波照射検出回路が備える比較回路の別の一例を示す回路ブロック図

【図 3】本発明に係る電磁波照射検出回路の第 2 実施形態の概略的構成を示すブロック図

【図 4】本発明に係る電磁波照射検出回路の第 4 実施形態の概略的構成を示すブロック図

【図 5】本発明に係る半導体装置の第 1 実施形態の概略的構成を示すブロック図

【図 6】本発明に係る半導体装置の第 2 実施形態の概略的構成を示すブロック図

【図 7】本発明に係る半導体装置の第 3 実施形態の概略的構成を示すブロック図

【図 8】従来の IC カードの概略的構成を示すブロック図

【図 9】従来の電磁波照射検出回路の概略的構成を示す回路ブロック図

【図 10】フラッシュメモリトランジスタの概念的な構造図

【図 11】フラッシュメモリトランジスタをマトリクス状に配列して構成されたメモリセルアレイの概略構成図

【符号の説明】

【0182】

1、1a、1b、1c、1d： 本発明に係る電磁波照射検出回路

2、2a： 本発明に係る半導体装置

4： 無効化回路

9： リセット信号生成回路

10： 非接触インタフェース

11： 整流回路

12： 変調回路

13： 復調回路

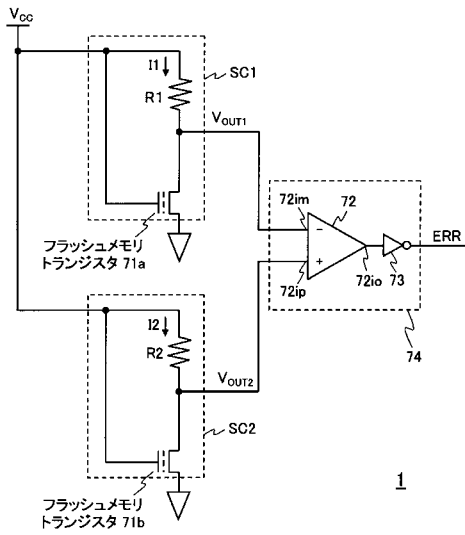
14： クロック分離回路

15： アンテナ

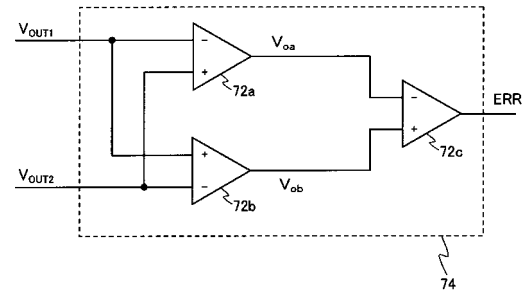
16： レギュレータ

17:	レギュレータ	
18:	プロトコル制御回路	
20:	フラッシュマクロ	
20a:	メモリセルアレイ	
30:	バイアス発生回路	
31a、31b:	MOSトランジスタ	
33:	否定回路	
34:	論理和回路	
40:	演算及びデータ格納部	
41:	CPU	10
42:	ROM	
43:	RAM	
51:	コントロールゲート	
52:	フローティングゲート	
53:	ソース	
54:	ドレイン	
60:	接触インタフェース	
61:	UART	
70:	従来の電磁波照射検出回路	
71:	フラッシュメモリトランジスタ	20
71a:	第1フラッシュメモリトランジスタ	
71b:	第2フラッシュメモリトランジスタ	
72、72a、72b、72c:	コンパレータ	
72im:	反転入力端子	
72ip:	非反転入力端子	
72o:	出力端子	
73:	否定回路	
74、74a:	比較回路	
80:	パワーオンリセット回路	
90:	従来のICカード	30
BL1、BL2、…、BLn:	ビット線	
NT:	無効化指示用フラッシュメモリトランジスタ	
R1:	(第1)抵抗	
R2:	第2抵抗	
SC1:	第1直列回路	
SC2:	第2直列回路	
SL:	ソース線	
V _{CC} :	電源電圧	
V _{OUT} :	対象電圧	
V _{OUT1} :	第1対象電圧	40
V _{OUT2} :	第2対象電圧	
WL1、WL2、…、WLm:	ワード線	

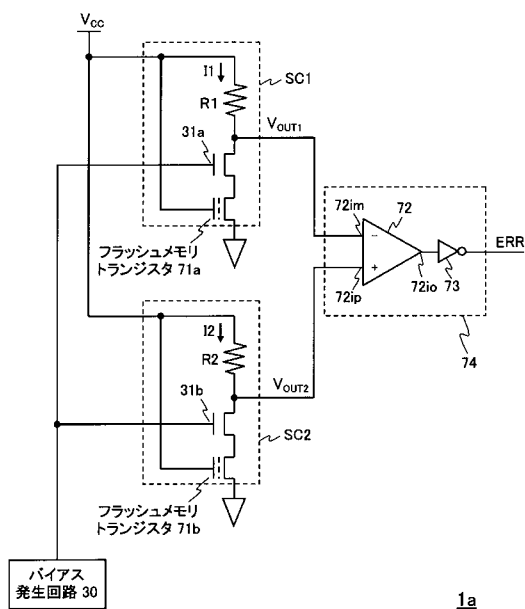
【図 1】



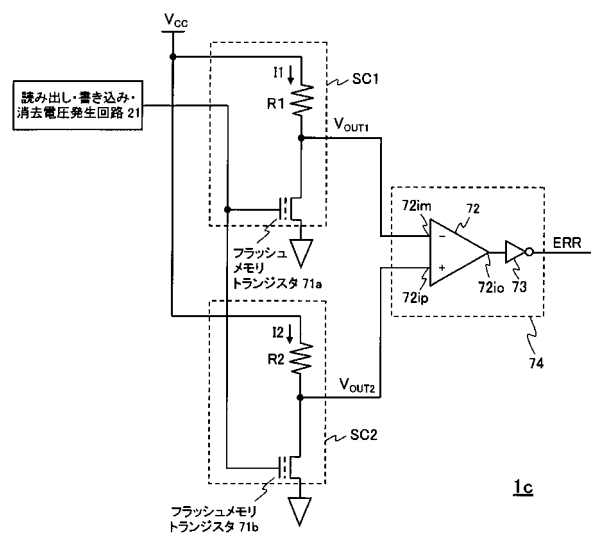
【図 2】



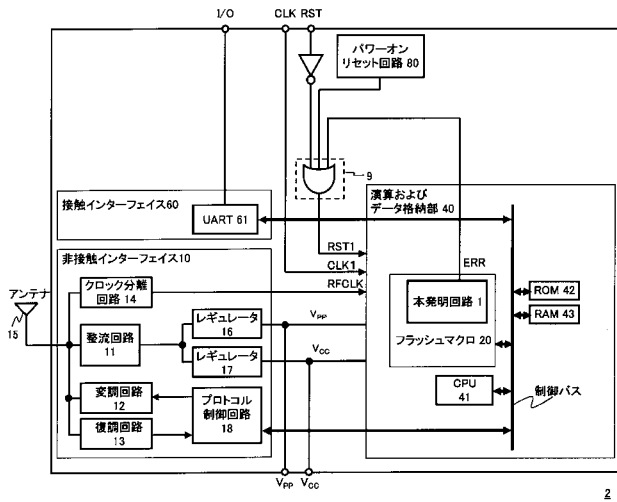
【図 3】



【図 4】

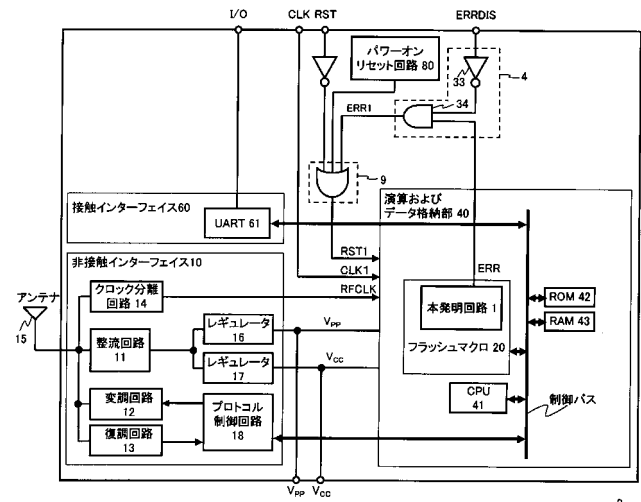


【図 5】



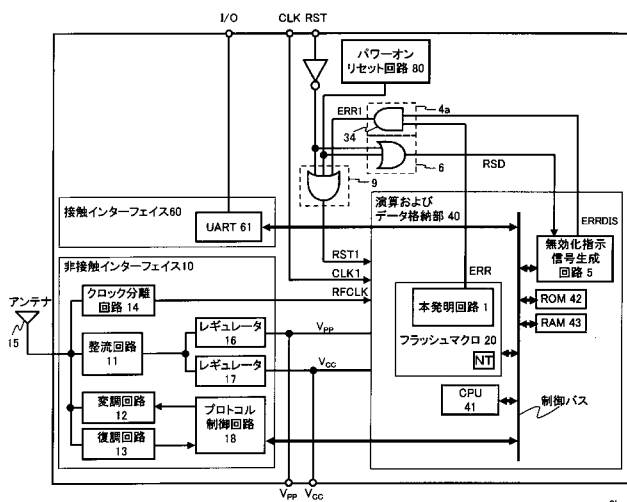
2

【図 6】



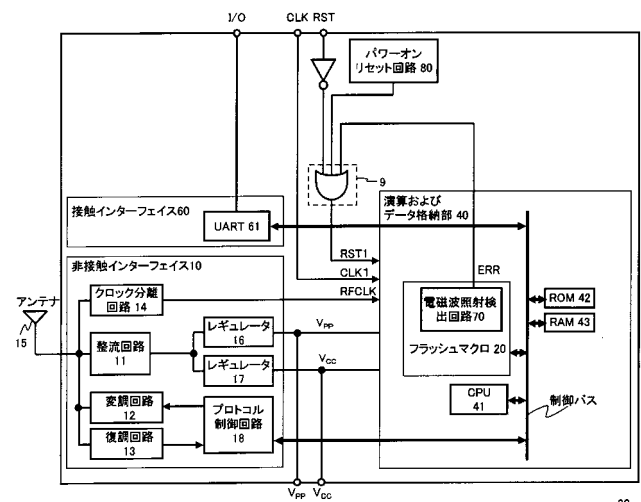
2a

【図 7】



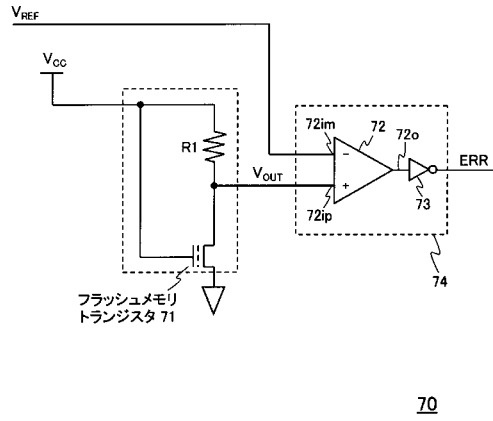
2b

【図 8】



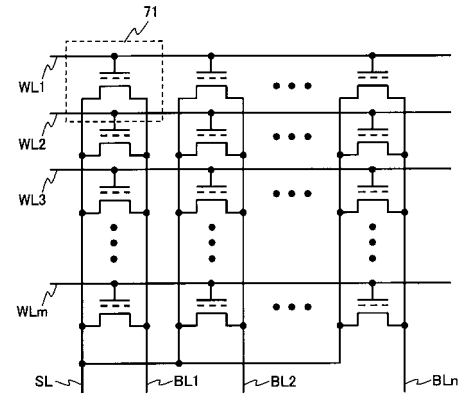
90

【図 9】



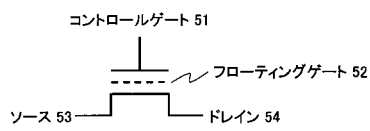
70

【図 11】



20a

【図 10】



71