

(43) 国際公開日
2007 年 6 月 14 日 (14.06.2007)

PCT

(10) 国際公開番号
WO 2007/066409 A1

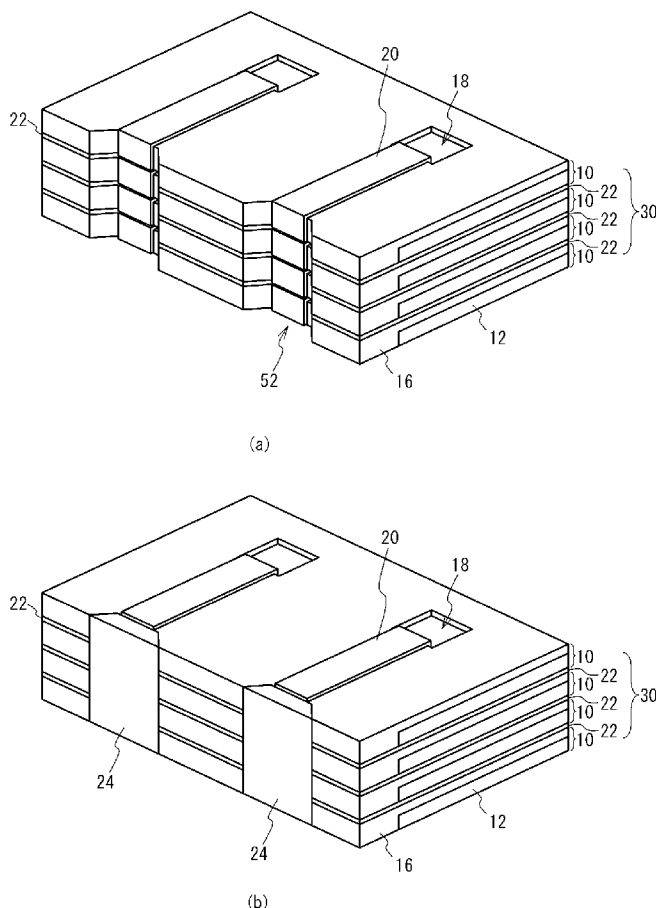
- (51) 国際特許分類:
H01L 25/065 (2006.01) H01L 25/07 (2006.01)
H01L 23/12 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2005/022646
- (22) 国際出願日: 2005 年 12 月 9 日 (09.12.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): スパ
ンション エルエルシー (SPANSION LLC) [US/US];
940883453 カリフォルニア州サニーベイルワン エイ
エムディ プレイス ピー・オー・ボックス 3453
California (US). Spansion Japan 株式会
社 (Spansion Japan Limited) [JP/JP]; 〒9650845 福島
県会津若松市門田町工業団地 6 番 Fukushima (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 星野雅孝

(HOSHINO, Masataka) [JP/JP]; 〒1600023 東京都新
宿区西新宿四丁目 33 番 4 号 Spansion
Japan 株式会社内 Tokyo (JP). 河西純一 (KASAI,
Junichi) [JP/JP]; 〒1600023 東京都新宿区西新宿四
丁目 33 番 4 号 Spansion Japan 株式
会社内 Tokyo (JP). 目黒弘一 (MEGURO, Kouichi)
[JP/JP]; 〒1600023 東京都新宿区西新宿四丁目
33 番 4 号 Spansion Japan 株式会
社内 Tokyo (JP). 福山良太 (FUKUYAMA, Ryota) [JP/JP];
〒1600023 東京都新宿区西新宿四丁目 33 番 4 号
Spansion Japan 株式会社内 Tokyo (JP).
新聞康弘 (SHINMA, Yasuhiro) [JP/JP]; 〒1600023 東京
都新宿区西新宿四丁目 33 番 4 号 Spansion
Japan 株式会社内 Tokyo (JP). 田谷耕治 (TAYA,
Koji) [JP/JP]; 〒1600023 東京都新宿区西新宿四丁
目 33 番 4 号 Spansion Japan 株式会
社内 Tokyo (JP). 小野寺正徳 (ONODERA, Masanori)
[JP/JP]; 〒1600023 東京都新宿区西新宿四丁目

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 半導体装置およびその製造方法



(57) Abstract: A semiconductor device comprising a stack (30) of semiconductor chips (10) each having a semiconductor substrate (12) and a first insulating layer (16) provided on the side surface of the semiconductor substrate (12) and having a recessed part (54) in the side surface thereof, and a second metal layer (24) for connecting first metal layers (20) provided in the central parts of the side surfaces in the recessed parts (54) to first metal layers (20) provided in the recessed parts (54) and provided on each semiconductor chip (10). A method for manufacturing the same is also disclosed.

(57) 要約: 本発明は、各半導体チップ (10) が、半導体基板 (12) と、半導体基板 (12) の側面に設けられ、側面に凹部 (54) を有する第 1 絶縁層 (16) と、を有する積層された複数の半導体チップ (30) と、凹部 (54) 内の側面の中央部に設けられた第 1 金属層 (20) と、凹部 (54) に設けられ、各半導体チップ (10) に設けられた第 1 金属層 (20) を接続する第 2 金属層 (24) と、を有する半導体装置およびその製造方法である。



33番4号 Spansion Japan 株式会社
内 Tokyo (JP). 舛田直実 (MASUDA, Naomi) [JP/JP];
〒1600023 東京都新宿区西新宿四丁目33番4号
Spansion Japan 株式会社内 Tokyo (JP).

(74) 代理人: 片山修平 (KATAYAMA, Shuhei); 〒1040031
東京都中央区京橋1-6-1 三井住友海上テプコビ
ル Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK,
LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW,
MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO,

RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR,
TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,
KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

明 細 書

半導体装置およびその製造方法

技術分野

[0001] 本発明は半導体装置およびその製造方法に関し、特に半導体チップを複数積層した半導体装置およびその製造方法に関する。

背景技術

[0002] 近年、例えば、移動体電話機のような携帯型電子機器やICメモ리카ードの不揮発性記憶媒体等に用いられる半導体装置はその小型化が求められている。そこで、半導体チップを効率的にパッケージングする技術が求められている。その1つとして、半導体チップを積層しパッケージングする技術が開発されている

[0003] 特許文献1には以下の技術(従来例1)が開示されている。まず、半導体ウェハの上面に溝を形成し、溝内に絶縁層を埋め込み、絶縁層内に導体を埋め込んだスルーホールを形成する。スルーホールを切断するように、半導体ウェハを切断し、半導体チップを形成する。スルーホールが半導体チップの側面に形成された凹部となり、スルーホール内に形成された導体により、半導体チップの上面と下面との間を電氣的に接続することができる。

[0004] 特許文献2には以下の技術(従来例2)が開示されている。半導体ウェハに側壁が導体で被覆されたスルーホールを形成する。スルーホールを切断するように、半導体ウェハを切断し、半導体チップを形成する。半導体チップを積層し、半導体チップの側面のスルーホールよりなつた凹部に金属樹脂層を形成する。積層された各半導体チップは、凹部に形成された金属樹脂層を介し他の半導体チップと電氣的に接続することができる。

[0005] 特許文献3には、以下の技術(従来例3)が記載されている。半導体チップを積層したのち積層した半導体チップの側面に配線パターンを形成する。積層された各半導体チップは、配線パターンを介し他の半導体チップと電氣的に接続することができる。

特許文献1:特開2004-342861号公報

特許文献2:特開2004－221372号公報

特許文献3:特開2001－250906号公報

発明の開示

発明が解決しようとする課題

[0006] 従来例1および従来例2のように、半導体ウェハにスルーホールを形成し、スルーホールを切断するように半導体ウェハを切断する場合は以下の課題がある。スルーホール内に埋め込まれたまたは側壁に被覆された導体を切断するため、ウェハを切断する際に該導体が剥がれやすくなる。また、半導体ウェハまたは絶縁層にスルーホールを形成するためには、深いエッチングを行う必要があり、技術的に難しく製造コストが高くなってしまう。また、従来例3においては、半導体チップを積層した後、各積層された半導体チップに配線パターンを形成するため、製造コストが高くなってしまう。

[0007] 本発明は、上記課題に鑑みなされたものであり、積層された半導体チップの側面に、各半導体チップを電氣的に接続する金属層を低コストで形成可能な半導体装置およびその製造方法を提供することを目的とする。

課題を解決するための手段

[0008] 本発明は、少なくとも1つの半導体チップが、半導体基板と、該半導体基板の側面に設けられ、側面に凹部を有する第1絶縁層と、前記凹部内の側面の中央部に設けられた第1金属層と、を有する積層された複数の半導体チップと、前記凹部に設けられ、前記半導体チップに設けられた前記第1金属層を接続する第2金属層と、を具備する半導体装置である。本発明によれば、凹部が第1絶縁層に形成されていることにより、半導体基板に凹部が形成されているのに比較し、凹部を簡単に形成することができる。また、第1金属層が凹部の中央部に設けられていることにより、スルーホールを切断する時に第1金属層が剥がれることを防止することができる。これにより、各半導体チップを電氣的に接続する第2金属層を低コストで形成可能な半導体装置を提供することができる。

[0009] 上記構成において、前記第1絶縁層は、前記半導体基板の上面に設けられた構成とすることができる。この構成によれば、第1絶縁層を簡単に形成することができる。

[0010] 上記構成において、前記第1金属層は前記第1絶縁層の上面に設けられ、前記第

1金属層の上面に設けられた第2絶縁層を具備する構成とすることができる。この構成によれば、積層された半導体チップのうち上の半導体チップと第1金属層とが電氣的に接触することを防止することができる。

[0011] 本発明は、少なくとも1つの半導体チップが、半導体基板と、該半導体基板の側面および上面に設けられた第1絶縁層と、前記第1絶縁層の側面および上面に設けられた第1金属層と、前記第1金属層の上面および前記第1絶縁層の側面に設けられ、側面に凹部を有する第2絶縁層と、を有する積層された複数の半導体チップと、前記凹部に設けられ、前記半導体チップに設けられた前記第1金属層と前記凹部で接続される第2金属層と、を具備する半導体装置である。本発明によれば、凹部が第1絶縁層に形成されていることにより、半導体基板に凹部が形成されているのに比較し、凹部を簡単に形成することができる。また、第1金属層が凹部の中央部に設けられていることにより、スルーホールを切断する時に第1金属層が剥がれることを防止することができる。さらに、積層された半導体チップのうち上の半導体チップと、第1金属層とが電氣的に接続することを防止することができる。さらに、第2絶縁層を形成する際に、位置合わせ精度が悪いことに起因し、第2絶縁層が第1金属層を被覆しなくなることを防止することができる。これにより、各半導体チップを電氣的に接続する第2金属層を低コストで形成可能な半導体装置を提供することができる。

[0012] 上記構成において、前記半導体チップは半導体基板上に設けられたパッド電極を有し、前記第1絶縁層は前記パッド電極の上に開口部を有し、前記第1金属層は、前記第1絶縁膜層の上面にも設けられ、前記開口部を介し前記パッドと接続する構成とすることができる。この構成によれば、異なる半導体チップのパッド電極同士を第2金属層を介し接続することができる。

[0013] 上記構成の半導体装置である内蔵半導体装置が実装されたパッケージを有する構成とすることができる。また、上記構成において、前記パッケージは基板を有し、前記内蔵半導体装置は前記基板にフェースダウン実装されている構成とすることができる。さらに、上記構成において、前記パッケージは基板を有し、前記内蔵半導体装置は前記基板にフェースアップ実装されている構成とすることができる。さらに、上記構成において、前記パッケージはリードフレームを有し、前記内蔵半導体装置は樹

脂封止されている構成とすることができる。

[0014] 本発明は、半導体ウェハの上面に第1溝部を形成する工程と、前記半導体ウェハの上面および前記第1溝部の側面を覆い、前記第1溝部内に、側面に凹部を有する第2溝部を有する第1絶縁層を形成する工程と、前記凹部の側面に第1金属層を形成する工程と、前記半導体ウェハを背面より前記第2溝部の底面に達するように除去し、前記半導体ウェハを複数の半導体チップに分割する工程と、を有する半導体装置の製造方法である。本発明によれば、スルーホールを形成していないため、スルーホール形成のためのエッチングを行う必要がなく製造コストを削減することができる。また、半導体基板の背面を除去することにより、金属層をダイシングで切断することなく半導体チップに分離することができる。よって、第1金属層の剥がれることを防止することができる。

[0015] 上記構成において、前記第1絶縁層を形成する工程は、前記半導体ウェハの上面に、絶縁膜を形成する工程と、前記絶縁膜に前記凹部を有する前記第2溝部を形成する工程と、を含む構成とすることができる。この構成によれば、簡単に第2溝部および凹部を形成することができる。

[0016] 上記構成において、前記第1絶縁層を形成する工程は、前記半導体ウェハ上に設けられたパッド電極の上に開口部を有する第1絶縁層を形成する工程を含み、前記第1金属層を形成する工程は、前記第1絶縁膜層の上面に、前記開口部を介し前記パッド電極と接続する前記第1金属層を形成する工程を含む構成とすることができる。この構成によれば、第1金属層を介し、半導体チップに形成された回路と第2金属層とを電氣的に接続することができる。

[0017] 上記構成において、前記第1金属層を形成する工程は前記第1絶縁層の上面に前記第1金属層を形成する工程を含み、前記第1金属層の上面に第2絶縁層を形成する工程を有する構成とすることができる。この構成によれば、積層された半導体チップのうち上の半導体チップと、第1金属層とが電氣的に接触することを防止することができる。

[0018] 上記構成において、前記第1金属層を形成する工程は、前記凹部内の側面の中央部に前記第1金属層を形成する工程を含む構成とすることができる。この構成によれ

ば、前記第1金属層が剥がれることを抑制することができる。

[0019] 本発明は、半導体ウェハの上面に第1溝部を形成する工程と、前記半導体ウェハの上面および前記第1溝部の側面を覆い、前記第1溝部内に、第2溝部を設けた第1絶縁層を形成する工程と、前記第1絶縁層の上面および側面に第1金属層を形成する工程と、前記第1絶縁層の上面および前記第2溝部の側面を覆い、前記第2溝部内に側面に凹部を有する第3溝部を有し、前記凹部内に前記第1金属層が露出するように第2絶縁層を形成する工程と、前記半導体ウェハを背面より前記第3溝部の底面に達するように除去し、前記半導体ウェハを複数の半導体チップに分割する工程と、を有する半導体装置の製造方法である。本発明によれば、スルーホールを形成していないため、スルーホール形成のためのエッチングを行う必要がなく製造コストを削減することができる。また、半導体基板の背面を除去することにより、金属層をダイシングで切断することなく半導体チップに分離することができる。よって、第1金属層の剥がれることを防止することができる。さらに、凹部に暴露された第1金属層以外の第1金属層を第2絶縁層で被覆できるため位置合わせずれに起因した第1金属層と上の半導体基板とがショートを防止することができる。

[0020] 上記構成において、前記第2絶縁層を形成する工程は、前記半導体ウェハ上に、絶縁膜を形成する工程と、前記絶縁膜に前記凹部を有する第3溝部を形成する工程と、を含む構成とすることができる。この構成によれば、簡単に第2溝部および凹部を形成することができる。

[0021] 上記構成において、前記半導体ウェハから分割された半導体チップを少なくとも1つ含む複数の半導体チップを積層する工程と、前記第1金属層を接続するように、前記凹部に第2金属層を形成する工程と、を有する構成とすることができる。この構成によれば、各第1金属層に接続する第2金属層を形成する際、凹部を有するため、銀ペーストをスキーズすることにより簡単に、凹部に銀ペーストを埋め込み第2金属層を形成することができる。

[0022] 上記構成において、前記第2金属層を形成する工程は、無電解メッキ法を用い前記第2金属層を形成する工程である構成とすることができる。この構成によれば、各第1金属層が接続するように第2金属層を形成することができる。

発明の効果

- [0023] 本発明によれば、積層された半導体チップの側面に、各半導体チップを電氣的に接続する金属層を低コストで形成可能な半導体装置およびその製造方法を提供することを目的とする。

図面の簡単な説明

- [0024] [図1]図1は実施例1に係る半導体装置の斜視図である。
- [図2]図2は図1のA-A断面図である。
- [図3]図3(a)および図3(b)は実施例1に係る半導体装置の製造工程を示す斜視図(その1)である。
- [図4]図4(a)および図4(b)は実施例1に係る半導体装置の製造工程を示す斜視図(その2)である。
- [図5]図5(a)は実施例1に係る半導体装置の製造工程途中の上視図、図5(b)および図5(c)はそれぞれ図5(a)のC-CおよびD-D断面図である。
- [図6]図6は実施例1に係る半導体装置の製造工程を示す断面図である。
- [図7]図7(a)および図7(b)は実施例1に係る半導体装置の製造工程を示す斜視図(その3)である。
- [図8]図8は実施例1の変形例に係る半導体装置の斜視図である。
- [図9]図9(a)および図9(b)は実施例2に係る半導体装置の製造工程を示す斜視図(その1)である。
- [図10]図10(a)および図10(b)は実施例2に係る半導体装置の製造工程を示す斜視図(その2)である。
- [図11]図11(a)は実施例2に係る半導体装置の製造工程途中の上視図、図11(b)のE-E断面図である。
- [図12]図12は実施例2に係る半導体装置の製造工程を示す断面図である。
- [図13]図13は実施例3に係る半導体装置の断面図である。
- [図14]図14は実施例4に係る半導体装置の断面図である。
- [図15]図15は実施例5に係る半導体装置の断面図である。

発明を実施するための最良の形態

[0025] 以下、図面を用い本発明に係る実施例について説明する。

実施例 1

[0026] 実施例1は積層された半導体チップの例である。図1は実施例1に係る半導体装置の斜視図、図2は図1のA-A断面図である。図1を参照に、回路が形成された半導体チップ10は複数積層されている。以後、半導体チップ10が4層に積層された例を示すが、本発明は、半導体チップ10が複数積層された半導体装置に適用することができる。半導体チップ10の上面にはパッド部18が形成されている。各半導体チップ10の側面には第2金属層24が形成されている。

[0027] 図2を参照に、各積層された半導体チップ10は半導体基板12と、半導体基板12の側面および上面に形成された第1絶縁層16を有する。半導体基板12上にはパッド電極14が設けられている。第1絶縁層16上および第1絶縁層16の側面に第1金属層20が設けられている。第1金属層20は第1絶縁層16に形成された開口部においてパッド電極14と電氣的に接続しパッド部18を形成する。各半導体チップ10の間には、第2絶縁層22が設けられている。第2絶縁層22は上の半導体チップ10の半導体基板12と下の半導体チップ10上に設けられた第1金属層20とを電氣的に分離している。各半導体チップ10の側面に設けられた第1金属層20を電氣的に接続するように第2金属層24が設けられている。

[0028] 次に、図3(a)から図7(b)を用い、実施例1に係る半導体装置の製造方法について説明する。図3(a)から図4(b)は、図1の部分Bに相当する半導体チップ10を抜き出し、半導体ウェハ状態で製造される工程を示した斜視図である。図3(a)を参照に、シリコン半導体ウェハである半導体基板12上に例えばアルミニウムからなるパッド電極14が設けられている。パッド電極14は半導体基板12上に形成された回路パターンに電氣的に接続されている。半導体基板12の上面に、半導体基板12を切断し半導体基板12を半導体チップに分割するためのスクライブラインを含むように第1溝部40を形成する。第1溝部40の深さは例えば50 μ m以上、幅は例えば約100 μ mとする。図3(b)を参照に、例えば感光性のポリイミド膜15を、スピンコート法を用い、半導体基板12の上面および第1溝部40の側面を覆うように形成する。ポリイミド膜15の膜厚は、半導体基板12上で例えば10 μ mである。

- [0029] 図4(a)を参照に、感光性のポリイミド膜15に所定のパターンを露光し現像することにより、第1溝部40内に側面に凹部52を有する第2溝部42と、パッド電極14の上に開口部50を有する第1絶縁層16を形成する。凹部52は第1絶縁膜16の上面から第2溝部42の底面まで連続して形成されている。第2溝部42の深さは例えば $50\mu\text{m}$ 以上、第2溝部42の幅は例えば $20\mu\text{m}$ である。凹部52の凹み量は例えば $20\mu\text{m}$ である。図4(b)を参照に、第1絶縁層16の上面および凹部52の中央部に、例えば銅をメッキすることにより第1金属層20を形成する。
- [0030] 図5(a)は、このときの上視図、図5(b)および図5(c)はそれぞれ図5(a)のC-CおよびD-D断面図である。図5(a)から図5(c)を参照に、第1絶縁層16に設けられた第2溝部42には凹部52が設けられている。凹部52の中央部に第1金属層20が形成されている。第1金属層20は、半導体基板12上に設けられたパッド電極14と開口部50で接続されている。
- [0031] 図6は図5(a)のD-D断面に相当する断面図である。図6を参照に、半導体基板12を背面より第2溝部42に達するように研磨する。このとき、半導体基板12の厚さを例えば $50\mu\text{m}$ とする。第2溝部42の深さは例えば $50\mu\text{m}$ 以上のため、半導体基板12は第2溝部42により分割され、第1絶縁層16を有する半導体チップ10となる。なお、半導体基板12の厚さを薄くする工程は、研磨以外の方法であってもよい。
- [0032] 図7(a)および図7(b)は図1の部分Bに相当する斜視図である。図7(a)を参照に、図6で分割された半導体チップ10を積層する。半導体チップ10の間には第2絶縁層22を挟み、各半導体チップ10は接着剤によりお互いに固着される。このとき、各半導体チップ10の凹部52は、積層された半導体チップ10の最上面から最下面に渡り連続して設けられた凹部52を構成する。第2絶縁層22は図6で背面を研磨する前に、第1金属層20上に形成しても良い。
- [0033] 図7(b)を参照に、各半導体チップ10の凹部52に例えば銀ペーストをスキージし埋め込み、第2金属層24を形成する。第2金属層24により、各半導体チップ10に設けられた第1金属層20が電氣的に接続される。以上により実施例1に係る半導体装置が完成する。
- [0034] 実施例1において、積層される半導体チップ10は、同じ半導体チップであるとは限

られない。例えば、半導体メモリ装置が形成された半導体チップとロジック回路が形成された半導体チップを積層することも可能である。積層された全ての半導体チップ10が全ての凹部52に形成された第2金属層24に接続するパッド電極14を有する必要はない。また、1つの半導体チップ10において、1つの第2金属層24に複数のパッド電極14が接続しても良い。各凹部52に対し、各半導体チップ10のいかなるパッド電極14が接続するかまたは接続しないかは、積層された半導体チップ30でいかなる機能を実現するかに応じ適宜選択することができる。さらに、実施例1では、各半導体チップ10が凹部52を有する第1絶縁層16、第1金属層20を有しているが、積層された複数の半導体チップのうち、少なくとも1つの半導体チップ10が凹部52を有する第1絶縁層16、第1金属層20を有していれば良い。

[0035] 図8のように、第2金属層24aの形成は、無電界メッキ法を用い例えば銅を形成してもよい。無電解メッキ法により第2金属を形成した場合、第1金属層20に形成されるメッキ層は、各半導体チップ10の各々の第1金属層20に厚みを持って形成される。よって、隙間を有する上下の半導体チップ10の各第1金属層20に形成されたメッキ層はお互いに接続し、第1金属層20に渡って形成される。よって、各半導体チップ10の第1金属層20間に隙間があっても第1金属層20が電氣的に接続されていない場合も無電解メッキ法を用いることにより、各第1金属層20が接続するように第2金属層24を形成することができる。

[0036] 実施例1に係る半導体装置においては、各半導体チップ10は半導体基板12の側面に第1絶縁層16を有している。第1絶縁層16は、半導体チップ10の上面と下面との間に連続的に設けられた凹部52を有している。凹部52内の側面の中央部には第1金属層20が設けられている。複数の半導体チップ10が積層された半導体装置は、各半導体チップ10の凹部52に、各半導体チップ10に設けられた第1金属層20を電氣的に接続する第2金属層24が設けられている。

[0037] 各半導体チップ10に設けられた第1金属層20と第2金属層24とが接続することにより、第2金属層24を介し各半導体チップ10を接続することができる。従来例1のように、凹部52を半導体基板12に形成する場合、半導体基板12をエッチングする必要がある。しかし、実施例1では半導体基板12の側面に第1絶縁層16が設けられ、第1

絶縁層16が凹部52を有している。よって、凹部52を簡単に形成することができる。第1金属層20が凹部52内の側面の中央部に設けられている。言い換えれば、第1金属層20は凹部52の側面に第1絶縁層16の上面に形成された第1金属層20と連続して形成され、かつ第2溝部42と接する領域には第1金属層20は形成されていない。第1金属層16がこのように設けられていることにより、従来例1および従来例2のように、スルーホールを切断する時に第1金属層20が剥がれることを防止することができる。また、凹部52が設けられているため、図7(b)のように凹部52に第2金属層24を例えば銀ペーストをスキージすることができ、簡単に第2金属層24を形成することができる。なお、積層された複数の半導体チップ30のうち、少なくとも1つの半導体チップ10が凹部52を有する第1絶縁層16、第1金属層20を有することにより、その半導体チップ10については上記効果を奏することができる。

[0038] また、第1絶縁層16は、半導体基板12の上面および側面に設けられている。これにより、第1絶縁層16をポリイミド膜15の塗布、露光現像法を用い簡単に形成することができる。

[0039] さらに、第1絶縁層16の上面に設けられた第1金属層20上に第2絶縁層22を有している。これにより、上の半導体チップ10と、第1金属層20とが電氣的に接触することを防止することができる。第2絶縁層22は第1金属層20上に形成されていれば、上の半導体チップ10とのショートを防止する効果がある。しかし、下の半導体チップ10の上面に凹凸ができてしまうと、半導体チップ10間の熱抵抗が大きくなってしまう。よって、第2絶縁層22は半導体チップ10上面全面に渡り設けることが好ましい。

[0040] さらに、半導体チップ10は半導体基板12の上面に設けられたパッド電極14を有している。第1絶縁層16はパッド電極14の上に開口部50を有している。第1金属層20は、第1絶縁層16の上面にも設けられており、開口部50を介しパッド電極14と接続している。これにより、異なる半導体チップ10のパッド電極14同士を第2金属層24を介し接続することができる。

[0041] 実施例1に係る半導体装置の製造方法において、図3(a)のように、半導体ウェハである半導体基板12の上面に第1溝部40を形成する。図4(a)のように、半導体基板12の上面および第1溝部の側面を覆い、第1溝部40内に、側面に凹部52を有す

る第2溝部42を設けた第1絶縁層16を形成する。図4(b)のように、凹部52の側面に第1金属層16を形成する。図6のように、半導体基板12を背面より第2溝部42の底面に達するように除去することにより、半導体基板12を複数の半導体チップ10に分割する。このような製造方法により、スルーホールを形成する必要がある。よって、スルーホール形成のためのエッチングを行う必要がなく製造コストを削減することができる。半導体基板12の背面を除去することにより、金属層をダイシングで切断することなく半導体チップ10に分離することができる。よって、第1金属層20の剥がれることを防止することができる。

[0042] また、第1絶縁層16を形成するために、図3(b)のように、半導体基板12の上面および第1溝部40の側面に、ポリイミド膜15(絶縁膜)を形成する。図4(a)のように、ポリイミド膜に凹部52を有する第2溝部42を形成する。このような工程により、スルーホールを形成することなく、簡単に第2溝部42および凹部52を形成することができる。なお、第1絶縁膜となるべき絶縁膜はポリイミド膜15以外の絶縁膜であってもよい。また、実施例1では、感光性ポリイミド膜15を用い、所定領域を露光することにより、第2溝部42および凹部52を形成しているが、第1絶縁膜となるべき絶縁膜上にフォトレジストを形成しエッチングにより第2溝部42および凹部52を形成してもよい。

[0043] さらに、図4(a)のように、第1絶縁層16を形成する際には、半導体基板12上に設けられたパッド電極14の上に開口部50を有するように第1絶縁層16を形成する。図4(b)のように、第1金属層を形成する際は、第1絶縁層16の上面に、開口部50を介しパッド電極14と接続するように第1金属層20を形成する。このような工程により、第1金属層20を介し、半導体チップ10に形成された回路と第2金属層24とを電氣的に接続することができる。

[0044] さらに、図4(b)のように、第1金属層20を形成する際は、凹部52内の側面の中央部に第1金属層20を形成している。第1金属層20は凹部52の全体に形成することもできるが、実施例1のように凹部52内の側面の中央部に第1金属層20を形成することにより、図7(b)のように、銀ペーストをスキージする際、第1金属層20に引っかかり、第1金属層が剥がれることを防止することができる。また、図8のように、無電解メッキ法を用い第2金属層24を形成する際、第1金属層20から成長したメッキ層が隣の凹

部52の第1金属層20とショートすることを抑制することができる。

- [0045] さらに、図7(a)のように、複数の半導体チップ10を積層する。図7(b)のように、複数の半導体チップ10の各第1金属層20を接続するように、凹部52に第2金属層24を形成する。これにより、各第1金属層20に接続する第2金属層24を形成する際、凹部52を有するため、銀ペーストをスキーズすることにより簡単に、凹部52に銀ペーストを埋め込むことができ第2金属層24を形成することができる。

実施例 2

- [0046] 実施例2は、第1金属層20の上および第1絶縁層の側面に設けられ、側面に凹部を有する第2絶縁層を設けた半導体装置の例である。図9(a)から図12を用い、実施例2に係る半導体装置の製造方法について説明する。図9(a)から図10(b)は図3(a)と同様に半導体装置の部分Bに相当する斜視図である。図9(a)を参照に、実施例1の図3(a)および図3(b)の工程を行う。第1溝部40内に第2溝部42、パッド電極14上に開口部50を有する第1絶縁層16を形成する。第1溝部40および第2溝部42の幅は例えばそれぞれ100 μ mおよび40 μ mであり、第1溝部40および第2溝部42の深さは例えば50 μ m以上とする。また、第1絶縁層16の膜厚は例えば10 μ mである。図9(b)を参照に、第1絶縁層16上および側面に第1金属層20を形成する。第1金属層20は、開口部50において、パッド電極14と接続し、パッド部18を形成する。
- [0047] 図10(a)を参照に、第1絶縁層16の上面および第2溝部42の側面を覆い、第2溝部42内に、感光性のポリイミド膜27を例えば10 μ m塗布する。図10(b)を参照に、ポリイミド膜27の所定領域を露光し現像する。これにより、第2溝部42内の側面に凹部54を有する第3溝部44を形成する。第3溝部44の深さは例えば50 μ m以上、第3溝部44の幅は例えば20 μ mである。凹部54の凹み量は例えば20 μ mである。
- [0048] 図11(a)は、このときの上視図、図11(b)は図11(a)のE-E断面図である。図11(a)および図11(b)を参照に、凹部54内の側面の中央部に、第1絶縁膜16上および側面に形成された第1金属層20が露出するように凹部54が形成されている。第3溝部44の幅(例えば20 μ m)に両側の凹部54の凹み量(例えば2 $\times$ 20 μ m)を加えた幅が第2溝部42の幅(例えば40 μ m)より広いため、第1金属層20を凹部54内の側面に露出することができる。

- [0049] 図12は図11(a)のE-E断面に相当する断面図である。図12を参照に、半導体基板12を背面より第3溝部44に達するように研磨する。このとき、半導体基板12の厚さを例えば $50\mu\text{m}$ とする。第3溝部44の深さは例えば $50\mu\text{m}$ 以上のため、半導体基板12は第3溝部44で分割され、半導体チップ10となる。実施例1の図7(a)および図7(b)と同じ製造工程を行うことにより実施例2に係る半導体装置が完成する。
- [0050] 実施例2は、実施例1に比べ、第1金属層20の上面および第1絶縁層16の側面に設けられ、側面に凹部54を有する第2絶縁層26を有している。さらに、第2金属層24は、各半導体チップ10に設けられた第1金属層20と凹部52で接続されている。第2絶縁層26により、上の半導体チップ10の半導体基板12と第1金属層20が電氣的に接触することを防止することができる。また、第1絶縁層16の側面にも第2絶縁層26が設けられているため、第2絶縁層26を形成する際に、位置合わせ精度が悪いことに起因し、第2絶縁層26が第1金属層20を被覆しなくなることを防止することができる。なお、実施例1と同様に、積層された複数の半導体チップのうち、少なくとも1つの半導体チップ10が凹部52を有する第1絶縁層16、第1金属層20、第2絶縁層を有していれば良い。
- [0051] 実施例2に係る半導体装置の製造方法において、図9(a)のように、半導体ウェハである半導体基板12の上面に第1溝部40を形成する。半導体基板12の上面および第1溝部40の側面を覆い、第1溝部40内に、第2溝部42を設けた第1絶縁層16を形成する。図9(b)のように、第1絶縁層16の上面に第1金属層20を形成する。図10(b)のように、第1絶縁層16の上面および第2溝部42の側面を覆い、第2溝部42内の側面に凹部54を有する第3溝部44を設け、凹部54内の側面に第1金属層20を露出するように第2絶縁層26を形成する。図12のように、半導体基板12を背面より第3溝部44の底面に達するように除去し、半導体基板12を複数の半導体チップ10に分割する。実施例1においては、第2絶縁層22と第1金属層20の位置合わせがずれることが起こりえる。例えば、第2絶縁層22が第1金属層20を適切に被覆していないと、第1金属層20と上の半導体基板12とがショートしてしまう。一方、第2絶縁膜が第1絶縁膜16の凹部52に設けられると、第2金属層24が形成し難くなる。実施例2の製造方法によれば、実施例1と同様な効果に加え、凹部54に暴露された第1金属層20

以外の第1金属層20を第2絶縁層26が被覆できるため位置合わせずれに起因した第1金属層20と上の半導体基板12とがショートを防止することができる。

- [0052] さらに、第2絶縁層26を形成する際は、図10(a)のように、第1金属層20および第1絶縁層16上にポリイミド膜27(絶縁膜)を形成する。図10(b)のように、ポリイミド膜27に凹部54を有する第3溝部44を形成する。このような工程により、簡単に第2溝部44および凹部54を形成することができる。なお、第2絶縁膜となるべき絶縁膜はポリイミド膜27以外の絶縁膜であってもよい。また、第2絶縁膜となるべき絶縁膜上にフォトリソを形成しエッチングにより第3溝部44および凹部54を形成してもよい。

実施例 3

- [0053] 実施例3から実施例5は積層された半導体チップ(内蔵半導体装置)をパッケージに実装した半導体装置の例である。図13を参照に、パッケージはガラスエポキシ樹脂からなるプリント基板32を有し、プリント基板32上に実施例1または実施例2の積層された半導体チップ30がハンダボール33によりフリップチップ実装されている。ハンダボール33は、例えば実施例1の図1の最上面の半導体チップ10のパッド部18に設けられている。プリント基板32の積層された半導体チップ30と反対の面にはハンダボール31が設けられている。ハンダボール31とハンダボール33とはプリント基板32の接続部(図示せず)により接続されている。

実施例 4

- [0054] 図14を参照に、パッケージはプリント基板32およびエポキシ樹脂35を有し、プリント基板32に積層された半導体チップ30(内蔵半導体装置)がフェースアップで実装されている。ワイヤ34により、プリント基板32と半導体チップ30とが接続されている。ワイヤ34は例えば実施例1の図1の最上面の半導体チップ10のパッド部18に接続されている。積層された半導体チップ30はエポキシ樹脂35により封止されている。実施例3および実施例4において、積層された半導体チップが実装されるのはプリント基板32であるが、絶縁基板に導電性の配線の形成された基板であればよい。

実施例 5

- [0055] 図15を参照に、パッケージはリードフレーム36およびエポキシ樹脂37を有し、積層された半導体チップ30(内蔵半導体装置)はリードフレーム36に実装され、リードフレ

ーム36と積層された半導体チップ30とはワイヤ38で接続されている。積層された半導体チップ30は例えばエポキシ樹脂37により樹脂封止されている。実施例3から実施例5のように、実施例1または実施例2に係る積層された半導体チップ30(内蔵半導体装置)がパッケージに実装された半導体装置とすることもできる。

[0056] 実施例1および実施例2において、第1絶縁層16および第2絶縁層26はポリイミド膜からなる絶縁膜であったが、絶縁性の膜であればポリイミド膜には限られない。例えば酸化シリコン膜等の無機膜、または有機膜を用いることもできる。第1金属層20はメッキ法で形成した銅であったが、金属層であればこれに限られない。例えばアルミニウムや金を用いることもできる。第2金属層24は銀ペーストや無電解メッキで形成された金属の例であったが、金属層であればこれらに限られない。例えば、金、銅等を用いることもできる。

[0057] 以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

請求の範囲

- [1] 少なくとも1つの半導体チップが、半導体基板と、該半導体基板の側面に設けられ、側面に凹部を有する第1絶縁層と、前記凹部内の側面の中央部に設けられた第1金属層と、を有する積層された複数の半導体チップと、
前記凹部に設けられ、前記半導体チップに設けられた前記第1金属層を接続する第2金属層と、を具備する半導体装置。
- [2] 前記第1絶縁層は、前記半導体基板の上面に設けられた請求項1記載の半導体装置。
- [3] 前記第1金属層は前記第1絶縁層の上面に設けられ、
前記第1金属層の上面に設けられた第2絶縁層を具備する請求項2記載の半導体装置。
- [4] 少なくとも1つの半導体チップが、半導体基板と、該半導体基板の側面および上面に設けられた第1絶縁層と、前記第1絶縁層の側面および上面に設けられた第1金属層と、前記第1金属層の上面および前記第1絶縁層の側面に設けられ、側面に凹部を有する第2絶縁層と、を有する積層された複数の半導体チップと、
前記凹部に設けられ、前記半導体チップに設けられた前記第1金属層と前記凹部で接続される第2金属層と、を具備する半導体装置。
- [5] 前記半導体チップは半導体基板上に設けられたパッド電極を有し、
前記第1絶縁層は前記パッド電極の上に開口部を有し、
前記第1金属層は、前記第1絶縁膜層の上面にも設けられ、前記開口部を介し前記パッドと接続する請求項1から4のいずれか一項記載の半導体装置。
- [6] 請求項1から5のいずれか一項記載の半導体装置である内蔵半導体装置が実装されたパッケージを有する半導体装置。
- [7] 前記パッケージは基板を有し、前記内蔵半導体装置は前記基板にフェースダウン実装されている請求項6記載の半導体装置。
- [8] 前記パッケージは基板を有し、前記内蔵半導体装置は前記基板にフェースアップ実装されている請求項6記載の半導体装置。
- [9] 前記パッケージはリードフレームを有し、前記内蔵半導体装置は樹脂封止されて

いる請求項6記載の半導体装置。

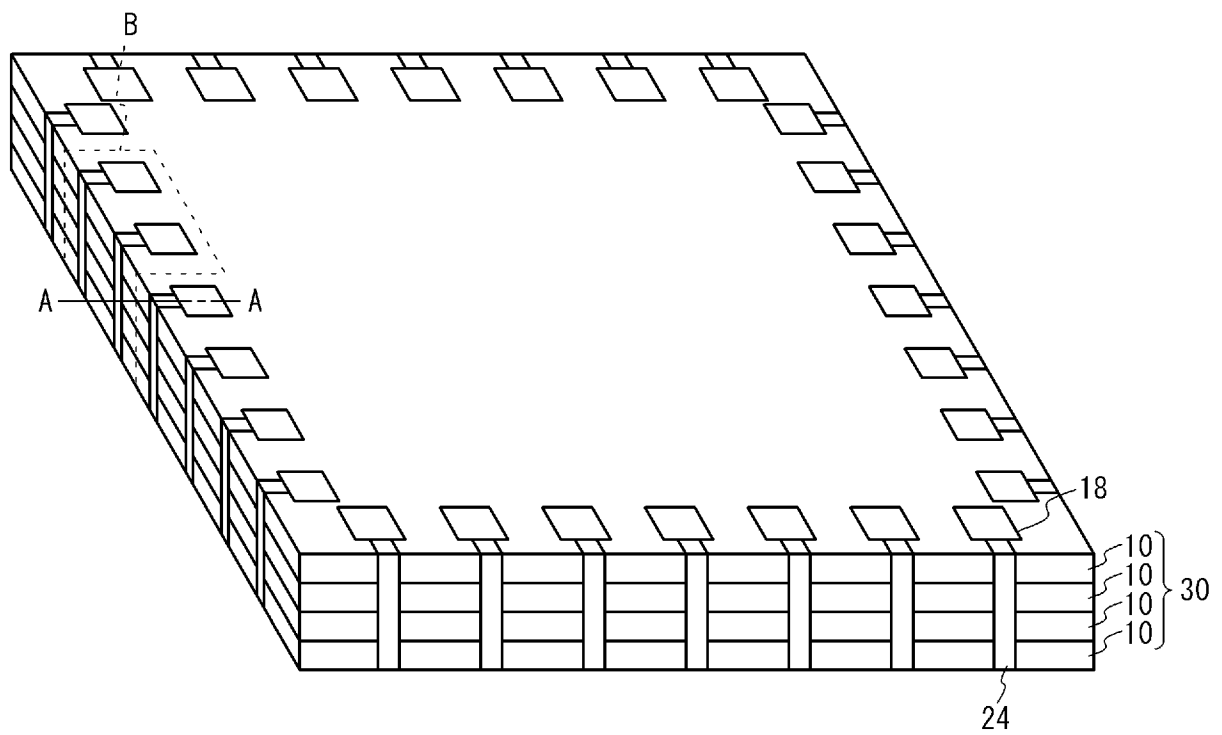
- [10] 半導体ウェハの上面に第1溝部を形成する工程と、
前記半導体ウェハの上面および前記第1溝部の側面を覆い、前記第1溝部内に、
側面に凹部を有する第2溝部を有する第1絶縁層を形成する工程と、
前記凹部の側面に第1金属層を形成する工程と、
前記半導体ウェハを背面より前記第2溝部の底面に達するように除去し、前記半導
体ウェハを複数の半導体チップに分割する工程と、を有する半導体装置の製造方法
。
- [11] 前記第1絶縁層を形成する工程は、
前記半導体ウェハの上面に、絶縁膜を形成する工程と、
前記絶縁膜に前記凹部を有する前記第2溝部を形成する工程と、を含む請求項1
0記載の半導体装置の製造方法。
- [12] 前記第1絶縁層を形成する工程は、前記半導体ウェハ上に設けられたパッド電極
の上に開口部を有する前記第1絶縁層を形成する工程を含み、
前記第1金属層を形成する工程は、前記第1絶縁膜層の上面に、前記開口部を介
し前記パッド電極と接続する前記第1金属層を形成する工程を含む請求項10または
11記載の半導体装置の製造方法。
- [13] 前記第1金属層を形成する工程は前記第1絶縁層の上面に前記第1金属層を形成
する工程を含み、
前記第1金属層の上面に第2絶縁層を形成する工程を有する請求項10から12の
いずれか一項記載の半導体装置の製造方法。
- [14] 前記第1金属層を形成する工程は、前記凹部内の側面の中央部に前記第1金属
層を形成する工程を含む請求項10から13のいずれか一項記載の半導体装置の製
造方法。
- [15] 半導体ウェハの上面に第1溝部を形成する工程と、
前記半導体ウェハの上面および前記第1溝部の側面を覆い、前記第1溝部内に、
第2溝部を設けた第1絶縁層を形成する工程と、
前記第1絶縁層の上面および側面に第1金属層を形成する工程と、

前記第1絶縁層の上面および前記第2溝部の側面を覆い、前記第2溝部内に側面に凹部を有する第3溝部を有し、前記凹部内に前記第1金属層が露出するように第2絶縁層を形成する工程と、

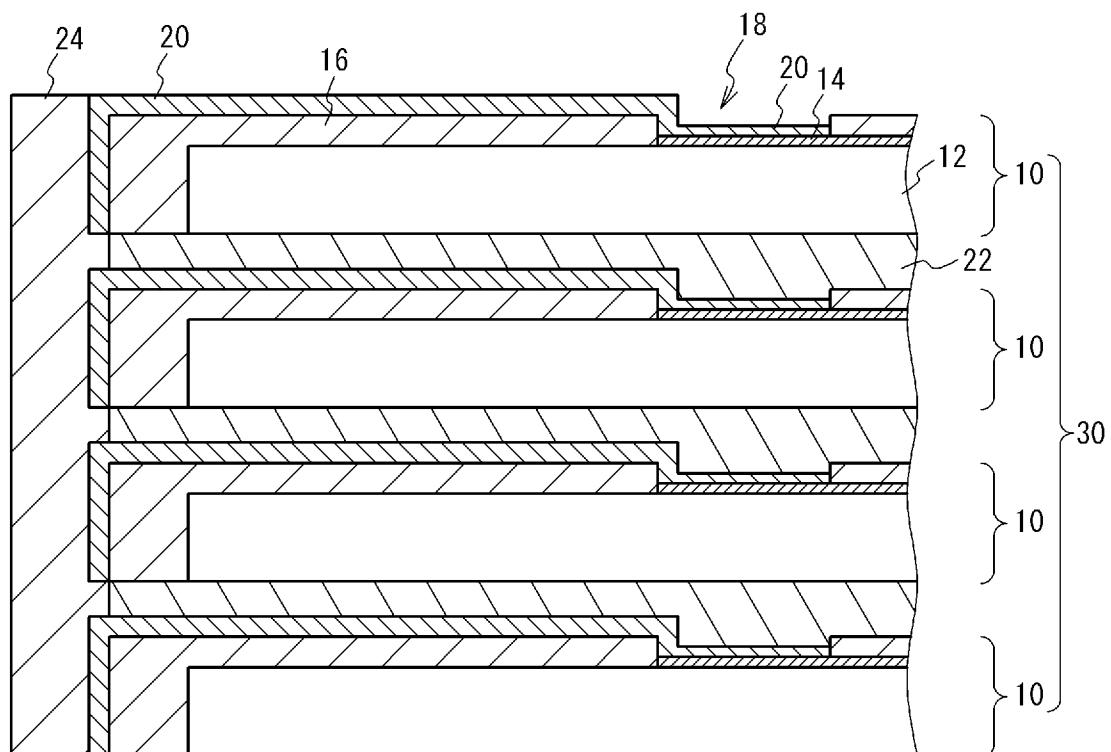
前記半導体ウェハを背面より前記第3溝部の底面に達するように除去し、前記半導体ウェハを複数の半導体チップに分割する工程と、を有する半導体装置の製造方法。

- [16] 前記第2絶縁層を形成する工程は、
前記半導体ウェハ上に、絶縁膜を形成する工程と、
前記絶縁膜に前記凹部を有する第3溝部を形成する工程と、を含む請求項15記載の半導体装置の製造方法。
- [17] 前記半導体ウェハから分割された半導体チップを少なくとも1つ含む複数の半導体チップを積層する工程と、
前記第1金属層を接続するように、前記凹部に第2金属層を形成する工程と、を有する請求項10から16のいずれか一項記載の半導体装置の製造方法。
- [18] 前記第2金属層を形成する工程は、無電解メッキ法を用い前記第2金属層を形成する工程である請求項17記載の半導体装置の製造方法。

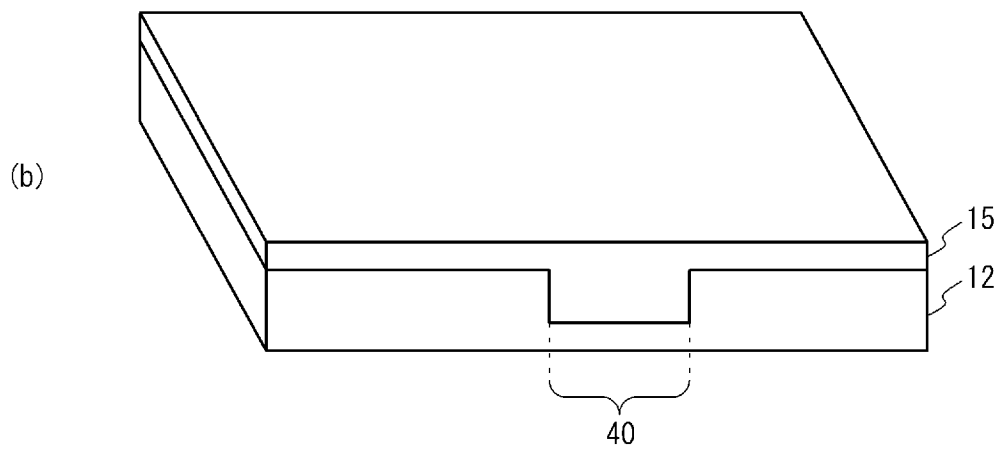
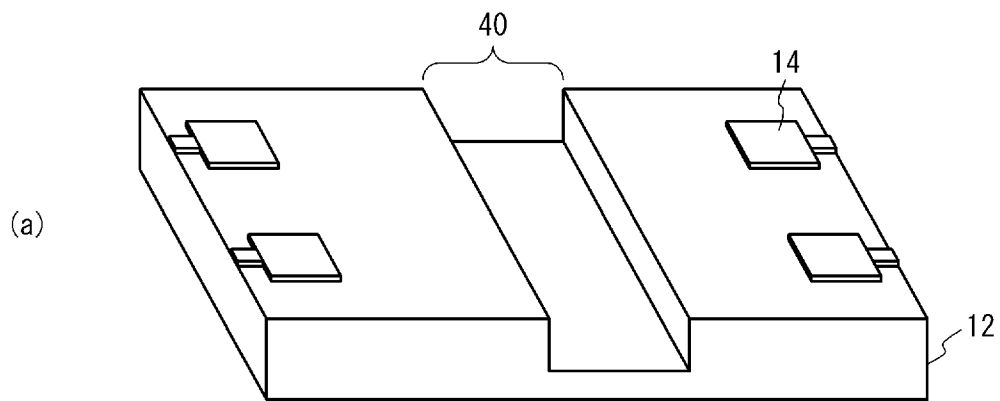
[図1]



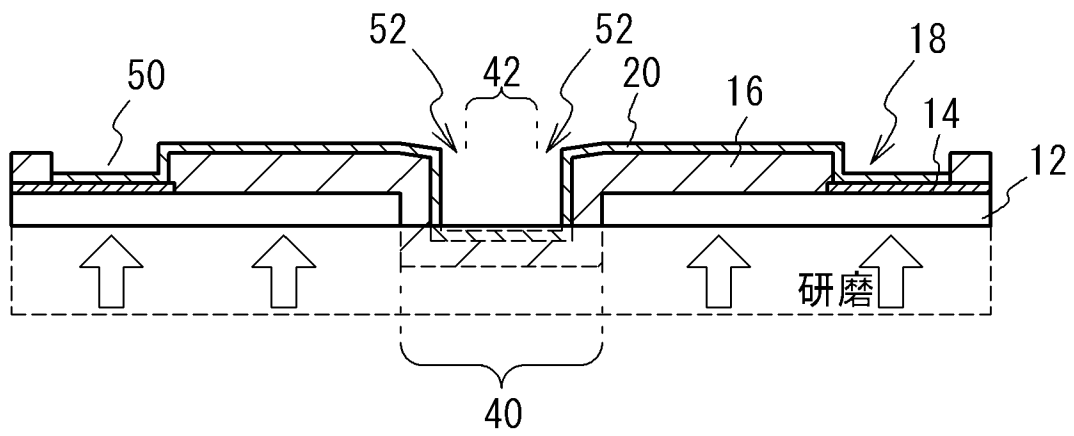
[図2]



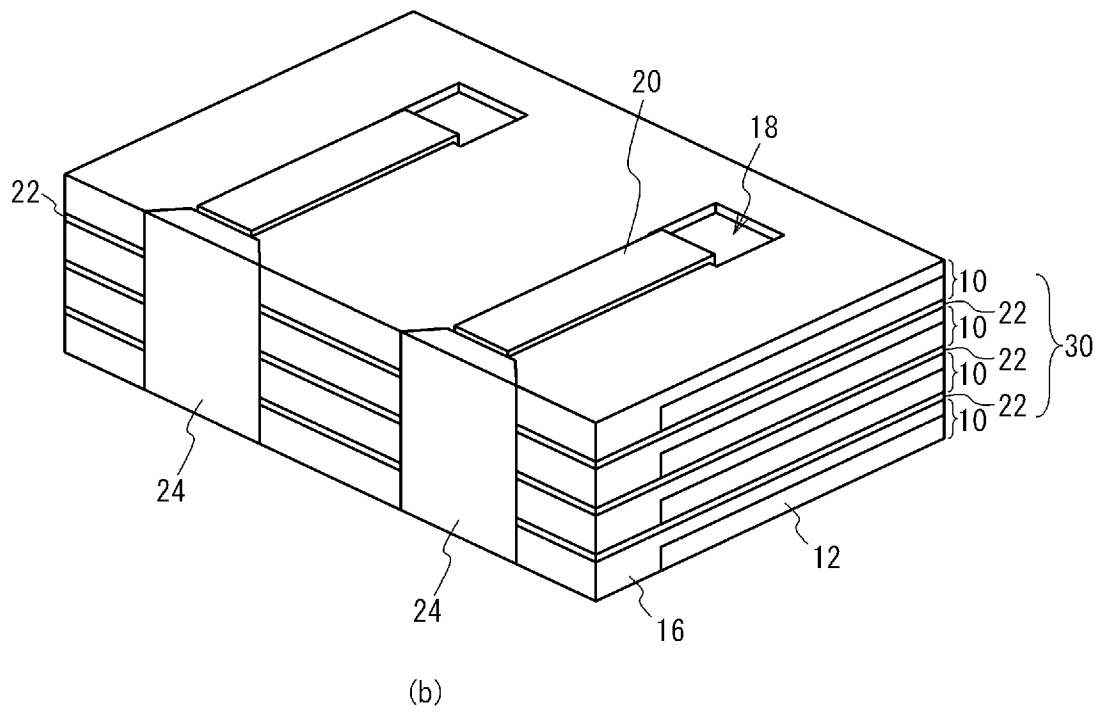
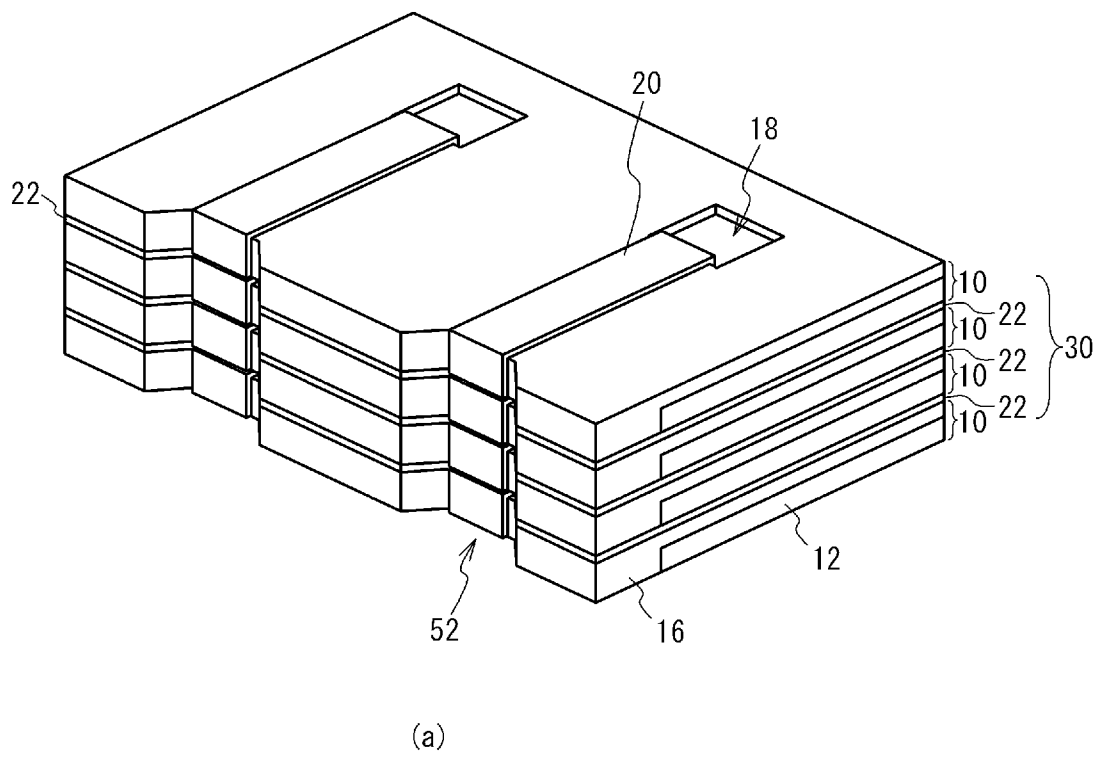
[図3]



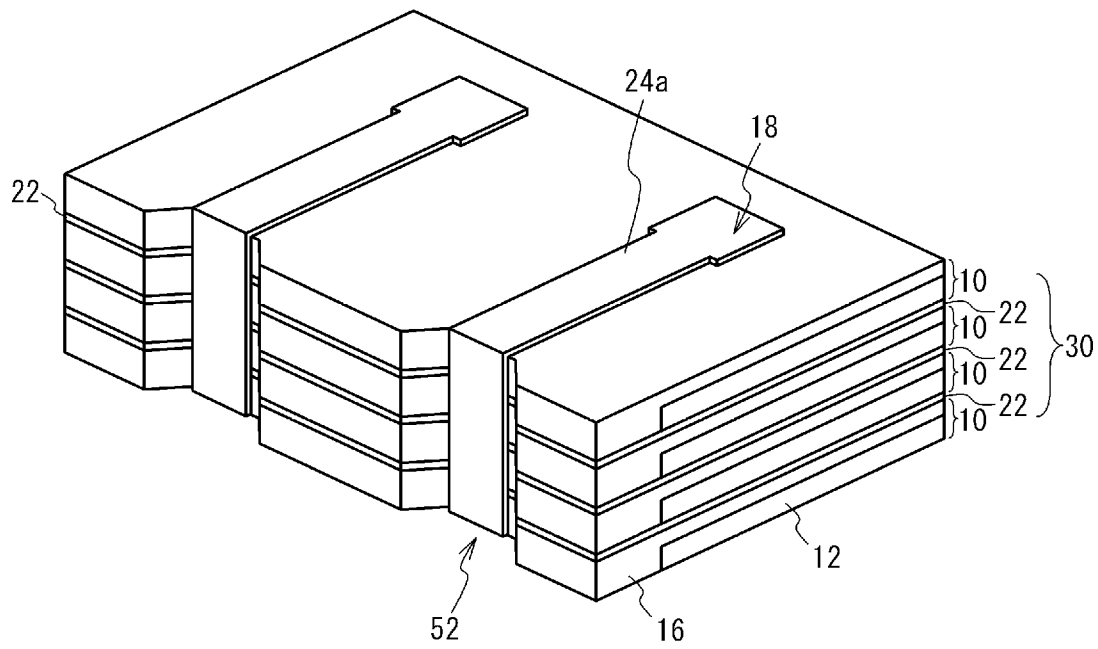
[図6]



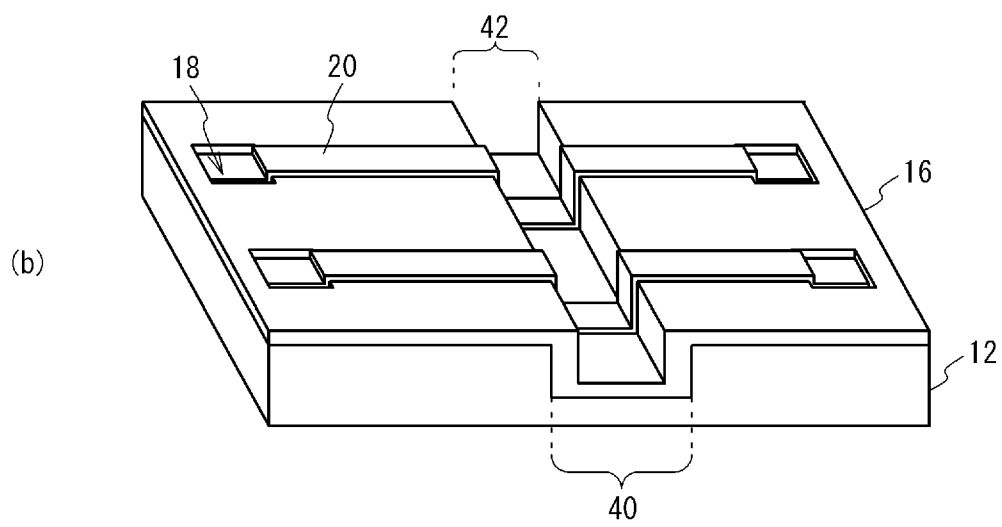
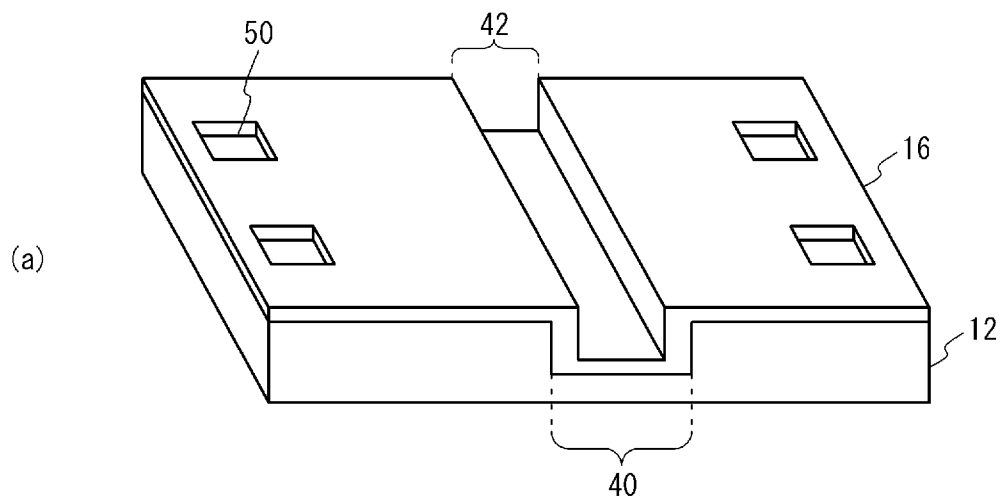
[図7]



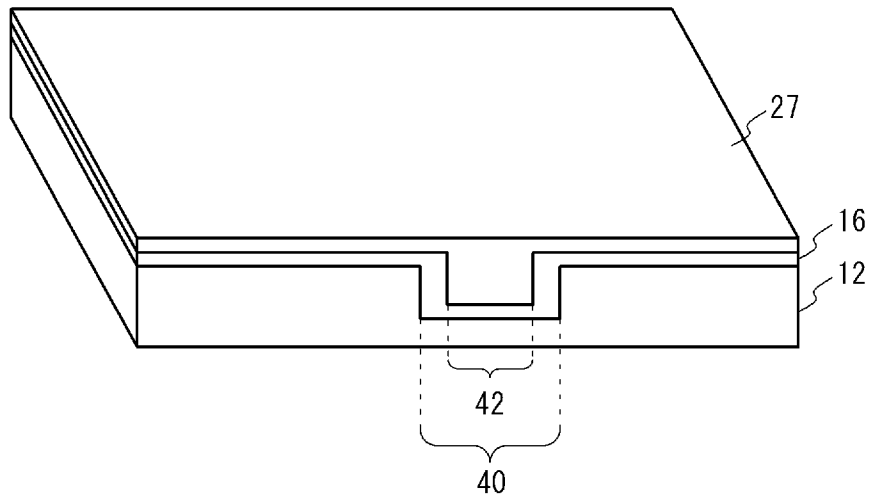
[図8]



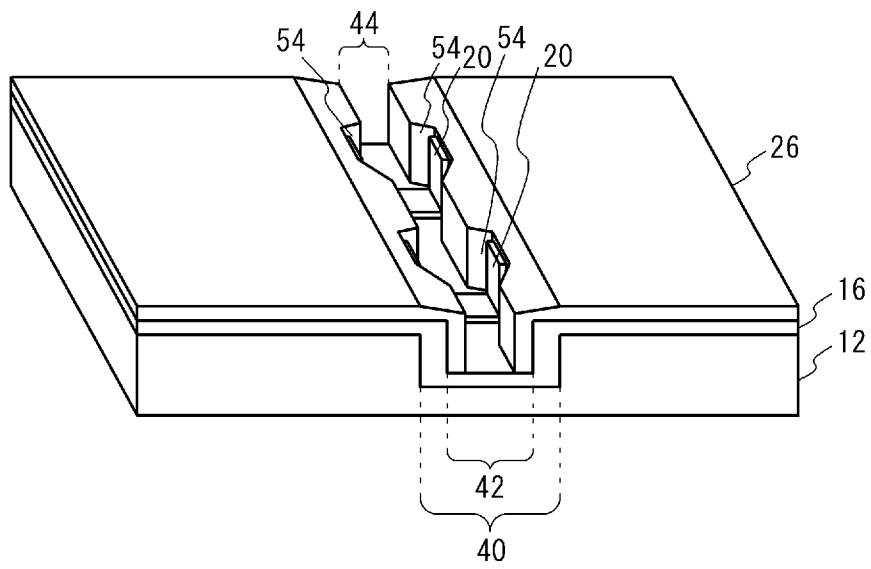
[図9]



[図10]

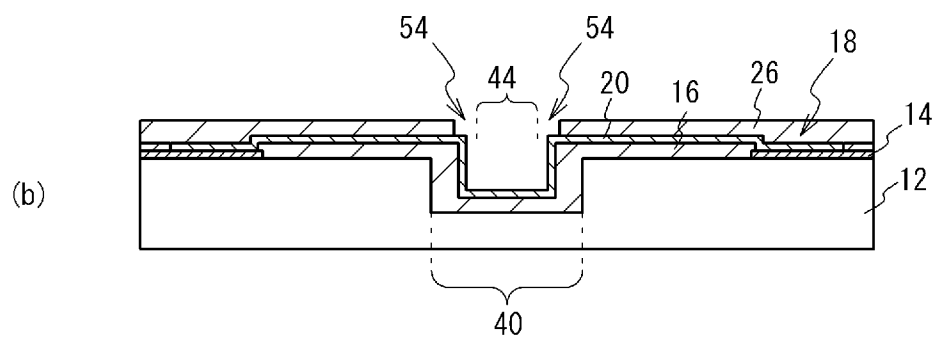


(a)

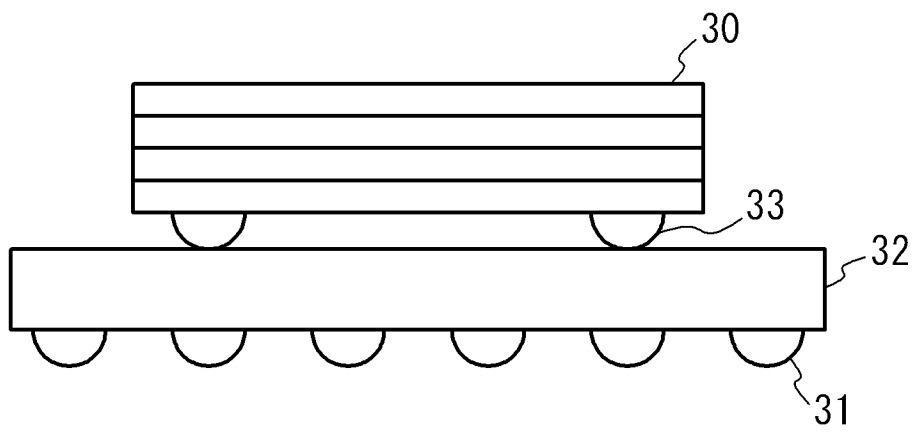


(b)

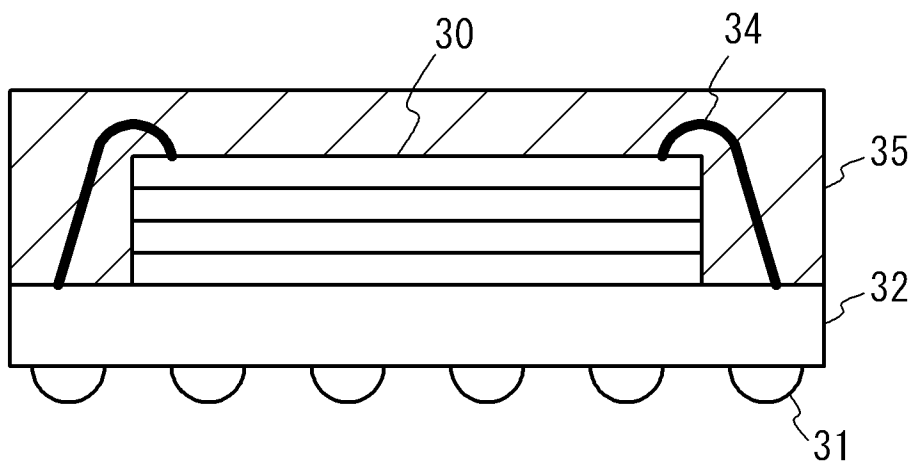
(a)



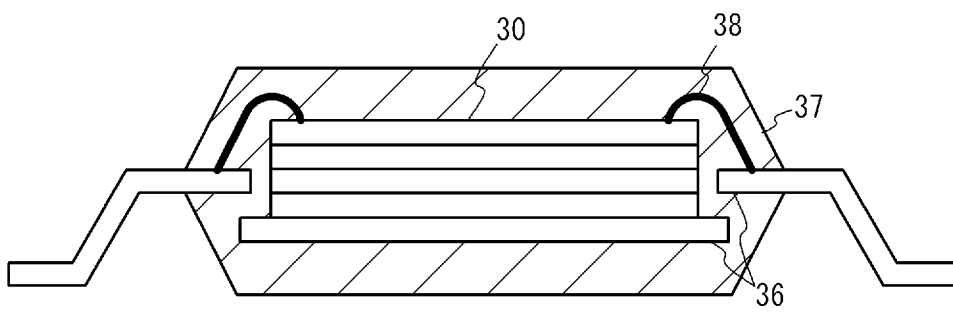
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/022646

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/065(2006.01), **H01L23/12**(2006.01), **H01L25/07**(2006.01), **H01L25/18**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/00-25/18, H01L23/12, H01L23/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-5665 A (Mitsubishi Heavy Industries, Ltd.), 14 January, 1994 (14.01.94), Figs. 1 to 7; Par. Nos. [0011] to [0021] (Family: none)	1-18
A	JP 2001-210782 A (Seiko Epson Corp.), 03 August, 2001 (03.08.01), Figs. 1 to 9; Par. Nos. [0023] to [0045] (Family: none)	1-18
A	JP 2002-76167 A (Sony Corp.), 15 March, 2002 (15.03.02), Figs. 1 to 9; Par. Nos. [0016] to [0023] (Family: none)	1-18

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 February, 2006 (20.02.06)

Date of mailing of the international search report
28 February, 2006 (28.02.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/022646

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-221372 A (Seiko Epson Corp.), 05 August, 2004 (05.08.04), Figs. 1 to 5, 12, 13; Par. Nos. [0055] to [0062], [0082] to [0093] & US 2004/0157410 A1	1-18

A. 発明の属する分野の分類（国際特許分類（IPC））
 Int.Cl. H01L25/065(2006.01), H01L23/12(2006.01), H01L25/07(2006.01), H01L25/18(2006.01)

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
 Int.Cl. H01L25/00-25/18, H01L23/12, H01L23/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 6-5665 A（三菱重工業株式会社）1994.01.14, 図1-7, 【0011】 - 【0021】（ファミリーなし）	1-18
A	JP 2001-210782 A（セイコーエプソン株式会社）2001.08.03, 図1-9, 【0023】 - 【0045】（ファミリーなし）	1-18
A	JP 2002-76167 A（ソニー株式会社）2002.03.15, 図1-9, 【0016】 - 【0023】（ファミリーなし）	1-18

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 20.02.2006	国際調査報告の発送日 28.02.2006
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 酒井 英夫 電話番号 03-3581-1101 内線 3471

4 R 9631

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2004-221372 A (セイコーエプソン株式会社) 2004.08.05, 図 1-5, 図 12, 図 13, 【0055】 - 【0062】 , 【0082】 - 【0093】 & US 2004/0157410 A1	1-18