ČESKOSLOVENSKÁ SOCIALISTICKÁ REPUBLIKA
(19)

ÚŘAD PRO VYNÁLEZY A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

238 951

(11) (B1)

(61)
(23) Výstavní priorita
(22) Přihlášeno 27 10 82
(21) PV 7619-82

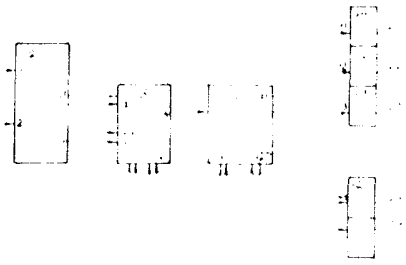
(51) Int. Cl.[3]
H 03 K 19/00

(40) Zveřejněno 15 05 85
(45) Vydáno 01 07 87

(75)
Autor vynálezu HURYCH PAVEL ing., PARDUBICE

(54) Generátor n-bitového pseudonáhodného kódu

Řešení se týká oboru generování logických signálů s možností nastavení pravděpodobnosti pseudonáhodného signálu. Předmět vynálezu řeší problém snížení součástkové náročnosti pro generátory n-bitového slova.
Podstata vynálezu spočívá v tom, že v časově multiplexním režimu je pseudonáhodný signál generátoru po předem určené modifikaci zapisován postupně do n-bitového registru a tím je vytvořen požadovaný signál.
Vynálezu lze využít při konstrukci testerů, zvláště servisního typu.



238 951

Vynález se týká generování sekvence pseudonáhodných slov, které využívají ke stimulaci číslicových obvodů.

Dosavadní pseudonáhodné generátory n-bitových slov o délce sekvence 2^m kroků jsou vytvářeny převážně dvěma způsoby.

První způsob je pomocí registrů s lineárními zpětnými vazbami, přičemž každý z registrů je m-bitový. Změna pravděpodobnosti signálu se provádí například změnami lineárních zpětných vazeb. Tento způsob získání pseudonáhodného kódu je jednoduchý, ovšem z hlediska počtu součástek velmi náročný.

Jiným způsobem je vytvoření generátoru pomocí registru, který má (m+n)bitů. N-bitový paralelní výstup je vytvořen kombinační logickou sítí. Tento způsob není tak součástkově náročný jako předchozí, ale nelze jednoduchým způsobem měnit pravděpodobnost výstupních logických signálů u jednotlivých výstupů.

Výše uvedené nevýhody odstraňuje řešení dle vynálezu, jehož podstata spočívá v propojení seriového generátoru pseudonáhodného kódu o délce minimálně $(2^{m+n}-1)$bitů, modifikačního obvodu, kterým lze měnit pravděpodobnost výskytu logické úrovně, demultiplexeru a n-bitové paměti. Výstupů z paměti se použije k buzení primárních vstupů testované sítě.

Technický pokrok je charakterizován tím, že generátor poskytuje možnost generování pseudonáhodného signálu, který připouští pouze jedinou změnu logického stavu na výstupech pamětí v daném časovém okamžiku. Tím se do značné míry

odstraňují hazardní stavy ve stimulované logické sítí, které mohou vznikat vlivem souběhu několika současně se měnících logických signálů. Další výhodou je široký rozsah možností změny pravděpodobností logického signálu, který umožňuje zlepšení diagnostického pokrytí testované logické sítě.

Na připojeném výkresu je znázorněno blokové schema generátoru podle vynálezu.

Generátor pseudonáhodného kódu G generuje seriový pseudonáhodný kód synchronně s hodinovým signálem, který je přiveden na synchronizační vstup 1. Délka generované sekvence je dána vztahem $(2^{m+n}-1)$bitů, kde m je počet požadovaných testovacích kroků a 2^n je počet datových výstupů Z. Aby charakter sekvence generátoru byl pro každý testovací cykl shodný je na nastavovací vstup 2 připojen inicializační signál.

Vybrané výstupy generátoru O1 až Or, jejichž počet je určen počtem požadovaných stupňů modifikace pravděpodobnosti signálu, jsou připojeny na vstupy I1 až Ir modifikátoru B. Logické zpracování signálů, které jsou na vstupech I1 až Iv, umožňuje měnit pravděpodobnost výstupního signálu Ov v závislosti na stavu řídících signálů, které jsou na řídících vstupech C1 až Ck. Výstup Ov je připojen na vstup Iv n-bitového demultiplexeru D. Je-li zajištěna synchronizace signálů na adresových vstupech A1 až Ap demultiplexeru s hodinovým signálem generátoru G, lze přiřazovat na vstupy Y1 až Yn paměťových obvodů P1 až Pn logickou úroveň signálu Iv, která je do těchto obvodů zapisována.

Signálové výstupy Z1 až Zn tvoří vždy pro proběhnutí 2^n hodinových impulzů pseudonáhodné slovo o šířce 2^n bitů, přičemž těchto různých testovacích slov generátor vytváří 2^m-1.

Charakter seriových posloupností signálů na jednotlivých výstupech Z1 až Zn je rovněž pseudonáhodný a pravděpodobnost tohoto signálu je určena stavem řídících vstupů C1 až Ck v okamžiku zápisu hodnoty signálu na vstupu Iv do jedné z pamětí Pn. Je-li zajištěna synchronnost stavů na vstupech

C1 až Ck se stavem adresových vstupů demultiplexeru A1 až Ap a bude-li stav vstupů C1 až Ck závislý na stavu adresových vstupů demultiplexeru A1 až Ap, potom na výstupech Z1 až Zn můžeme získat posloupnosti signálů s různou pravděpodobností. Změna úrovně logického signálu může nastat v daném časovém okamžiku pouze na jediném z výstupů Z1 až Zn.

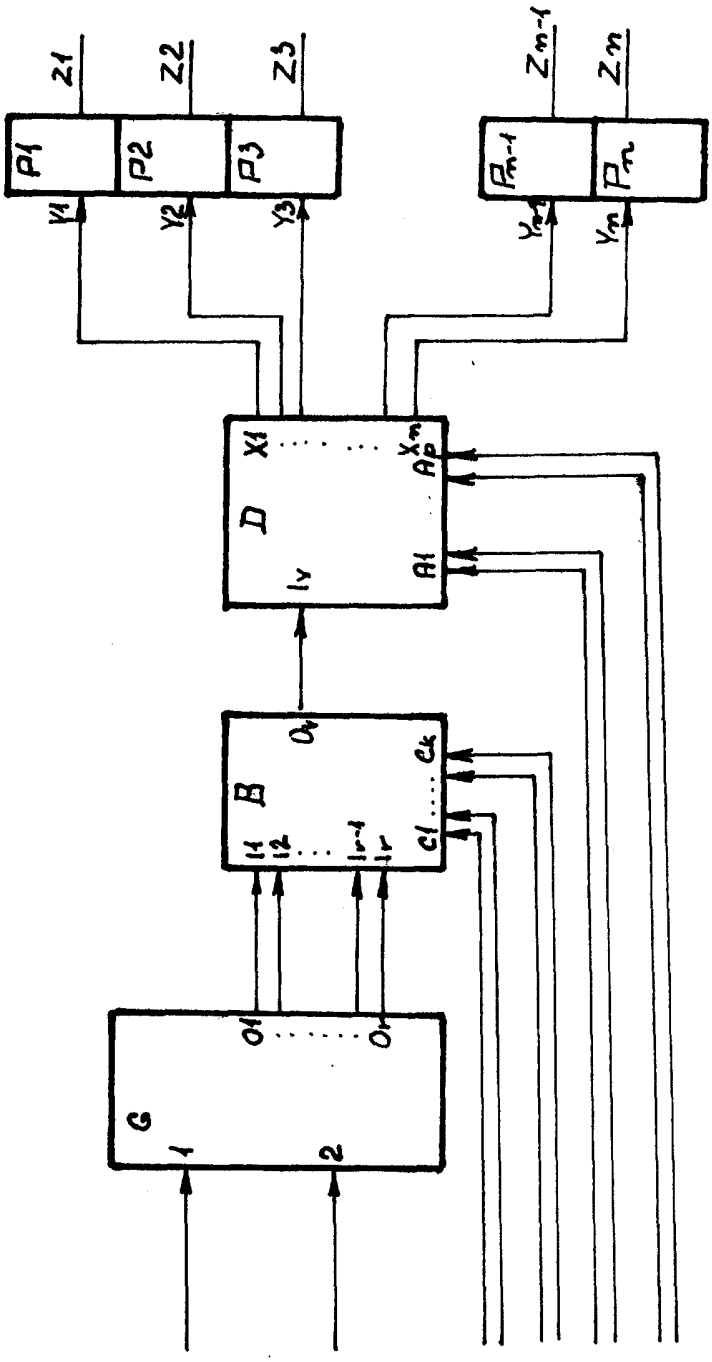
Uvedené zapojení lze použít pro generování n-bitových pseudonáhodných sekvencí logických signálů a lze je použít ke stimulaci testovaných logických obvodů, například v testerech.

P Ř E D M Ě T V Y N Á L E Z U

238 851

Generátor n-bitového pseudonáhodného kódu, vyznačený tím, že na synchronizační vstup (1) generátoru kódu (G) je připojen výstup generátoru hodinového signálu a na nastavovací vstup (2) generátoru kódu (G) je připojen zdroj inicializačního signálu , přičemž výstupy (O1 až Or) generátoru kódu (G) jsou přivedeny na datové vstupy (I1 až Ir) modifikátoru pravděpodobnosti signálu (B), zatím co na řídící vstupy (C1 až Ck) modifikátoru pravděpodobnosti signálu (B) jsou připojeny zdroje řídících signálů, výstup (Ov) modifikátoru pravděpodobnosti signálu (B) je přiveden na vstup (Iv) n-bitového demultiplexeru (D), na adresové vstupy (A1 až Ap) n-bitového demultiplexeru (D) je připojena adresová sběrnice, přičemž datové výstupy (X1 až Xn) n-bitového demultiplexeru jsou připojeny na jednotlivé datové vstupy(Y1 až Yn) paměťových obvodů (P1 až Pn) a na signálových výstupech (Z1 až Zn) paměťových obvodů(P1 až Pn) je uloženo n-bitové slovo pseudonáhodného kódu.

1 výkres


Z1
Z2
Z3
Zn-1
Zn
P1
P2
P3
Pn-1
Pn
Y1
Y2
Y3
Yn-1
Yn
D
X1
Xn
Ap
A1
Iv
B
Ok
Ck
C1
I1
I2
In-1
In
G
1
2
O1
Or