

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年9月11日(11.09.2015)



(10) 国際公開番号
WO 2015/132912 A1

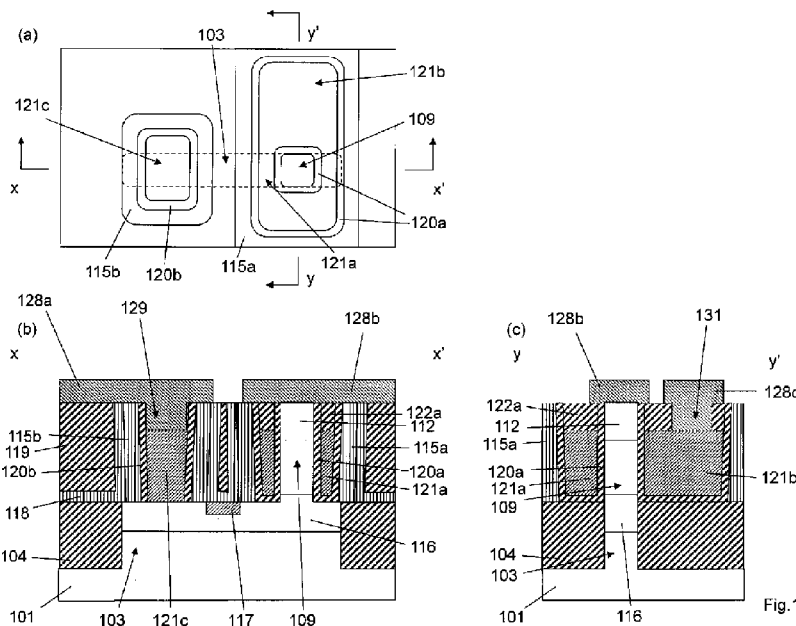
- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2014/055667
- (22) 国際出願日: 2014年3月5日(05.03.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): ユニ
サントイス エレクトロニクス シンガポール
プライベート リミテッド(UNISANTIS ELEC-
TRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098
ノースブリッジロード 111、ペニンシュラ
プラザ #16-04 Singapore (SG).
- (72) 発明者; および
- (71) 出願人(米国についてのみ): 舩岡 富士雄(MAS-
UOKA Fujio) [JP/JP]; 〒1020073 東京都千代田区九
段北1-15-2 九段坂パークビル4F S
emicon Consulting株式会社
内 Tokyo (JP). 中村 広記(NAKAMURA Hiroki)
[JP/JP]; 〒1020073 東京都千代田区九段北1-1
5-2 九段坂パークビル4F Semic
on Consulting株式会社内 Tokyo
(JP).

- (74) 代理人: 辻居 幸一, 外(TSUJII Koichi et al.); 〒
1008355 東京都千代田区丸の内3丁目3番1号
新東京ビル 中村合同特許法律事務所 Tokyo
(JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD, AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法、及び、半導体装置



(57) Abstract: Provided are: a surrounding gate transistor (SGT) manufacturing method, i.e., gate last process, wherein a fin-like semiconductor layer, a columnar semiconductor layer, a gate electrode, and gate wiring are formed by self-alignment, and a dummy gate and a dummy contact are formed at one time; and an SGT structure obtained as a result of implementing the method. The problem is solved by means of: a first step wherein a first insulating film is formed around a fin-like semiconductor layer on a semiconductor substrate; a second step wherein a second insulating film is formed, first polysilicon is deposited and planarized, a third insulating film is formed, a second resist is formed, and a columnar semiconductor layer, a first dummy gate, and a first hard mask are formed; and a third step wherein a fourth insulating film is formed, second polysilicon is deposited, planarized and etched back, a sixth insulating film is deposited, a fourth resist is formed, a second hard mask is formed, a third hard mask is formed, a second dummy gate is formed, and a first dummy contact is formed on the fin-like semiconductor layer.

(57) 要約:

[続葉有]



添付公開書類:

— 国際調査報告（条約第 21 条(3)）

フィン状半導体層、柱状半導体層、ゲート電極とゲート配線を自己整合で形成し、ダミーゲートとダミーコンタクトを同時に形成するゲートラストプロセスである SGT の製造方法とその結果得られる SGT の構造を提供する。半導体基板上のフィン状半導体層の周囲に第 1 の絶縁膜を形成する第 1 工程と、第 2 の絶縁膜を形成し、第 1 のポリシリコンを堆積し平坦化し、第 3 の絶縁膜を形成し、第 2 のレジストを形成し、柱状半導体層と第 1 のダミーゲートと第 1 のハードマスクとを形成する第 2 工程と、第 4 の絶縁膜を形成し、第 2 のポリシリコンを堆積し平坦化し、エッチバックし、第 6 の絶縁膜を堆積し、第 4 のレジストを形成し、第 2 のハードマスクを形成し、第 3 のハードマスクを形成し、第 2 のダミーゲートを形成し、フィン状半導体層上に第 1 のダミーコンタクトを形成する第 3 工程とにより、課題を解決する。

明 細 書

発明の名称：半導体装置の製造方法、及び、半導体装置

技術分野

[0001] 本発明は半導体装置の製造方法、及び、半導体装置に関する。

背景技術

[0002] 半導体集積回路、特にMOSトランジスタを用いた集積回路は、高集積化の一途を辿っている。この高集積化に伴って、その中で用いられているMOSトランジスタはナノ領域まで微細化が進んでいる。このようなMOSトランジスタの微細化が進むと、リーク電流の抑制が困難であり、必要な電流量確保の要請から回路の占有面積をなかなか小さくできない、といった問題があった。このような問題を解決するために、基板に対してソース、ゲート、ドレインが垂直方向に配置され、ゲート電極が柱状半導体層を取り囲む構造のSurrounding Gate Transistor（以下、「SGT」という。）が提案されている（例えば、特許文献1、特許文献2、特許文献3を参照）。

[0003] 従来のSGTの製造方法では、シリコン柱を描画するためのマスクを用いて窒化膜ハードマスクが柱状に形成されたシリコン柱を形成し、平面状シリコン層を描画するためのマスクを用いてシリコン柱底部に平面状シリコン層を形成し、ゲート配線を描画するためのマスクを用いてゲート配線を形成している（例えば特許文献4を参照）。

すなわち、3つのマスクを用いてシリコン柱、平面状シリコン層、ゲート配線を形成している。

[0004] また、従来のSGTの製造方法では、平面状シリコン層の上部と金属配線とを接続するために、深いコンタクト孔を形成している（例えば特許文献4を参照）。素子の微細化に伴い、コンタクト孔のアスペクト比（深さ／開口）は増大する。アスペクト比の増加と共にエッチング速度が低下する。また、パターンの微細化に伴い、レジストの膜厚は薄くなる。レジストの膜厚が薄くなると、エッチング中にレジストもエッチングされるため、深いコンタ

クト孔を形成することが難しくなる。

[0005] また、従来のMOSトランジスタにおいて、メタルゲートプロセスと高温プロセスを両立させるために、高温プロセス後にメタルゲートを作成するメタルゲートラストプロセスが実際の製品で用いられている(非特許文献1)。ポリシリコンでゲートを作成し、その後、層間絶縁膜を堆積後、化学機械研磨によりポリシリコンゲートを露出し、ポリシリコンゲートをエッチング後、メタルを堆積している。そのためSGTにおいてもメタルゲートプロセスと高温プロセスを両立させるために、高温プロセス後にメタルゲートを作成するメタルゲートラストプロセスを用いる必要がある。

[0006] また、メタルを埋め込む際、孔の下部より孔の上部が狭いと、孔の上部が先に埋まり、空孔が発生する。

[0007] また、ゲート配線と基板間の寄生容量を低減するために、従来のMOSトランジスタでは、第1の絶縁膜を用いている。例えばFINFET(非特許文献2)では、1つのフィン状半導体層の周囲に第1の絶縁膜を形成し、第1の絶縁膜をエッチバックし、フィン状半導体層を露出し、ゲート配線と基板間の寄生容量を低減している。そのためSGTにおいてもゲート配線と基板間の寄生容量を低減するために第1の絶縁膜を用いる必要がある。SGTではフィン状半導体層に加えて、柱状半導体層があるため、柱状半導体層を形成するための工夫が必要である。

先行技術文献

特許文献

[0008] 特許文献1：特開平2-71556号公報

特許文献2：特開平2-188966号公報

特許文献3：特開平3-145761号公報

特許文献4：特開2009-182317号公報

非特許文献

[0009] 非特許文献1：IEDM2007 K.Mistry et.al, pp 247-250

非特許文献2：IEDM2010 CC.Wu, et. al, 27.1.1-27.1.4.

発明の概要

発明が解決しようとする課題

[0010] そこで、フィン状半導体層、柱状半導体層、ゲート電極とゲート配線を自己整合で形成し、ダミーゲートとダミーコンタクトを同時に形成するゲートラストプロセスであるSGTの製造方法とその結果得られるSGTの構造を提供することを目的とする。

課題を解決するための手段

[0011] 本発明の半導体装置の製造方法は、半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第1の絶縁膜を形成する第1工程と、前記第1工程の後、前記フィン状半導体層の周囲に第2の絶縁膜を形成し、前記第2の絶縁膜の上に第1のポリシリコンを堆積し平坦化し、前記第1のポリシリコン上に第3の絶縁膜を形成し、ゲート配線と柱状半導体層を形成するための第2のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第3の絶縁膜と前記第1のポリシリコンと前記第2の絶縁膜と前記フィン状半導体層をエッチングすることにより、柱状半導体層と前記第1のポリシリコンによる第1のダミーゲートと前記第3の絶縁膜による第1のハードマスクとを形成する第2工程と、前記第2工程の後、前記柱状半導体層と前記第1のダミーゲートの周囲に第4の絶縁膜を形成し、前記第4の絶縁膜の周囲に第2のポリシリコンを堆積し平坦化し、エッチバックし、前記第1のハードマスクを露出し、第6の絶縁膜を堆積し、第1のダミーコンタクトを形成するための第4のレジストを形成し、前記第6の絶縁膜をエッチングすることにより、前記第1のハードマスクの側壁に、第2のハードマスクを形成し、前記フィン状半導体層上に前記第1のダミーコンタクトを形成するための第3のハードマスクを形成し、前記第2のポリシリコンをエッチングすることにより、前記第1のダミーゲートと前記柱状半導体層の側壁に残存させ、第2のダミーゲートを形成し、前記フィン状半導体層上に前記第1のダミーコンタクトを形成する第3工程を有することを特徴とする。

- [0012] また、前記第2のダミーゲートの上面の面積は、前記第2のダミーゲートの下面の面積より大きいことを特徴とする。
- [0013] また、前記柱状半導体層と前記第1のダミーゲートの周囲に第4の絶縁膜を形成後、第3のレジストを形成し、エッチバックを行い、前記柱状半導体層上部を露出し、前記柱状半導体層上部に第1の拡散層を形成することを特徴とする。
- [0014] また、前記第2のダミーゲートと前記第1のダミーコンタクトの周囲に、第5の絶縁膜を形成し、エッチングをし、サイドウォール状に残存させ、前記第5の絶縁膜からなるサイドウォールを形成し、前記フィン状半導体層上部と前記柱状半導体層下部に第2の拡散層を形成し、前記第2の拡散層上に金属と半導体の化合物を形成する第4工程を有することを特徴とする。
- [0015] また、前記第4工程の後、コンタクトストッパ膜を堆積し、層間絶縁膜を堆積し化学機械研磨し、前記第2のダミーゲートと前記第1のダミーゲートと前記第1のダミーコンタクトの上部を露出し、前記第2のダミーゲートと前記第1のダミーゲートと前記第1のダミーコンタクトを除去し、前記第2の絶縁膜と前記第4の絶縁膜を除去し、ゲート絶縁膜を前記第2のダミーゲートと前記第1のダミーゲートがあった領域である前記柱状半導体層の周囲と前記第5の絶縁膜の内側と前記第1のダミーコンタクトがあった領域である前記第5の絶縁膜の内側に形成し、前記第1のダミーコンタクトがあった領域の底部の前記ゲート絶縁膜を除去するための第5のレジストを形成し、前記第1のダミーコンタクトがあった領域の底部の前記ゲート絶縁膜を除去し、金属を堆積し、エッチバックを行い、ゲート電極及びゲート配線と第1のコンタクトを形成する第5工程を有することを特徴とする。
- [0016] また、本発明の半導体装置は、半導体基板上に形成されたフィン状半導体層と、前記フィン状半導体層の周囲に形成された第1の絶縁膜と、前記フィン状半導体層上に形成された第1のコンタクトと、前記第1のコンタクトの周囲に形成されたゲート絶縁膜と、を有することを特徴とする。
- [0017] また、前記第1のコンタクトの上面の面積は前記第1のコンタクトの下面

の面積より大きいことを特徴とする。

[0018] また、前記フィン状半導体層上に形成された柱状半導体層と、前記柱状半導体層の周囲に形成されたゲート絶縁膜と、前記ゲート絶縁膜の周囲に形成された金属からなるゲート電極と、前記ゲート電極に接続された前記フィン状半導体層に直交する方向に延在する金属からなるゲート配線と、前記柱状半導体層の上部に形成された第1の拡散層と、前記フィン状半導体層の上部と前記柱状半導体層の下部に形成された第2の拡散層と、を有し、前記ゲート電極と前記ゲート配線の上面の面積は前記ゲート電極と前記ゲート配線の下面の面積より大きいことを特徴とする。

[0019] また、前記ゲート電極と前記ゲート配線の周囲と底部に形成された前記ゲート絶縁膜とをさらに有することを特徴とする。

発明の効果

[0020] 本発明によれば、フィン状半導体層、柱状半導体層、ゲート電極とゲート配線を自己整合で形成し、ダミーゲートとダミーコンタクトを同時に形成するゲートラストプロセスであるSGTの製造方法とその結果得られるSGTの構造を提供することができる。

[0021] 半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第1の絶縁膜を形成する第1工程と、前記第1工程の後、前記フィン状半導体層の周囲に第2の絶縁膜を形成し、前記第2の絶縁膜の上に第1のポリシリコンを堆積し平坦化し、前記第1のポリシリコン上に第3の絶縁膜を形成し、ゲート配線と柱状半導体層を形成するための第2のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第3の絶縁膜と前記第1のポリシリコンと前記第2の絶縁膜と前記フィン状半導体層をエッチングすることにより、柱状半導体層と前記第1のポリシリコンによる第1のダミーゲートと前記第3の絶縁膜による第1のハードマスクとを形成する第2工程と、前記第2工程の後、前記柱状半導体層と前記第1のダミーゲートの周囲に第4の絶縁膜を形成し、前記第4の絶縁膜の周囲に第2のポリシリコンを堆積し平坦化し、エッチバックし、前記第1のハードマスクを露出

し、第6の絶縁膜を堆積し、第1のダミーコンタクトを形成するための第4のレジストを形成し、前記第6の絶縁膜をエッチングすることにより、前記第1のハードマスクの側壁に、第2のハードマスクを形成し、前記フィン状半導体層上に前記第1のダミーコンタクトを形成するための第3のハードマスクを形成し、前記第2のポリシリコンをエッチングすることにより、前記第1のダミーゲートと前記柱状半導体層の側壁に残存させ、第2のダミーゲートを形成し、前記フィン状半導体層上に前記第1のダミーコンタクトを形成する第3工程を有することを特徴とすることにより、フィン状半導体層、柱状半導体層、ゲート電極とゲート配線を自己整合で形成することができ、工程数を削減することができる。

[0022] 第2のダミーゲートと同時に第1のダミーコンタクトを形成し、後に、コンタクトストッパ膜を堆積し、層間絶縁膜を堆積し化学機械研磨し、前記第2のダミーゲートと前記第1のダミーゲートと前記第1のダミーコンタクトの上部を露出し、前記第2のダミーゲートと前記第1のダミーゲートと前記第1のダミーコンタクトを除去し、前記第2の絶縁膜と前記第4の絶縁膜を除去し、ゲート絶縁膜を前記第2のダミーゲートと前記第1のダミーゲートがあった領域である前記柱状半導体層の周囲と前記第5の絶縁膜の内側と前記第1のダミーコンタクトがあった領域である前記第5の絶縁膜の内側に形成し、前記第1のダミーコンタクトがあった領域の底部の前記ゲート絶縁膜を除去するための第5のレジストを形成し、前記第1のダミーコンタクトがあった領域の底部の前記ゲート絶縁膜を除去し、金属を堆積し、エッチバックを行うことにより、ゲート電極及びゲート配線と第1のコンタクトを形成することができる。従って、ゲート絶縁膜の膜厚分エッチングすればよく、深いコンタクト孔を形成する工程が不要となる。

[0023] また、前記第1のダミーコンタクトがあった領域の底部の前記ゲート絶縁膜を除去したため、前記第1のダミーコンタクトがあった領域である前記第5の絶縁膜の内側にゲート絶縁膜が残存する構造となる。ゲート絶縁膜は、原子層堆積により形成された絶縁性の高い膜であるため、第1のコンタクト

と周囲の構造間とをより絶縁することができる。

[0024] また、第1と第2のハードマスクにより、第1と第2のダミーゲート上に金属と半導体の化合物が形成されることを防ぎ、フィン状半導体層上のみに金属と半導体の化合物を形成することができる。

[0025] また、第2のポリシリコンをエッチングする際、逆テーパエッチングを用いることにより、前記第2のダミーゲートの上面の面積は、前記第2のダミーゲートの下面の面積より大きくすることができる、ゲートのための金属を埋め込む際、空孔が形成されないようにすることができる。また、同時に前記第1のダミーコンタクトの上面の面積は、前記第1のダミーコンタクトの下面の面積より大きくすることができる。第1のコンタクトのための金属を埋め込む際、空孔が形成されないようにすることができる。

[0026] また、ポリシリコンで第1のダミーゲートと第2のダミーゲートを作成し、その後、層間絶縁膜を堆積後、化学機械研磨により第1のダミーゲートと第2のダミーゲートを露出し、ポリシリコンゲートをエッチング後、金属を堆積する従来のメタルゲートラストの製造方法を用いることができるため、メタルゲートSGTを容易に形成できる。

[0027] また、前記ゲート電極と前記ゲート配線の周囲と底部に形成された前記ゲート絶縁膜により、ゲート電極とゲート配線とは、柱状半導体層とフィン状半導体層とから絶縁をすることができる。

図面の簡単な説明

[0028] [図1] (a) は本発明に係る半導体装置の平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図2] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図3] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線で

の断面図である。

[図4] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図5] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図6] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図7] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図8] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図9] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図10] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図11] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図12] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図13] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図14] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図15] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図16] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図17] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図18] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図19] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図20] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図21] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図22] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(

b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図23] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図24] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図25] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図26] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図27] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図28] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図29] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図30] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図31] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線

での断面図である。

[図32] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図33] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図34] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図35] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図36] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図37] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図38] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図39] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図40] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図41] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図42] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図43] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図44] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図45] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図46] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

発明を実施するための形態

[0029] 以下に、本発明の実施形態に係る SGT の構造を形成するための製造工程を、図 2 ～図 46 を参照して説明する。

[0030] まず、半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第 1 の絶縁膜を形成する第 1 工程を示す。本実施例では、シリコン基板としたが、基板はシリコン以外であっても半導体であればよい。

[0031] 図 2 に示すように、シリコン基板 101 上にフィン状シリコン層を形成するための第 1 のレジスト 102 を形成する。

[0032] 図 3 に示すように、シリコン基板 101 をエッチングし、フィン状シリコン層 103 を形成する。今回はレジストをマスクとしてフィン状シリコン層

を形成したが、酸化膜や窒化膜といったハードマスクを用いてもよい。

[0033] 図4に示すように、第1のレジスト102を除去する。

[0034] 図5に示すように、フィン状シリコン層103の周囲に第1の絶縁膜104を堆積する。第1の絶縁膜として高密度プラズマによる酸化膜や低圧CVD(Chemical Vapor Deposition)による酸化膜を用いてもよい。

[0035] 図6に示すように、第1の絶縁膜104をエッチバックし、フィン状シリコン層103の上部を露出する。ここまでは、非特許文献2のフィン状シリコン層の製法と同じである。

[0036] 以上によりシリコン基板101上にフィン状シリコン層103を形成し、前記フィン状シリコン層103の周囲に第一の絶縁膜104を形成する第1工程が示された。

[0037] 次に、前記フィン状半導体層の周囲に第2の絶縁膜を形成し、前記第2の絶縁膜の上に第1のポリシリコンを堆積し平坦化し、前記第1のポリシリコン上に第3の絶縁膜を形成し、ゲート配線と柱状半導体層を形成するための第2のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第3の絶縁膜と前記第1のポリシリコンと前記第2の絶縁膜と前記フィン状半導体層をエッチングすることにより、柱状半導体層と前記第1のポリシリコンによる第1のダミーゲートと前記第3の絶縁膜による第1のハードマスクとを形成する第2工程を示す。

[0038] 図7に示すように、前記フィン状シリコン層103の周囲に第2の絶縁膜105を形成する。第2の絶縁膜105は、酸化膜が好ましい。

[0039] 図8に示すように、前記第2の絶縁膜105の上に第1のポリシリコン106を堆積し平坦化する。

[0040] 図9に示すように、前記第1のポリシリコン106上に第3の絶縁膜107を形成する。第3の絶縁膜107は、窒化膜が好ましい。

[0041] 図10に示すように、ゲート配線と柱状シリコン層を形成するための第2のレジスト108を、前記フィン状シリコン層103の方向に対して垂直の方向に形成する。

[0042] 図 1 1 に示すように、前記第 3 の絶縁膜 1 0 7 と前記第 1 のポリシリコン 1 0 6 と前記第 2 の絶縁膜 1 0 5 と前記フィン状シリコン層 1 0 3 をエッチングすることにより、柱状シリコン層 1 0 9 と前記第 1 のポリシリコンによる第 1 のダミーゲート 1 0 6 a と第 3 の絶縁膜による第 1 のハードマスク 1 0 7 a を形成する。

[0043] 図 1 2 に示すように、第 2 のレジスト 1 0 8 を除去する。

[0044] 以上により、前記フィン状半導体層の周囲に第 2 の絶縁膜を形成し、前記第 2 の絶縁膜の上に第 1 のポリシリコンを堆積し平坦化し、前記第 1 のポリシリコン上に第 3 の絶縁膜を形成し、ゲート配線と柱状半導体層を形成するための第 2 のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第 3 の絶縁膜と前記第 1 のポリシリコンと前記第 2 の絶縁膜と前記フィン状半導体層をエッチングすることにより、柱状半導体層と前記第 1 のポリシリコンによる第 1 のダミーゲートと前記第 3 の絶縁膜による第 1 のハードマスクとを形成する第 2 工程が示された。

[0045] 次に、前記第 2 工程の後、前記柱状半導体層と前記第 1 のダミーゲートの周囲に第 4 の絶縁膜を形成し、前記第 4 の絶縁膜の周囲に第 2 のポリシリコンを堆積し平坦化し、エッチバックし、前記第 1 のハードマスクを露出し、第 6 の絶縁膜を堆積し、第 1 のダミーコンタクトを形成するための第 4 のレジストを形成し、前記第 6 の絶縁膜をエッチングすることにより、前記第 1 のハードマスクの側壁に、第 2 のハードマスクを形成し、前記フィン状半導体層上に前記第 1 のダミーコンタクトを形成するための第 3 のハードマスクを形成し、前記第 2 のポリシリコンをエッチングすることにより、前記第 1 のダミーゲートと前記柱状半導体層の側壁に残存させ、第 2 のダミーゲートを形成し、前記フィン状半導体層上に前記第 1 のダミーコンタクトを形成する第 3 工程を示す。

[0046] 図 1 3 に示すように、前記柱状シリコン層 1 0 9 と前記第 1 のダミーゲート 1 0 6 a の周囲に第 4 の絶縁膜 1 1 0 を形成する。第 4 の絶縁膜 1 1 0 は、酸化膜が好ましい。

- [0047] 図14に示すように、第3のレジスト111を形成し、エッチバックを行い、前記柱状シリコン層109上部を露出する。
- [0048] 図15に示すように、不純物を導入し、前記柱状シリコン層109上部に第1の拡散層112を形成する。n型拡散層のときは、砒素やリンを導入することが好ましい。p型拡散層のときは、ボロンを導入することが好ましい。
- [0049] 図16に示すように、第3のレジスト111を除去する。
- [0050] 図17に示すように、前記第4の絶縁膜110の周囲に第2のポリシリコン113を堆積し平坦化する。
- [0051] 図18に示すように、第2のポリシリコン113をエッチバックし、前記第1のハードマスク107aを露出する。
- [0052] 図19に示すように、第6の絶縁膜114を堆積する。第6の絶縁膜114は窒化膜が好ましい。
- [0053] 図20に示すように、第1のダミーコンタクトを形成するための第4のレジスト201を形成する。
- [0054] 図21に示すように、第6の絶縁膜114をエッチングすることにより、前記第1のハードマスク107aの側壁に、第2のハードマスク114aを形成し、前記フィン状シリコン層上に前記第1のダミーコンタクトを形成するための第3のハードマスク114bを形成する。
- [0055] 図22に示すように、前記第2のポリシリコン113をエッチングすることにより、前記第1のダミーゲート106aと前記柱状半導体層109の側壁に残存させ、第2のダミーゲート113aを形成し、前記フィン状シリコン層103上に第1のダミーコンタクト113bを形成する。また、第4の絶縁膜110は分離され、第4の絶縁膜110a、110bとなる。第2のポリシリコン113をエッチングする際、逆テーパエッチングを用いることにより、前記第2のダミーゲート113aの上面の面積は、前記第2のダミーゲート113aの下面の面積より大きくすることができ、ゲートのための金属を埋め込む際、空孔が形成されないようにすることができる。また、同

時に前記第1のダミーコンタクト113bの上面の面積は、前記第1のダミーコンタクト113bの下面の面積より大きくすることができる。第1のコンタクトのための金属を埋め込む際、空孔が形成されないようにすることができる。

[0056] 図23に示すように、第4のレジスト201を除去する。

[0057] 以上により、前記第2工程の後、前記柱状半導体層と前記第1のダミーゲートの周囲に第4の絶縁膜を形成し、前記第4の絶縁膜の周囲に第2のポリシリコンを堆積し平坦化し、エッチバックし、前記第1のハードマスクを露出し、第6の絶縁膜を堆積し、第1のダミーコンタクトを形成するための第4のレジストを形成し、前記第6の絶縁膜をエッチングすることにより、前記第1のハードマスクの側壁に、第2のハードマスクを形成し、前記フィン状半導体層上に前記第1のダミーコンタクトを形成するための第3のハードマスクを形成し、前記第2のポリシリコンをエッチングすることにより、前記第1のダミーゲートと前記柱状半導体層の側壁に残存させ、第2のダミーゲートを形成し、前記フィン状半導体層上に前記第1のダミーコンタクトを形成する第3工程が示された。

[0058] 次に、前記第2のダミーゲートと前記第1のダミーコンタクトの周囲に、第5の絶縁膜を形成し、エッチングをし、サイドウォール状に残存させ、前記第5の絶縁膜からなるサイドウォールを形成し、前記フィン状半導体層上部と前記柱状半導体層下部に第2の拡散層を形成し、前記第2の拡散層上に金属と半導体の化合物を形成する第4工程を示す。

[0059] 図24に示すように、前記第2のダミーゲート113aと前記第1のダミーコンタクト113bの周囲に、第5の絶縁膜115を形成する。第5の絶縁膜115は、窒化膜が好ましい。

[0060] 図25に示すように、第5の絶縁膜115をエッチングをし、サイドウォール状に残存させ、前記第5の絶縁膜からなるサイドウォール115a、115bを形成する。

[0061] 図26に示すように、不純物を導入し、前記フィン状シリコン層103上

部と前記柱状シリコン層 109 下部に第 2 の拡散層 116 を形成する。n 型拡散層のときは、砒素やリンを導入することが好ましい。p 型拡散層のときは、ボロンを導入することが好ましい。第 5 の絶縁膜 115 堆積前に不純物を導入してもよい。

[0062] 図 27 に示すように、前記第 2 の拡散層 116 上に金属と半導体の化合物 117 を形成する。このとき、また、第 1 と第 2 のハードマスク 107 a、114 a により、第 1 と第 2 のダミーゲート 106 a、113 a 上に金属と半導体の化合物が形成されることを防ぎ、フィン状半導体層 103 上のみに金属と半導体の化合物を形成することができる。

[0063] 以上により、前記第 2 のダミーゲートと前記第 1 のダミーコンタクトの周囲に、第 5 の絶縁膜を形成し、エッチングをし、サイドウォール状に残存させ、前記第 5 の絶縁膜からなるサイドウォールを形成し、前記フィン状半導体層上部と前記柱状半導体層下部に第 2 の拡散層を形成し、前記第 2 の拡散層上に金属と半導体の化合物を形成する第 4 工程が示された。

[0064] 次に、前記第 4 工程の後、コンタクトストッパ膜を堆積し、層間絶縁膜を堆積し化学機械研磨し、前記第 2 のダミーゲートと前記第 1 のダミーゲートと前記第 1 のダミーコンタクトの上部を露出し、前記第 2 のダミーゲートと前記第 1 のダミーゲートと前記第 1 のダミーコンタクトを除去し、前記第 2 の絶縁膜と前記第 4 の絶縁膜を除去し、ゲート絶縁膜を前記第 2 のダミーゲートと前記第 1 のダミーゲートがあった領域である前記柱状半導体層の周囲と前記第 5 の絶縁膜の内側と前記第 1 のダミーコンタクトがあった領域である前記第 5 の絶縁膜の内側に形成し、前記第 1 のダミーコンタクトがあった領域の底部の前記ゲート絶縁膜を除去するための第 5 のレジストを形成し、前記第 1 のダミーコンタクトがあった領域の底部の前記ゲート絶縁膜を除去し、金属を堆積し、エッチバックを行い、ゲート電極及びゲート配線と第 1 のコンタクトを形成する第 5 工程を示す。

[0065] 図 28 に示すように、コンタクトストッパ膜 118 を堆積し、層間絶縁膜 119 を堆積する。コンタクトストッパ膜 118 として、窒化膜が好ましい

。また、コンタクトストッパ膜 118 を堆積しなくてもよい。

[0066] 図 29 に示すように、化学機械研磨し、前記第 2 のダミーゲート 113 a と前記第 1 のダミーゲート 106 a と第 1 のダミーコンタクト 113 b の上部を露出する。

[0067] 図 30 に示すように、前記第 2 のダミーゲート 113 a と前記第 1 のダミーゲート 106 a と第 1 のダミーコンタクト 113 b を除去する。

[0068] 図 31 に示すように、前記第 2 の絶縁膜 105 と前記第 4 の絶縁膜 110 a、110 b を除去する。

[0069] 図 32 に示すように、ゲート絶縁膜 120 を前記第 2 のダミーゲート 113 a と前記第 1 のダミーゲート 106 a があった領域である前記柱状半シリコン層 109 の周囲と前記第 5 の絶縁膜 115 a の内側と前記第 1 のダミーコンタクト 113 b があった領域である前記第 5 の絶縁膜 115 b の内側に形成する。

[0070] 図 33 に示すように、前記第 1 のダミーコンタクト 113 b があった領域の底部の前記ゲート絶縁膜 120 を除去するための第 5 のレジスト 202 を形成する。

[0071] 図 34 に示すように、前記第 1 のダミーコンタクト 113 b があった領域の底部の前記ゲート絶縁膜 120 を除去する。ゲート絶縁膜 120 は分離され、ゲート絶縁膜 120 a、120 b となる。異方性エッチングを用いて除去したとき、前記第 1 のダミーコンタクト 113 b があった領域である前記第 5 の絶縁膜 115 b の内側にゲート絶縁膜 120 b が残存する。等方性エッチングを用いてゲート絶縁膜 120 を除去してもよい。従って、ゲート絶縁膜の膜厚分エッチングすればよく、深いコンタクト孔を形成する工程が不要となる。

[0072] 図 35 に示すように、第 5 のレジスト 202 を除去する。

[0073] 図 36 に示すように、金属 121 を堆積する。

[0074] 図 37 に示すように、金属 121 のエッチバックを行い、柱状シリコン層 109 上部を露出する。柱状シリコン層 109 の周囲にゲート電極 121 a

が形成される。また、ゲート配線 1 2 1 b が形成される。また、第 1 のコンタクト 1 2 1 c が形成される。前記ゲート電極 1 2 1 a と前記ゲート配線 1 2 1 b の周囲と底部に形成された前記ゲート絶縁膜 1 2 0 により、ゲート電極 1 2 1 a とゲート配線 1 2 1 b とは、柱状シリコン層 1 0 9 とフィン状シリコン層 1 0 3 とから絶縁をすることができる。

[0075] 以上により、前記第 4 工程の後、コンタクトストップ膜を堆積し、層間絶縁膜を堆積し化学機械研磨し、前記第 2 のダミーゲートと前記第 1 のダミーゲートと前記第 1 のダミーコンタクトの上部を露出し、前記第 2 のダミーゲートと前記第 1 のダミーゲートと前記第 1 のダミーコンタクトを除去し、前記第 2 の絶縁膜と前記第 4 の絶縁膜を除去し、ゲート絶縁膜を前記第 2 のダミーゲートと前記第 1 のダミーゲートがあった領域である前記柱状半導体層の周囲と前記第 5 の絶縁膜の内側と前記第 1 のダミーコンタクトがあった領域である前記第 5 の絶縁膜の内側に形成し、前記第 1 のダミーコンタクトがあった領域の底部の前記ゲート絶縁膜を除去するための第 5 のレジストを形成し、前記第 1 のダミーコンタクトがあった領域の底部の前記ゲート絶縁膜を除去し、金属を堆積し、エッチバックを行い、ゲート電極及びゲート配線と第 1 のコンタクトを形成する第 5 工程が示された。

[0076] 図 3 8 に示すように、第 2 の層間絶縁膜 1 2 2 を堆積する。

[0077] 図 3 9 に示すように、第 2 の層間絶縁膜 1 2 2 を平坦化し、柱状シリコン層 1 0 9 上部の第 1 の拡散層 1 1 2 を露出する。第 2 の層間絶縁膜 1 2 2 は分離され、第 2 の層間絶縁膜 1 2 2 a、1 2 2 b となる。

[0078] 図 4 0 に示すように、コンタクト孔を形成するための第 6 のレジスト 1 2 3 を形成する。

[0079] 図 4 1 に示すように、第 2 の層間絶縁膜 1 2 2 a、1 2 2 b をエッチングすることにより、コンタクト孔 1 2 4、1 2 5 を形成する。

[0080] 図 4 2 に示すように、第 6 のレジスト 1 2 3 を除去する。

[0081] 図 4 3 に示すように、金属 1 2 8 を堆積し、第 2 のコンタクト 1 2 9、1 3 1 を形成する。

- [0082] 図44に示すように、金属配線を形成するため第7のレジスト132、133、134を形成する。
- [0083] 図45に示すように、金属128をエッチングし、金属配線128a、128b、128cを形成する。
- [0084] 図46に示すように、第7のレジスト132、133、134を除去する。
- [0085] 以上により、フィン状半導体層、柱状半導体層、ゲート電極とゲート配線を自己整合で形成し、ダミーゲートとダミーコンタクトを同時に形成するゲートラストプロセスであるSGTの製造方法が示された。
- [0086] 上記製造方法によって得られる半導体装置の構造を図1に示す。
- [0087] シリコン基板101上に形成されたフィン状シリコン層103と、前記フィン状シリコン層103の周囲に形成された第1の絶縁膜104と、前記フィン状シリコン層103上に形成された第1のコンタクト121cと、前記第1のコンタクト121cの周囲に形成されたゲート絶縁膜120bと、を有する。前記第1のダミーコンタクト113bがあった領域の底部の前記ゲート絶縁膜120を除去したため、前記第1のダミーコンタクト113bがあった領域である前記第5の絶縁膜115bの内側にゲート絶縁膜120bが残存する構造となる。ゲート絶縁膜120は、原子層堆積といった絶縁性の高い膜であるため、第1のコンタクト121cと周囲の構造間とをより絶縁することができる。
- [0088] 前記フィン状シリコン層103上に形成された柱状シリコン層109と、前記柱状シリコン層109の周囲に形成されたゲート絶縁膜120aと、前記ゲート絶縁膜120aの周囲に形成された金属からなるゲート電極121aと、前記ゲート電極121aに接続された前記フィン状シリコン層103に直交する方向に延在する金属からなるゲート配線121bと、前記柱状シリコン層109の上部に形成された第1の拡散層112と、前記フィン状シリコン層103の上部と前記柱状シリコン層109の下部に形成された第2の拡散層116と、を有する。前記ゲート電極121aと前記ゲート配線1

2 1 bの上面の面積は前記ゲート電極 1 2 1 aと前記ゲート配線 1 2 1 bの下面の面積より大きい。

[0089] セルフアラインで形成されるので、柱状シリコン層 1 0 9と、ゲート配線 1 2 1 bとの合わせずれをなくすることができる。

[0090] また、前記ゲート電極 1 2 1 aと前記ゲート配線 1 2 1 bの周囲と底部に形成された前記ゲート絶縁膜 1 2 0により、ゲート電極 1 2 1 aとゲート配線 1 2 1 bとは、柱状シリコン層 1 0 9とフィン状シリコン層 1 0 3とから絶縁をすることができる。

[0091] なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。

[0092] 例えば、上記実施例において、p型（p⁺型を含む。）とn型（n⁺型を含む。）とをそれぞれ反対の導電型とした半導体装置の製造方法、及び、それにより得られる半導体装置も当然に本発明の技術的範囲に含まれる。

符号の説明

- [0093] 1 0 1. シリコン基板
1 0 2. 第1のレジスト
1 0 3. フィン状シリコン層
1 0 4. 第1の絶縁膜
1 0 5. 第2の絶縁膜
1 0 6. 第1のポリシリコン
1 0 6 a. 第1のダミーゲート
1 0 7. 第3の絶縁膜
1 0 7 a. 第1のハードマスク
1 0 8. 第2のレジスト
1 0 9. 柱状シリコン層
1 1 0. 第4の絶縁膜

- 1 1 0 a. 第4の絶縁膜
- 1 1 0 b. 第4の絶縁膜
- 1 1 1. 第3のレジスト
- 1 1 2. 第1の拡散層
- 1 1 3. 第2のポリシリコン
- 1 1 3 a. 第2のダミーゲート
- 1 1 3 b. 第1のダミーコンタクト
- 1 1 4. 第6の絶縁膜
- 1 1 4 a. 第2のハードマスク
- 1 1 4 b. 第3のハードマスク
- 1 1 5. 第5の絶縁膜
- 1 1 5 a. 第5の絶縁膜からなるサイドウォール
- 1 1 5 b. 第5の絶縁膜からなるサイドウォール
- 1 1 6. 第2の拡散層
- 1 1 7. 金属と半導体の化合物
- 1 1 8. コンタクトストッパ膜
- 1 1 9. 層間絶縁膜
- 1 2 0. ゲート絶縁膜
- 1 2 0 a. ゲート絶縁膜
- 1 2 0 b. ゲート絶縁膜
- 1 2 1. 金属
- 1 2 1 a. ゲート電極
- 1 2 1 b. ゲート配線
- 1 2 1 c. 第1のコンタクト
- 1 2 2. 第2の層間絶縁膜
- 1 2 2 a. 第2の層間絶縁膜
- 1 2 2 b. 第2の層間絶縁膜
- 1 2 3. 第6のレジスト

- 1 2 4. コンタクト孔
- 1 2 5. コンタクト孔
- 1 2 8. 金属
- 1 2 8 a. 金属配線
- 1 2 8 b. 金属配線
- 1 2 8 c. 金属配線
- 1 2 9. 第2のコンタクト
- 1 3 1. 第2のコンタクト
- 1 3 2. 第7のレジスト
- 1 3 3. 第7のレジスト
- 1 3 4. 第7のレジスト
- 2 0 1. 第4のレジスト
- 2 0 2. 第5のレジスト

請求の範囲

[請求項1] 半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第1の絶縁膜を形成する第1工程と、

前記第1工程の後、前記フィン状半導体層の周囲に第2の絶縁膜を形成し、前記第2の絶縁膜の上に第1のポリシリコンを堆積し平坦化し、前記第1のポリシリコン上に第3の絶縁膜を形成し、ゲート配線と柱状半導体層を形成するための第2のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第3の絶縁膜と前記第1のポリシリコンと前記第2の絶縁膜と前記フィン状半導体層をエッチングすることにより、柱状半導体層と前記第1のポリシリコンによる第1のダミーゲートと前記第3の絶縁膜による第1のハードマスクとを形成する第2工程と、

前記第2工程の後、前記柱状半導体層と前記第1のダミーゲートの周囲に第4の絶縁膜を形成し、前記第4の絶縁膜の周囲に第2のポリシリコンを堆積し平坦化し、エッチバックし、前記第1のハードマスクを露出し、第6の絶縁膜を堆積し、第1のダミーコンタクトを形成するための第4のレジストを形成し、前記第6の絶縁膜をエッチングすることにより、前記第1のハードマスクの側壁に、第2のハードマスクを形成し、前記フィン状半導体層上に前記第1のダミーコンタクトを形成するための第3のハードマスクを形成し、前記第2のポリシリコンをエッチングすることにより、前記第1のダミーゲートと前記柱状半導体層の側壁に残存させ、第2のダミーゲートを形成し、前記フィン状半導体層上に前記第1のダミーコンタクトを形成する第3工程と、

を有することを特徴とする半導体装置の製造方法。

[請求項2] 前記第2のダミーゲートの上面の面積は、前記第2のダミーゲートの下面の面積より大きいことを特徴とする請求項1に記載の半導体装置。

- [請求項3] 前記柱状半導体層と前記第1のダミーゲートの周囲に第4の絶縁膜を形成後、第3のレジストを形成し、エッチバックを行い、前記柱状半導体層上部を露出し、前記柱状半導体層上部に第1の拡散層を形成することを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項4] 前記第2のダミーゲートと前記第1のダミーコンタクトの周囲に、第5の絶縁膜を形成し、エッチングをし、サイドウォール状に残存させ、前記第5の絶縁膜からなるサイドウォールを形成し、前記フィン状半導体層上部と前記柱状半導体層下部に第2の拡散層を形成し、前記第2の拡散層上に金属と半導体の化合物を形成する第4工程を有することを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項5] 前記第4工程の後、コンタクトストッパ膜を堆積し、層間絶縁膜を堆積し化学機械研磨し、前記第2のダミーゲートと前記第1のダミーゲートと前記第1のダミーコンタクトの上部を露出し、前記第2のダミーゲートと前記第1のダミーゲートと前記第1のダミーコンタクトを除去し、前記第2の絶縁膜と前記第4の絶縁膜を除去し、ゲート絶縁膜を前記第2のダミーゲートと前記第1のダミーゲートがあった領域である前記柱状半導体層の周囲と前記第5の絶縁膜の内側と前記第1のダミーコンタクトがあった領域である前記第5の絶縁膜の内側に形成し、前記第1のダミーコンタクトがあった領域の底部の前記ゲート絶縁膜を除去するための第5のレジストを形成し、前記第1のダミーコンタクトがあった領域の底部の前記ゲート絶縁膜を除去し、金属を堆積し、エッチバックを行い、ゲート電極及びゲート配線と第1のコンタクトを形成する第5工程を有することを特徴とする請求項5に記載の半導体装置の製造方法。
- [請求項6] 半導体基板上に形成されたフィン状半導体層と、
前記フィン状半導体層の周囲に形成された第1の絶縁膜と、
前記フィン状半導体層上に形成された第1のコンタクトと、
前記第1のコンタクトの周囲に形成されたゲート絶縁膜と、

を有することを特徴とする半導体装置。

[請求項7] 前記第1のコンタクトの上面の面積は前記第1のコンタクトの下面の面積より大きいことを特徴とする請求項6に記載の半導体装置。

[請求項8] 前記フィン状半導体層上に形成された柱状半導体層と、
前記柱状半導体層の周囲に形成されたゲート絶縁膜と、
前記ゲート絶縁膜の周囲に形成された金属からなるゲート電極と、
前記ゲート電極に接続された前記フィン状半導体層に直交する方向に延在する金属からなるゲート配線と、

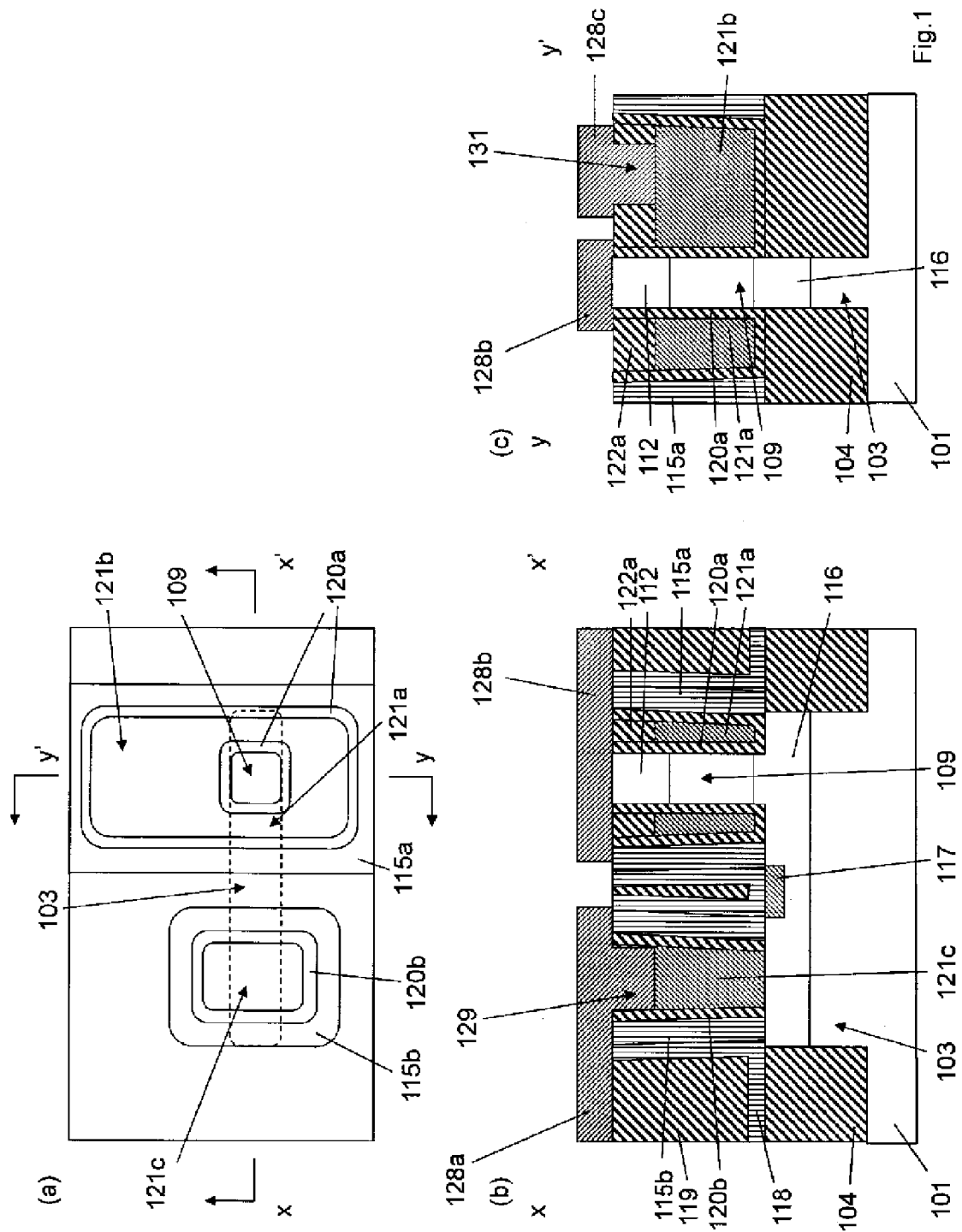
前記柱状半導体層の上部に形成された第1の拡散層と、
前記フィン状半導体層の上部と前記柱状半導体層の下部に形成された第2の拡散層と、

を有し、

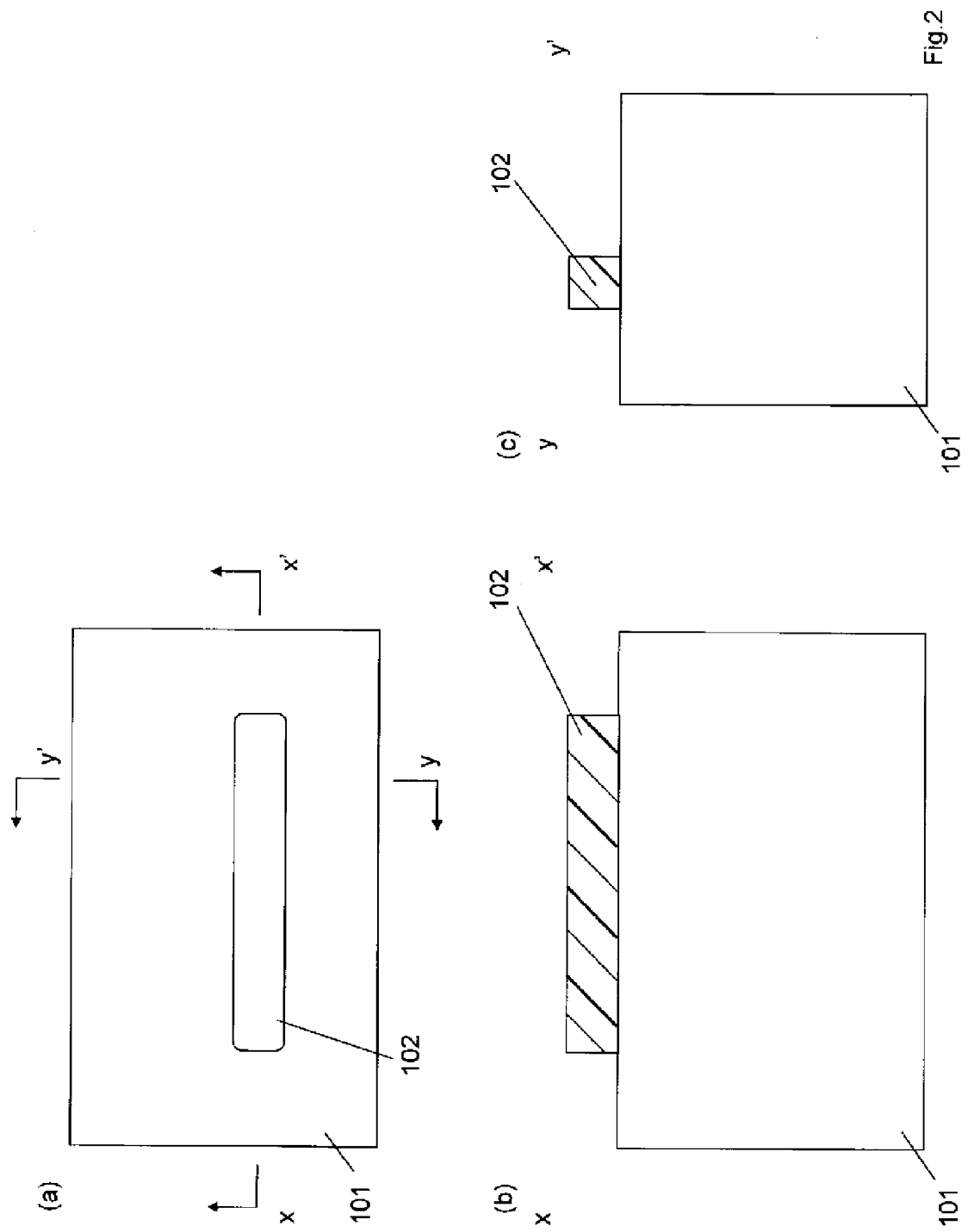
前記ゲート電極と前記ゲート配線の上面の面積は前記ゲート電極と前記ゲート配線の下面の面積より大きいことを特徴とする請求項6に記載の半導体装置。

[請求項9] 前記ゲート電極と前記ゲート配線の周囲と底部に形成された前記ゲート絶縁膜とをさらに有することを特徴とする請求項8に記載の半導体装置。

[図1]



[図2]



[図3]

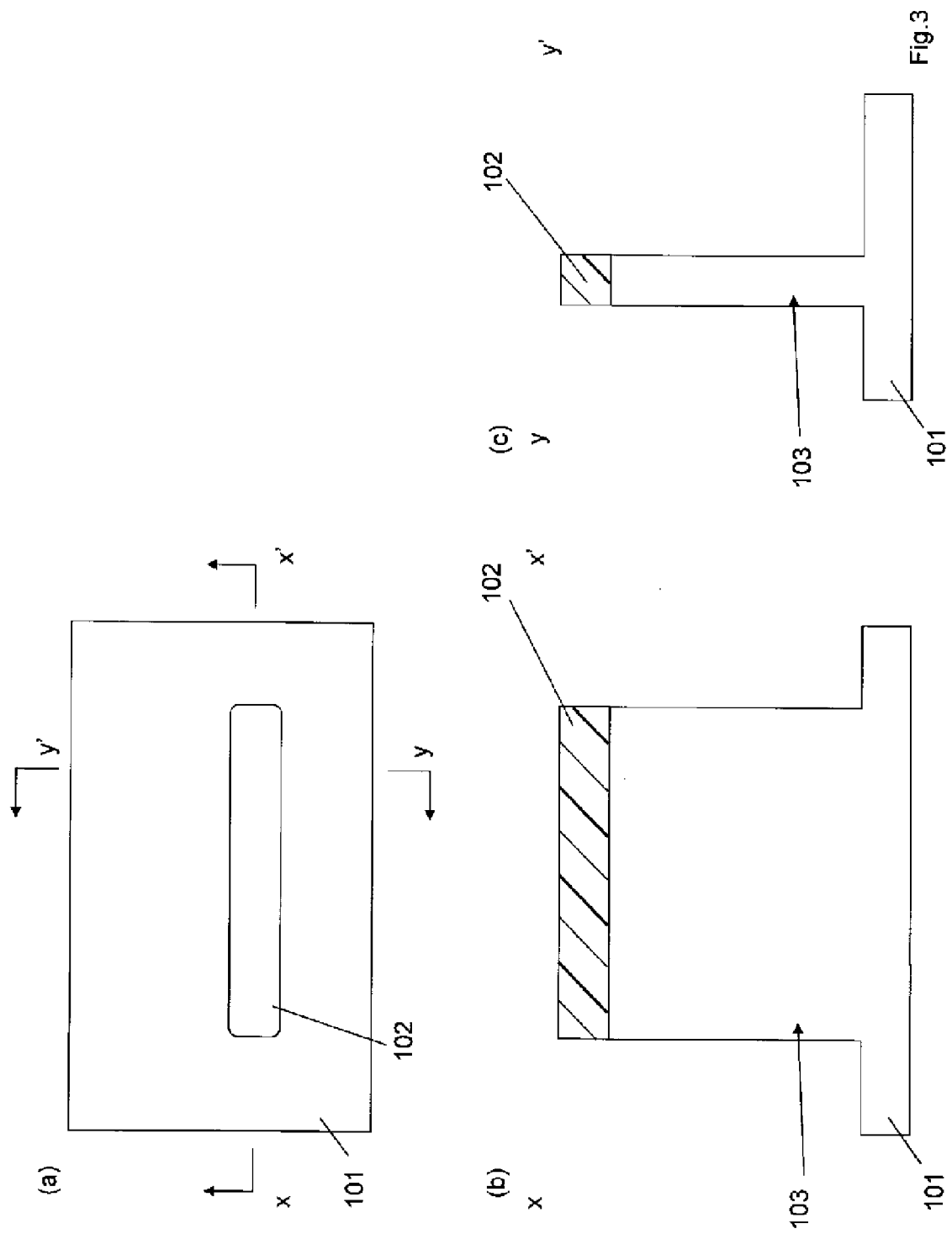
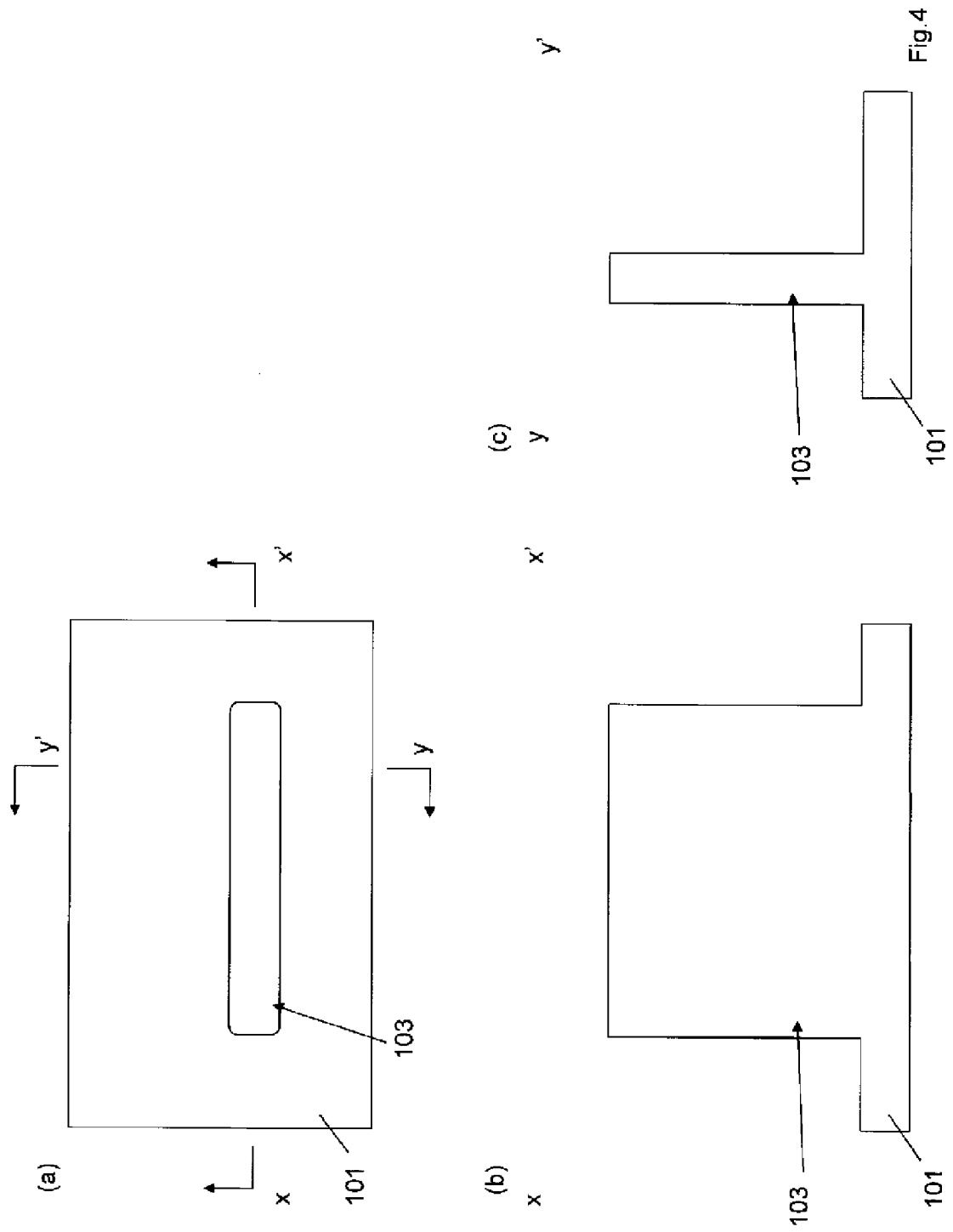
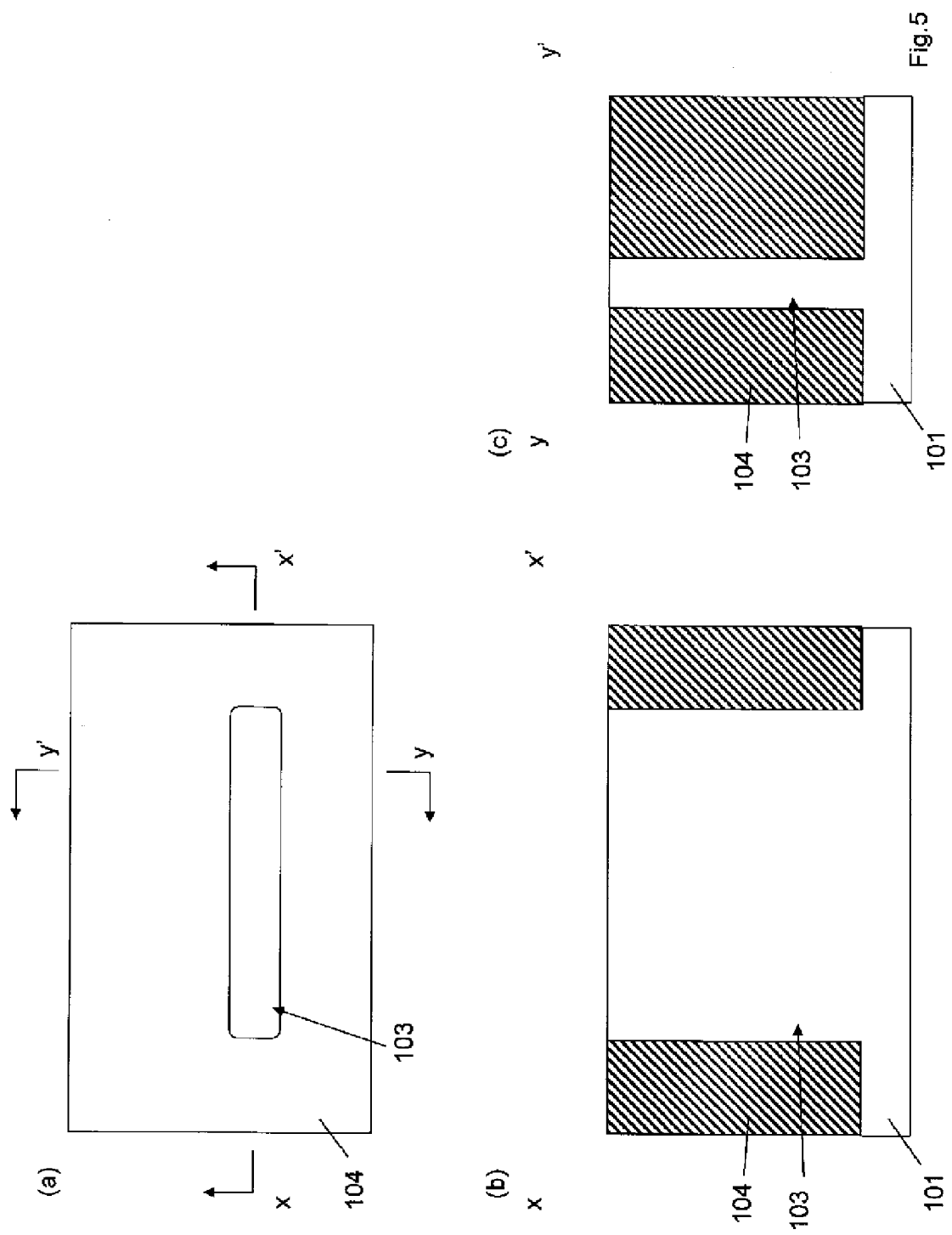


Fig. 3

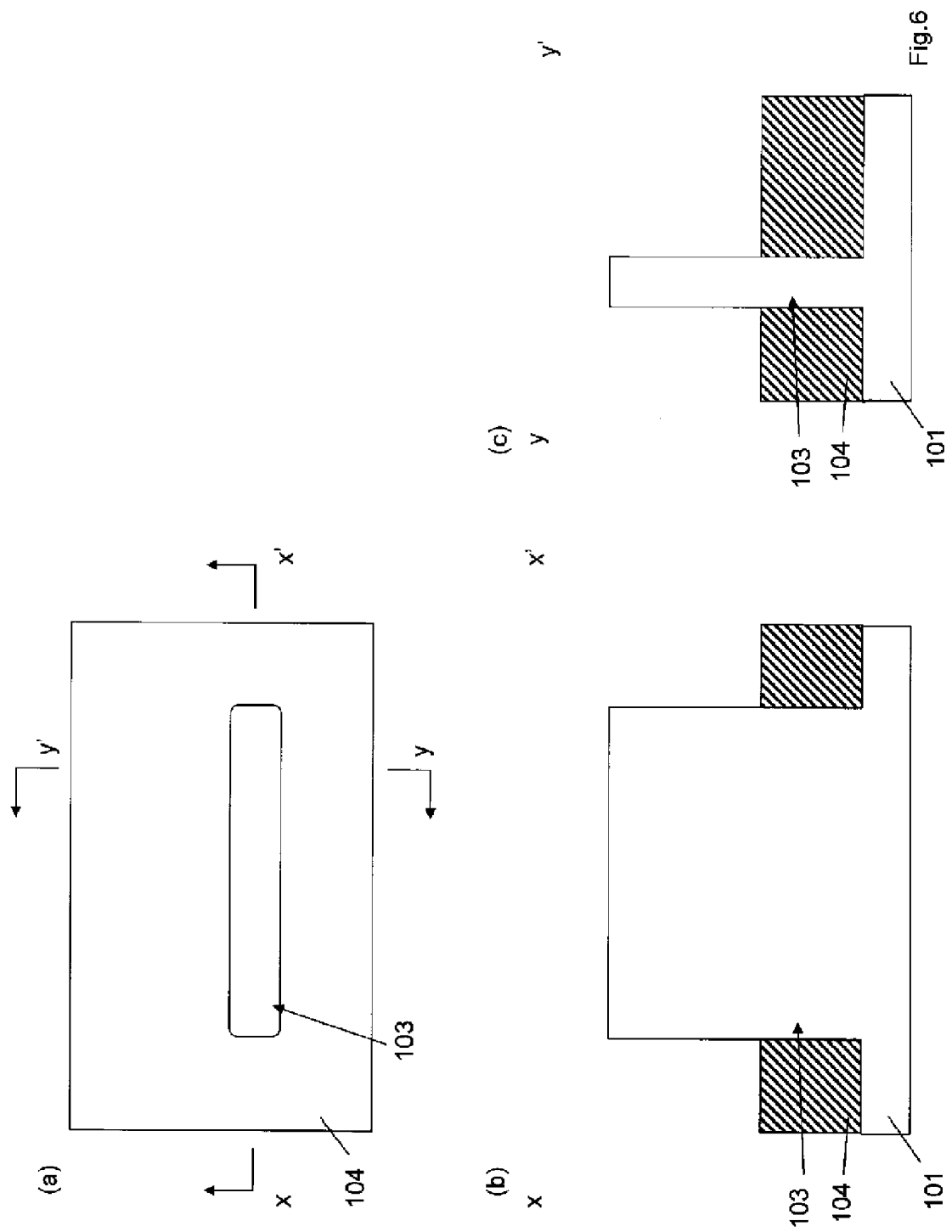
[図4]



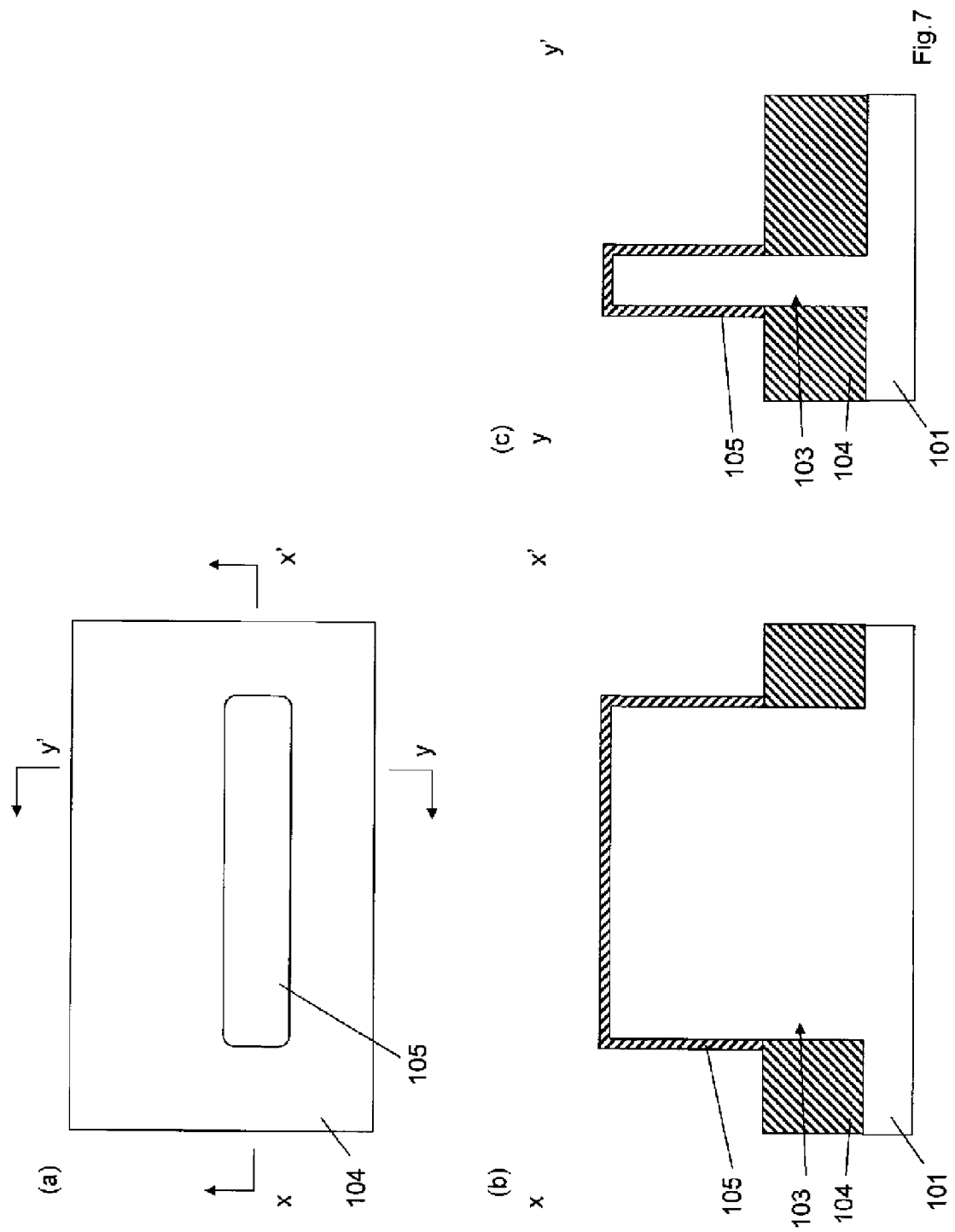
[図5]



[図6]



[図7]



[図8]

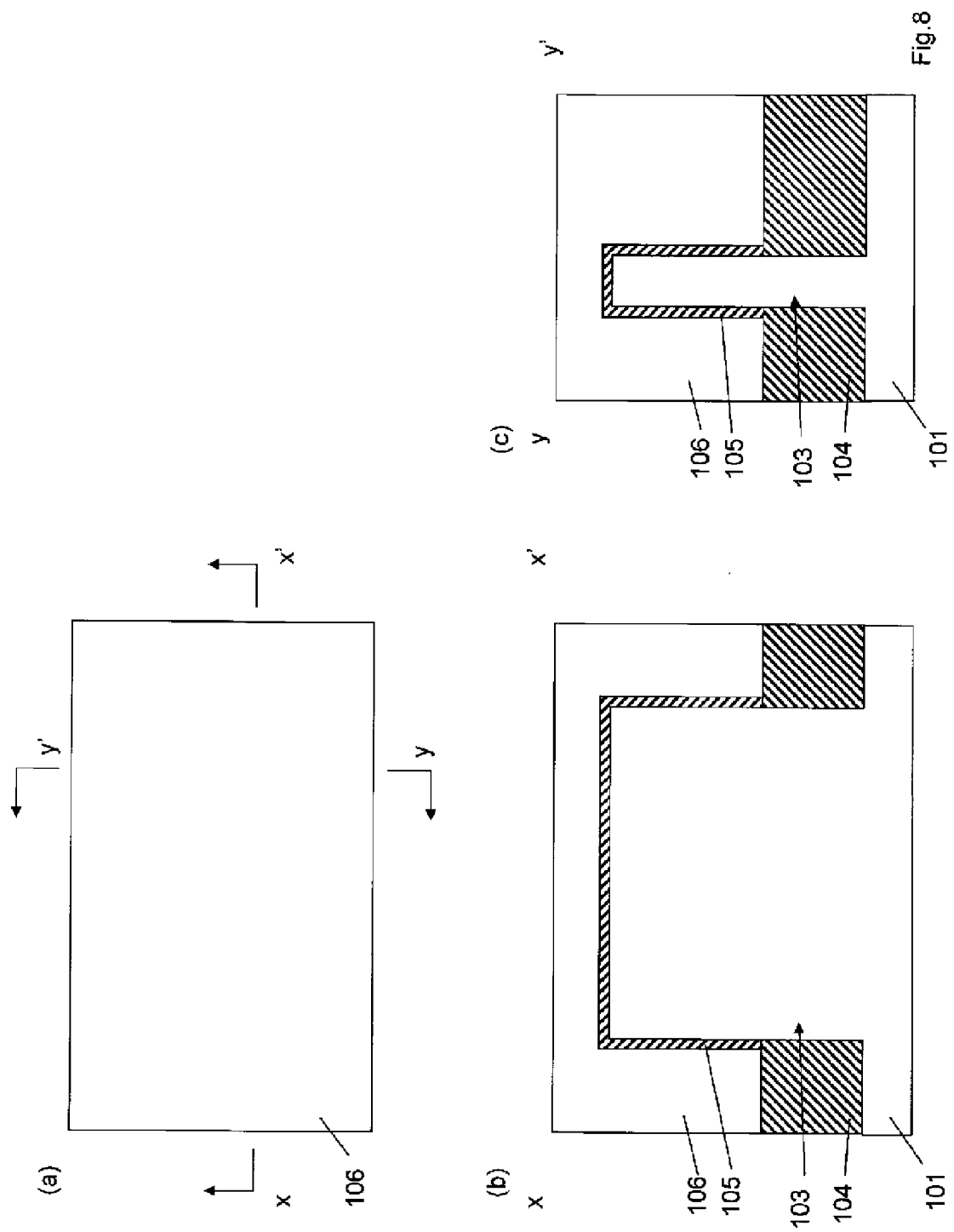
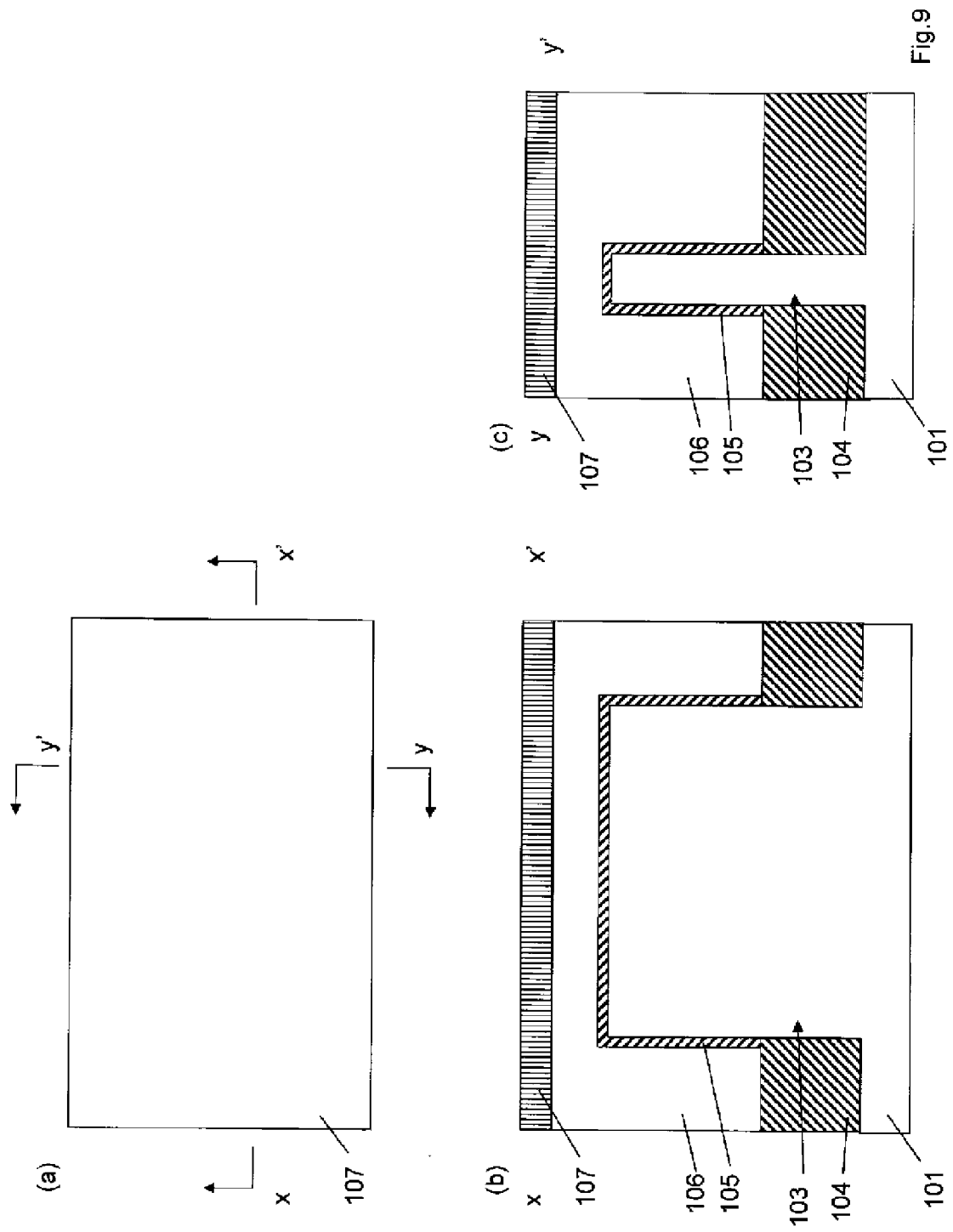
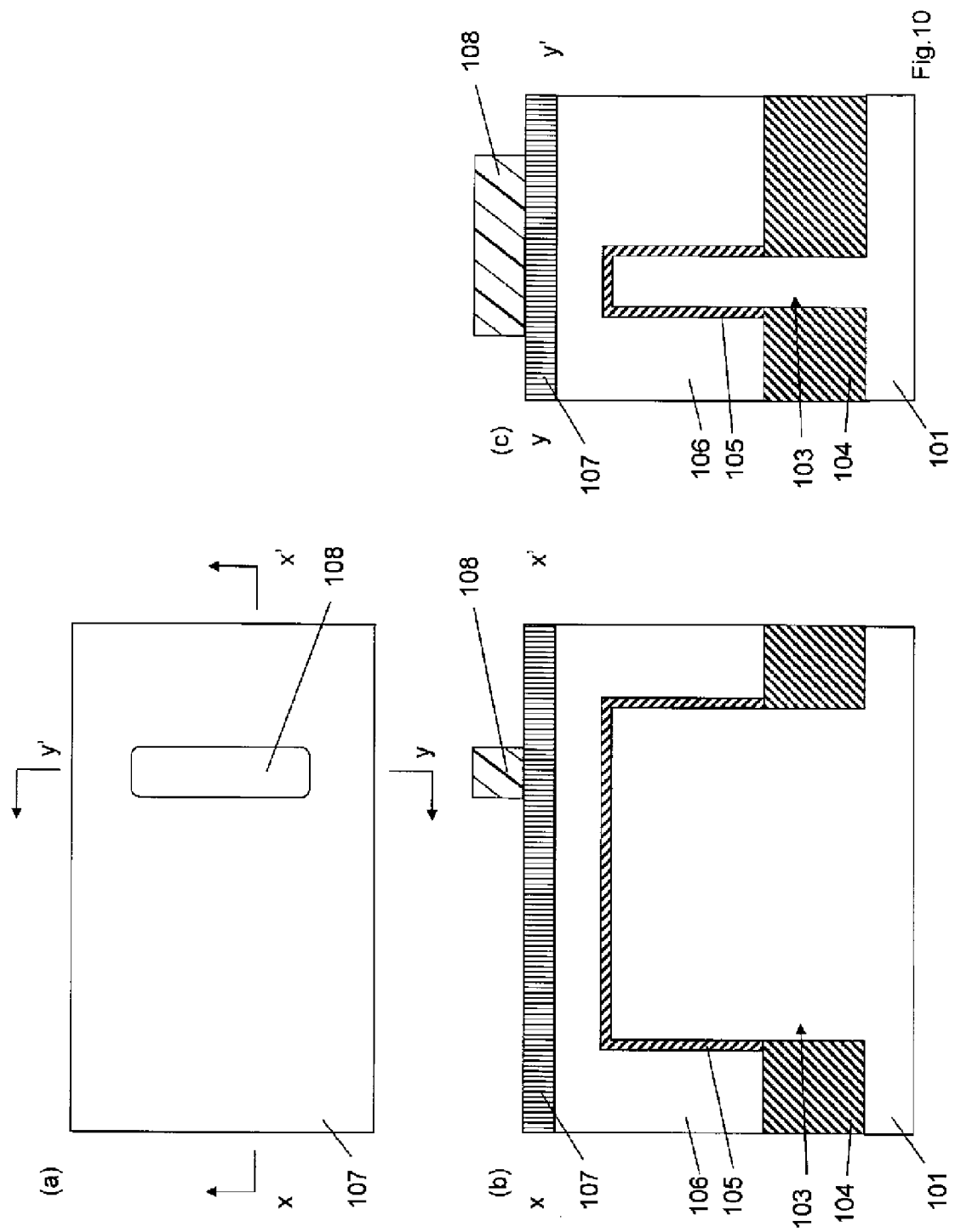


Fig. 8

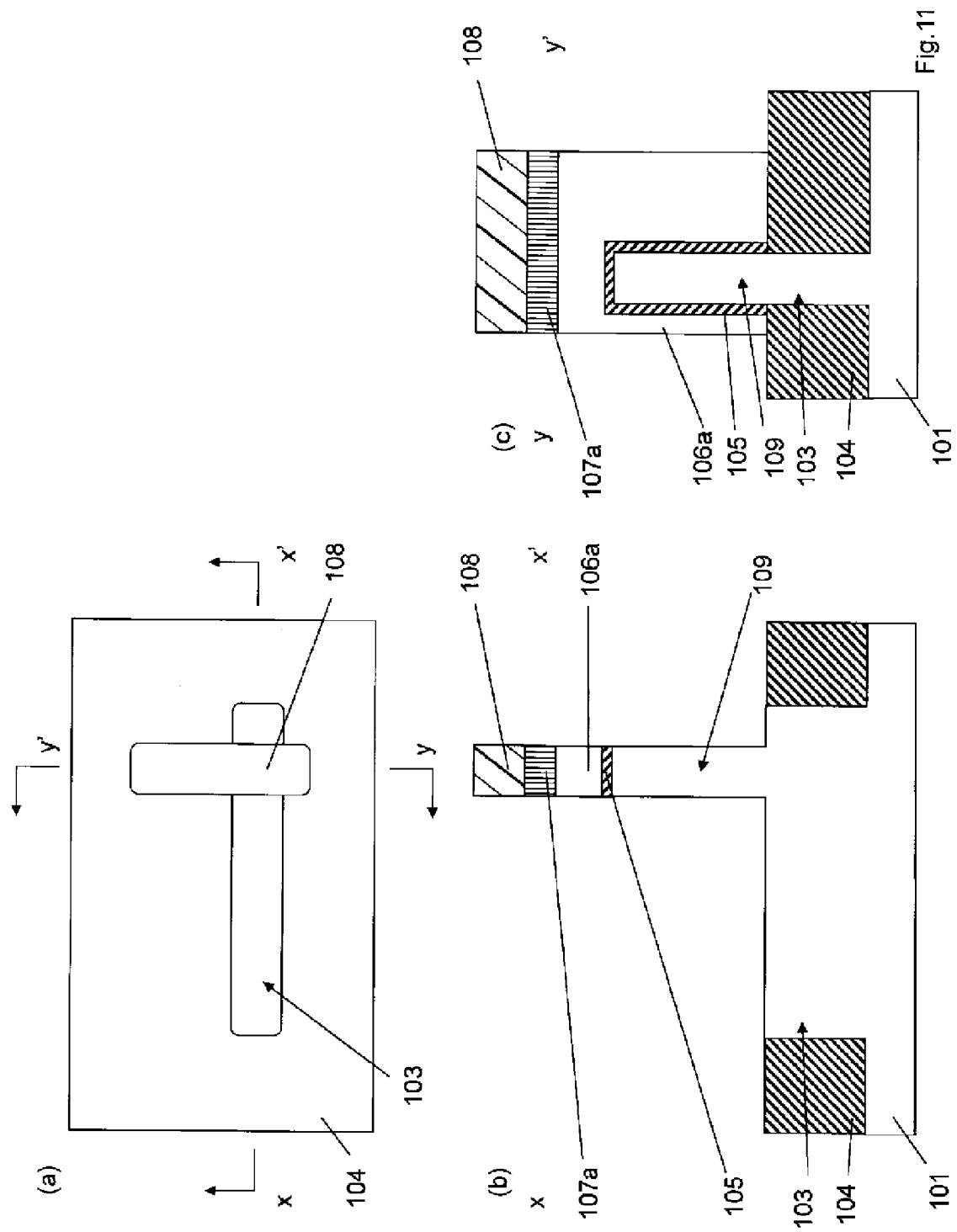
[図9]



[図10]



[図11]



[図12]

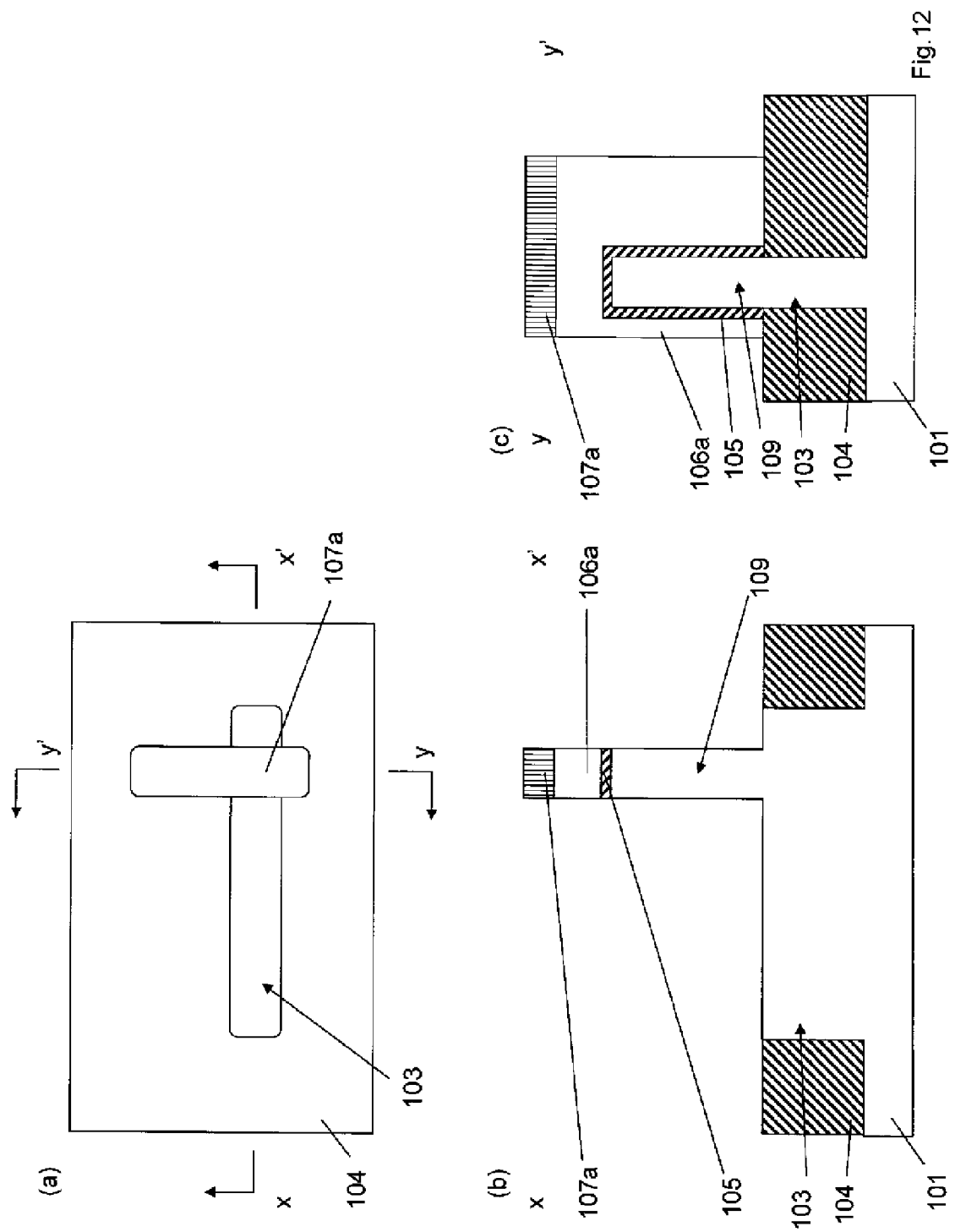
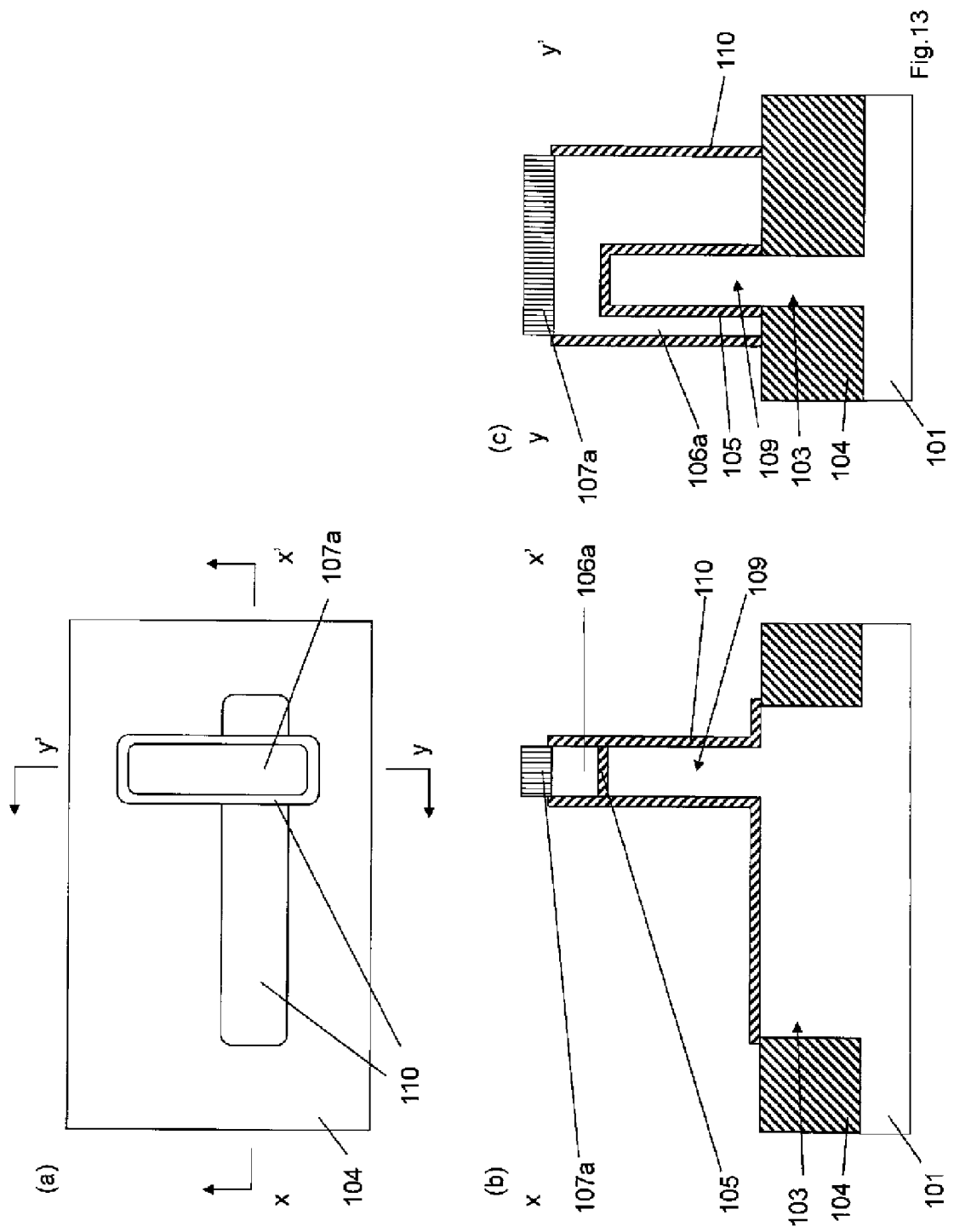
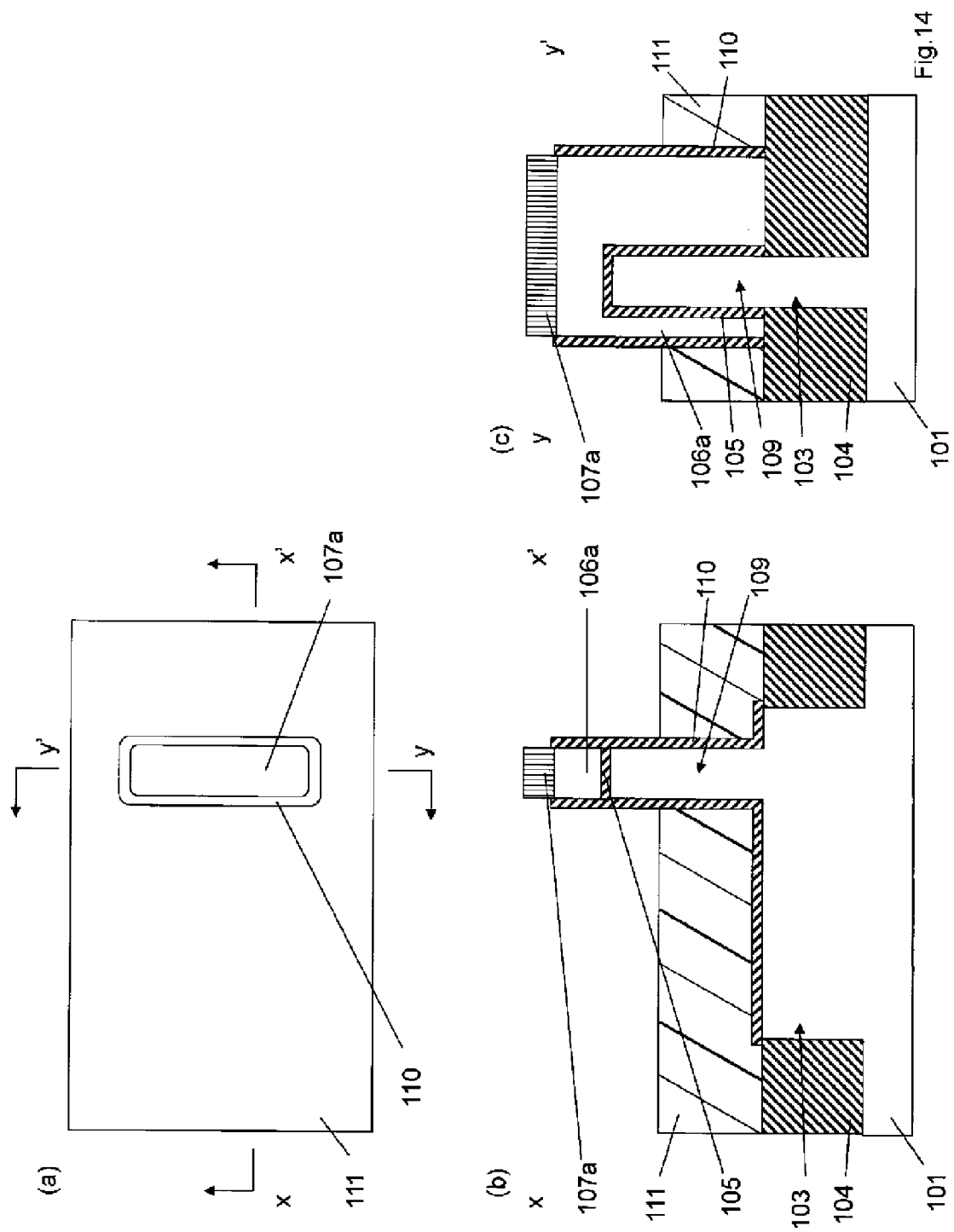


Fig.12

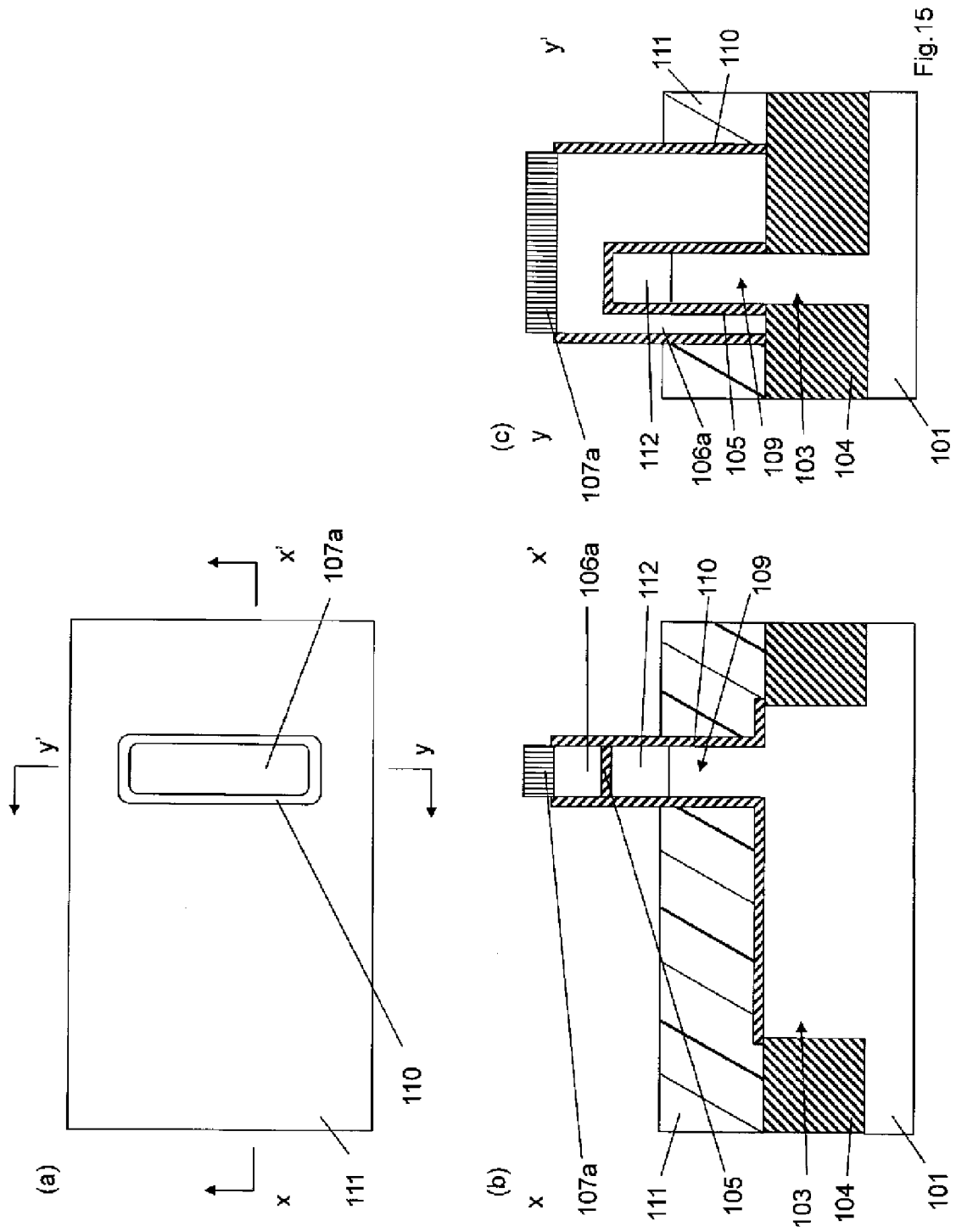
[図13]



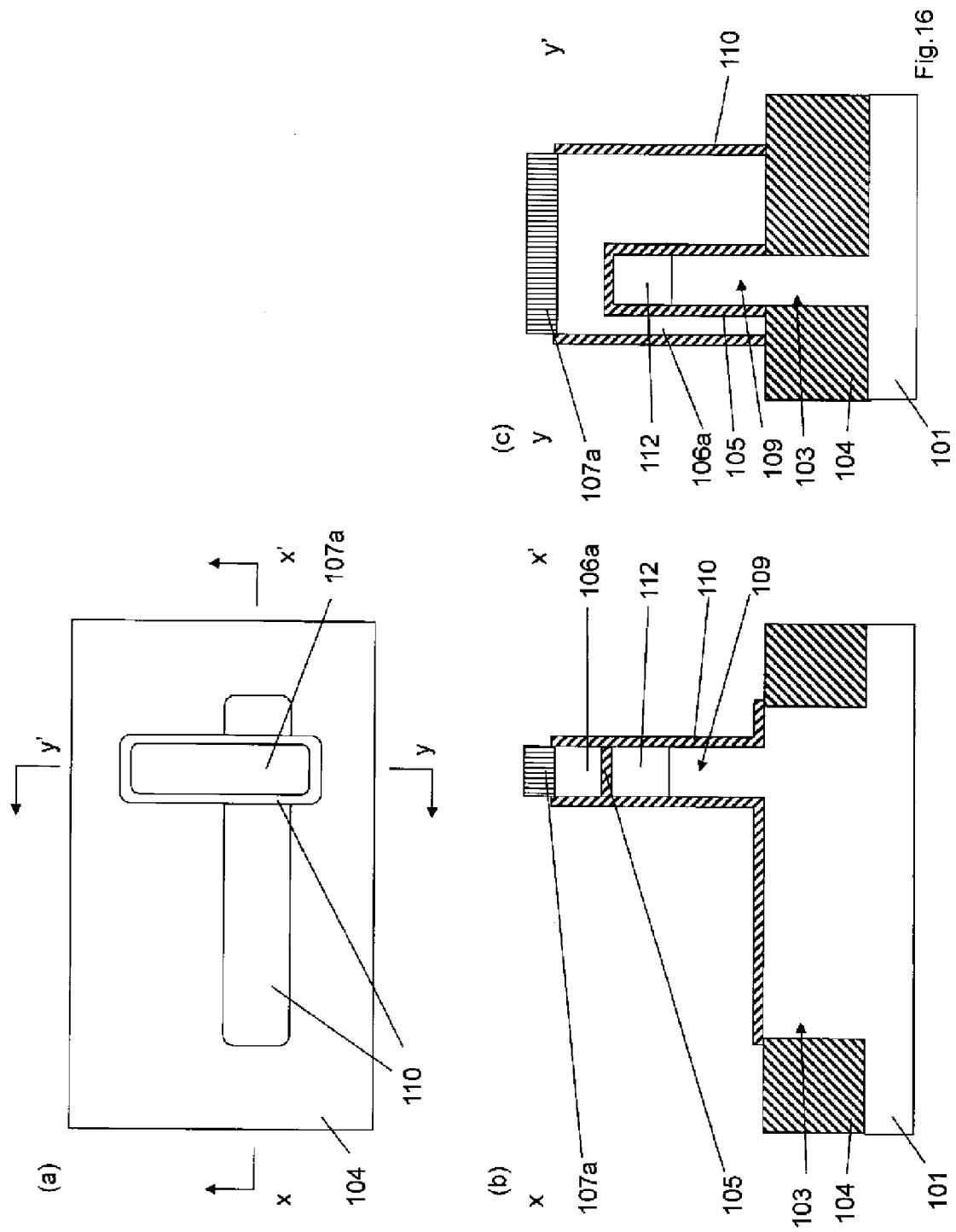
[図14]



[図15]



[図16]



[図17]

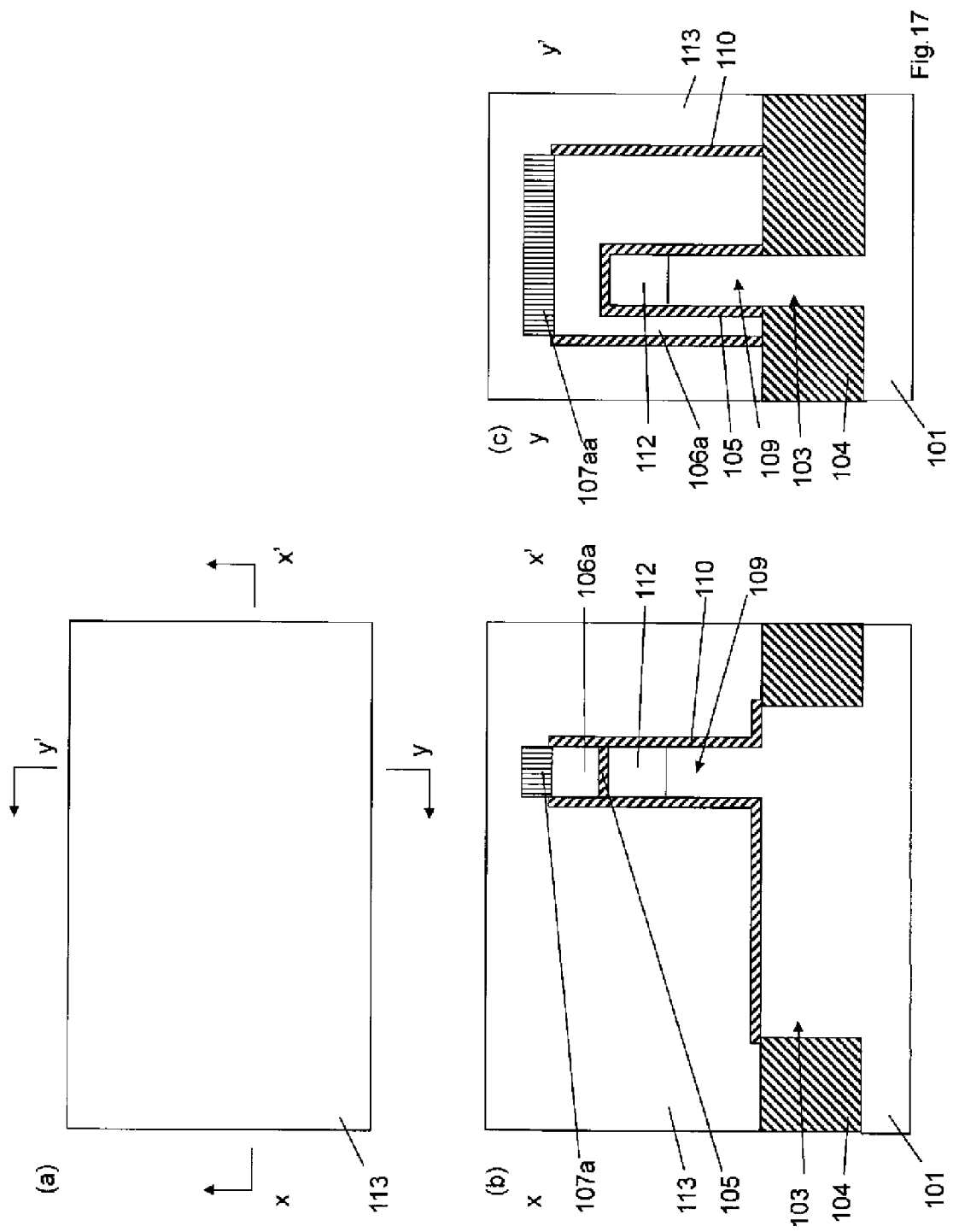


Fig. 17

[図18]

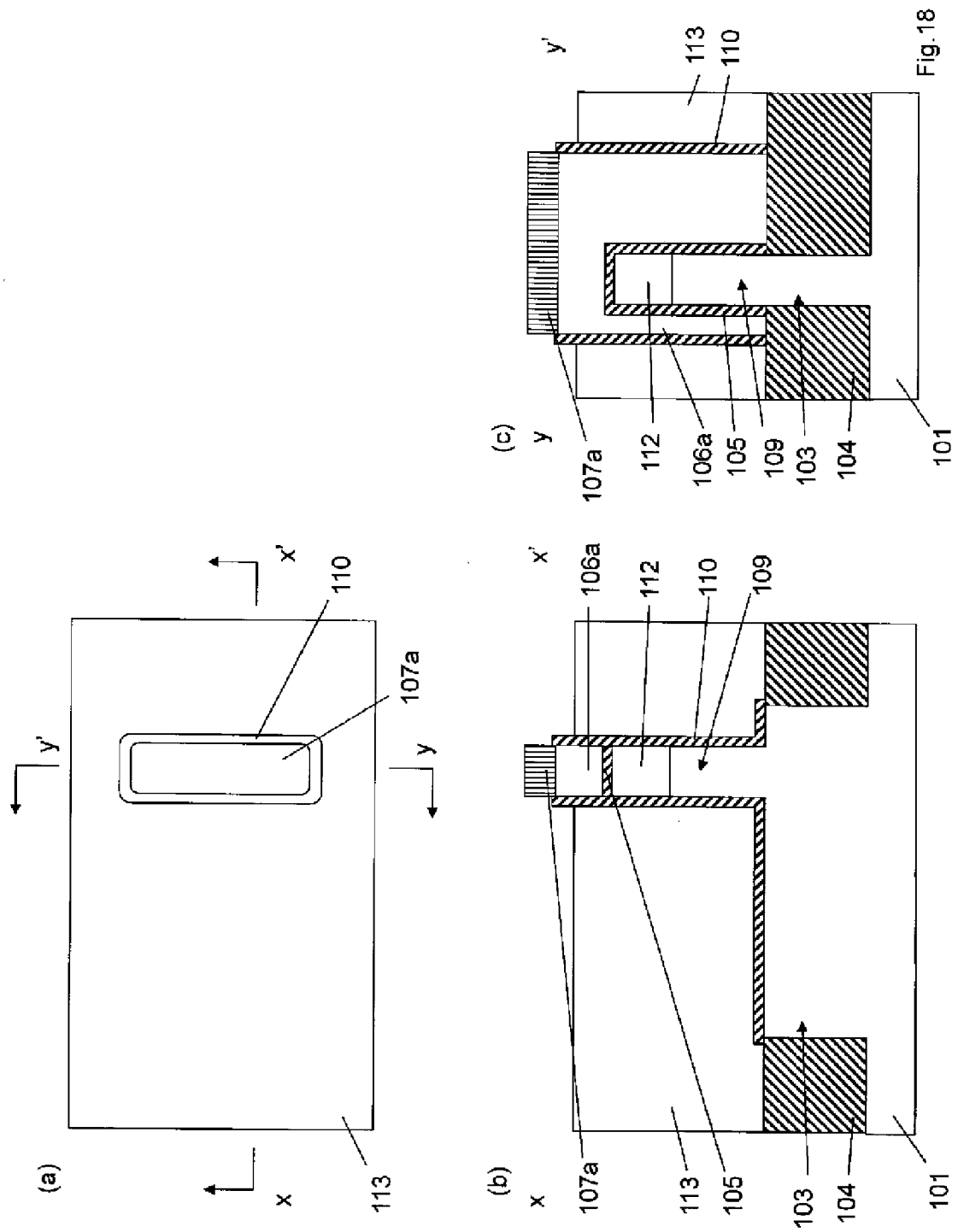
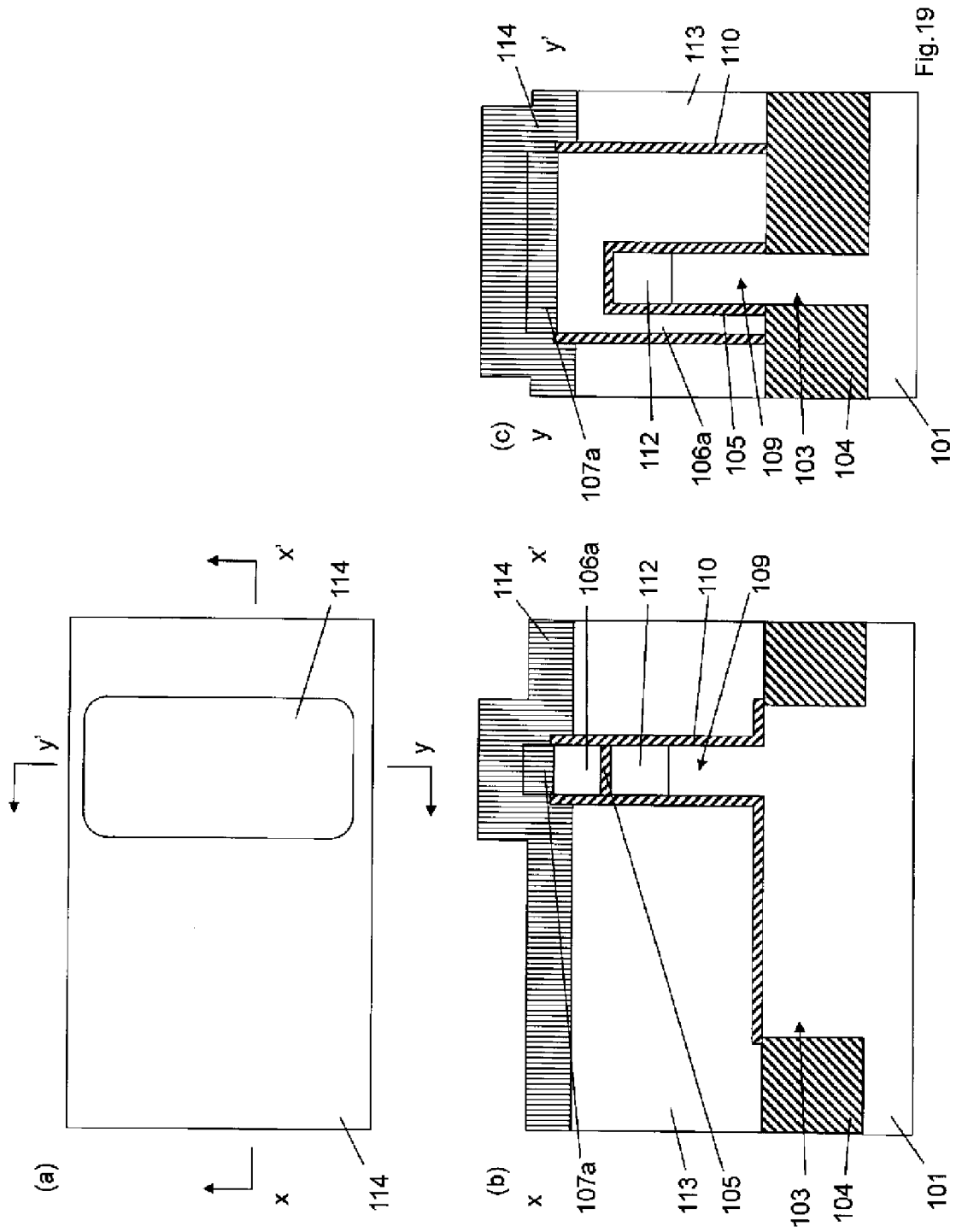
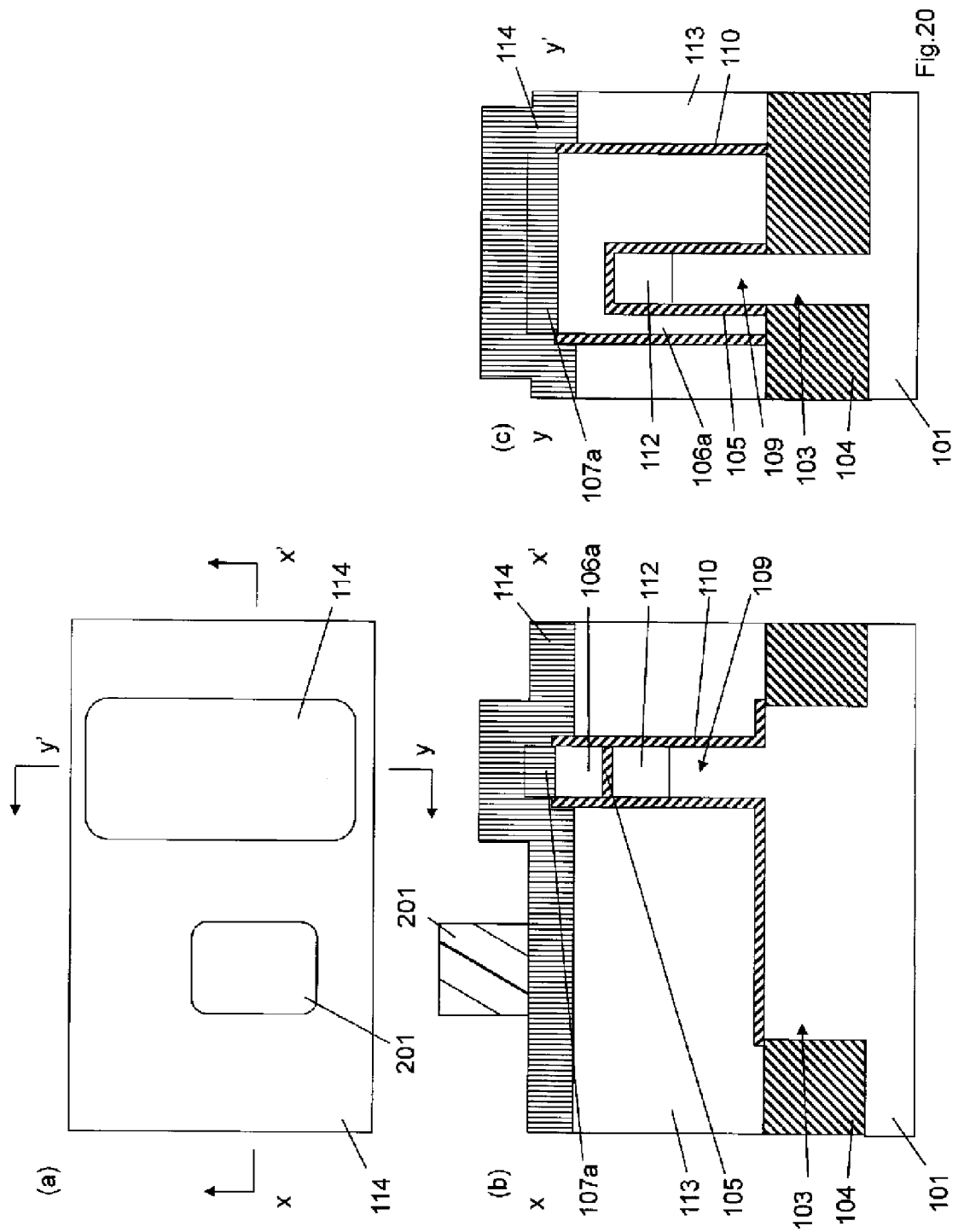


Fig.18

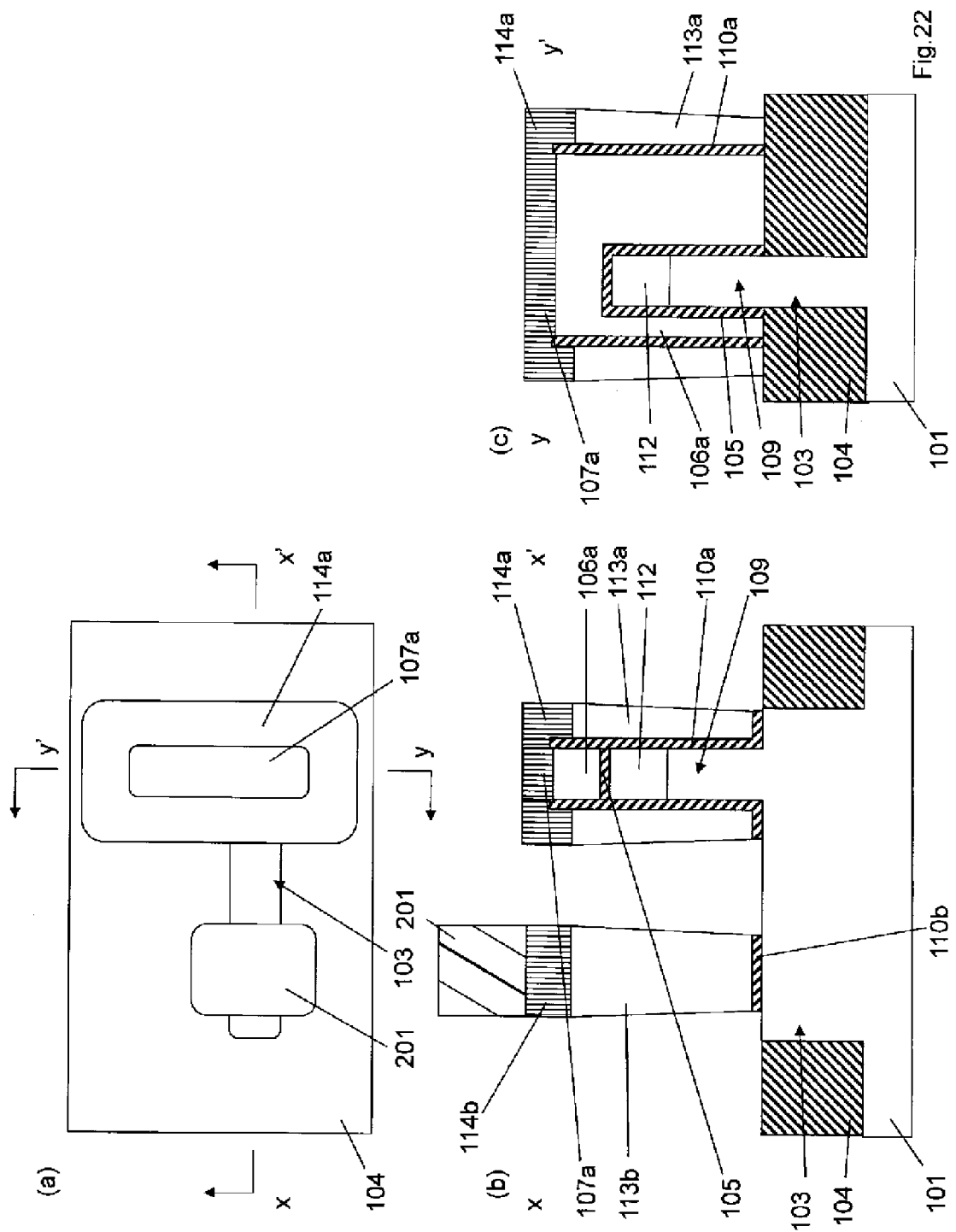
[図19]



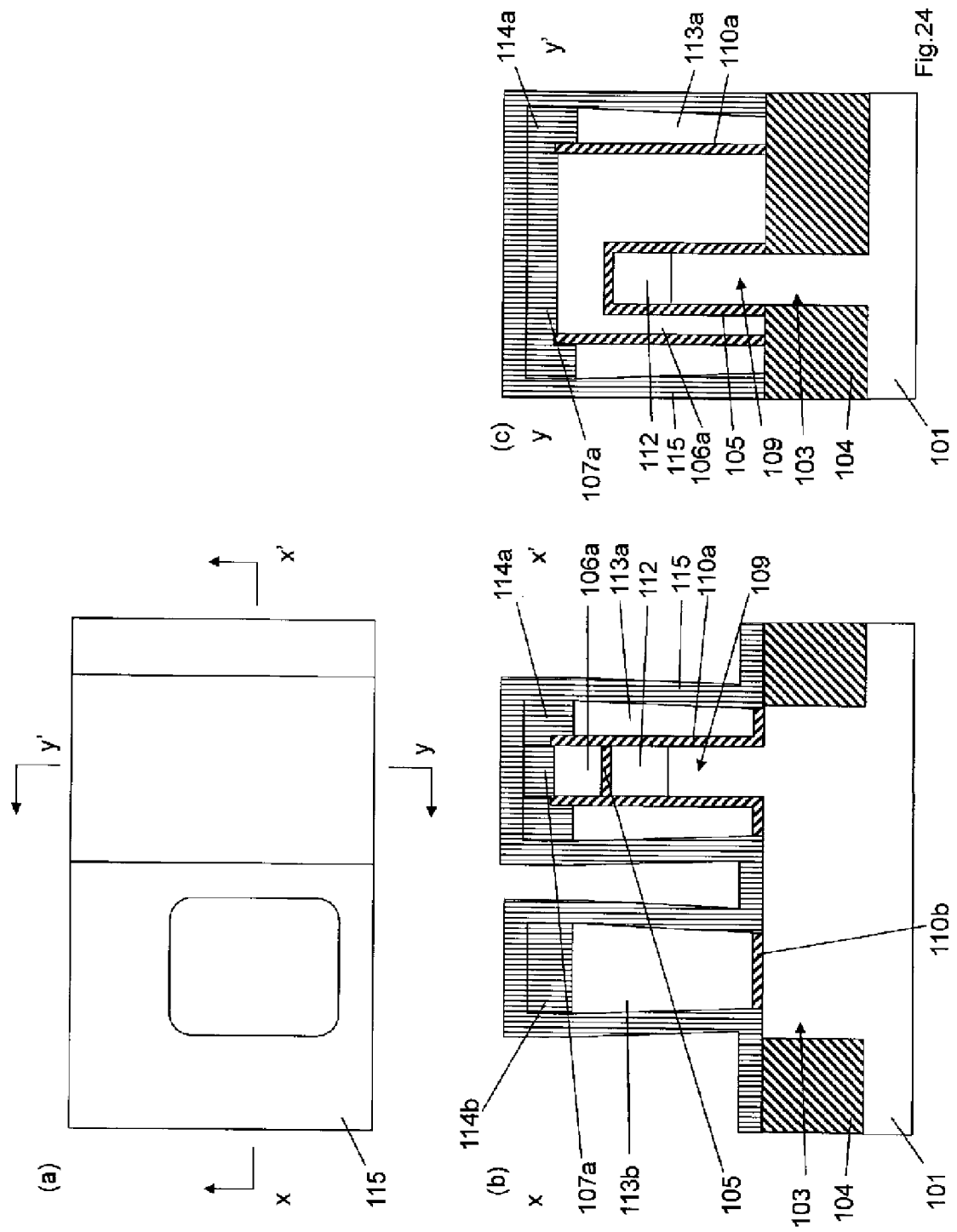
[図20]



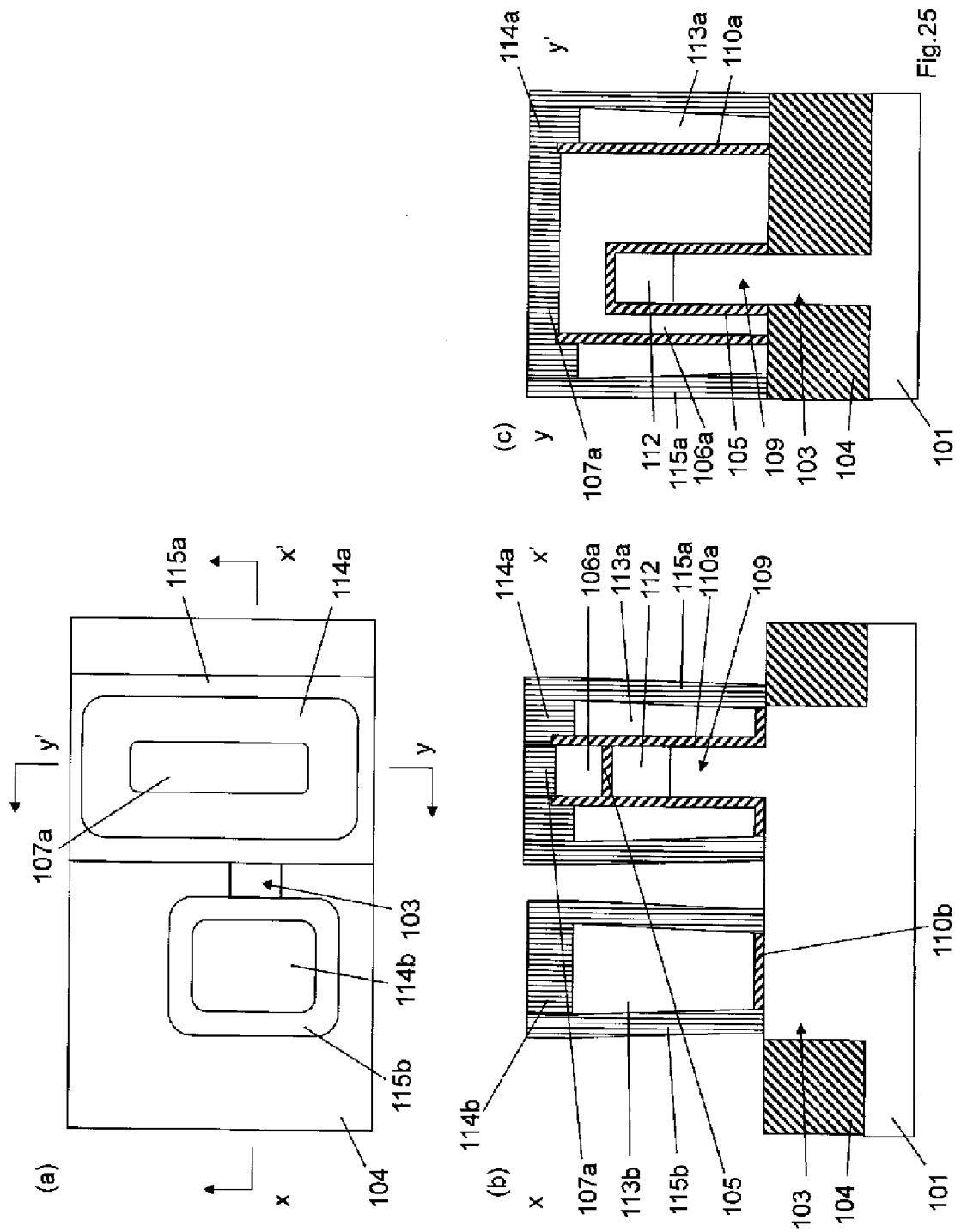
[図22]



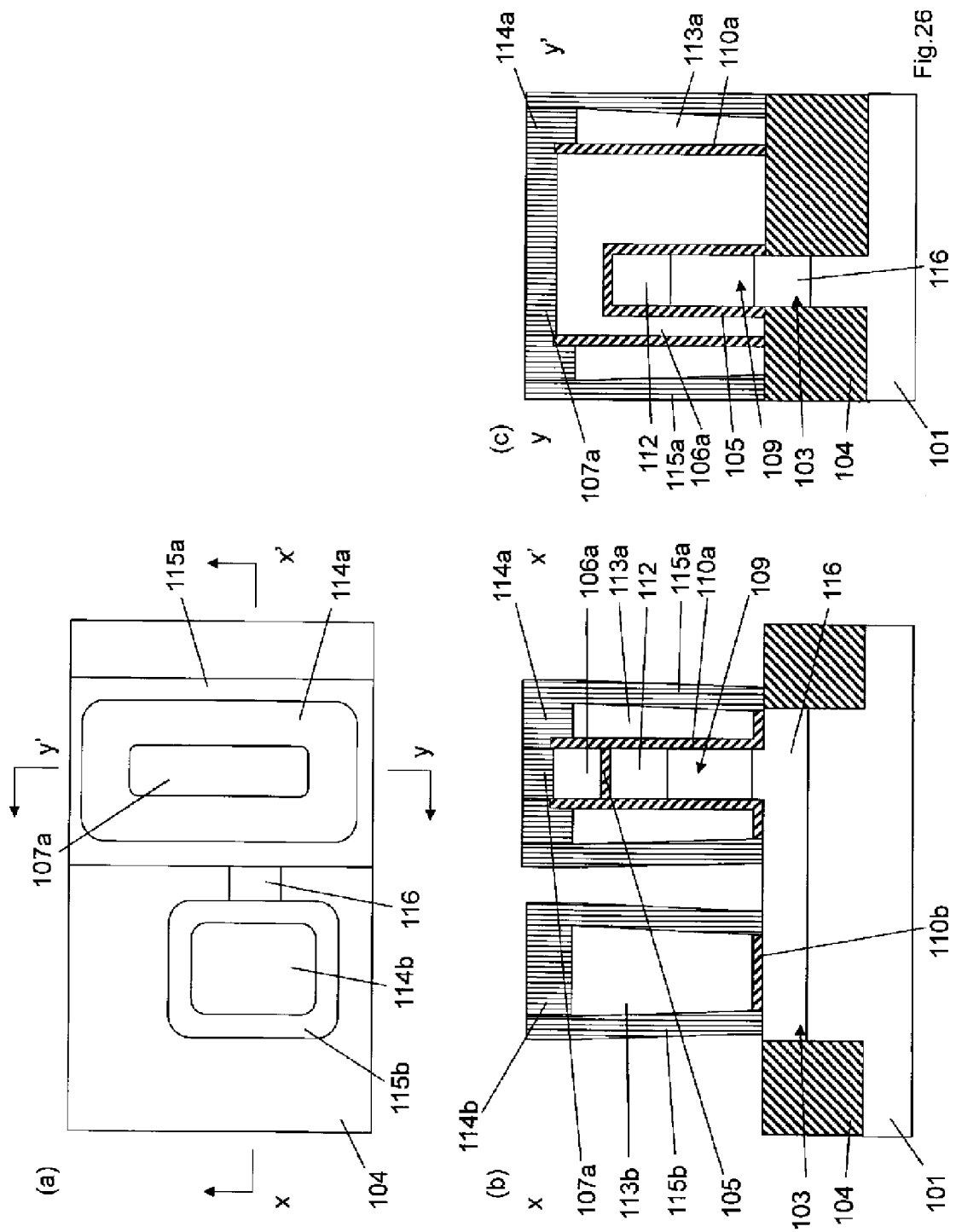
[図24]



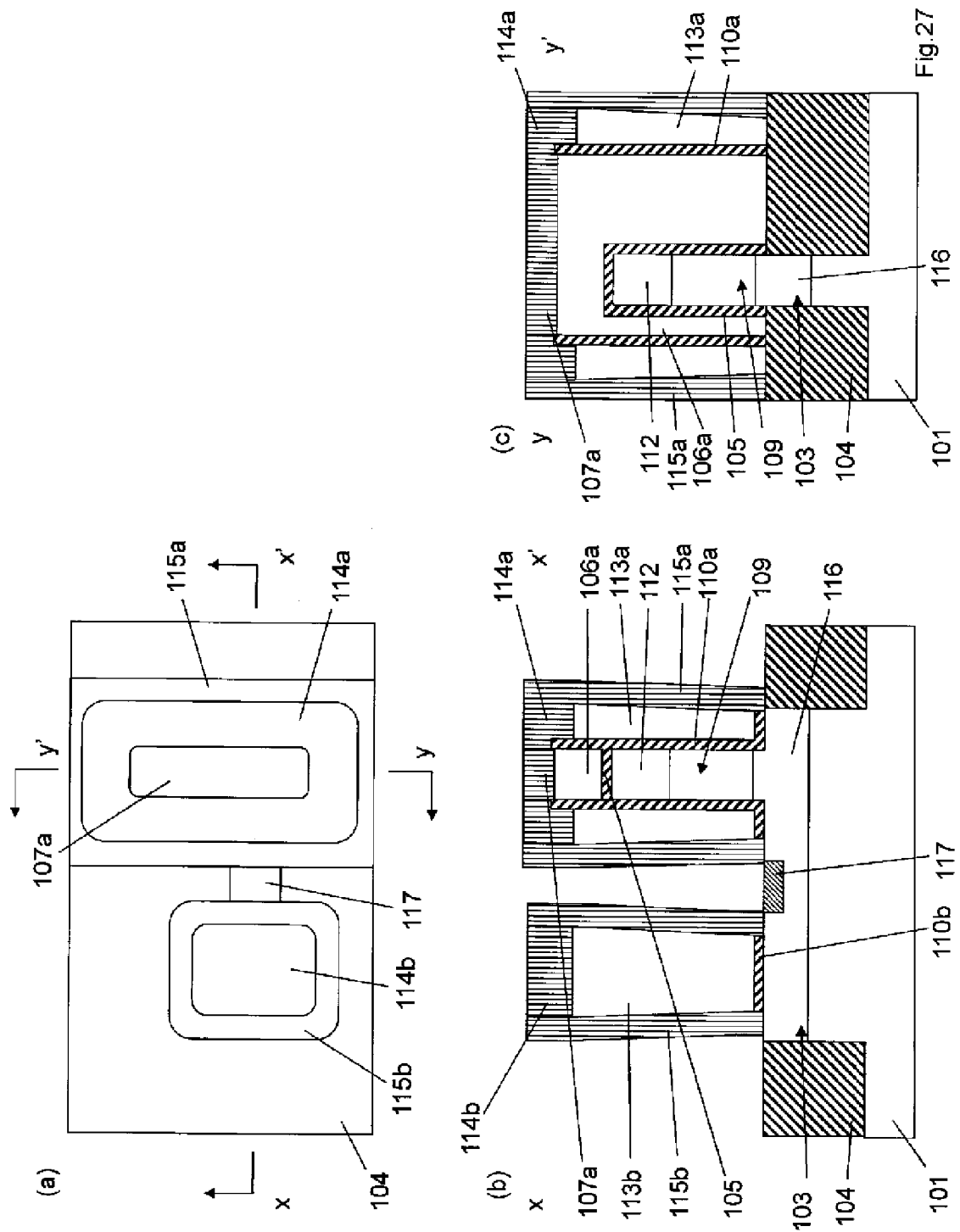
[図25]



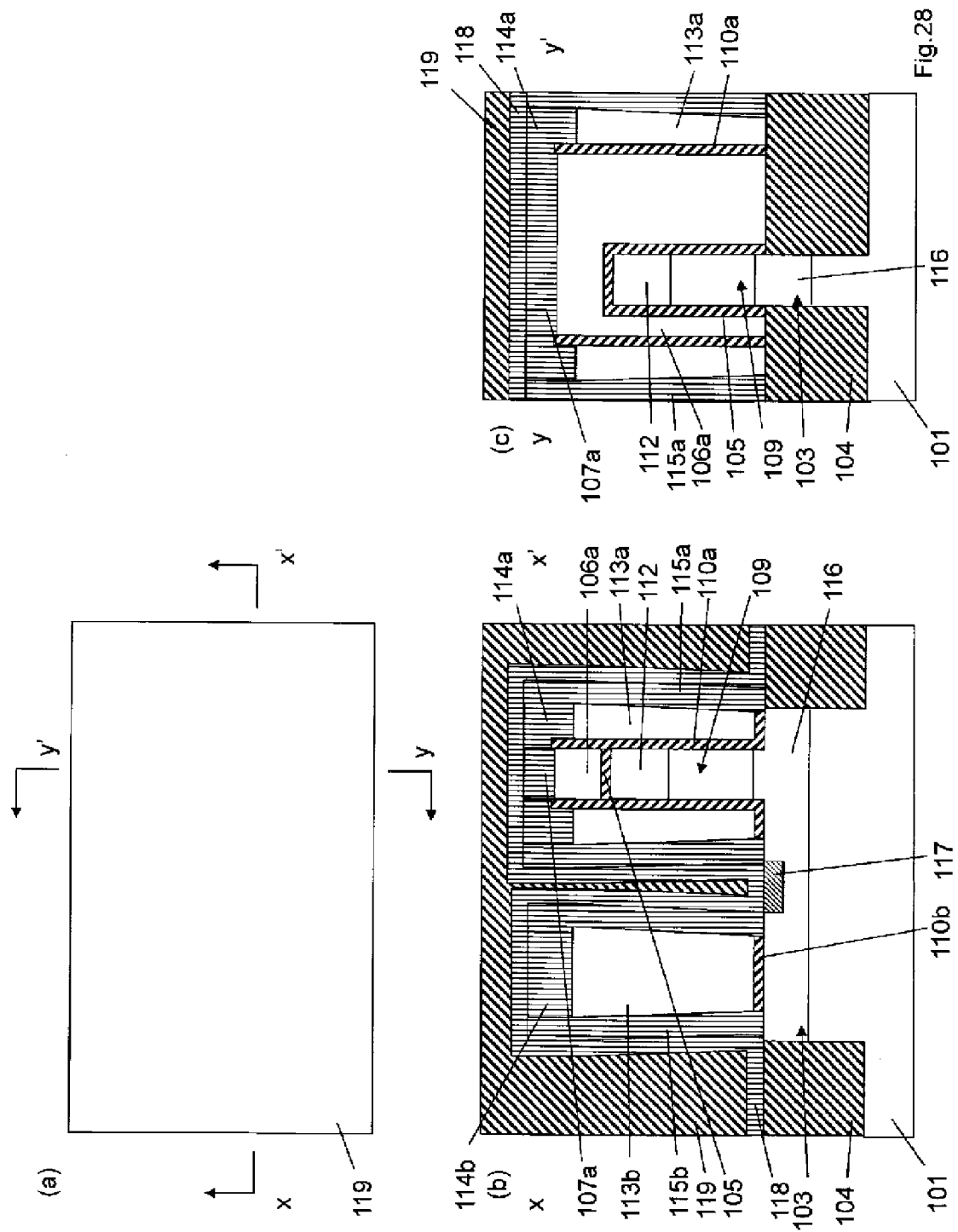
[図26]



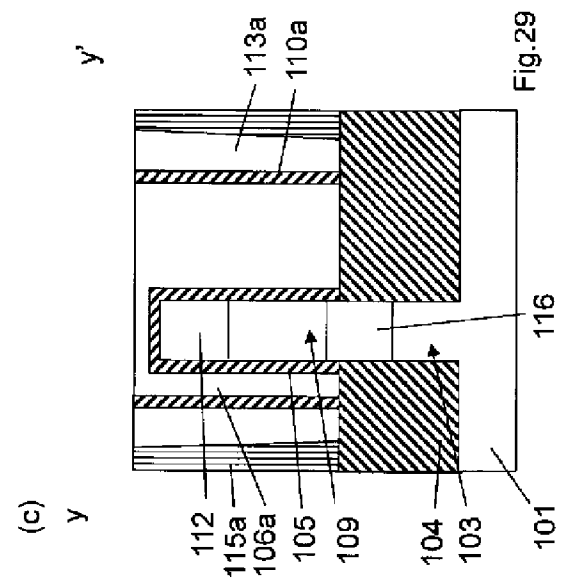
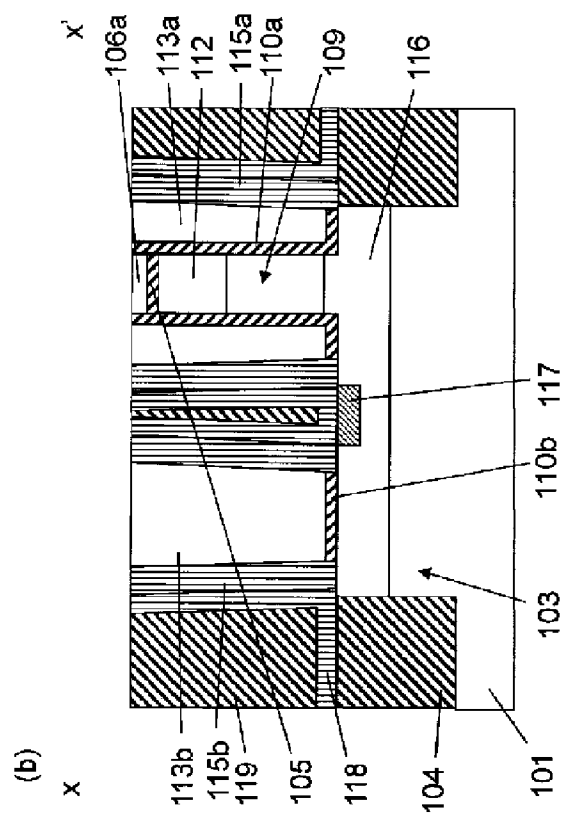
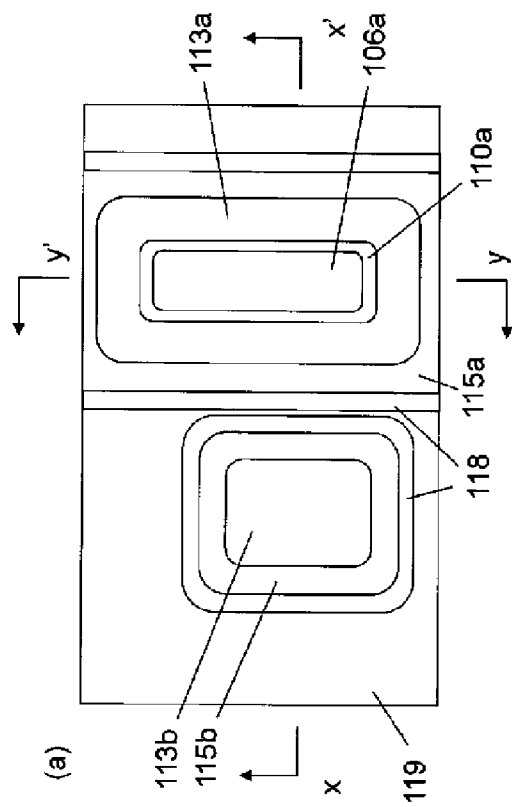
[図27]



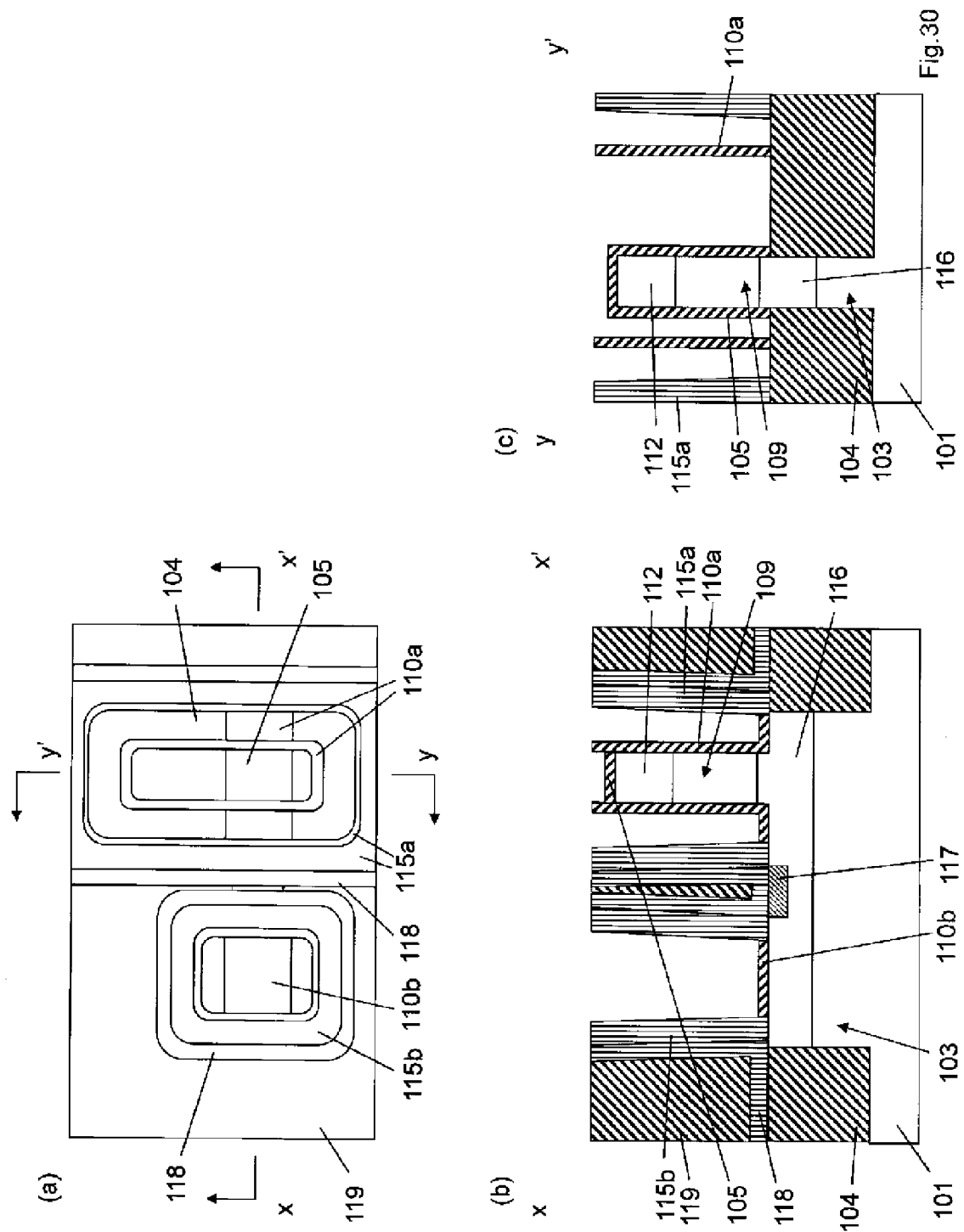
[図28]



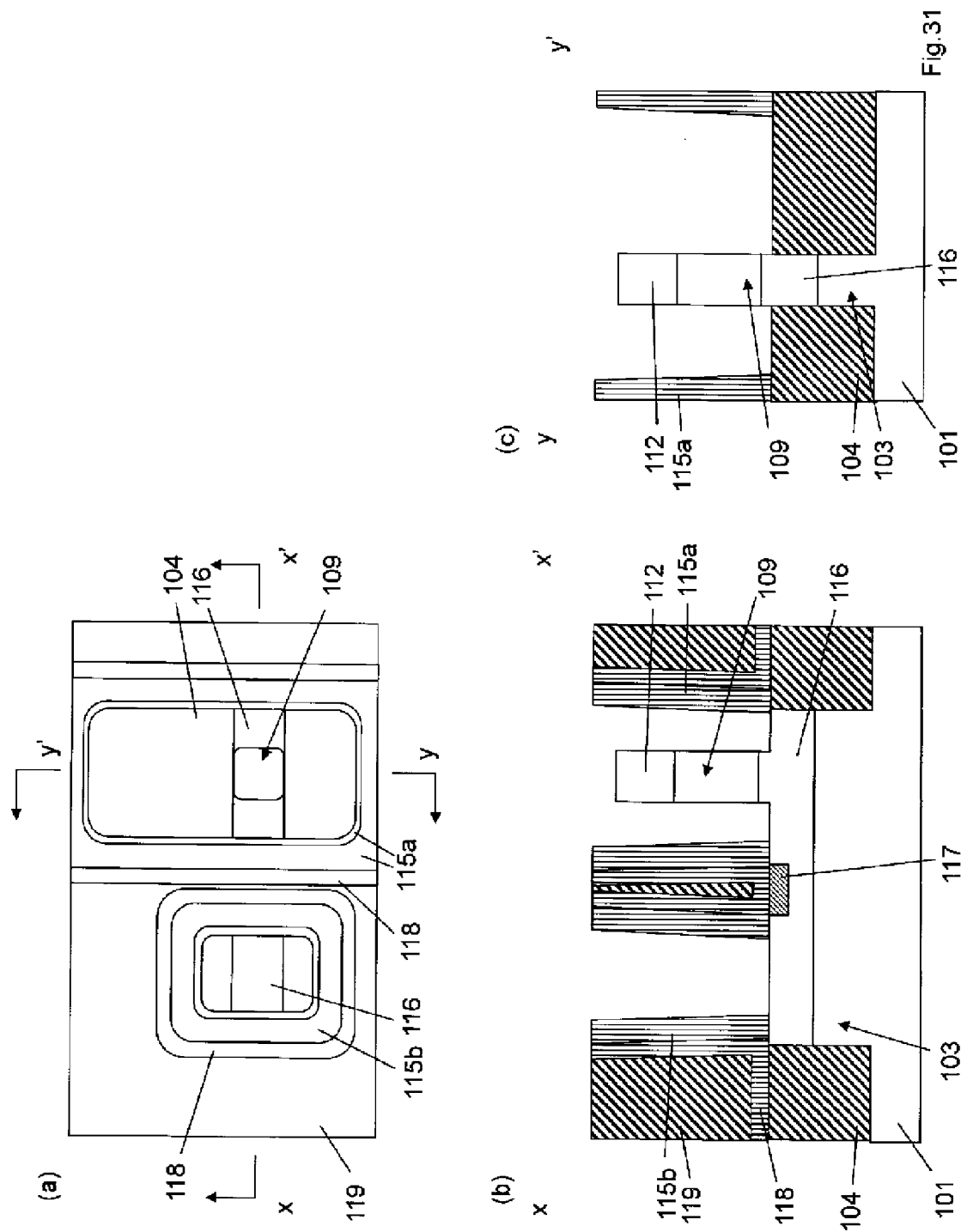
[図29]



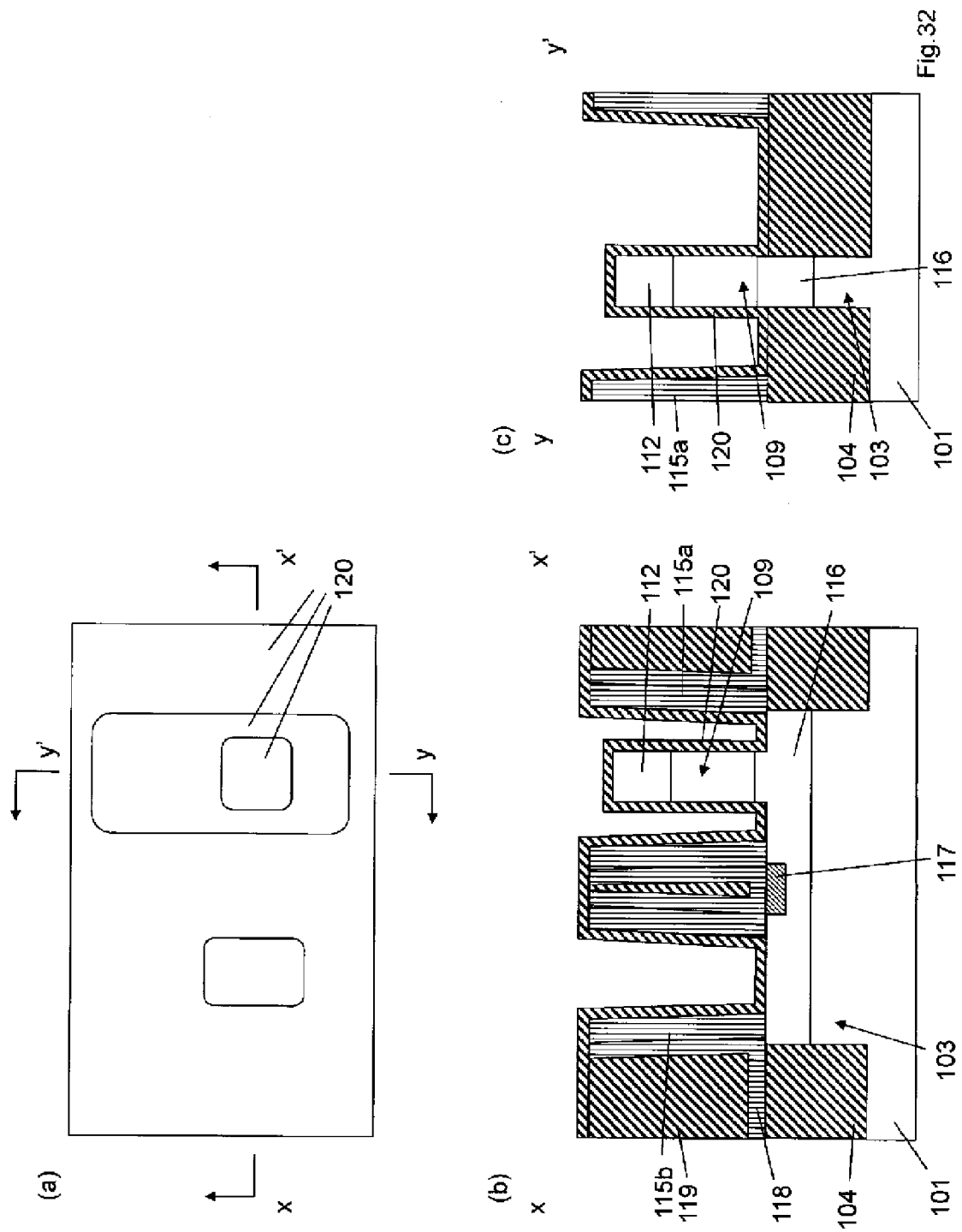
[図30]



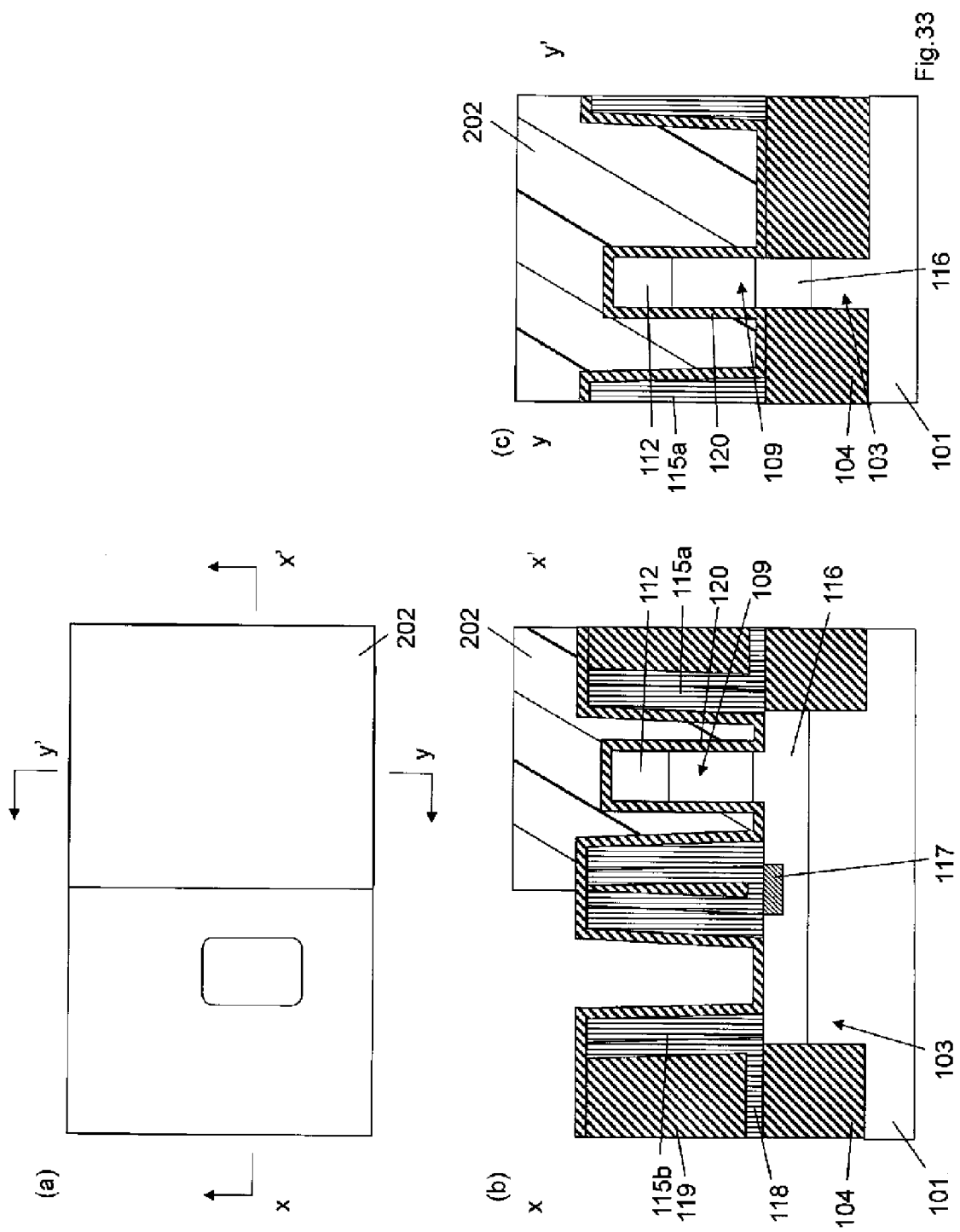
[図31]



[図32]



[図33]



[図34]

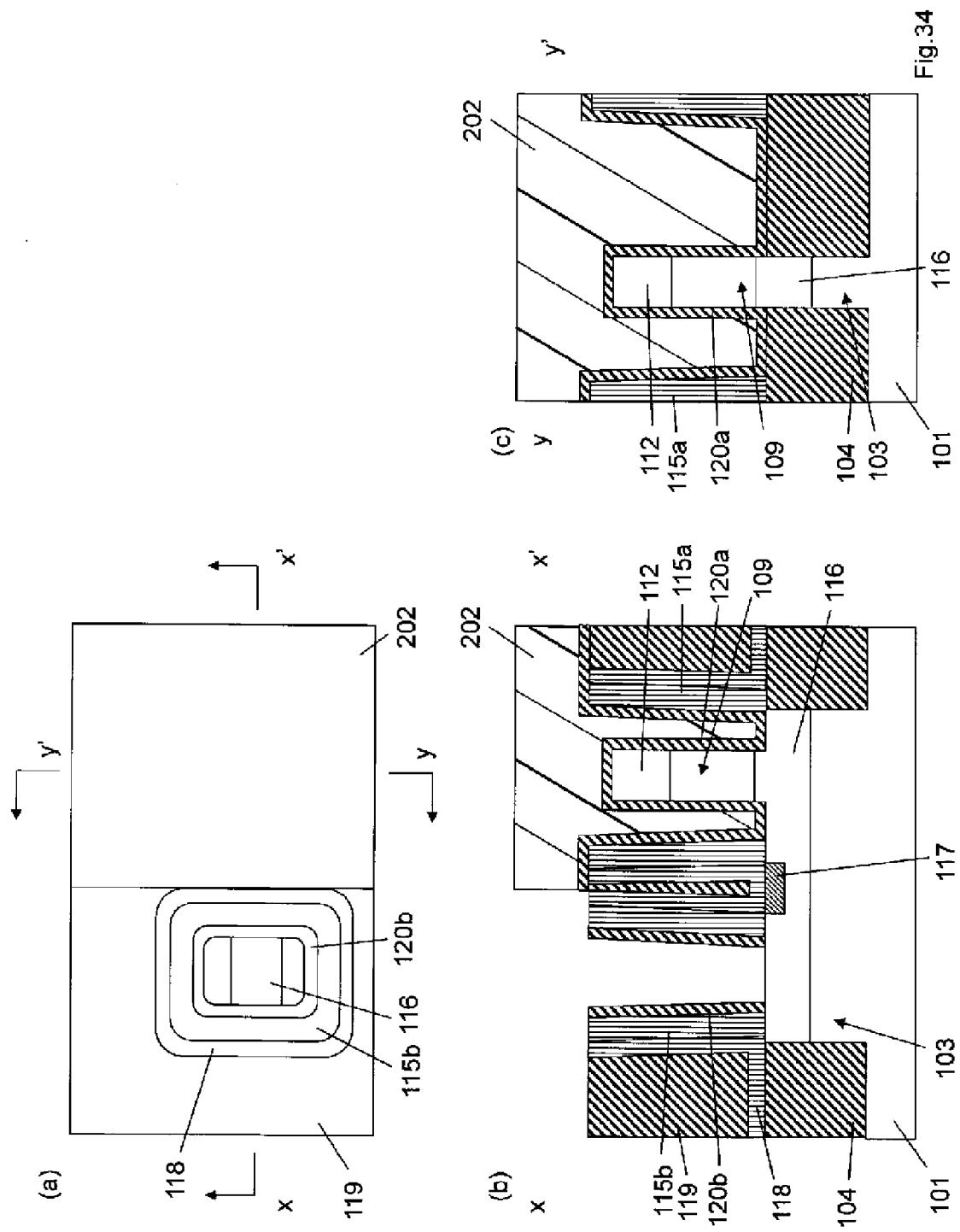
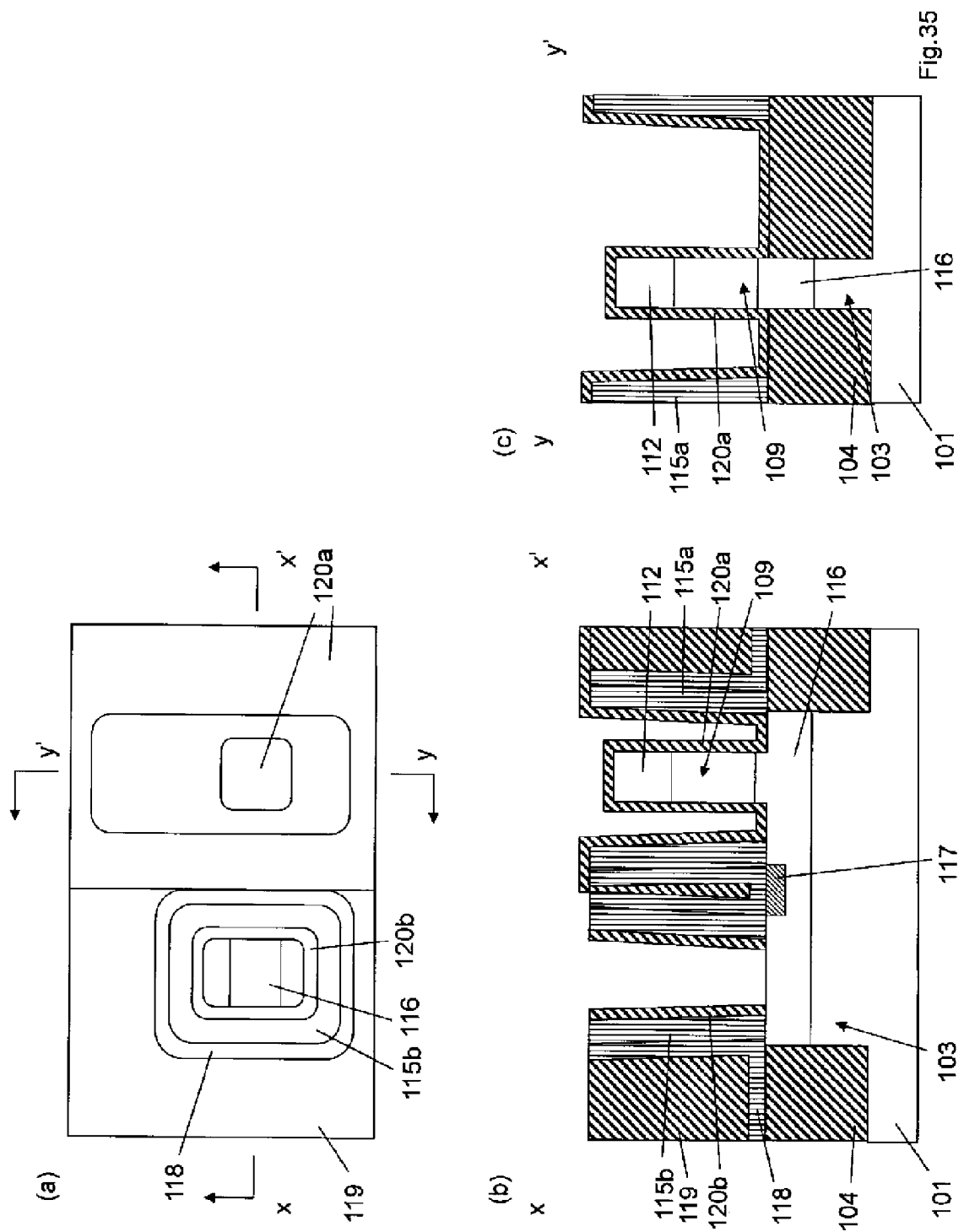


Fig.34

[図35]



[図36]

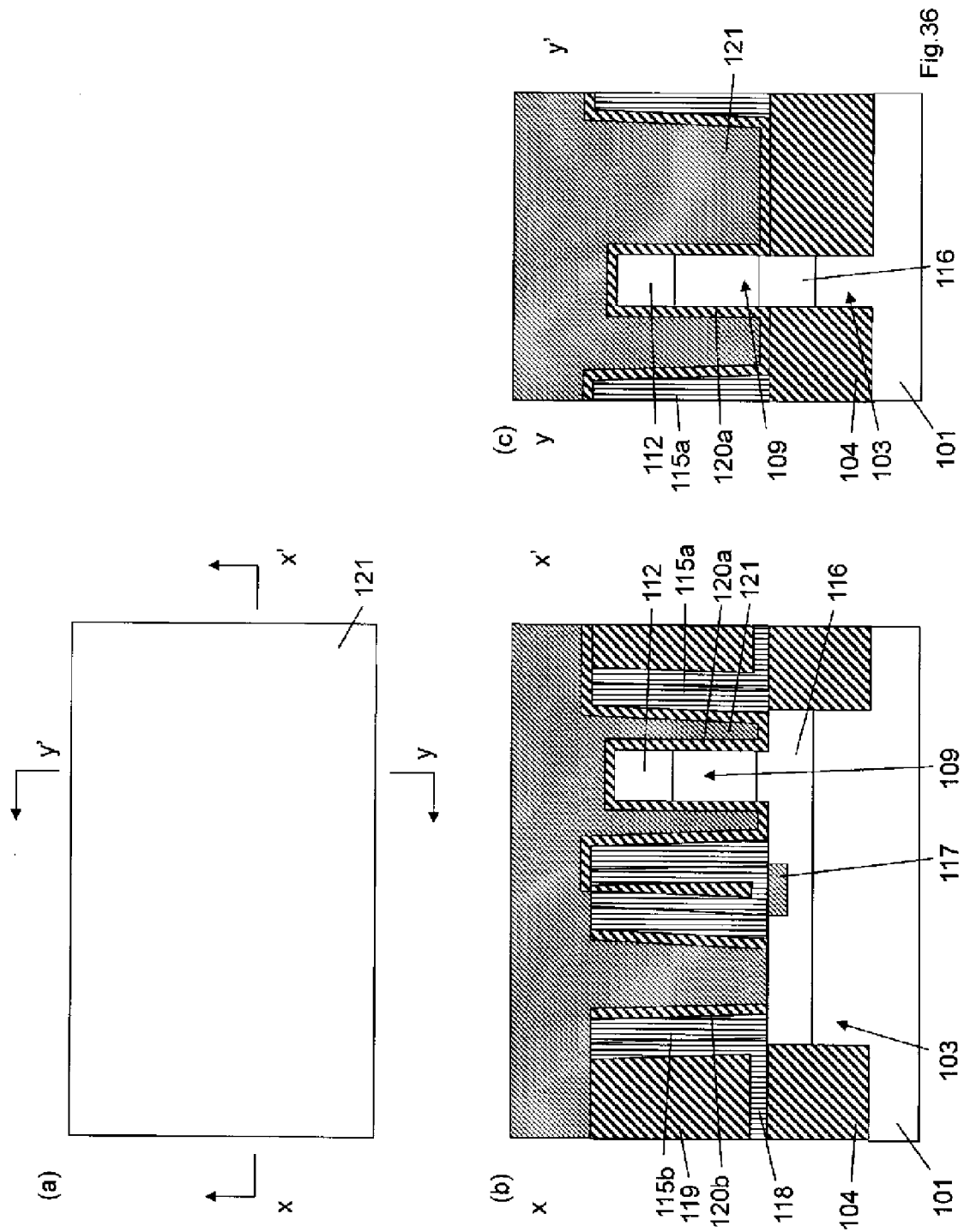
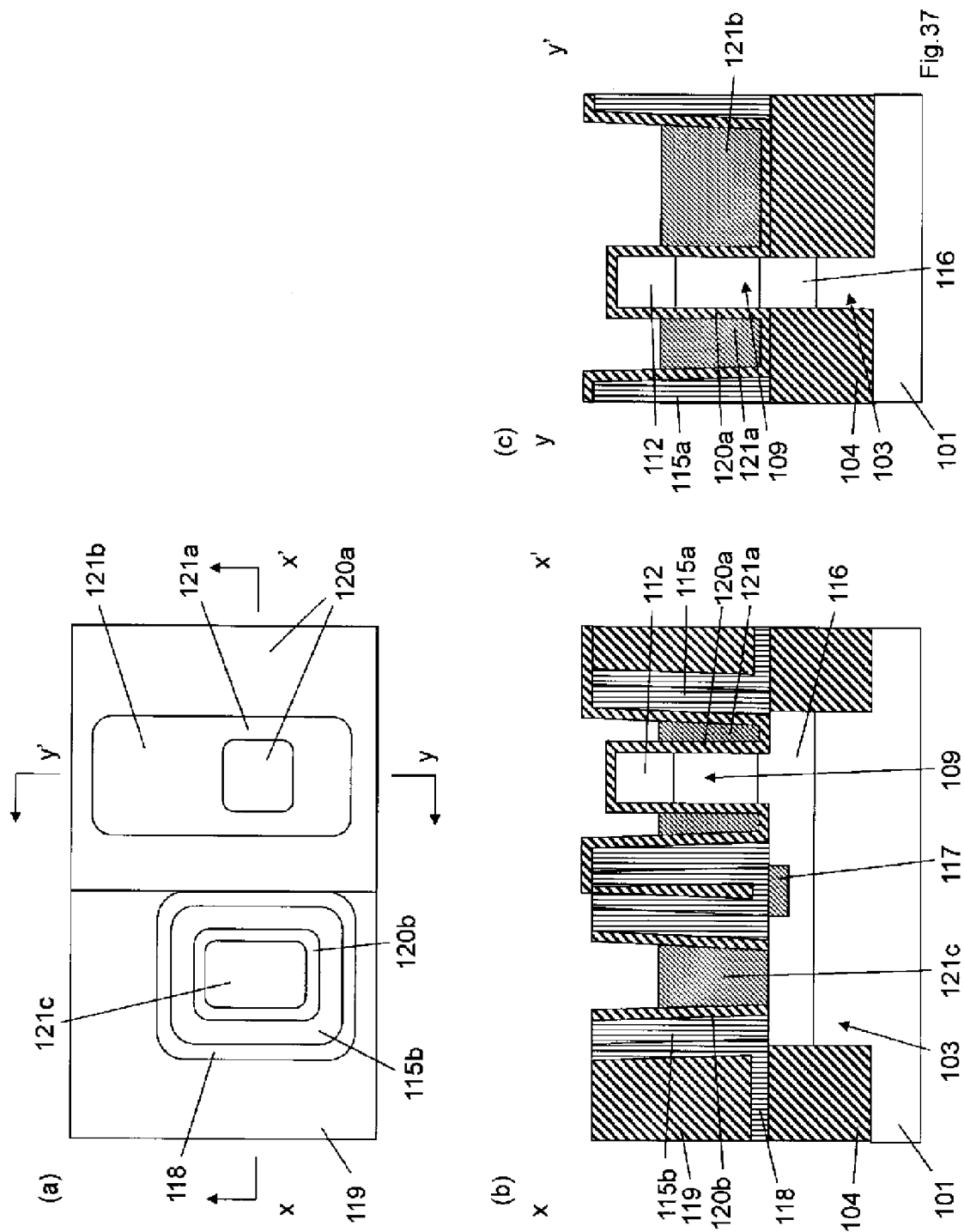


Fig. 36

[図37]



[図38]

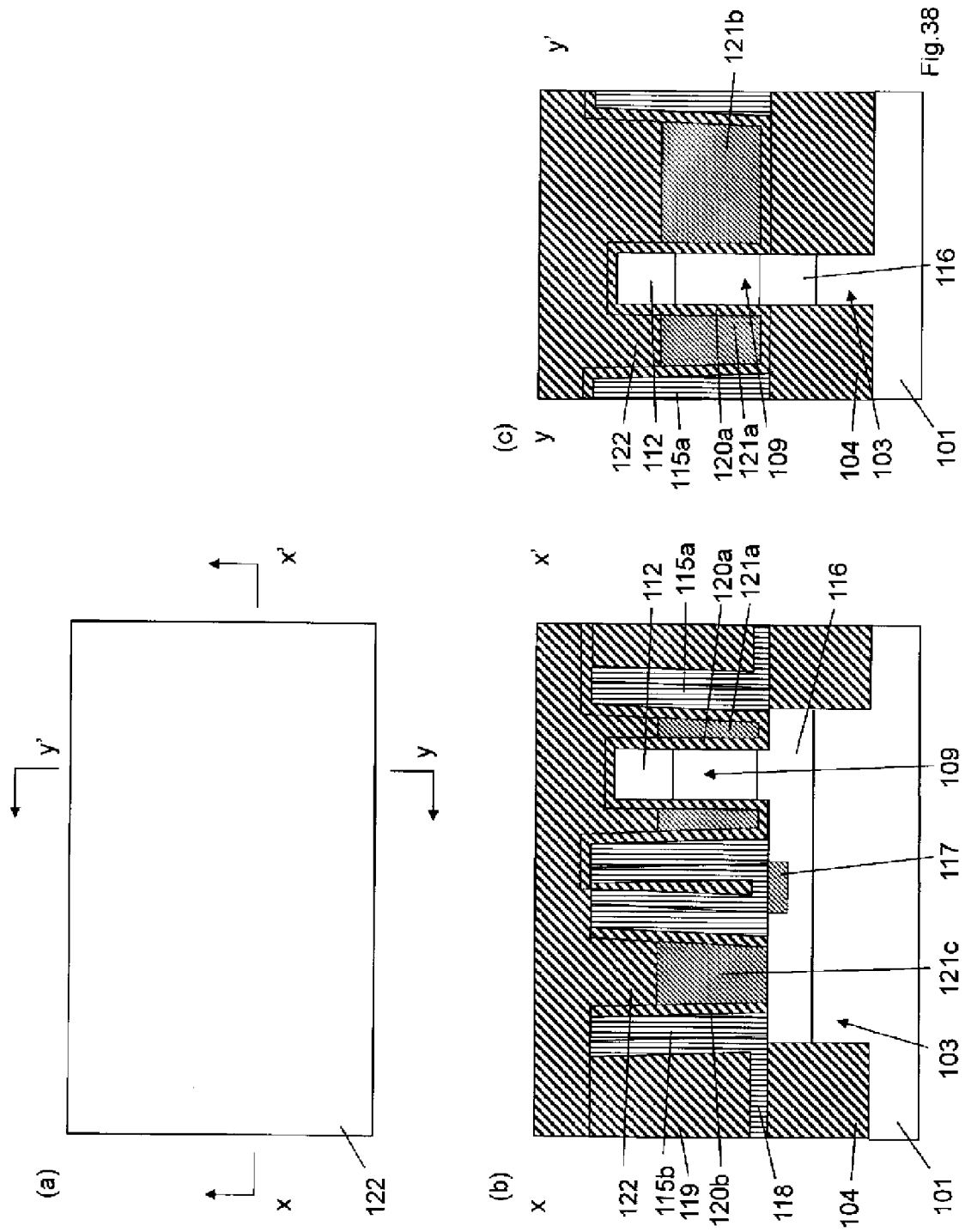
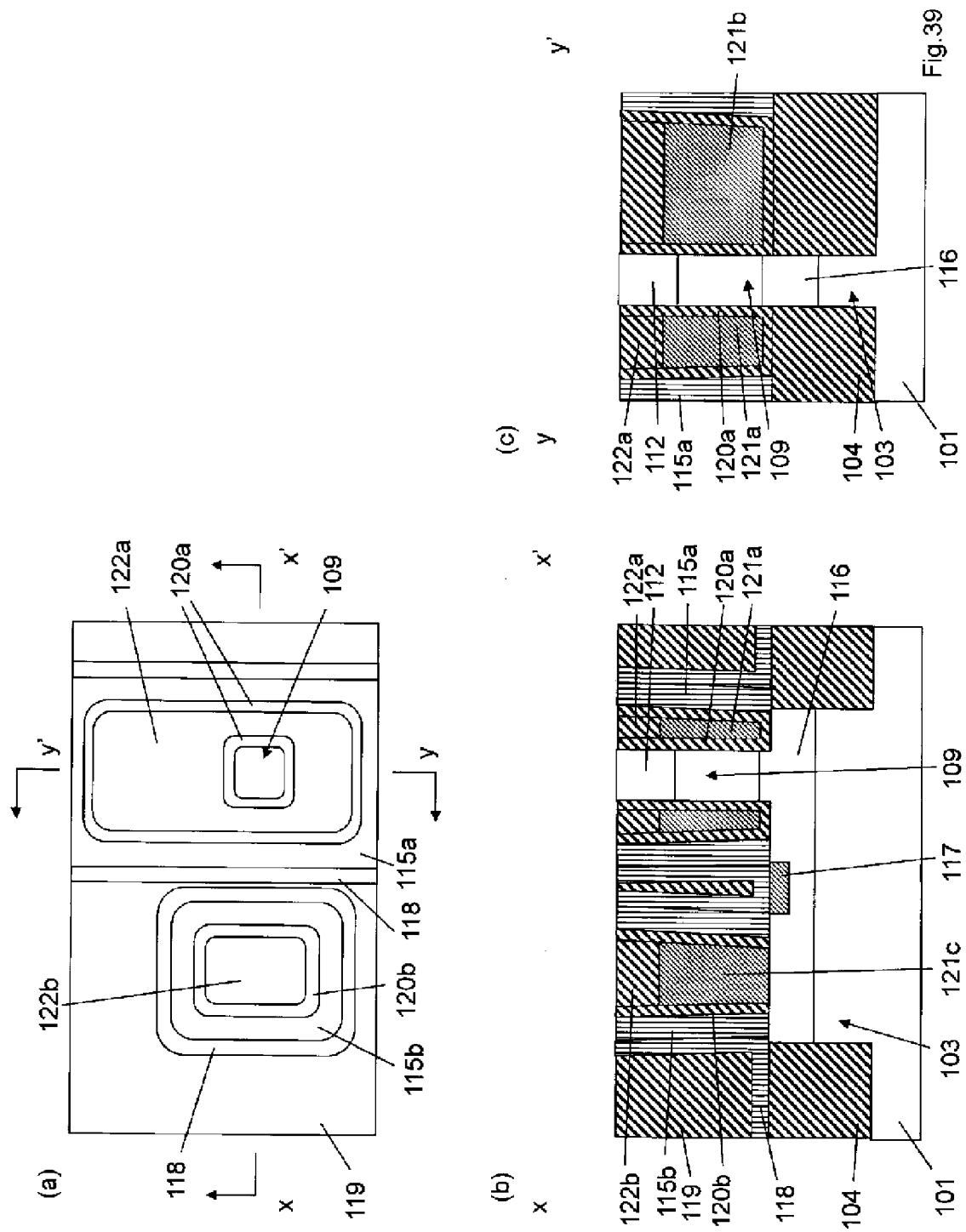
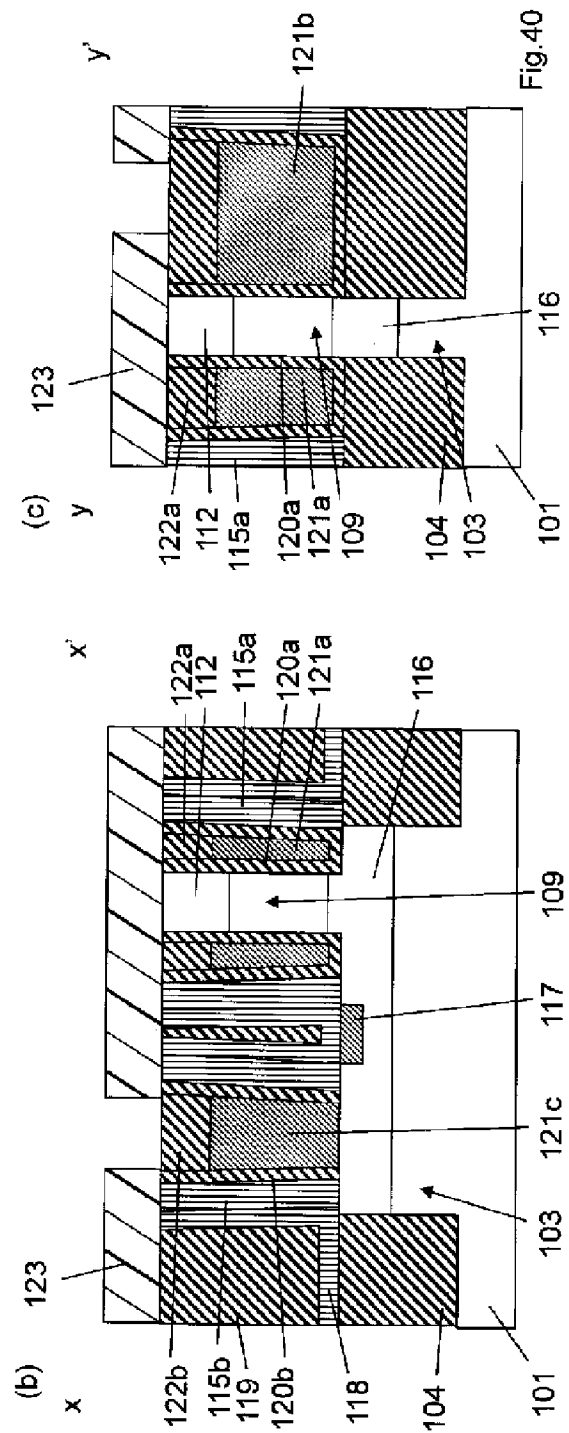
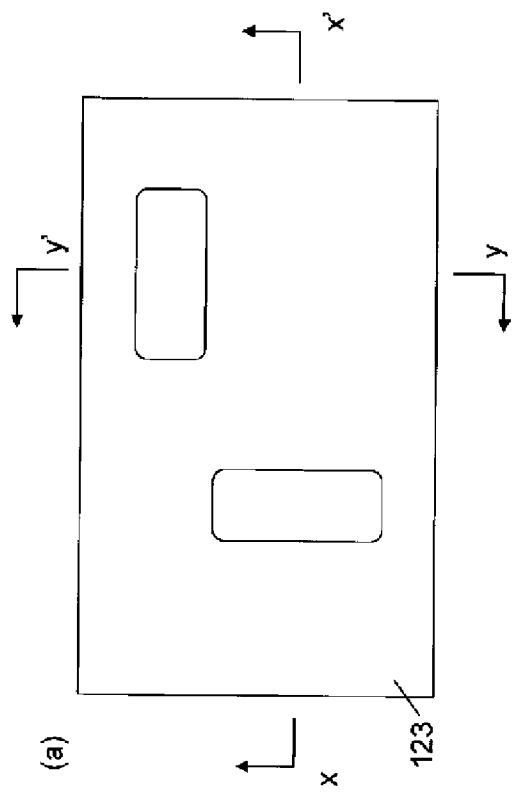


Fig.38

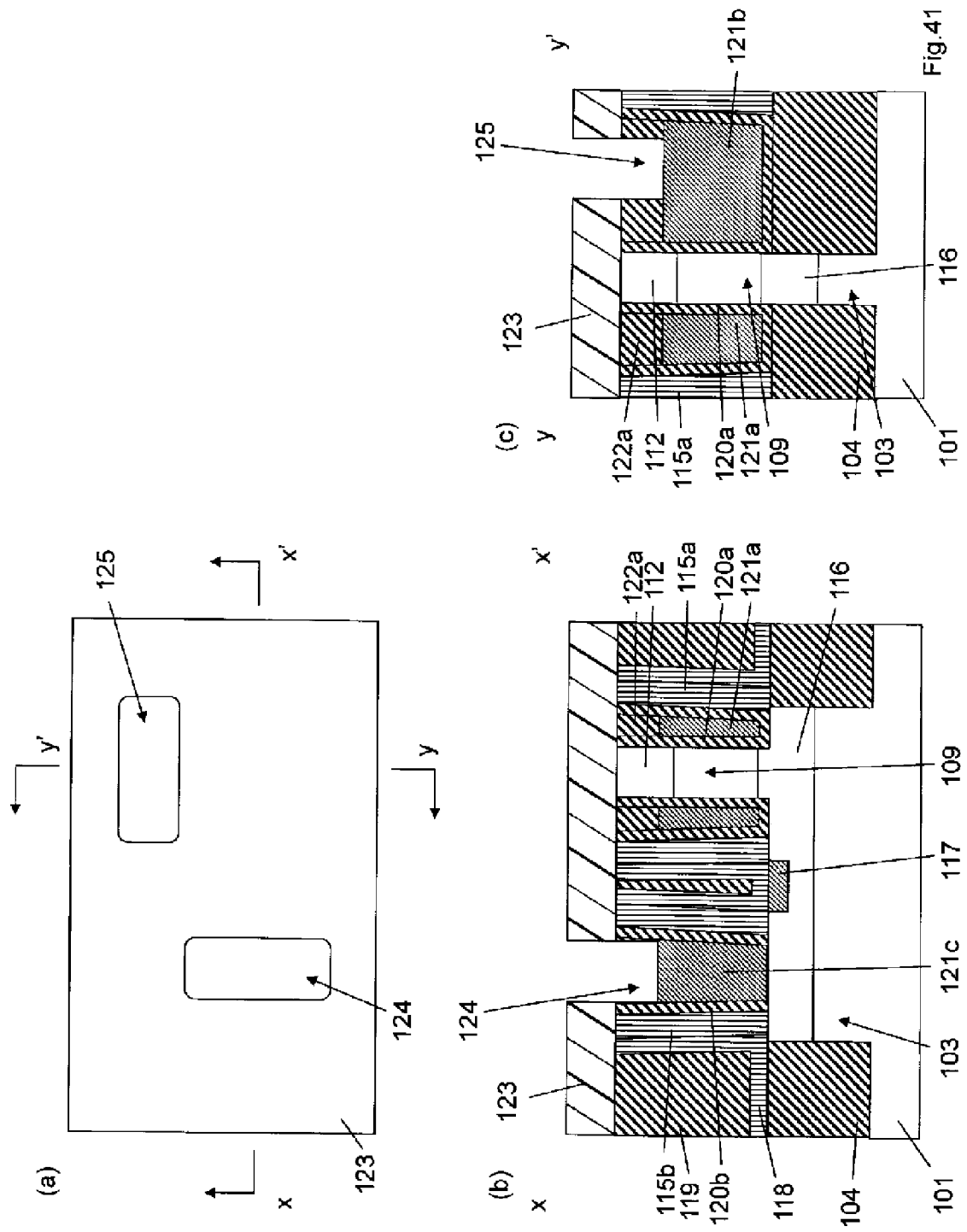
[図39]



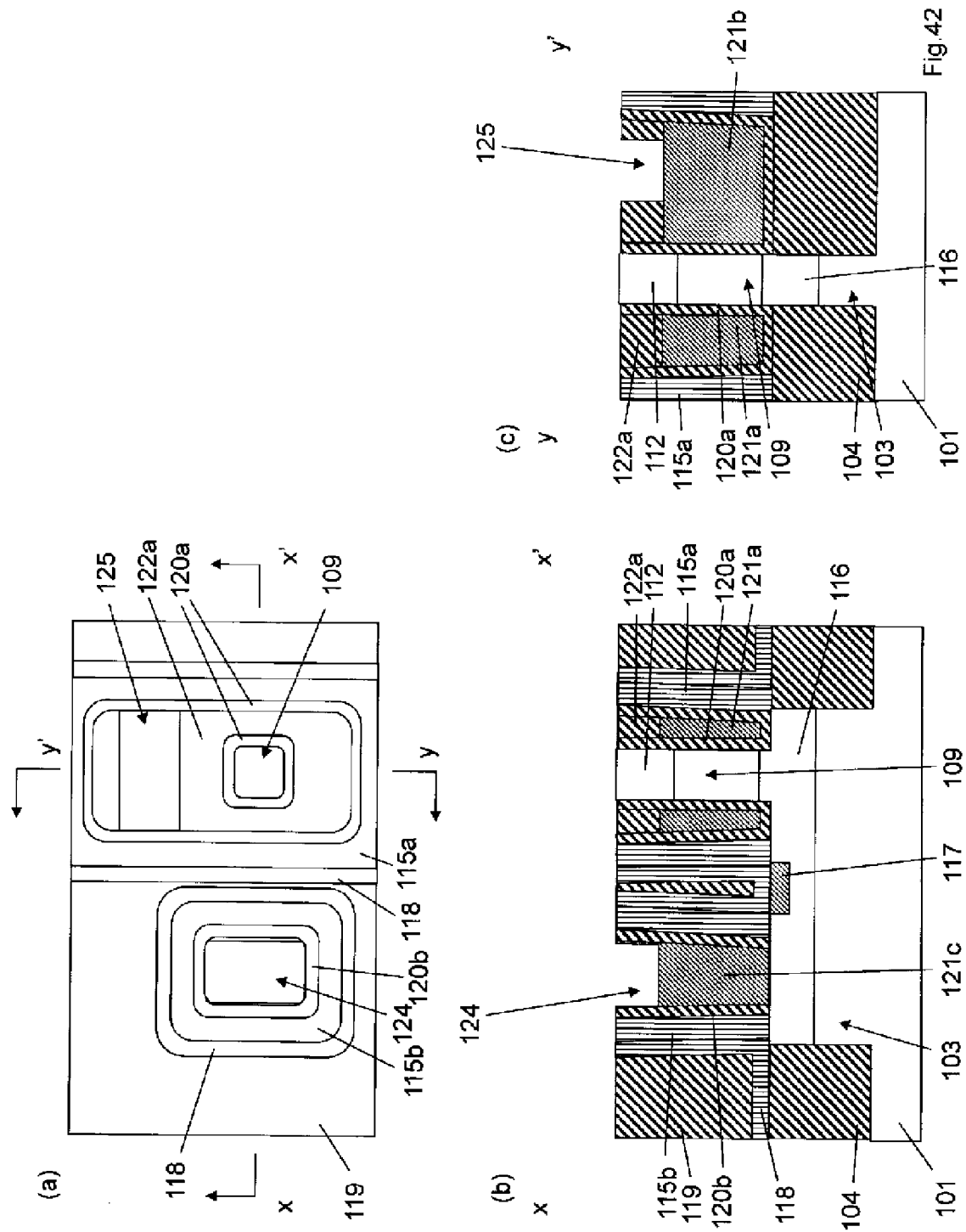
[図40]



[図41]



[図42]



[図43]

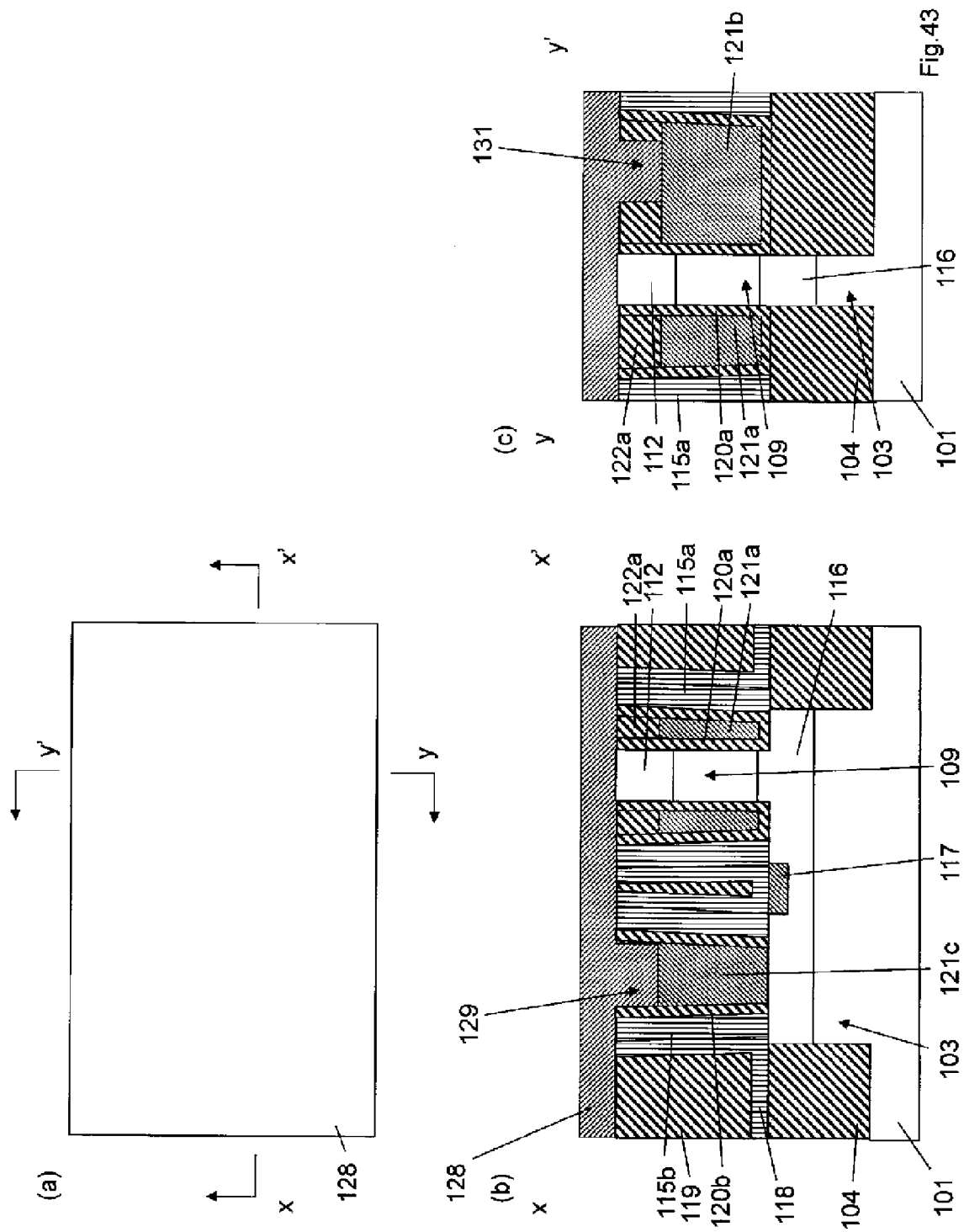
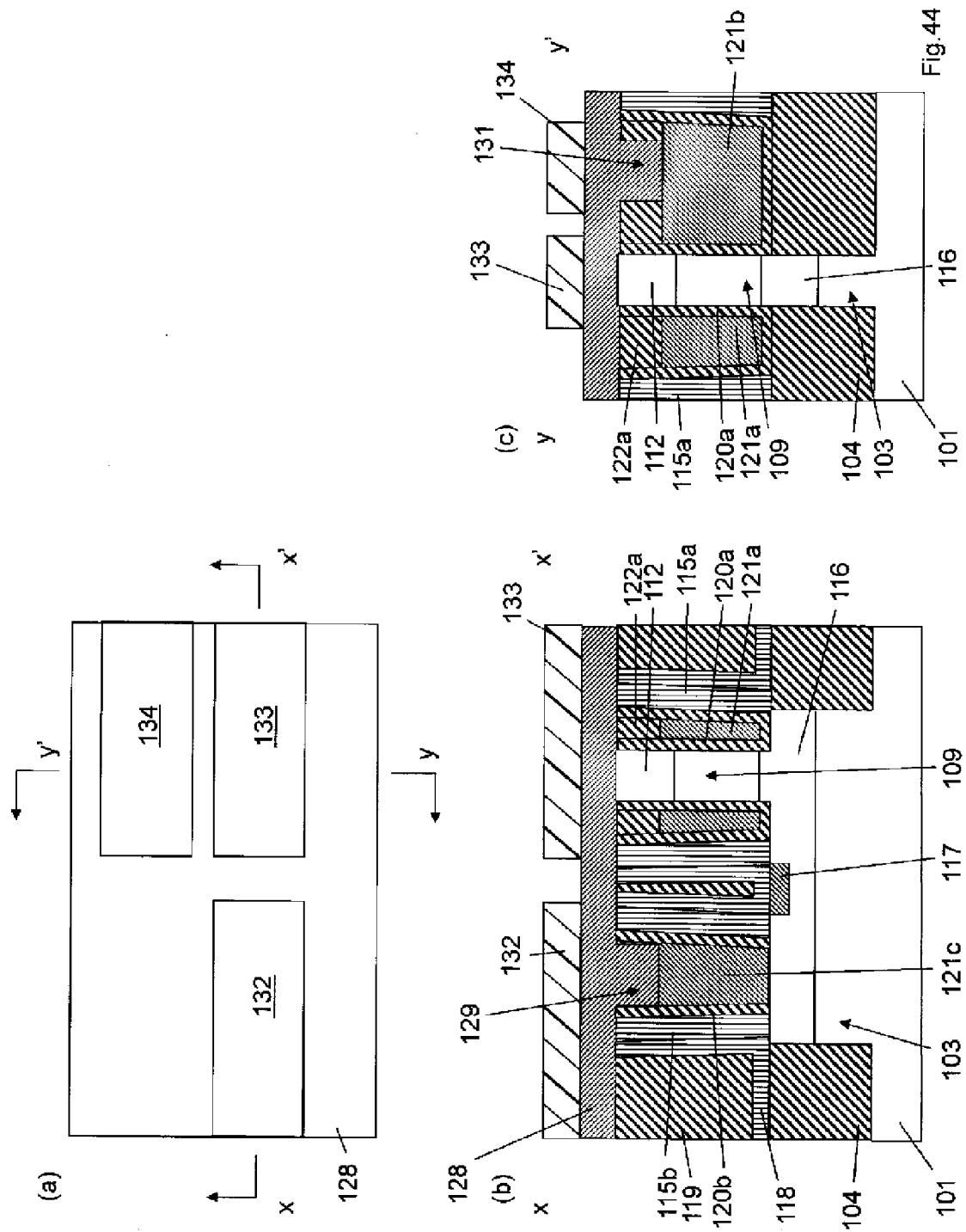
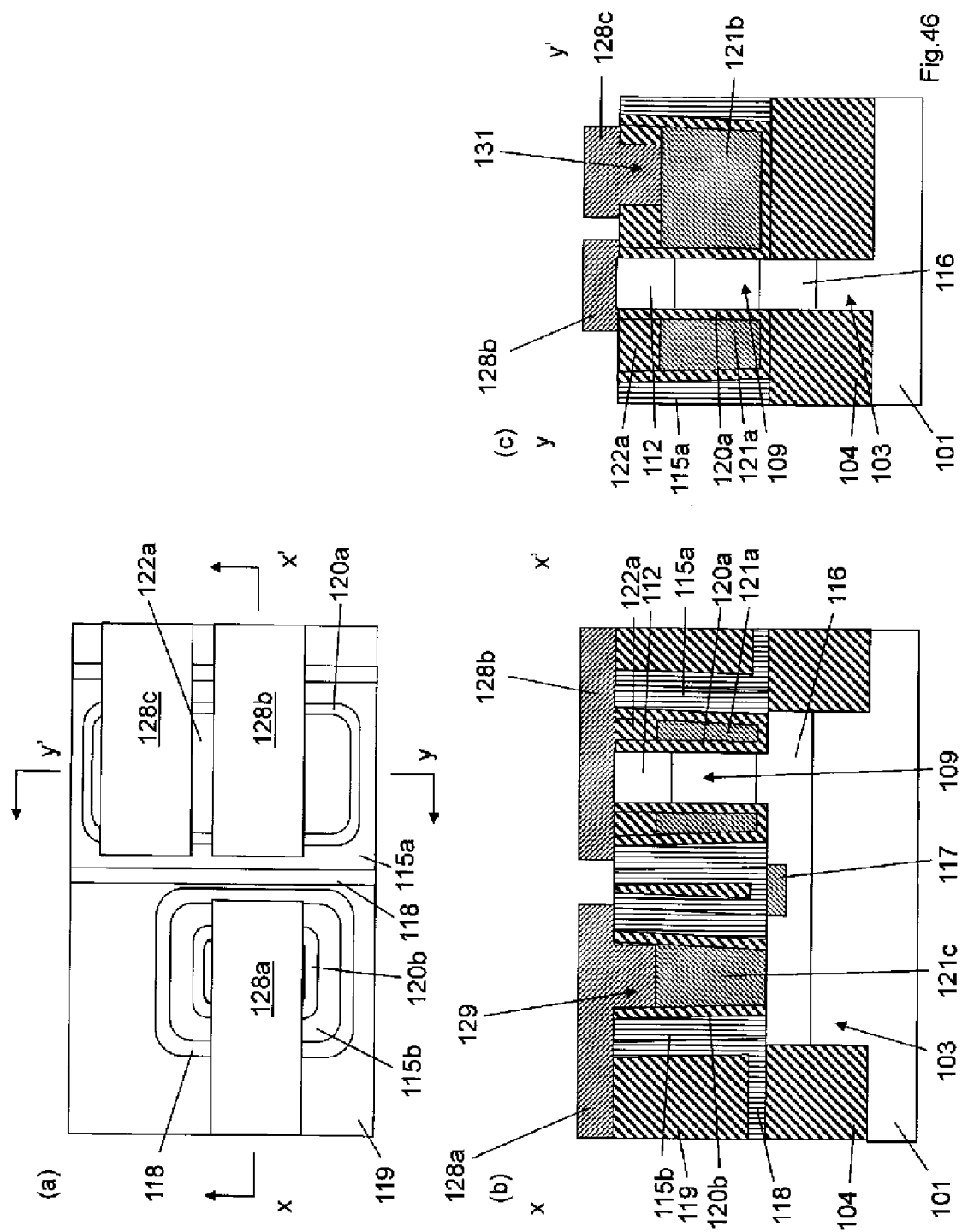


Fig.43

[図44]



[図46]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/055667

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2014/024266 A1 (Unisantis Electronics Singapore Pte Ltd.), 13 February 2014 (13.02.2014), paragraphs [0021] to [0065]; fig. 1 to 34 (Family: none)	1-9
A	JP 2011-40682 A (Unisantis Electronics Japan Ltd.), 24 February 2011 (24.02.2011), paragraphs [0024] to [0087]; fig. 1 to 48 & US 2011/0042740 A1 & US 2013/0095625 A1 & EP 2287895 A1 & CN 101996942 A & KR 10-2011-0018848 A & SG 169292 A & TW 201108331 A & SG 188153 A	1-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 April, 2014 (24.04.14)

Date of mailing of the international search report
13 May, 2014 (13.05.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/055667

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-70975 A (Elpida Memory, Inc.), 02 April 2009 (02.04.2009), entire text; all drawings & US 2009/0065860 A1	1-9
A	JP 2013-239622 A (Toshiba Corp.), 28 November 2013 (28.11.2013), paragraphs [0015] to [0270]; fig. 1 to 52 (Family: none)	1-9

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/336(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/336, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2014/024266 A1（ユニサンティス エレクトロニクス シンガポール プライベート リミテッド） 2014.02.13, 段落[0021]-[0065], 図 1-34（ファミリーなし）	1-9
A	JP 2011-40682 A（日本ユニサンティスエレクトロニクス株式会社） 2011.02.24, 段落【0024】 - 【0087】, 図 1-48 & US 2011/0042740 A1 & US 2013/0095625 A1 & EP 2287895 A1 & CN 101996942 A & KR 10-2011-0018848 A & SG 169292 A & TW 201108331 A & SG 188153 A	1-9

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 4 . 2 0 1 4

国際調査報告の発送日

1 3 . 0 5 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

市川 武宜

5 F

4 0 5 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-70975 A (エルピーダメモリ株式会社) 2009. 04. 02, 全文, 全図 & US 2009/0065860 A1	1-9
A	JP 2013-239622 A (株式会社東芝) 2013. 11. 28, 段落【0015】-【0270】, 図 1-52 (ファミリーなし)	1-9