



(51) 国際特許分類:

G11C 16/04 (2006.01) H01L 27/10 (2006.01)
G11C 11/401 (2006.01) H01L 27/108 (2006.01)
H01L 21/8242 (2006.01)

1 1、ペニンシュラ プラザ # 2 3
- 0 5 Singapore (SG).

(72) 発明者; および

(71) 出願人 (US についてののみ): 原田 望(HARADA Nozomu) [JP/JP]; 〒1020083 東京都千代田区麹町 1 丁目 3 番 7 号 日月館麹町ビル 5 階 S e m i c o n C o n s u l t i n g 株式会社内 Tokyo (JP). 作井 康司(SAKUI Koji) [JP/JP]; 〒1020083 東京都千代田区麹町 1 丁目 3 番 7 号 日月館麹町ビル 5 階 S e m i c o n C o n s u l t i n g 株式会社内 Tokyo (JP).

(21) 国際出願番号: PCT/JP2021/007044

(22) 国際出願日: 2021年2月25日(25.02.2021)

(25) 国際出願の言語: 日本語

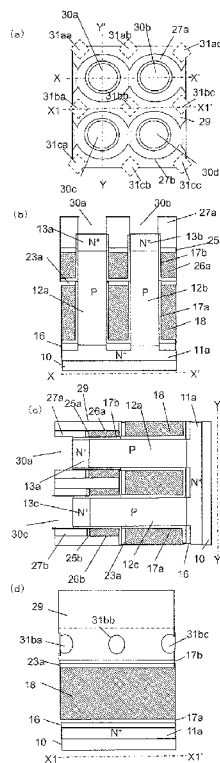
(26) 国際公開の言語: 日本語

(71) 出願人 (US を除く全ての指定国について): ユニサンティス エレクトロニクス シンガポール プライベート リミテッド (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098 ノースブリッジロード 1

(74) 代理人: 田中 伸一郎, 外 (TANAKA Shinichiro et al.); 〒1008355 東京都千代田区丸の内 3 丁目 3 番 1 号 新東京ビル 中村合同特許法律事務所 Tokyo (JP).

(54) Title: METHOD FOR MANUFACTURING MEMORY DEVICE USING COLUMNAR SEMICONDUCTOR ELEMENT

(54) 発明の名称: 柱状半導体素子を用いたメモリ装置の製造方法



(57) Abstract: Dynamic flash memory according to the present invention controls voltage applied to a source line SL, plate line PL, word lines WL1, WL2, and bit lines BL1, BL2 so as to perform a data retention operation for retaining a group of holes generated due to an impact ionization phenomenon inside Si columns 12a to 12d, and so as to perform a data erasure operation for removing the group of holes from inside the Si columns 12a to 12d. In the dynamic flash memory, the following are formed on a substrate 10: an N+ layer 11a connecting to the source line SL on both ends of the vertically-standing Si columns 12a to 12d; N+ layers 13a to 13d connecting to the bit lines BL1, BL2; a TiN layer 18 surrounding a gate HfO2 layer 17a, which surrounds the Si columns 12a to 12d, and connecting to the plate line PL, which is connected between the Si columns 12a to 12d; and tin layers 26a, 26b surrounding a gate HfO2 layer 17b, which surrounds the Si columns 12a to 12d, and connecting to the word lines WL1, WL2, an SiO2 layer 23a being formed therebetween by selectively depositing an SiGe layer on the TiN layer 18 and thereafter oxidizing the SiGe layer.

(57) 要約: ソース線 SL、プレート線 PL、ワード線 WL1, WL2、ビット線 BL1, BL2 に印加する電圧を制御して、Si 柱 12a ~ 12d の内部でインパクトイオン現象により発生した正孔群を保持するデータ保持動作と、そして、この正孔群を、Si 柱 12a ~ 12d 内から除去するデータ消去動作を行うダイナミックフラッシュメモリにあって、基板 10 上に、垂直方向に立つ Si 柱 12a ~ 12d の両端にあるソース線 SL に繋がる N+ 層 11a と、ビット線 BL1, BL2 に繋がる N+ 層 13a ~ 13d と、Si 柱 12a ~ 12d を囲んだゲート HfO2 層 17a を囲み Si 柱 12a ~ 12d 間で繋がったプレート線 PL に繋がる TiN 層 18 と、Si 柱 12a ~ 12d を囲んだゲート HfO2 層 17b を囲みワード線 WL1, WL2 に繋がる TiN 層 26a, 26b と、の間にある SiO2 層 23a を、TiN 層 18 上に SiGe 層を選択的に堆積した後、この SiGe 層を酸化して、形成する。

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

明 細 書

発明の名称：柱状半導体素子を用いたメモリ装置の製造方法

技術分野

[0001] 本発明は、柱状半導体素子を用いたメモリ装置の製造方法に関する。

背景技術

[0002] 近年、L S I (Large Scale Integration)技術開発において、メモリ素子の高集積化と高性能化が求められている。

[0003] 通常のプレナー型MOSトランジスタでは、チャンネルが半導体基板の上表面に沿う水平方向に延在する。これに対して、SGTのチャンネルは、半導体基板の上表面に対して垂直な方向に延在する（例えば、特許文献1、非特許文献1を参照）。このため、SGTはプレナー型MOSトランジスタと比べ、半導体装置の高密度化が可能である。このSGTを選択トランジスタとして用いて、キャパシタを接続したDRAM (Dynamic Random Access Memory、例えば、非特許文献2を参照)、抵抗変化素子を接続したPCM (Phase Change Memory、例えば、非特許文献3を参照)、RRAM (Resistive Random Access Memory、例えば、非特許文献4、を参照)、電流により磁気スピンの向きを変化させて抵抗を変化させるMRAM (Magnetoresistive Random Access Memory、例えば、非特許文献5、を参照) などの高集積化を行うことができる。また、キャパシタを有しない、1個のMOSトランジスタで構成された、DRAMメモリセル（非特許文献6、7を参照）などがある。本願は、抵抗変化素子やキャパシタを有しない、MOSトランジスタのみで構成可能な、ダイナミックフラッシュメモリに関する。

[0004] 図9に、前述したキャパシタを有しない1個のMOSトランジスタで構成されたDRAMメモリセルの書込み動作を、図10に、動作上の問題点を、図11に、読出し動作を示す（非特許文献7～10を参照）。

[0005] 図9にDRAMメモリセルの書込み動作を示す。図(a)は、“1”書込み状態を示している。ここで、メモリセルは、SOI基板101に形成され

、ソース線SLが接続されるソースN⁺層103（以下、ドナー不純物を高濃度で含む半導体領域を「N⁺層」と称する）、ビット線BLが接続されるドレインN⁺層104、ワード線WLが接続されるゲート導電層105、MOSトランジスタ110aのフローティングボディ（Floating Body）102により構成され、キャパシタを有さず、MOSトランジスタ110aが1個でDRAMのメモリセルが構成されている。なお、フローティングボディ102直下には、SOI基板のSiO₂層101が接している。このMOSトランジスタ110a 1個で構成されたメモリセルの“1”書込みを行う際には、MOSトランジスタ110aを線形領域で動作させる。すなわち、ソースN⁺層103から延びる電子のチャネル107には、ピンチオフ点108があり、ビット線が接続しているドレインN⁺層104までには、到達していない。このようにドレインN⁺層104に接続されたビット線BLとゲート導電層105に接続されたワード線WLを共に高電圧にして、ゲート電圧をドレイン電圧の約1/2程度で、MOSトランジスタ110aを動作させると、ドレインN⁺層104近傍のピンチオフ点108において、電界強度が最大となる。この結果、ソースN⁺層103からドレインN⁺層104に向かって流れる加速された電子は、Siの格子に衝突して、その時に失う運動エネルギーによって、電子・正孔対が生成される。発生した大部分の電子（図示せず）は、ドレインN⁺層104に到達する。また、ごく一部のとても熱い電子は、ゲート酸化膜109を飛び越えて、ゲート導電層105に到達する。そして、同時に発生した正孔106は、フローティングボディ102を充電する。この場合、発生した正孔は、フローティングボディ102は、P型Siのため、多数キャリアの増分として、寄与する。フローティングボディ102は、生成された正孔106で満たされ、フローティングボディ102の電圧がソースN⁺層103よりもV_b以上に高くなると、さらに生成された正孔は、ソースN⁺層103に放電する。ここで、V_bは、ソースN⁺層103とP層のフローティングボディ102との間のPN接合のビルトイン電圧であり、約0.7Vである。図9（b）には、生成された正孔106でフローティングボディ1

02が飽和充電された様子を示している。

[0006] 次に、図9(c)を用いて、メモリセル110の“0”書込み動作を説明する。共通な選択ワード線WLに対して、ランダムに“1”書込みのメモリセル110aと“0”書込みのメモリセル110bが存在する。図9(c)では、“1”書込み状態から“0”書込み状態に書き換わる様子を示している。“0”書込み時には、ビット線BLの電圧を負バイアスにして、ドレインN⁺層104とP層のフローティングボディ102との間のPN接合を順バイアスにする。この結果、フローティングボディ102に予め前サイクルで生成された正孔106は、ビット線BLに接続されたドレインN⁺層104に流れる。書込み動作が終了すると、生成された正孔106で満たされたメモリセル110a(図(b))と、生成された正孔が吐き出されたメモリセル110b(図(c))の2つのメモリセルの状態が得られる。正孔106で満たされたメモリセル110aのフローティングボディ102の電位は、生成された正孔がないフローティングボディ102よりも高くなる。したがって、メモリセル110aのしきい値電圧は、メモリセル110bのしきい値電圧よりも低くなる。その様子を図9(d)に示す。

[0007] 次に、この1個のMOSトランジスタで構成されたメモリセルの動作上の問題点を図10を用いて、説明する。図10(a)に示したように、フローティングボディ102の容量 C_{FB} は、ワード線の接続されたゲートとフローティングボディ102との間の容量 C_{WL} と、ソース線の接続されたソースN⁺層103とフローティングボディ102との間のPN接合の接合容量 C_{SL} と、ビット線の接続されたドレインN⁺層103とフローティングボディ102との間のPN接合の接合容量 C_{BL} との総和で、

$$C_{FB} = C_{WL} + C_{BL} + C_{SL} \quad (1)$$

で表される。したがって、書込み時にワード線電圧 V_{WL} が振幅すると、メモリセルの記憶ノード(接点)となるフローティングボディ102の電圧も、その影響を受ける。その様子を図10(b)に示している。書込み時にワード線電圧 V_{WL} が0Vから V_{ProgWL} に上昇すると、フローティングボディ102の電

圧 V_{FB} は、ワード線電圧が変化する前の初期状態の電圧 V_{FB1} から V_{FB2} へのワード線との容量結合によって上昇する。その電圧変化量 ΔV_{FB} は、

$$\begin{aligned}\Delta V_{FB} &= V_{FB2} - V_{FB1} \\ &= C_{WL} / (C_{WL} + C_{BL} + C_{SL}) \times C_{ProgWL} \quad (2)\end{aligned}$$

で表される。

ここで、

$$\beta = C_{WL} / (C_{WL} + C_{BL} + C_{SL}) \quad (3)$$

で表され、 β をカップリング率と呼ぶ。このようなメモリセルにおいて、 C_{WL} の寄与率が大きく、例えば、 $C_{WL} : C_{BL} : C_{SL} = 8 : 1 : 1$ である。この場合、 $\beta = 0.8$ となる。ワード線が、例えば、書込み時の 5 V から、書込み終了後に 0 V になると、ワード線とフローティングボディ 102 との容量結合によって、フローティングボディ 102 が、 $5\text{ V} \times \beta = 4\text{ V}$ も振幅ノイズを受ける。このため、書込み時のフローティングボディ “1” 電位と “0” 電位との電位差マージンを十分に取れない問題点があった。

[0008] 図 11 に読出し動作を示す。図 (a) は、“1” 書込み状態を、図 (b) は、“0” 書込み状態を示している。しかし、実際には、“1” 書込みでフローティングボディ 102 に V_b が書き込まれていても、書込み終了でワード線が 0 V に戻ると、フローティングボディ 102 は、負バイアスに引き下げられる。“0” が書かれる際には、さらに深く負バイアスになってしまうため、書込みの際に “1” と “0” との電位差マージンを十分に大きく出来ない。この動作マージンが小さいことが、本 DRAM メモリセルの大きい問題であった。加えて、この DRAM メモリセルを高密度化する課題がある。

先行技術文献

特許文献

[0009] 特許文献1：特開平2－188966号公報

特許文献2：特開平3－171768号公報

特許文献3：特許第3957774号公報

非特許文献

- [0010] 非特許文献1: Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)
- 非特許文献2: H. Chung, H. Kim, H. Kim, K. Kim, S. Kim, K. Dong, J. Kim, Y.C. Oh, Y. Hwang, H. Hong, G. Jin, and C. Chung: "4F2 DRAM Cell with Vertical Pillar Transistor(VPT)," 2011 Proceeding of the European Solid-State Device Research Conference, (2011)
- 非特許文献3: H. S. Philip Wong, S. Raoux, S. Kim, Jiale Liang, J. R. Reifenberg, B. Rajendran, M. Asheghi and K. E. Goodson: "Phase Change Memory," Proceeding of IEEE, Vol.98, No 12, December, pp.2201-2227 (2010)
- 非特許文献4: T. Tsunoda, K. Kinoshita, H. Noshiro, Y. Yamazaki, T. Iizuka, Y. Ito, A. Takahashi, A. Okano, Y. Sato, T. Fukano, M. Aoki, and Y. Sugiyama: "Low Power and high Speed Switching of Ti-doped NiO ReRAM under the Unipolar Voltage Source of less than 3V," IEDM (2007)
- 非特許文献5: W. Kang, L. Zhang, J. Klein, Y. Zhang, D. Ravelosona, and W. Zhao: "Reconfigurable Codesign of STT-MRAM Under Process Variations in Deeply Scaled Technology," IEEE Transaction on Electron Devices, pp.1-9 (2015)
- 非特許文献6: M. G. Ertosum, K. Lim, C. Park, J. Oh, P. Kirsch, and K. C. Saraswat: "Novel Capacitorless Single-Transistor Charge-Trap DRAM (1T 1C1A) Utilizing Electron," IEEE Electron Device Letter, Vol. 31, No.5, pp.405-407 (2010)
- 非特許文献7: J. Wan, L. Rojer, A. Zaslavsky, and S. Critoloveanu: "A Compact Capacitor-Less High-Speed DRAM Using Field Effect-Controlled Charge Regeneration," Electron Device Letters, Vol. 35, No.2, pp.179-181 (2012)

非特許文献8 : T. Ohsawa, K. Fujita, T. Higashi, Y. Iwata, T. Kajiyama, Y. Asao, and K. Sunouchi: “Memory design using a one-transistor gain cell on SOI,” IEEE JSSC, vol.37, No.11, pp1510–1522 (2002).

非特許文献9 : T. Shino, N. Kusunoki, T. Higashi, T. Ohsawa, K. Fujita, K. Hatsuda, N. Ikumi, F. Matsuoka, Y. Kajitani, R. Fukuda, Y. Watana be, Y. Minami, A. Sakamoto, J. Nishimura, H. Nakajima, M. Morikado, K . Inoh, T. Hamamoto, A. Nitayama: “Floating Body RAM Technology and its Scalability to 32nm Node and Beyond,” IEEE IEDM (2006).

非特許文献10 : E. Yoshida: “A Capacitorless 1T-DRAM Technology Using Gate-Induced Drain-Leakage (GIDL) Current for Low-Power and High-Speed Embedded Memory,” IEEE IEDM (2006).

非特許文献11 : E. Yoshida, and T. Tanaka: “A Capacitorless 1T-DRAM Technology Using Gate-Induced Drain-Leakage (GIDL) Current for Low-Power and High-Speed Embedded Memory,” IEEE Transactions on Electron Devices, Vol. 53, No. 4, pp. 692–697, Apr. 2006.

非特許文献12 : A.Veloso, et al. : “Vertical Nanowire and Nanosheet FETs: Device Features, Novel Schemes for Improved Process Control and Enhanced Mobility, Potential for Faster & More Energy Efficient Circuits” IEDM19 Digest Papers, pp.230–233, 2019

発明の概要

発明が解決しようとする課題

[0011] SGTを用いたメモリ装置でキャパシタを無くした、1個のトランジス型のDRAM（ゲインセル）では、ワード線とフローティングのSGTのボディとの容量結合カップリングが大きく、データ読み出し時や書き込み時にワード線の電位を振幅させると、直接SGTボディへのノイズとして、伝達されてしまう問題点があった。この結果、誤読み出しや記憶データの誤った書き換えの問題を引き起こし、キャパシタを無くした1トランジス型のDRAM（ゲインセル）の実用化が困難となっていた。そして、上記問題を解決す

ると共に、DRAMメモリセルを高密度化する必要がある。

課題を解決するための手段

[0012] 上記の課題を解決するために、本発明に係る柱状半導体素子を用いたメモリ装置の製造方法は、

第1のゲート導体層と、第2のゲート導体層と、第1の不純物領域と、第2の不純物領域と、に印加する電圧を制御して、第1の半導体柱の内部に、インパクトイオン化現象により、またはゲート誘起ドレインリーク電流により形成した正孔群を保持するデータ保持動作と、前記第1のゲート導体層と、前記第2のゲート導体層と、前記第1の不純物領域と、前記第2の不純物領域と、に印加する電圧を制御して、前記第1の半導体柱の内部から前記正孔群を除去するデータ消去動作とを行うメモリ装置の製造方法であって、

基板上に垂直方向に立つ前記第1の半導体柱を形成する工程と、

前記第1の半導体柱の側面を囲む第1のゲート絶縁層を形成する工程と、

前記第1のゲート絶縁層の側面を囲み、且つ上面位置が前記第1の半導体柱の頂部より下方にある前記第1のゲート導体層を形成する工程と、

前記第1のゲート導体層上に選択的に、導体または半導体よりなる第1の材料層を形成する工程と、

前記第1の材料層の表層、または全体を酸化して第1の酸化絶縁層を形成する工程と、

垂直方向において、前記第1の酸化絶縁層より上の前記第1の半導体柱の側面に第2のゲート絶縁層を形成する工程と、

前記第2のゲート絶縁層の側面を囲み、前記第2のゲート導体層を形成する工程と、

前記第1の半導体柱を形成する前に、または形成した後に前記第1の半導体柱の底部に繋がった前記第1の不純物領域を形成する工程と、

前記第1の半導体柱を形成する前に、または形成した後に、前記半導体柱の頂部に前記第2の不純物領域を形成する工程と、

を有することを特徴とする（第1発明）。

- [0013] 上記の第1発明において、垂直方向において、前記第2のゲート絶縁層を前記第1の半導体柱の側面と前記第1の酸化絶縁層の上に繋がって形成する工程を有することを特徴とする（第2発明）。
- [0014] 上記の第1発明において、前記第1の酸化絶縁層を形成した後に、前記第1の材料層より上方の前記第1の半導体柱の側面を露出させる工程と、露出した前記半導体柱の側面を酸化して、前記第2のゲート絶縁層を形成する工程と、を有することを特徴とする（第3発明）。
- [0015] 上記の第1発明において、前記第1の材料層を形成した後に、前記第1の材料層より上方の前記第1の半導体柱の側面を露出させる工程と、前記第1の材料層を酸化して、前記第1の酸化絶縁層を形成すると共に、露出した前記半導体柱の側面を酸化して、第2の酸化絶縁層を形成する工程とを有し、前記第2の酸化絶縁層を前記第2のゲート絶縁層とすることを特徴とする（第4発明）。
- [0016] 上記の第4発明において、前記第2の酸化絶縁層を形成した後に、前記第2の酸化絶縁層の側面を囲み、且つ前記第1の酸化絶縁層上に繋がった第1の絶縁層を形成する工程を有し、前記第2の酸化絶縁層と、前記第1の絶縁層と、により前記第2のゲート絶縁層が形成されることを特徴とする（第5発明）。
- [0017] 上記の第1発明において、垂直方向における、前記第1の酸化絶縁層より上方に前記第1のゲート絶縁層を残存させ、その後に前記第2のゲート導体層を形成する工程を有し、前記第1の酸化絶縁層より上方に残存させた前記第1のゲート絶縁層を前記第2のゲート絶縁層とすることを特徴とする（第6発明）。
- [0018] 上記の第1発明において、前記第2のゲート絶縁層を形成した後に、前記第2のゲート絶縁層を囲み、且つ上面位置が前記第2の不純物領域の下端近傍にある第1の導体層を形成する工程と、第1の導体層上に選択的に、導体または半導体よりなる第2の材料層を形成する工程と、前記第2の材料層の表層、または全体を酸化して第2の酸化絶縁層を形成する工程と、を有する

ことを特徴とする（第7発明）。

[0019] 上記の第1発明において、前記第1の材料層がシリコン・ゲルマニウム（SiGe）より形成されていることを特徴とする（第8発明）。

[0020] 上記の第1発明において、前記第1の不純物領域に繋がる配線はソース線であり、前記第2の不純物領域に繋がる配線はビット線であり、前記第1のゲート導体層に繋がる配線と前記第2のゲート導体層と配線は、一方がワード線、他方が第1の駆動制御線であるように形成し、前記ソース線と、前記ビット線と、前記第1の駆動制御線と、前記ワード線とに印加する電圧により、前記メモリ消去動作と、前記メモリ書き込み動作とを行うことを特徴とする（第9発明）。

[0021] 上記の第1発明において、前記第1のゲート導体層と前記第1の半導体柱との間の第1のゲート容量が、前記第2のゲート導体層と前記第1の半導体柱との間の第2のゲート容量よりも大きくなるように形成することを特徴とする（第10発明）。

図面の簡単な説明

[0022] [図1]第1実施形態に係るSGTを有するメモリ装置の構造図である。

[図2]第1実施形態に係るSGTを有するメモリ装置の消去動作メカニズムを説明するための図である。

[図3]第1実施形態に係るSGTを有するメモリ装置の書き込み動作メカニズムを説明するための図である。

[図4A]第1実施形態に係るSGTを有するメモリ装置の読出し動作メカニズムを説明するための図である。

[図4B]第1実施形態に係るSGTを有するメモリ装置の読出し動作メカニズムを説明するための図である。

[図5A]第1実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図5B]第1実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図5C]第1実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図5D]第1実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図5E]第1実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図5F]第1実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図5G]第1実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図5H]第1実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図5I]第1実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図5J]第1実施形態に係るSGTを有するメモリ装置の模式構造図である。

[図5K]第1実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図6]第2実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図7A]第3実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図7B]第3実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図7C]第3実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図8A]第4実施形態に係るSGTを有するメモリ装置の製造方法を説明するための図である。

[図8B]第4実施形態に係るSGTを有するメモリ装置の製造方法を説明する

ための図である。

[図9]従来例のキャパシタを有しない、DRAMメモリセルの動作上の問題点を説明するための図である。

[図10]従来例のキャパシタを有しない、DRAMメモリセルの動作上の問題点を説明するための図である。

[図11]従来例のキャパシタを有しない、DRAMメモリセルの読出し動作を示す図である。

発明を実施するための形態

[0023] 以下、本発明に係る、半導体素子を用いたメモリ装置（以後、ダイナミックフラッシュメモリと呼ぶ）の製造方法について、図面を参照しながら説明する。

[0024] （第1実施形態）

図1～図5を用いて、本発明の第1実施形態に係るダイナミックフラッシュメモリセルの構造と動作メカニズムと製造方法とを説明する。図1を用いて、ダイナミックフラッシュメモリセルの構造を説明する。そして、図2を用いてデータ消去メカニズムを、図3を用いてデータ書き込みメカニズムを、図4を用いてデータ書き込みメカニズムを説明する。図5を用いて、ダイナミックフラッシュメモリの製造方法を説明する。

[0025] 図1に、本発明の第1実施形態に係るダイナミックフラッシュメモリセルの構造を示す。基板1上に形成した、P型又はi型（真性型）の導電型を有するシリコン半導体柱2（以下、シリコン半導体柱を「Si柱」と称する。）内の上下の位置に、一方がソースとなる場合に、他方がドレインとなるN⁺層3a、3bが形成されている。このソース、ドレインとなるN⁺層3a、3b間のSi柱2の部分がチャネル領域7となる。このチャネル領域7を囲むように第1のゲート絶縁層4a、第2のゲート絶縁層4bが形成されている。この第1のゲート絶縁層4a、第2のゲート絶縁層4bは、このソース、ドレインとなるN⁺層3a、3bに、それぞれ接するか、または近接している。この第1のゲート絶縁層4a、第2のゲート絶縁層4bを囲むように第

1のゲート導体層5a、第2のゲート導体層5bがそれぞれ形成されている。そして、第1のゲート導体層5a、第2のゲート導体層5bは絶縁層6により分離されている。そして、N⁺層3a、3b間のSi柱2の部分チャンネル領域7は、第1のゲート絶縁層4aで囲まれた第1のチャンネル領域7aと、第2のゲート絶縁層4bで囲まれた第2のチャンネル領域7bと、よりなる。これによりソース、ドレインとなるN⁺層3a、3b、チャンネル領域7、第1のゲート絶縁層4a、第2のゲート絶縁層4b、第1のゲート導体層5a、第2のゲート導体層5bからなるダイナミックフラッシュメモリセル9が形成される。そして、ソースとなるN⁺層3aはソース線SLに、ドレインとなるN⁺層3bはビット線BLに、第1のゲート導体層5aはプレート線PLに、第2のゲート導体層5bはワード線WLに、それぞれ接続している。プレート線PLが接続された、第1のゲート導体層5aのゲート容量は、ワード線WLが接続された、第2のゲート導体層5bのゲート容量よりも、大きくなるような構造を有することが望ましい。

[0026] なお、図1では、プレート線PLに接続された第1のゲート導体層5aのゲート容量が、ワード線WLが接続された、第2のゲート導体層5bのゲート容量よりも、大きくなるように第1のゲート導体層5aのゲート長を、第2のゲート導体層5bのゲート長よりも長くしている。しかし、その他にも、第1のゲート導体層5aのゲート長を、第2のゲート導体層5bのゲート長よりも長くせずに、それぞれのゲート絶縁層の膜厚を変えて、第1のゲート絶縁層4aのゲート絶縁膜の膜厚を、第2のゲート絶縁層4bのゲート絶縁膜の膜厚よりも薄くしてもよい。また、それぞれのゲート絶縁層の材料の誘電率を変えて、第1のゲート絶縁層4aのゲート絶縁膜の誘電率を、第2のゲート絶縁層4bのゲート絶縁膜の誘電率よりも高くしてもよい。また、ゲート導体層5a、5bの長さ、ゲート絶縁層4a、4bの膜厚、誘電率のいずれかを組み合わせて、プレート線PLに接続された第1のゲート導体層5aのゲート容量が、ワード線WLが接続された、第2のゲート導体層5bのゲート容量よりも、大きくしてもよい。

[0027] 図2を参照して、消去動作メカニズムを説明する。N⁺層3a、3b間のチャネル領域7は、電氣的に基板から分離され、フローティングボディとなっている。図2(a)に消去動作前に、前のサイクルでインパクトイオン化により生成された正孔群11がチャネル領域7に蓄えられている状態を示す。そして、図2(b)に示すように、消去動作時には、ソース線SLの電圧を、負電圧 V_{ERA} にする。ここで、 V_{ERA} は、例えば、-3Vである。その結果、チャネル領域7の初期電位の値に関係なく、ソース線SLが接続されているソースとなるN⁺層3aとチャネル領域7のPN接合が順バイアスとなる。その結果、前のサイクルでインパクトイオン化により生成された、チャネル領域7に蓄えられていた、正孔群11が、ソース部のN⁺層3aに吸い込まれ、チャネル領域7の電位 V_{FB} は、 $V_{FB} = V_{ERA} + V_b$ となる。ここで、 V_b はPN接合のビルトイン電圧であり、約0.7Vである。したがって、 $V_{ERA} = -3V$ の場合、チャネル領域7の電位は、-2.3Vになる。この値が、消去状態のチャネル領域7の電位状態となる。このため、フローティングボディのチャネル領域7の電位が負の電圧になると、ダイナミックフラッシュメモリセルのNチャネルMOSトランジスタのしきい値電圧は、基板バイアス効果によって、高くなる。これにより、図2(c)に示すように、このワード線WLが接続された第2のゲート導体層5bのしきい値電圧は高くなる。このチャネル領域7の消去状態は論理記憶データ“0”となる。なお、上記のビット線BL、ソース線SL、ワード線WL、プレート線PLに印加する電圧条件は、消去動作を行うための一例であり、消去動作ができる他の動作条件であってもよい。

[0028] 図3に、本発明の第1実施形態に係るダイナミックフラッシュメモリセルの書込み動作を示す。図3(a)に示すように、ソース線SLの接続されたN⁺層3aに例えば0Vを入力し、ビット線BLの接続されたN⁺層3bに例えば3Vを入力し、プレート線PLの接続された第1のゲート導体層5aに、例えば、2Vを入力し、ワード線WLの接続された第2のゲート導体層5bに、例えば、5Vを入力する。その結果、図3(a)に示したように、プ

プレート線PLの接続された第1のゲート導体層5aの内側のチャネル領域7の内周には、反転層12aが形成され、第1のゲート導体層5aを有する第1のNチャネルMOSトランジスタは線形領域で動作させる。この結果、プレート線PLの接続された第1のゲート導体層5aの内側の反転層12aには、ピンチオフ点13が存在する。一方、ワード線WLの接続された第2のゲート導体層5bを有する第2のNチャネルMOSトランジスタは飽和領域で動作させる。この結果、ワード線WLの接続された第2のゲート導体層5bの内側には、ピンチオフ点は存在せずに全面に反転層12bが形成される。このワード線WLの接続された第2のゲート導体層5bの内側に全面に形成された反転層12bは、第2のゲート導体層5bを有する第2のNチャネルMOSトランジスタの実質的なドレインとして働く。この結果、直列接続された第1のゲート導体層5aを有する第1のNチャネルMOSトランジスタと、第2のゲート導体層5bを有する第2のNチャネルMOSトランジスタとの間のチャネル領域7の第1の境界領域で電界は最大となり、この領域でインパクトイオン化現象が生じる。この領域は、ワード線WLの接続された第2のゲート導体層5bを有する第2のNチャネルMOSトランジスタから見たソース側の領域であるため、この現象をソース側インパクトイオン化現象と呼ぶ。このソース側インパクトイオン化現象により、ソース線SLの接続されたN⁺層3aからビット線の接続されたN⁺層3bに向かって電子が流れる。加速された電子が格子Si原子に衝突し、その運動エネルギーによって、電子・正孔対が生成される。生成された電子の一部は、第1のゲート導体層5aと第2のゲート導体層5bに流れるが、大半はビット線BLの接続されたN⁺層3bに流れる。また、“1”書込みにおいて、GIDL (Gate Induced Drain Leakage) 電流を用いて電子・正孔対を発生させ（〔非特許文献11〕を参照）、生成された正孔群でフローティングボディFB内を満たしてもよい。

[0029] そして、図3において、(b)に示すように、生成された正孔群11は、チャネル領域7の多数キャリアであり、チャネル領域7を正バイアスに充電

する。ソース線SLの接続されたN⁺層3aは、0Vであるため、チャネル領域7はソース線SLの接続されたN⁺層3aとチャネル領域7との間のPN接合のビルトイン電圧V_b（約0.7V）まで充電される。チャネル領域7が正バイアスに充電されると、第1のNチャネルMOSトランジスタと第2のNチャネルMOSトランジスタのしきい値電圧は、基板バイアス効果によって、低くなる。これにより、（c）で示すように、ワード線WLの接続された第2のチャネル領域7bのNチャネルMOSトランジスタのしきい値電圧は、低くなる。このチャネル領域7の書込み状態を論理記憶データ“1”に割り当てる。

[0030] なお、書込み動作時に、上記の第1の境界領域に替えて、第1の不純物層と第1のチャネル半導体層との間の第2の境界領域、または、第2の不純物層と第2のチャネル半導体層との間の第3の境界領域で、インパクトイオン化現象、またはGIDL電流で、電子・正孔対を発生させ、発生した正孔群11でチャネル領域7を充電しても良い。なお、上記のビット線BL、ソース線SL、ワード線WL、プレート線PLに印加する電圧条件は、書き込み動作を行うための一例であり、書き込み動作ができる他の動作条件であってもよい。

[0031] 図4A及び図4Bを用いて、本発明の第1実施形態に係るダイナミックフラッシュメモリセルの読出し動作と、これに関係するメモリセル構造を説明する。図4Aの（a）～（c）を用いて、ダイナミックフラッシュメモリセルの読出し動作を説明する。図（a）に示すように、チャネル領域7がビルトイン電圧V_b（約0.7V）まで充電されると、NチャネルMOSトランジスタのしきい値電圧が基板バイアス効果によって、低下する。この状態を論理記憶データ“1”に割り当てる。図（b）に示すように、書込みを行う前に選択するメモリブロックは、予め消去状態“0”にある場合は、チャネル領域7がフローティング電圧V_{FB}はV_{ERA}+V_bとなっている。書込み動作によってランダムに書込み状態“1”が記憶される。この結果、ワード線WLに対して、論理“0”と“1”の論理記憶データが作成される。図（c）

に示すように、このワード線WLに対する2つのしきい値電圧の高低差を利用して、センスアンプで読出しが行われる。

- [0032] 図4Bを用いて、本発明の第1実施形態に係るダイナミックフラッシュメモリセルの読出し動作時の、2つの第1のゲート導体層5aと第2のゲート導体層5bのゲート容量の大小関係と、これに関係する動作を説明する。ワード線WLの接続する第2のゲート導体層5bのゲート容量は、プレート線PLの接続する第1のゲート導体層5aのゲート容量よりも小さく設計することが望ましい。図(a)に示すように、プレート線PLの接続する第1のゲート導体層5aの垂直方向の長さを、ワード線WLの接続する第2のゲート導体層5bの垂直方向の長さより長くして、ワード線WLの接続する第2のゲート導体層5bのゲート容量を、プレート線PLの接続する第1のゲート導体層5aのゲート容量よりも小さくする。図(b)に図(a)のダイナミックフラッシュメモリの1セルの等価回路を示す。そして、図(c)にダイナミックフラッシュメモリの結合容量関係を示す。ここで、 C_{WL} は第2のゲート導体層5bの容量であり、 C_{PL} は第1のゲート導体層5aの容量であり、 C_{BL} はドレインとなるN⁺層3bと第2のチャネル領域7bとの間のPN接合の容量であり、 C_{SL} はソースとなるN⁺層3aと第1のチャネル領域7aとの間のPN接合の容量である。図(d)に示すように、ワード線WL電圧が振幅すると、その動作がチャネル領域7にノイズとして影響を与える。この時のチャネル領域7の電位変動 ΔV_{FB} は、 $\Delta V_{FB} = C_{WL} / (C_{PL} + C_{WL} + C_{BL} + C_{SL}) \times V_{ReadWL}$ となる。ここで、 V_{ReadWL} はワード線WLの読出し時の振幅電位である。式(1)から明らかなようにチャネル領域7の全体の容量 $C_{PL} + C_{WL} + C_{BL} + C_{SL}$ に比べて、 C_{WL} の寄与率を小さくすれば、 ΔV_{FB} は小さくなることが分かる。 $C_{BL} + C_{SL}$ はPN接合の容量であり、大きくするためには、例えば、Si柱2の直径を大きくする。しかしメモリセルの微細化に対しては望ましくない。これに対して、プレートPL接続する第1のゲート導体層5aの垂直方向の長さを、ワード線WLの接続する第1のゲート導体層5bの垂直方向の長さより更に長くすることによって、平面視におけるメモリセルの集積度を落すこと

なしに、 ΔV_{FB} を更に小さくできる。なお、上記のビット線BL、ソース線SL、ワード線WL、プレート線PLに印加する電圧条件は、読み出し動作を行うための一例であり、読み出し動作ができる他の動作条件であってもよい。

[0033] 図5A～図5Jを用いて、本実施形態のダイナミック フラッシュ メモリの製造方法を示す。各図において、(a)は平面図、(b)は(a)のX-X'線に沿った断面図、(c)は(a)のY-Y'線に沿った断面図を示す。

[0034] 図5Aに示すように、基板10（特許請求の範囲の「基板」の一例である）上に、下からN⁺層11（特許請求の範囲の「第1の不純物領域」の一例である）、SiよりなるP層12、N⁺層13を形成する。そして、平面視において円形状のマスク材料層14a、14b、14c、14dを形成する。なお、基板10はSOI（Silicon On Insulator）、単層または複数層よりなるSiまたは他の半導体材料より形成してもよい。また、基板10はN層、またはP層の単層、又は複数層よりなるウエル層であってもよい。

[0035] 次に、5Bに示すように、マスク材料層14a～14dをマスクにして、N⁺層13、P層12、そしてN⁺層11の上部をエッチングして、N⁺層11a上にSi柱12a（特許請求の範囲の「第1の半導体柱」の一例である）、12b、12c、12d（図示せず）、N⁺層13a、13b、13c、13d（図示せず）（それぞれを持って特許請求の範囲の「第2の不純物領域」の一例である）を形成する。

[0036] 次に、5Cに示すように、全体を覆ってゲート絶縁層HfO₂層17を、例えばALD（Atomic Layer Deposition）を用いて形成する。そして、全体にゲート導体層となるTiN層（図示せず）を覆って形成する。そして、CMP（Chemical Mechanical Polishing）により、上面位置がマスク材料層14a～14dの上面になるように研磨する。そして、RIE（Reactive Ion Etching）により、TiN層を垂直方向における上面位置がSi柱12a～12dの中間位置付近になるようにエッチングして、TiN層18（特許請求の

範囲の「第1のゲート導体層」の一例である)を形成する。なお、 HfO_2 層17は、最初に低温での酸化、又はALD (Atomic Layer Deposition) による SiO_2 層と HfO_2 膜の2層構造より形成してもよい。また、ゲート絶縁層として機能するものであれば、単層、又は複数層よりなる他の絶縁層であってもよい。また、 TiN 層18はゲート導体層の機能を持つものであれば、単層、または複数層よりなる他の導体層を用いてもよい。また、 TiN 層を垂直方向における上面位置は Si 柱12a~12dの中間位置より上になるようにエッチングするのが望ましい。なお、メモリセル領域の外側の TiN 層18は除去される。

[0037] 次に、図5Dに示すように、 TiN 層18上に、選択エピタキシャル成長法により、例えば SiGe 層23 (特許請求の範囲の「第1の材料層」の一例である)を形成する。この場合、 SiGe 層23は、 TiN 層18上のみ成長し、露出している Si 柱12a~12dを囲んだ HfO_2 層17上には形成されない。

[0038] 次に、図5Eに示すように、 SiGe 層23を酸化して SiO_2 層23a (特許請求の範囲の「第1の酸化絶縁層」の一例である)を形成する。

[0039] 次に、図5Fに示すように、 SiO_2 層23aより上部の HfO_2 層17をエッチングして、 HfO_2 層17a (特許請求の範囲の「第1のゲート絶縁層」の一例である)を形成する。そして、全体に HfO_2 層17b (特許請求の範囲の「第2のゲート絶縁層」の一例である)を形成する。全体に TiN 層 (図示せず)をCVD法により被覆する。そして、 TiN 層をCMP法により上面位置が N^+ 層13a~13dの下端付近になるようにRIE法によりエッチングして TiN 層26を形成する。そして、 TiN 層26上に、 SiGe 層25を選択成長法により形成する。

そして、図5Gに示すように、 N^+ 層13a、13b、マスク材料層14a、14bの側面を囲み、且つ繋がった SiN 層27aを形成する。同様に N^+ 層13c、13d、マスク材料層14c、14dの側面を囲み、且つ繋がった SiN 層27bを形成する。そして、 SiN 層27a、27bをマスクに

して、TiN層26をエッチングして、TiN層26a（特許請求の範囲の「第2のゲート導体層」の一例である）、26bを形成する。ここで、Si柱12a、12bを囲むHfO₂層17bの外周線と、X-X'線との交点間の長さL1が、Y-Y'方向でのSiN層27a、27bの幅L2の2倍より小さくし、且つSi柱12a、12cを囲むHfO₂層17bの外周線と、Y-Y'線との交点間の長さL3がL2の2倍より大きくすることにより、SiN層27aをSi柱12a、12b間で繋がり、且つSi柱12a、12c間で離れて形成することができた。同様に、SiN層27bをSi柱12c、12d間で繋がり、且つSi柱12a、12c間で離れて形成される。なお、HfO₂層17bは、最初に低温での酸化、又はALD（Atomic Layer Deposition）によるSiO₂層とHfO₂膜の2層構造より形成してもよい。また、ゲート絶縁層として機能するものであれば、単層、又は複数層よりなる他の絶縁層であってもよい。また、TiN層18はゲート導体層の機能を持つものであれば、単層、または複数層よりなる他の導体層を用いてもよい。

[0040] 次に、図5Hに示すように、TiN層26a、26bとSiN層27a、27bの側面間、及び周辺に、空孔31aa、31ab、31ac、31ba、31bb、31bc、31ca、31cb、31ccを含んだSiO₂層29を形成する。図5Gで、(d)は、(a)のX1-X1'線に沿った断面図である（図5Iにおいても同様）。なお、空孔31aa、31ab、31ac、31ba、31bb、31bc、31ca、31cb、31ccの上端位置は、図(d)の点線で示すTiN層26a、26bの上端位置より低く形成する。

[0041] 次に、図5Iに示すように、マスク材料層14a~14dをエッチングして、コンタクトホール30a、30b、30c、30dを形成する。

[0042] 次に、図5Jに示すように、コンタクトホール30a、30cを介して、N⁺層13a、13cに繋がったビット線導体層BL1（32a）と、コンタクトホール30b、30dを介して、N⁺層13b、13dに繋がったビット

線導体層BL2 (32b) と、を形成する。そして、ビット線導体層BL1 (32a)、ビット線導体層BL2 (32b) 間、及び両側に空孔34a、34b、34cを含んだSiO₂層33を形成する。これにより、基板10上にダイナミック フラッシュ メモリが形成される。TiN層26a、26bはワード線導体層WL1、WL2となり、TiN層18はゲート導体層を兼ね備えたプレート線導体層PLとなり、N⁺層11aはソース不純物層を兼ね備えたソース線導体層SLとなる。

[0043] 図5Kに、図5Jに示したダイナミック フラッシュ メモリの模式構造図を示す。ソース線導体層SLのN⁺層11aは、全面に繋がって形成される。そして、PL線導体層PLも全体に繋がって形成される。そして、ワード線導体層WL1に繋がるゲート導体TiN層26aが隣接したSi柱12a、12b間でX方向において互いに繋がり形成される。同じく、ワード線導体層WL2に繋がるゲート導体TiN層26bが隣接したSi柱12c、12d間でX方向において互いに繋がり形成される。そして、N⁺層13a、13cに繋がるビット線導体層BL1と、N⁺層13b、13dに繋がるビット線導体層BL2と、がX方向と直交するY方向に形成される。

[0044] なお、図5D、図5Eにおいて、TiN層18上に、選択成長法により、例えばSiGe層23を形成し、次に、SiGe層23を酸化してSiO₂層23aを形成した。これに対し、TiN層18上にのみ成長し、露出しているSi柱12a～12dを囲んだHfO₂層上には形成されなく、その後の酸化により酸化層が形成される材料であれば、SiGe層23は金属または半導体よりなる他の材料層であってもよい。また、HfO₂層17は上記の、SiGe層23が選択的にTiN層18上に形成できるものであれば、他の材料層であってもよい。また、TiN層18は、SiGe層23に対応する材料層が選択的に堆積でき、且つゲート導体層の役割を持つものであれば他の導体材料層でもよい。これは、図5F、図5Gにおいて説明したTiN層26と、SiGe層25と、SiO₂層25a、25bとの形成においても同様である。

[0045] また、上記説明ではS i G e層23、25の全体を酸化して、S i O₂層23 a、25 a、25 bを形成したが、表層を酸化してS i O₂層23 a、25 a、25 bしてもよい。

[0046] また、図1において、プレート線PLの接続する第1のゲート導体層5 aの垂直方向の長さを、ワード線WLの接続する第1のゲート導体層5 bの垂直方向の長さより更に長くして、 $C_{PL} > C_{WL}$ とした。しかし、プレート線PLを付加することだけでも、ワード線WLのチャネル領域7に対する、容量結合のカップリング比($C_{WL}/(C_{PL} + C_{WL} + C_{BL} + C_{SL})$)が小さくなる。その結果、フローティングボディのチャネル領域7の電位変動 ΔV_{FB} は、小さくなる。

[0047] また、プレート線PLの電圧 $V_{ErasePL}$ は、各動作モードに関わらず、例えば、2 Vの固定電圧を印加しても良い。また、プレート線PLの電圧 $V_{ErasePL}$ は、消去時のみ、例えば、0 Vを印加しても良い。また、プレート線PLの電圧 $V_{ErasePL}$ は、ダイナミック フラッシュ メモリ動作ができる条件を満たす電圧であれば、固定電圧、または時間的に変化する電圧を与えてもよい。

[0048] また、図1において、S i柱2の水平断面形状は、円形状、楕円状、長方形形状であっても、本実施形態で説明したダイナミック フラッシュ メモリ動作ができる。また、同一チップ上に、円形状、楕円状、長方形形状のダイナミック フラッシュ メモリセルを混在させてもよい。

[0049] また、図1において、垂直方向において、絶縁層6で囲まれた部分のチャネル領域7では、第1のチャネル領域7 a、第2のチャネル領域7 bの電位分布が繋がって形成されている。これにより、第1のチャネル領域7 a、第2のチャネル領域7 bのチャネル領域7が、垂直方向において、絶縁層6で囲まれた領域で繋がっている。

[0050] 本実施形態は、下記の特徴を供する。

(特徴1)

本実施形態のダイナミック フラッシュ メモリセルでは、ソース、ドレインとなるN⁺層3 a、3 b、チャネル領域7、第1のゲート絶縁層4 a、第2のゲート絶縁層4 b、第1のゲート導体層5 a、第2のゲート導体層5 bが

、全体として柱状に形成される。また、ソースとなるN⁺層3 aはソース線S Lに、ドレインとなるN⁺層3 bはビット線B Lに、第1のゲート導体層5 aはプレート線P Lに、第2のゲート導体層5 bはワード線W Lに、それぞれ接続している。プレート線P Lが接続された、第1のゲート導体層5 aのゲート容量は、ワード線W Lが接続された、第2のゲート導体層5 bのゲート容量よりも、大きくなるような構造を特徴としている。本ダイナミック フラッシュ メモリセルでは、垂直方向に第1のゲート導体層5 aと、第2のゲート導体層5 bが、積層されている。このため、プレート線P Lが接続された、第1のゲート導体層5 aのゲート容量が、ワード線W Lが接続された、第2のゲート導体層5 bのゲート容量よりも、大きくなるような構造にしても、平面視において、メモリセル面積を大きくさせない。これによりダイナミック フラッシュ メモリセルの高性能化と高集積化が同時に実現できる。

[0051] (特徴2)

ダイナミック フラッシュ メモリセルが書込み、読出し動作をする際に、ワード線W Lの電圧が上下に振幅する。この際に、プレート線P Lは、ワード線W Lとチャネル領域7との間の容量結合比を低減させる役目を担う。この結果、ワード線W Lの電圧が上下に振幅する際の、チャネル領域7の電圧変化の影響を著しく抑えることができる。これにより、論理“0”と“1”を示すワード線W LのS G Tトランジスタのしきい値電圧差を大きくすることが出来る。これは、ダイナミック フラッシュ メモリセルの動作マージンの拡大に繋がる。

[0052] (特徴3)

図5 D、図5 Eにおいて、T i N層1 8上に、選択成長法により、例えばS i G e層2 3を形成し、次に、S i G e層2 3を酸化してS i O₂層2 3 aを形成した。このS i O₂層2 3 aは、プレート線P Lに繋がるゲートT i N層1 8と、ワード線W Lに繋がるゲートT i N層2 6 a、2 6 bとを電氣的に分離するための絶縁層となる。このS i O₂層2 3 aを、従来の方法では、C V D法S i O₂層堆積、C M P研磨、R I Eエッチングで形成する。この方

法は、最初に全体にCVD法により SiO_2 膜を堆積する。そして、CMP法により、その SiO_2 膜の上面位置がマスク材料層14a～14dの上面位置になるように研磨する。そしてRIE法により、 TiN 層18上に、 SiO_2 膜を所定の厚さを残すように、エッチングする。このエッチングが過剰になされて、 TiN 層18の上面より、 SiO_2 膜全体が除去されると、 TiN 層18と、 TiN 層26a、26bとの電氣的短絡が生じる。このように、RIE法エッチングに高い制御性と、ウエハ全面での高い均一性が求められる。これに対して、 TiN 層18上への、 SiGe 層23の成長は均一に形成できることに加えて、 SiGe 層23を酸化して SiO_2 層23aを形成するので、従来の方法におけるRIE法でのオーバーエッチングによる TiN 層18と、 TiN 層26a、26bとの電氣的短絡不良は発生しない。

[0053] (特徴4)

図5Eでは SiGe 層23の全体が酸化されて SiO_2 層23aを形成したが、全体が形成されなくても、 TiN 層18と、 TiN 層26a、26bの絶縁がなされる。これにより、容易に TiN 層18と、 TiN 層26a、26bの絶縁がなされる。

[0054] (特徴5)

SiGe 層23は Si と比べて酸化速度が大きい（例えば、非特許文献12を参照）。これにより、例えば図5Eにおいて、 GeSi 層23の全体を酸化しなくて、図Fにおいて HfO_2 層17bを形成する前に、薄い SiO_2 層を Si 柱12a～12dの側面に形成すると同時に、更に GeSi 層23の酸化を促進して SiO_2 層23aを形成することができる。これによって、 TiN 層18と、 TiN 層26a、26bとを絶縁する SiO_2 層23a形成のプロセス設計が容易になる。

[0055] (特徴6)

図5F、図5Gに示したように、 TiN 層26上に選択成長した SiGe 層25を酸化して形成した SiO_2 層25aは、 SiN 層27a、27bを形成する時の TiN 層26を保護するエッチングストッパー層となる。それによ

リワード線WLのTiN層26a、26bの形成を容易する。また、N⁺層13a～13dとビット線導体層BL1（32a）、BL2（32b）との接続抵抗を下げるため、コンタクトホール30a～30dをN⁺層13a～13dの側面を囲むように広げて形成する場合は、コンタクトホール30a～30d形成でのエッチングストッパー層になると共に、TiN層26a、26bと、ビット線導体層BL1（32a）、BL2（32b）と、を電氣的に分離する絶縁層となる。

[0056] （第2実施形態）

図6を用いて、第2実施形態のダイナミック フラッシュ メモリの製造方法を示す。図6において、（a）は平面図、（b）は（a）のX-X'線に沿った断面図、（c）は（a）のY-Y'線に沿った断面図を示す。

[0057] 図5A～図5Eに示した工程を行う。そして、図6に示すように、垂直方向におけるSiO₂層23aより上方のHfO₂層17を残して、その外周に図5Fに示した工程と同じく、SiN層27a、27b、TiN層26a、26bを形成する。そして、図5G～図5Iに示した工程を行い、基板10上にダイナミック フラッシュ メモリを形成する。

[0058] 本実施形態は、下記の特徴を供する。

本実施形態では、ワード線WLに繋がるSGTのゲート絶縁層を、下部のプレート線PLに繋がるSGTのゲート絶縁層であるHfO₂層17で形成した。これにより、第1実施形態のように、ワード線WLに繋がるSGTのゲート絶縁層であるHfO₂層17bと、下部のプレート線PLに繋がるSGTのゲート絶縁層であるHfO₂層17aとを、別々に形成する必要がない。これにより、製造工程の簡略化が図れる。

[0059] （第3実施形態）

図7A～図7Cを用いて、第3実施形態のダイナミック フラッシュ メモリの製造方法を示す。各図において、（a）は平面図、（b）は（a）のX-X'線に沿った断面図、（c）は（a）のY-Y'線に沿った断面図を示す。

[0060] 図5A～図5Eに示した工程を行う。そして、図7Aに示すように、垂直方向において、 SiO_2 層23aより上部の HfO_2 層17をエッチングして、 HfO_2 層17aを形成する。

[0061] 次に、図7Bに示すように、露出している Si 柱12a～12dの側面を低温酸化して SiO_2 層40a、40b、40c、40dを形成する。そして、図5G～図5Iに示した工程を行い、基板10上にダイナミックフラッシュメモリを形成する。

[0062] 次に、図7Cに示すように、 SiO_2 層40a、40b、マスク材料層14a、14bの側面を囲み繋がった TiN 層26aと、 SiO_2 層40c、40d、マスク材料層14c、14dと、の側面を囲み繋がった TiN 層26bと、を形成する。そして、図5G～図5Iの工程を行うことにより、基板10上にダイナミックフラッシュメモリを形成する。

[0063] 本実施形態は、下記の特徴を供する。

本実施形態では、ワード線WLに繋がるSGTのゲート絶縁層として SiO_2 層40a～40dが形成される。これに対して、プレート線PLに接続するSGTのゲート絶縁層として高誘電率材料の HfO_2 層17aを用いることにより、容易にプレート線のSGTのゲート容量を、ワード線WLに接続するSGTのゲート容量より大きくすることが出来る。これにより、より安定したダイナミックフラッシュメモリ動作が可能になる。

[0064] (第4実施形態)

図8A、図8Bを用いて、第4実施形態のダイナミックフラッシュメモリの製造方法を示す。各図において、(a)は平面図、(b)は(a)のX-X'線に沿った断面図、(c)は(a)のY-Y'線に沿った断面図を示す。

[0065] 図5Dに示したように、 TiN 層18上に SiGe 層23を形成する。そして、図8Aに示すように、垂直方向において SiGe 層23より上にある HfO_2 層17を除去して HfO_2 層17aを形成する。

[0066] 次に、図8Bに示すように、露出している Si 柱12a～12d側面を酸

化して、薄い SiO_2 層42a（特許請求の範囲の「第2の酸化絶縁層」の一例である）、42b、42c、42dを形成する。同時に SiGe 層23が酸化されて、 SiO_2 層43（特許請求の範囲の「第1の絶縁層」の一例である）が形成される。この酸化で、 SiGe 層23の上層だけが酸化される場合は、その下層に SiGe 層23cが残存する。そして、全体に HfO_2 層43を堆積する。以後は、図5D～図5Iの工程を行い、基板10上にダイナミックフラッシュメモリを形成する。ここでは、 Si 柱12a～12dを囲んだ SiO_2 層42a～42dと HfO_2 層43とがゲート絶縁層となる。

[0067] 本実施形態は、下記の特徴を供する。

（特徴1）

第3実施形態では、 SiO_2 層23aと SiO_2 層40a～40dとの形成を別々に行っていた。これに対して、本実施形態では、 SiO_2 層42a～42dと SiO_2 層23cの形成を同時に行う。第3実施形態のように、 SiO_2 層23cを形成した後に、改めて SiO_2 層42a～42dを形成する場合は、洗浄工程が改めて必要になる。これによって、 SiO_2 層23cがエッチングされる。この場合、ウエハ全体において、均一なエッチングが要求される。これに対して、本実施形態では、このような問題は生じない。

[0068] （特徴2）

本実施形態においても、図8Bに示すように SiGe 層23cが残存しても、本実施形態は TiN 層18と TiN 層26a、26bと電氣的絶縁状に何ら問題を生じない。これにより、本実施形態では、 TiN 層18と TiN 層26a、26bとの絶縁が容易に実現できる。

[0069] （その他の実施形態）

なお、本発明では、 Si 柱2、12a～12dを形成したが、 Si 以外の半導体材料よりなる半導体柱であってもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0070] また、第1実施形態における、 N^+ 層3a、3b、11、13は、ドナー不純物を含んだ Si 、または他の半導体材料層より形成されてもよい。また、

N⁺層 3 a、3 b、1 1、1 3 は異なる半導体材料層より形成されてもよい。また、それらの形成方法はエピタキシャル結晶成長法、または、他の方法で N⁺層を形成してもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0071] また、図 5 A に示した、マスク材料層 1 4 a ~ 1 4 d は、例えば、S i O₂層、酸化アルミニウム (A l₂O₃、A l O と称する) 層、S i N 層などの、本発明の目的に合う材料であれば、単層または複数層よりなる有機材料または無機材料を含む他の材料層を用いてもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0072] また、第 1 実施形態において示した、マスク材料層 1 4 a ~ 1 4 d の厚さ、及び形状は、その後の C M P による研磨、及び R I E エッチング、洗浄により変化する。この変化は、本発明の目的に合うもの内であれば、問題ない。このことは、本発明に係るその他の実施形態においても同様である。

[0073] また、図 5 G において、マスク材料層 2 7 a、2 7 b の上端位置がマスク材料層 1 4 a ~ 1 4 d の上端位置になるようにした。これに対し、R I E 工程において、N⁺層 1 3 a ~ 1 3 d の側面を覆う条件を満たせば、垂直方向における、マスク材料層 2 7 a、2 7 b の上端は、マスク材料層 1 4 a ~ 1 4 d の側面にあってもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0074] また、第 1 実施形態では、プレート線 P L と、このプレート線 P L に繋がるゲート導体層 5 a として T i N 層 1 8 を用いた。これに対して、T i N 層 1 8 に替えて、単層または複数の導体材料層を組み合わせ用いてもよい。同じく、ワード線 W L と、このワード線 W L に繋がるゲート導体層 5 b として T i N 層 2 6 a、2 6 b を用いた。これに対して、T i N 層 1 8、2 6 a、2 6 b に替えて、単層または複数の導体材料層を組み合わせ用いてもよい。また、ゲート T i N 層は、その外側が、例えば W などの配線金属層に繋がっていてもよい。このことは、本発明に係るその他の実施形態においても同様である。

- [0075] また、図5 Gに示すSiN層27 a、27 bは、TiN層26 a、26 bを形成するためのエッチングマスク層である。SiN層27 a、27 bは、本実施形態におけるエッチングマスクの機能を得るものであれば、単層、または複数層の他の材料層を用いてもよい。このことは、本発明に係るその他の実施形態においても同様である。
- [0076] 第1実施形態の説明において、SiGe層23はSiと比べて酸化速度が大きい（例えば、非特許文献12を参照）。これにより、例えば図5 Eにおいて、SiGe層23の全体を酸化しなくて、図FにおいてHfO₂層17 bを形成する前に、薄いSiO₂層を熱酸化によりSi柱12 a～12 dの側面に形成すると同時に、更にGeSi層23の酸化を促進してSiO₂層23 aを形成することができる。これによって、TiN層18と、TiN層26 a、26 bとを絶縁するSiO₂層23 a形成のプロセス設計が容易になると述べた。このことは、本発明に係るその他の実施形態においても同様である。
- [0077] 図5 Jの説明では、ビット線BL1導体層32 a、ビット線BL2導体層32 bを一つの工程で形成したが、まずコンタクトホール30 a～30 d内を第1の導体層で形成して、そして、これら導体層に繋げて、ビット線BL1導体層、ビット線BL2導体層になる導体層を形成してもよい。
- [0078] また、第1実施形態では、Si柱12 a～12 dの平面視における形状は、円形状であった。そして、Si柱12 a～12 dの平面視における形状は、円形、楕円、一方方向に長く伸びた形状などであってもよい。そして、ダイナミック フラッシュ メモリセル領域から離れて形成されるロジック回路領域においても、ロジック回路設計に応じて、ロジック回路領域に、平面視形状の異なるSi柱が混在して形成することができる。これらのこのことは、本発明に係るその他の実施形態においても同様である。
- [0079] また、第1実施形態および第5実施形態では、消去動作時にソース線SLを負バイアスにして、フローティングボディFBであるチャネル領域7内の正孔群を引き抜いていたが、ソース線SLに代えて、ビット線BLを負バイアスにして、あるいは、ソース線SLとビット線BLを負バイアスにして、

消去動作を行ってもよい。または、他の電圧条件により、消去動作を行ってもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0080] また、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した各実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成要件の一部を除いても本発明の技術思想の範囲内となる。

産業上の利用可能性

[0081] 本発明に係る、柱状半導体素子を用いたメモリ装置によれば、高密度で、かつ高性能のダイナミック フラッシュ メモリが得られる。

符号の説明

[0082] 1、10 基板
2、12a、12b、12c、12d Si柱
3a、3b、11、11a、13、13a、13b、13c、13d N
+層
4a 第1のゲート絶縁層
4b 第2のゲート絶縁層
5a 第1のゲート導体層
5b 第2のゲート導体層
6 絶縁層
7 チャネル領域
7a 第1のチャネル領域
7b 第2のチャネル領域
SL ソース線
PL プレート線
WL、WL1、WL2 ワード線

BL、BL 1、BL 2 ビット線
9 ダイナミック フラッシュ メモリセル
10 基板
12 P層
14 a、14 b、14 c、14 d マスク材料層
17、17 a、17 b、43 HfO₂層
18、26 a、26 b TiN層
23 SiGe層
23 a、33、40 a、40 b、40 c、40 d、42 a、42 b、42
c、42 d SiO₂層
27 a、27 b SiN層
30 a、30 b、30 c、30 d コンタクトホール
32 a、32 b ビット線導体層
31 a a、31 a b、31 a c、31 b a、31 b b、31 b c、31 c
a、31 c b、31 c c、34 a、34 b、34 c 空孔

請求の範囲

[請求項1]

第1のゲート導体層と、第2のゲート導体層と、第1の不純物領域と、第2の不純物領域と、に印加する電圧を制御して、第1の半導体柱の内部に、インパクトイオン化現象により、またはゲート誘起ドレインリーク電流により形成した正孔群を保持するデータ保持動作と、前記第1のゲート導体層と、前記第2のゲート導体層と、前記第1の不純物領域と、前記第2の不純物領域と、に印加する電圧を制御して、前記第1の半導体柱の内部から前記正孔群を除去するデータ消去動作とを行うメモリ装置の製造方法であって、

基板上に垂直方向に立つ前記第1の半導体柱を形成する工程と、

前記第1の半導体柱の側面を囲む第1のゲート絶縁層を形成する工程と、

前記第1のゲート絶縁層の側面を囲み、且つ上面位置が前記第1の半導体柱の頂部より下方にある前記第1のゲート導体層を形成する工程と、

前記第1のゲート導体層上に選択的に、導体または半導体よりなる第1の材料層を形成する工程と、

前記第1の材料層の表層、または全体を酸化して第1の酸化絶縁層を形成する工程と、

垂直方向において、前記第1の酸化絶縁層より上の前記第1の半導体柱の側面に第2のゲート絶縁層を形成する工程と、

前記第2のゲート絶縁層の側面を囲み、前記第2のゲート導体層を形成する工程と、

前記第1の半導体柱を形成する前に、または形成した後に前記第1の半導体柱の底部に繋がった前記第1の不純物領域を形成する工程と、

前記第1の半導体柱を形成する前に、または形成した後に、前記半導体柱の頂部に前記第2の不純物領域を形成する工程と、

を有することを特徴とする柱状半導体素子を用いたメモリ装置の製造方法。

[請求項2] 垂直方向において、前記第2のゲート絶縁層を、前記第1の半導体柱の側面と、前記第1の酸化絶縁層の上に、繋がって形成する工程を、

有することを特徴とする請求項1に記載の柱状半導体素子を用いたメモリ装置の製造方法。

[請求項3] 前記第1の酸化絶縁層を形成した後に、前記第1の材料層より上方の前記第1の半導体柱の側面を露出させる工程と、

露出した前記半導体柱の側面を酸化して、前記第2のゲート絶縁層を形成する工程と、

を有することを特徴とする請求項1に記載の柱状半導体素子を用いたメモリ装置の製造方法。

[請求項4] 前記第1の材料層を形成した後に、前記第1の材料層より上方の前記第1の半導体柱の側面を露出させる工程と、

前記第1の材料層を酸化して、前記第1の酸化絶縁層を形成すると共に、露出した前記半導体柱の側面を酸化して、第2の酸化絶縁層を形成する工程と、を有し、

前記第2の酸化絶縁層を前記第2のゲート絶縁層とする、

ことを特徴とする請求項1に記載の柱状半導体素子を用いたメモリ装置の製造方法。

[請求項5] 前記第2の酸化絶縁層を形成した後に、前記第2の酸化絶縁層の側面を囲み、且つ前記第1の酸化絶縁層上に繋がった第1の絶縁層を形成する工程と、を有し、

前記第2の酸化絶縁層と、前記第1の絶縁層と、により前記第2のゲート絶縁層が形成される、

ことを特徴とする請求項4に記載の柱状半導体素子を用いたメモリ装置の製造方法。

[請求項6] 垂直方向における、前記第1の酸化絶縁層より上方に前記第1のゲート絶縁層を残存させ、その後前記第2のゲート導体層を形成する工程を有し、

前記第1の酸化絶縁層より上方に残存させた前記第1のゲート絶縁層を前記第2のゲート絶縁層とする、

ことを特徴とする請求項1に記載の柱状半導体素子を用いたメモリ装置の製造方法。

[請求項7] 前記第2のゲート絶縁層を形成した後に、前記第2のゲート絶縁層を囲み、且つ上面位置が前記第2の不純物領域の下端近傍にある第1の導体層を形成する工程と、

第1の導体層上に選択的に、導体または半導体よりなる第2の材料層を形成する工程と、

前記第2の材料層の表層、または全体を酸化して第2の酸化絶縁層を形成する工程と、

を有することを特徴とする請求項1に記載の柱状半導体素子を用いたメモリ装置の製造方法。

[請求項8] 前記第1の材料層がシリコン・ゲルマニウム（SiGe）より形成されている、

ことを特徴とする請求項1に記載の柱状半導体素子を用いたメモリ装置の製造方法。

[請求項9] 前記第1の不純物領域に繋がる配線はソース線であり、前記第2の不純物領域に繋がる配線はビット線であり、前記第1のゲート導体層に繋がる配線と前記第2のゲート導体層と配線は、一方がワード線、他方が第1の駆動制御線であるように形成し、

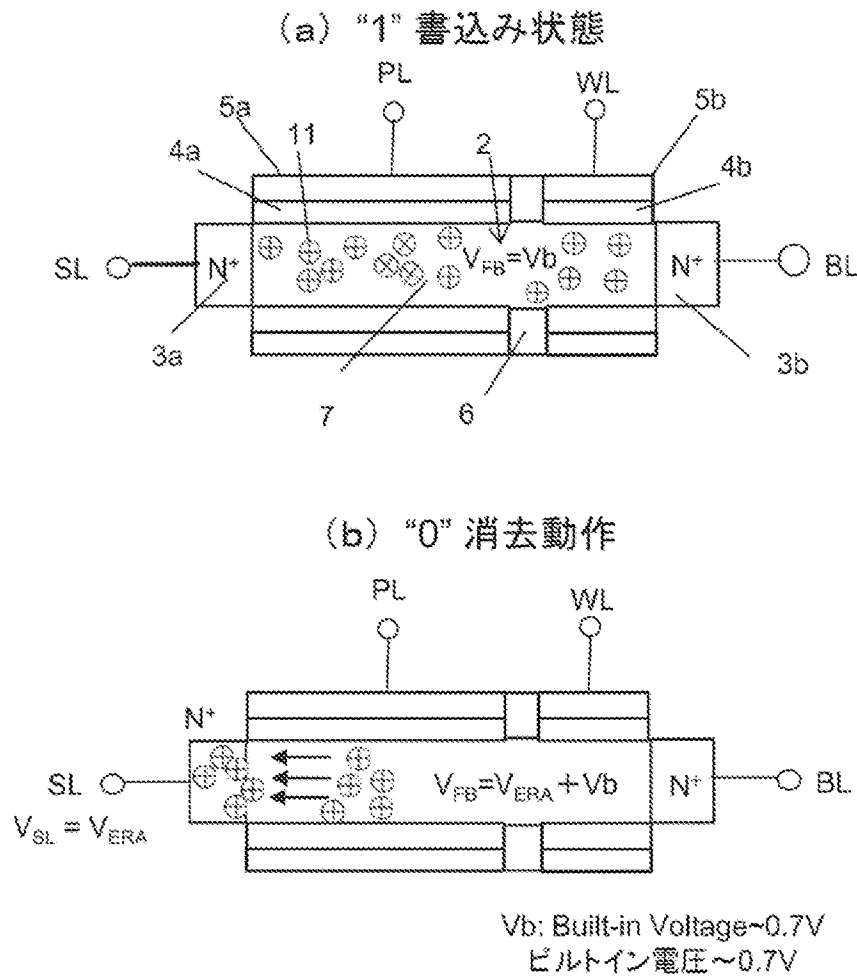
前記ソース線と、前記ビット線と、前記第1の駆動制御線と、前記ワード線とに印加する電圧により、前記メモリ消去動作と、前記メモリ書き込み動作と、を行う、

ことを特徴とする請求項1に記載の柱状半導体素子を用いたメモリ

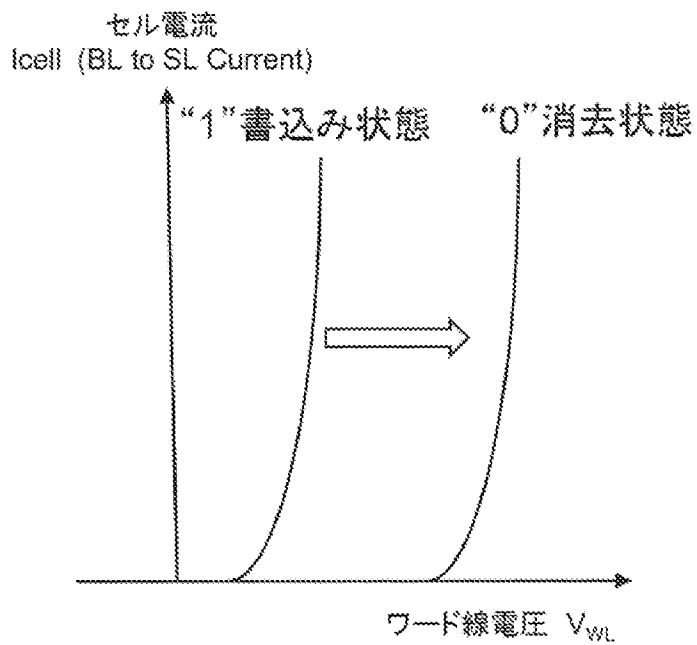
装置の製造方法。

- [請求項10] 前記第1のゲート導体層と前記第1の半導体柱との間の第1のゲート容量が、前記第2のゲート導体層と前記第1の半導体柱との間の第2のゲート容量よりも大きくなるように形成する、
- ことを特徴とする請求項1に記載の柱状半導体素子を用いたメモリ装置の製造方法。

[図2]

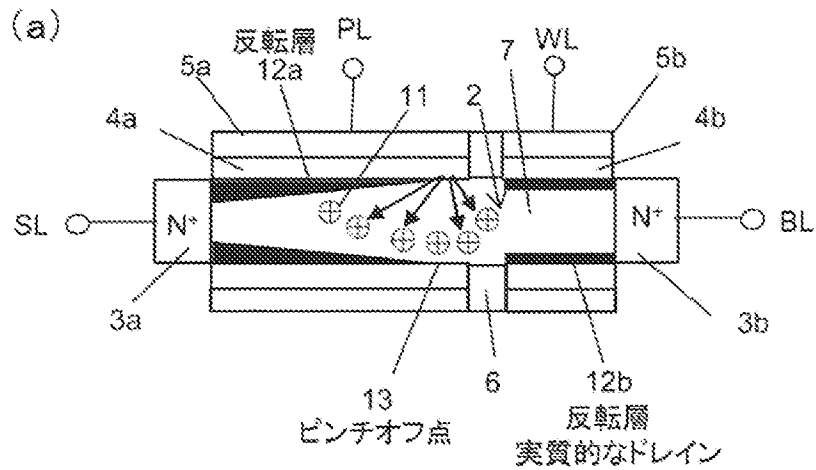


(c)

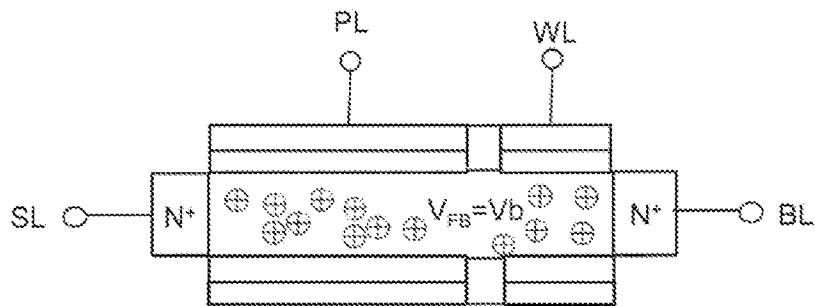


[図3]

“1” 書き込み動作
ソース側インパクトイオン化

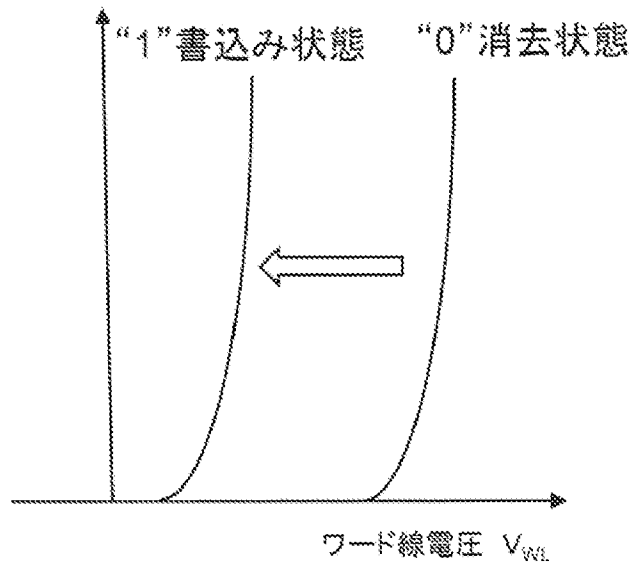


(b) “1” 書き込み状態

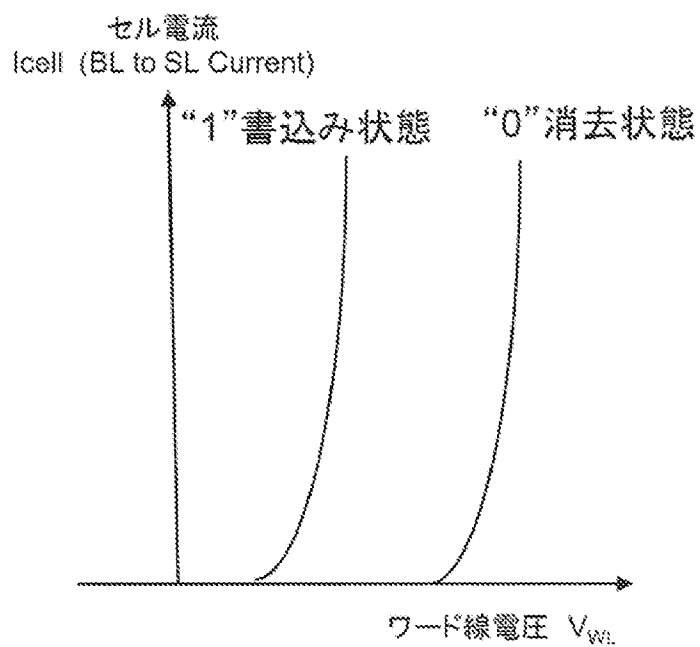


(c)

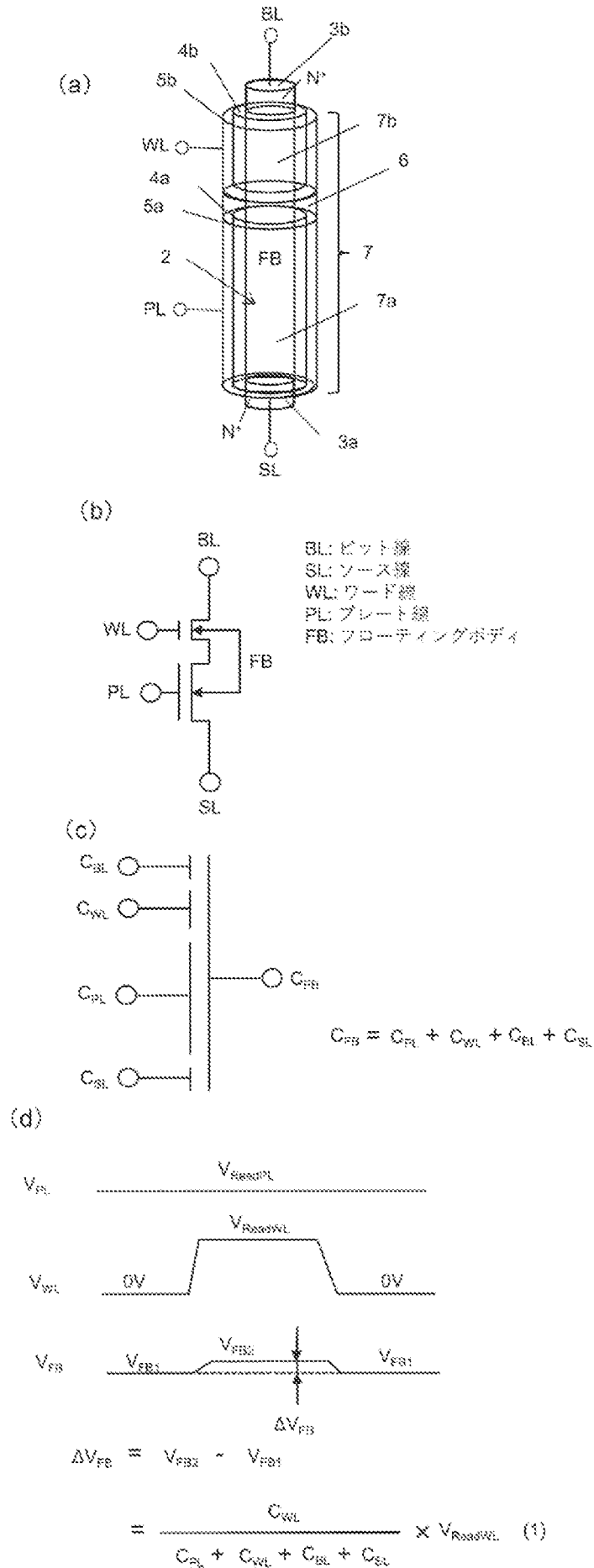
セル電流
I_{cell} (BL to SL Current)



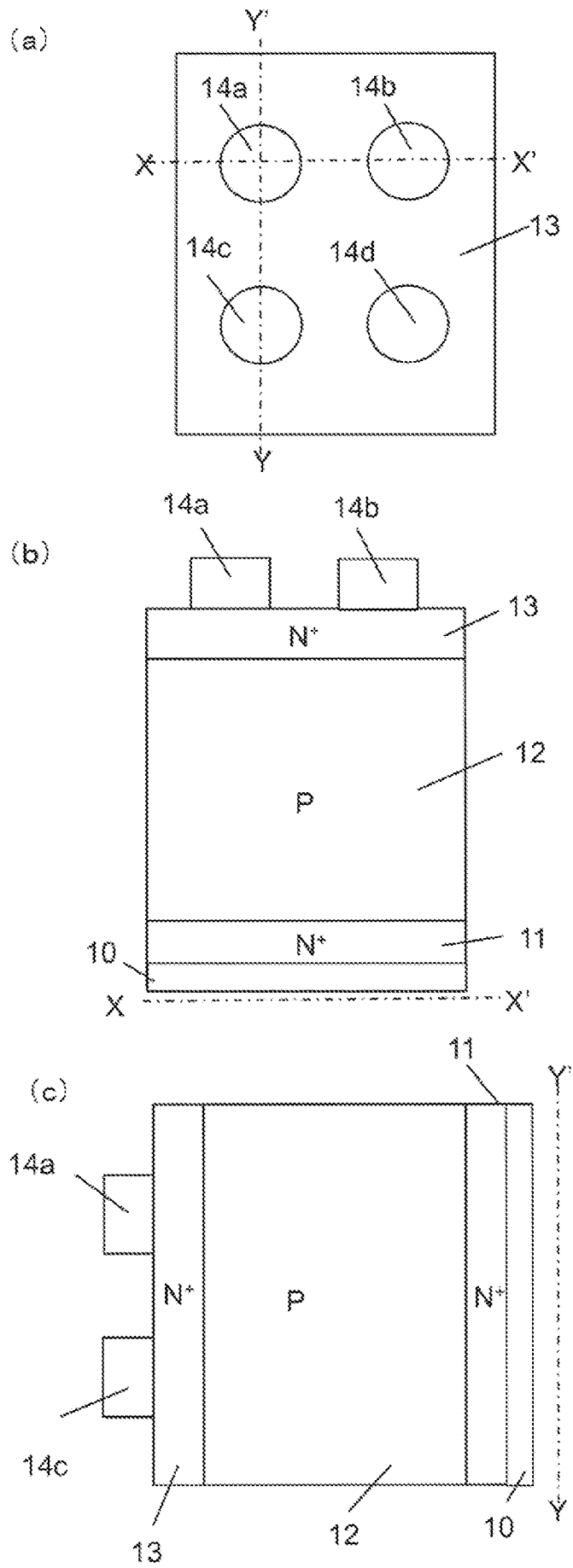
“1” 書込み状態



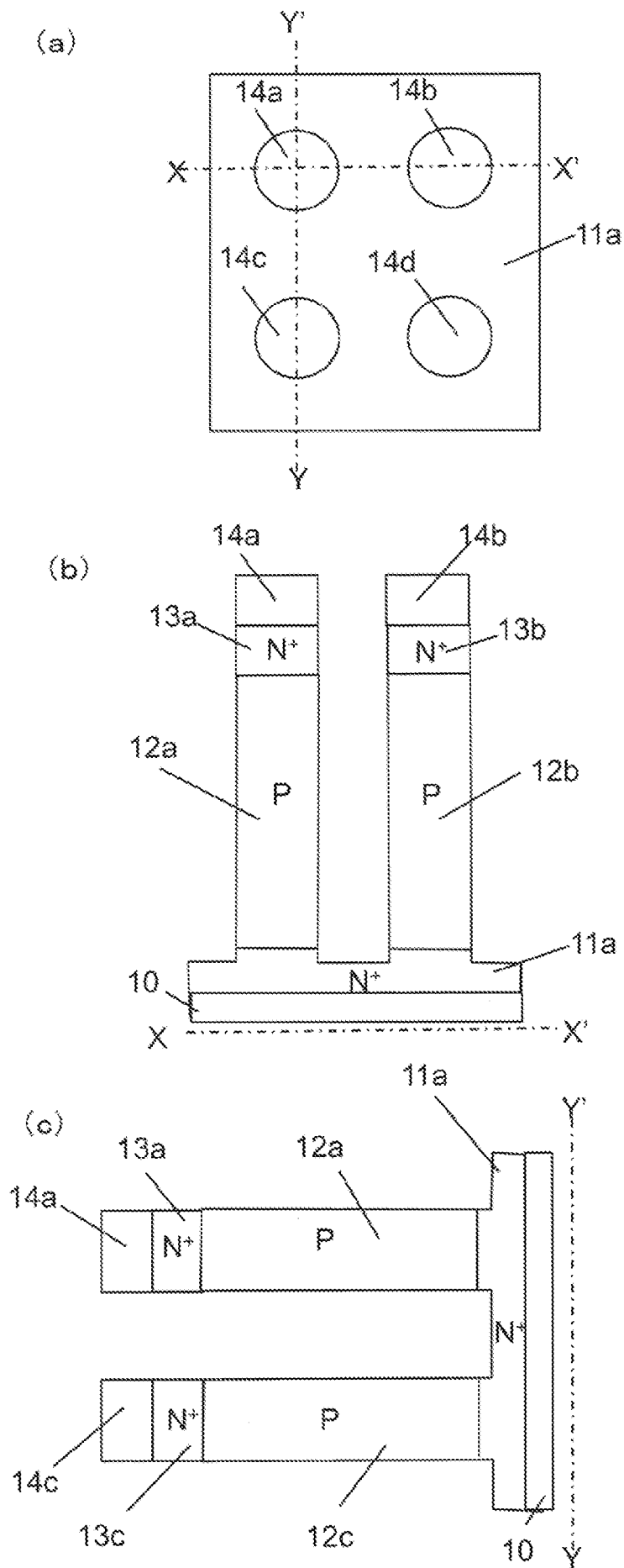
[図4B]



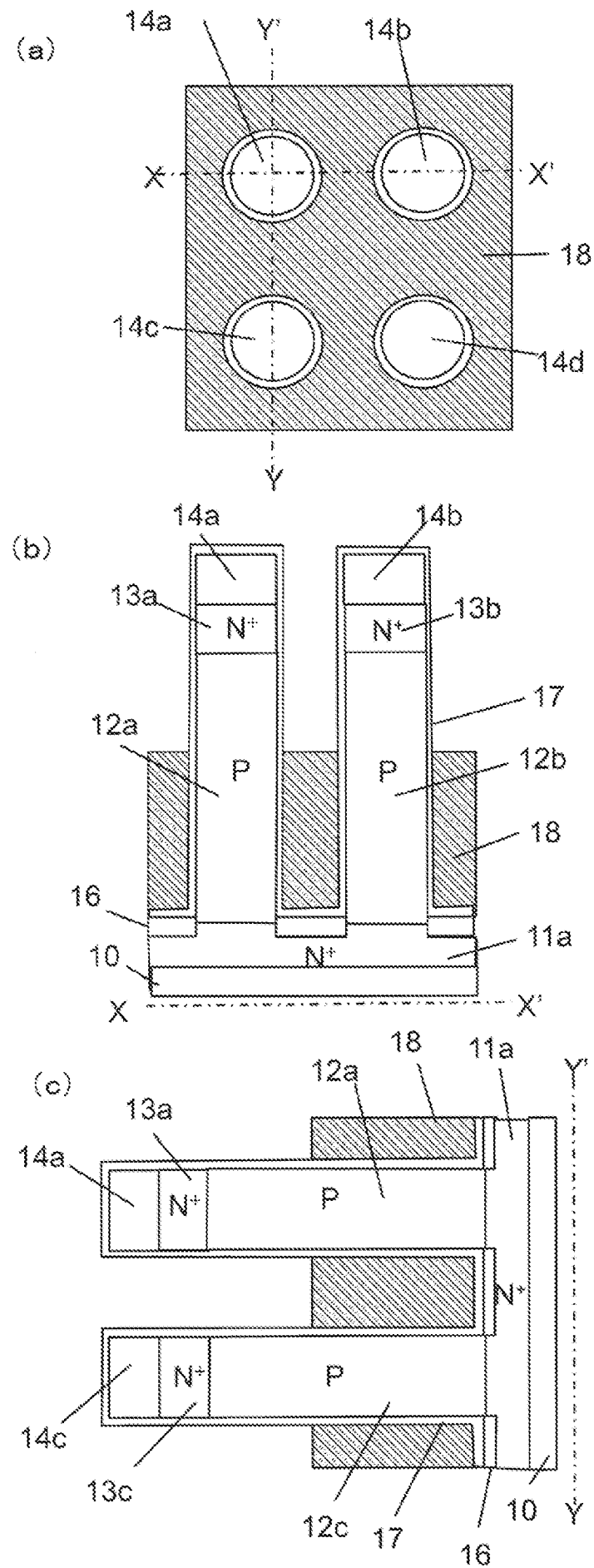
[図5A]



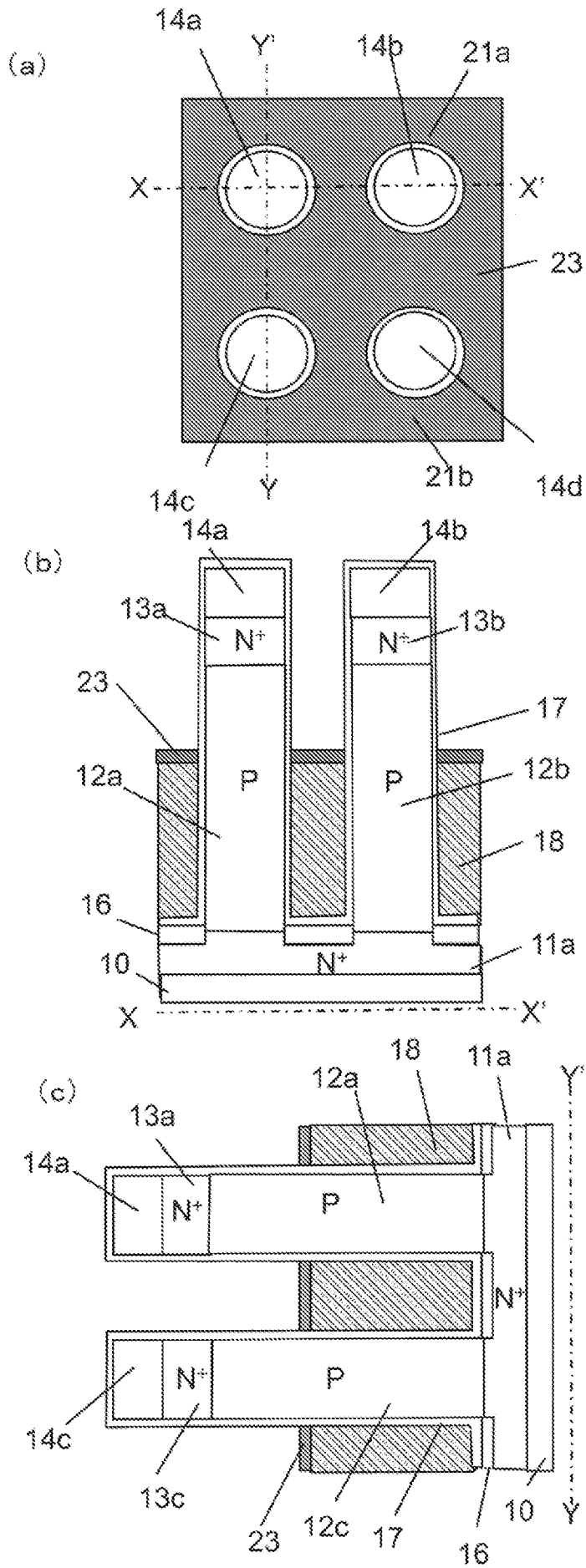
[図5B]



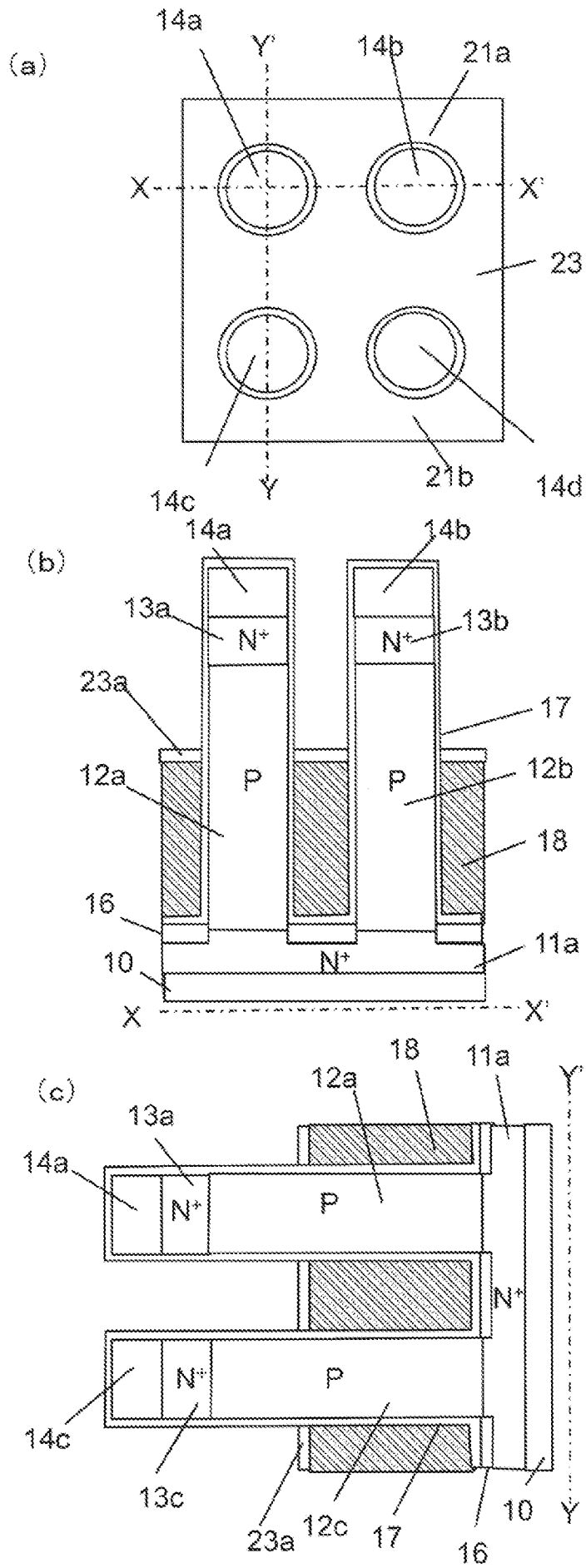
[図5C]



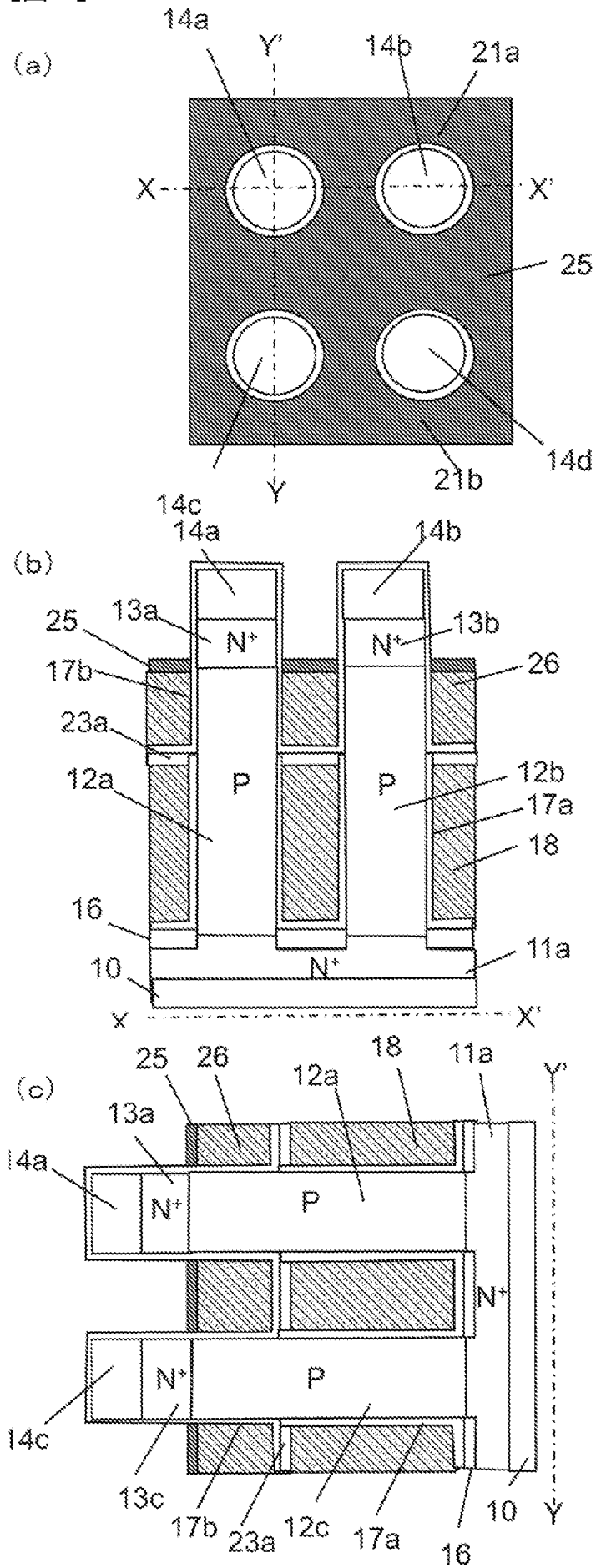
[図5D]



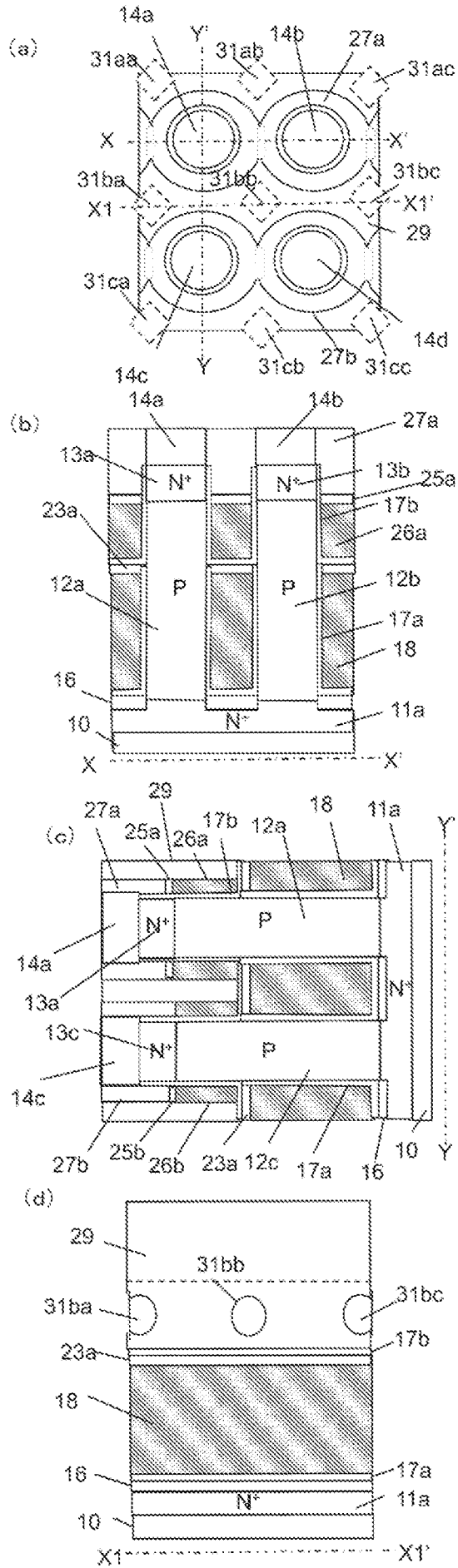
[図5E]



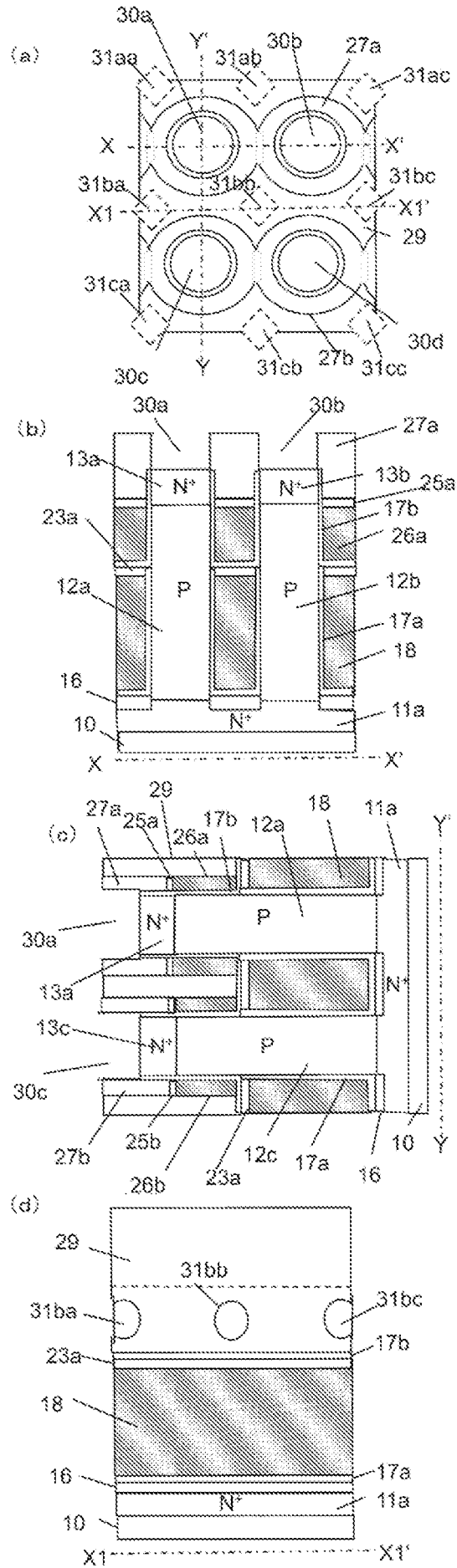
[図5F]



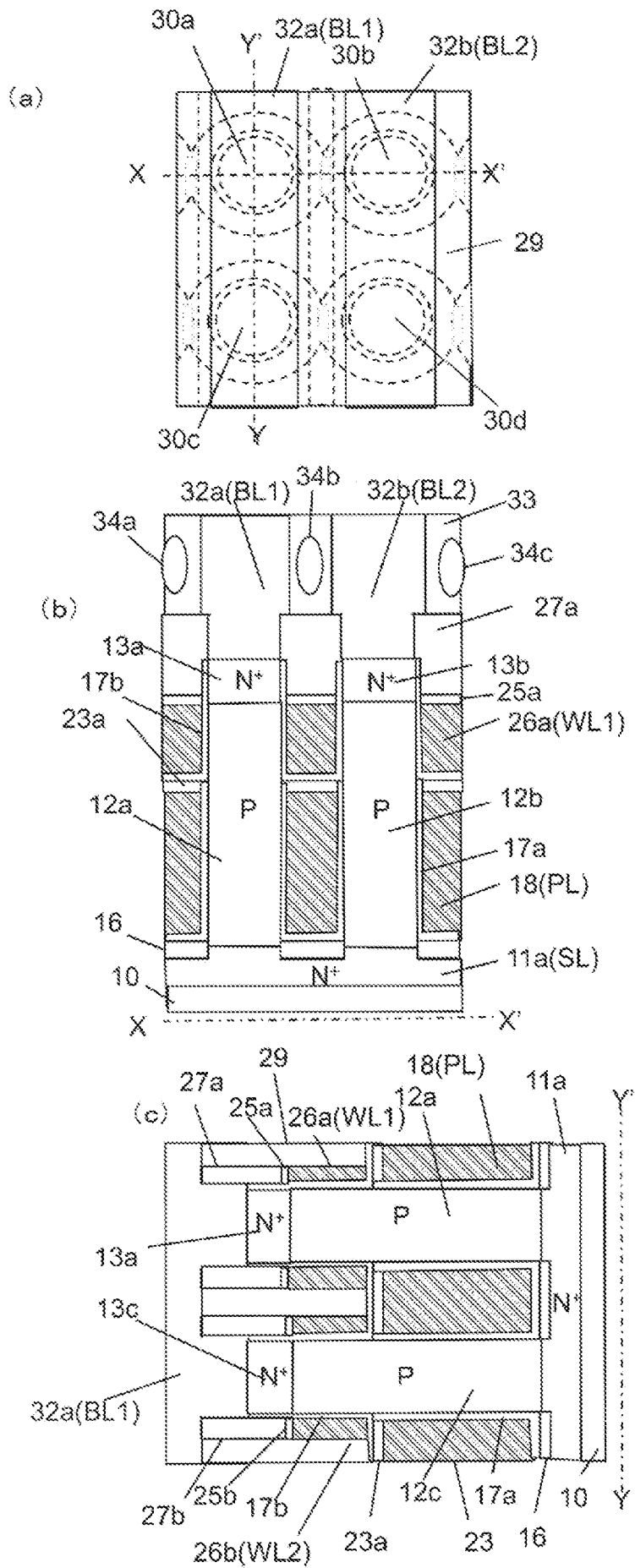
[図5H]



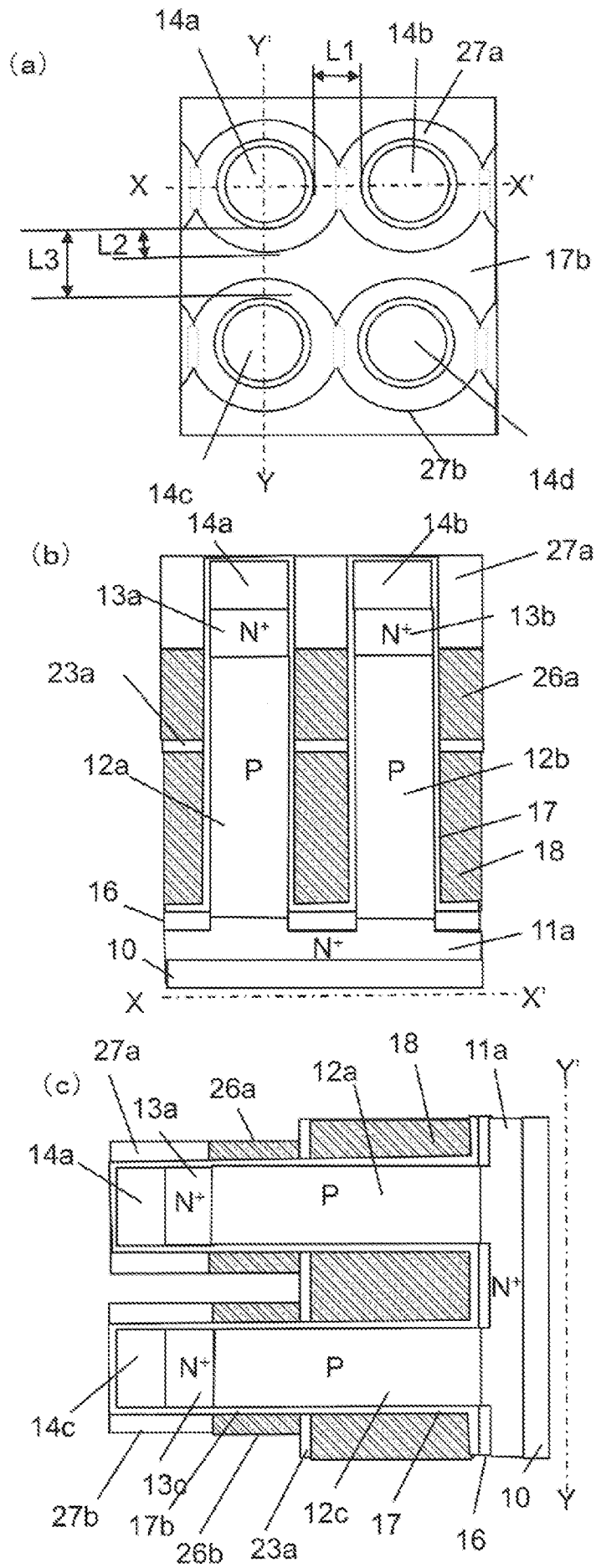
[図5I]



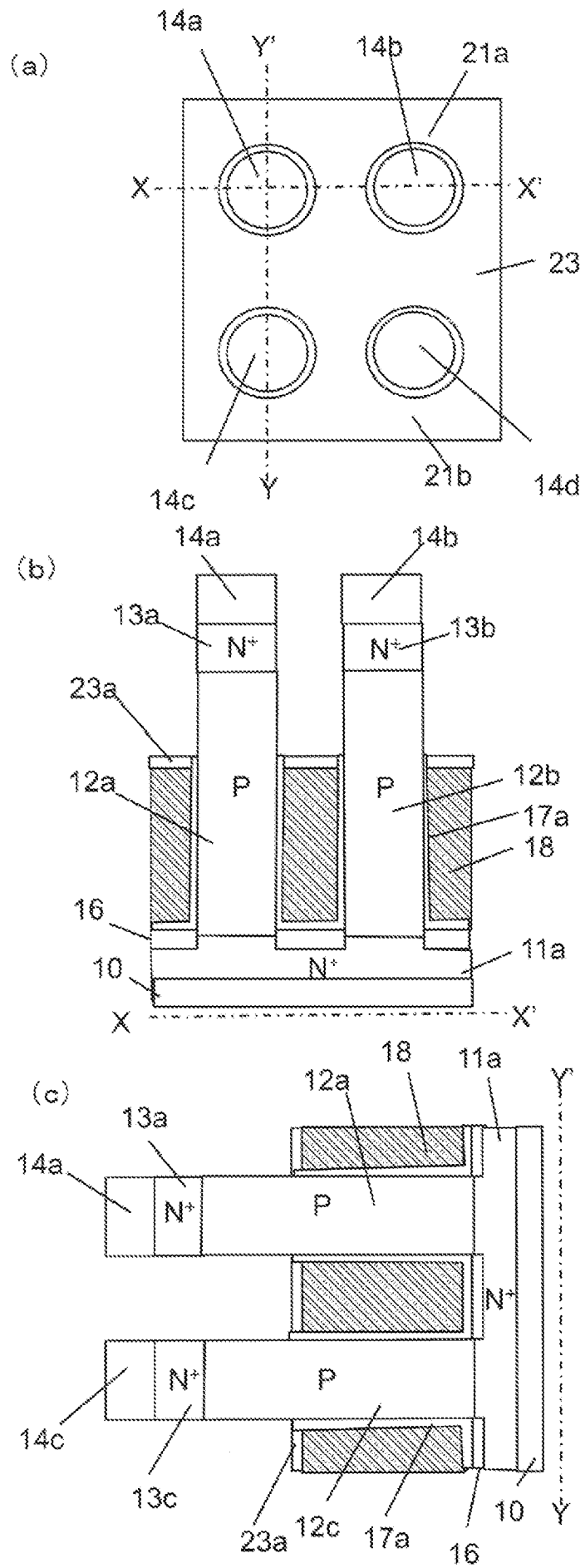
[図5J]



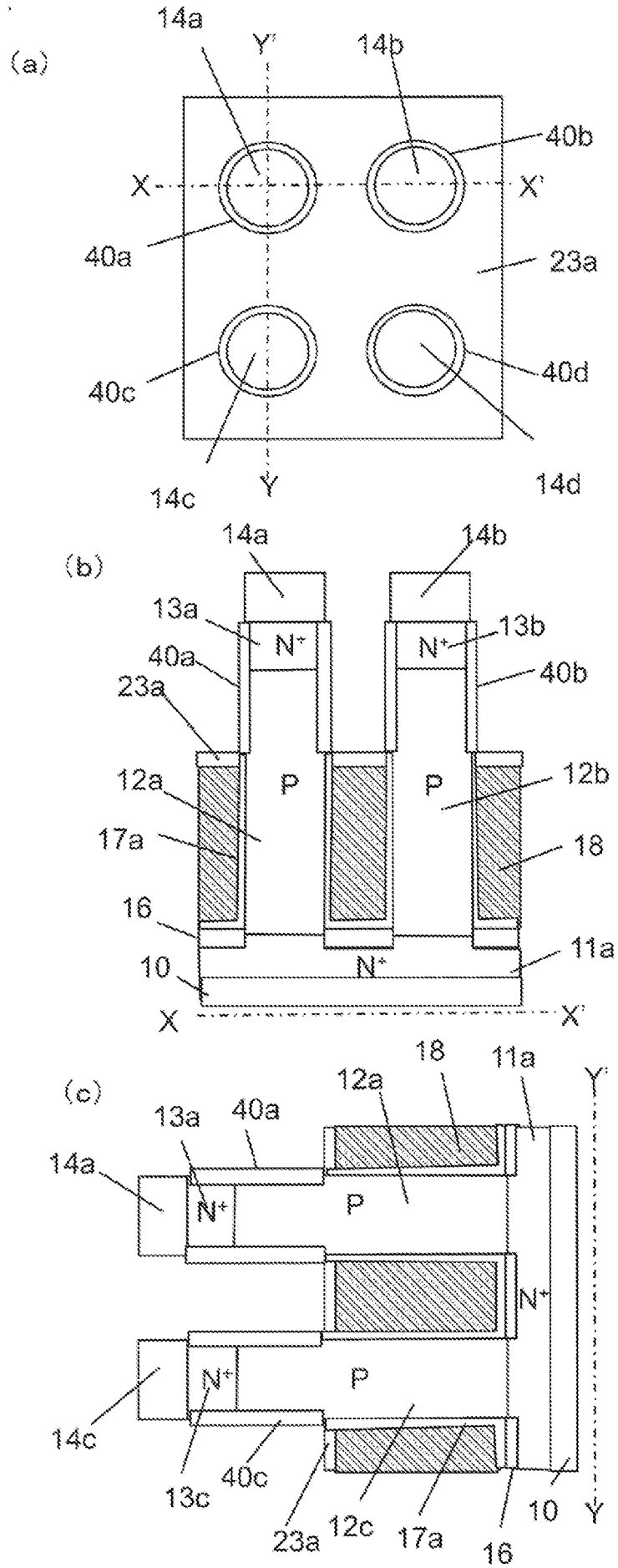
[図6]



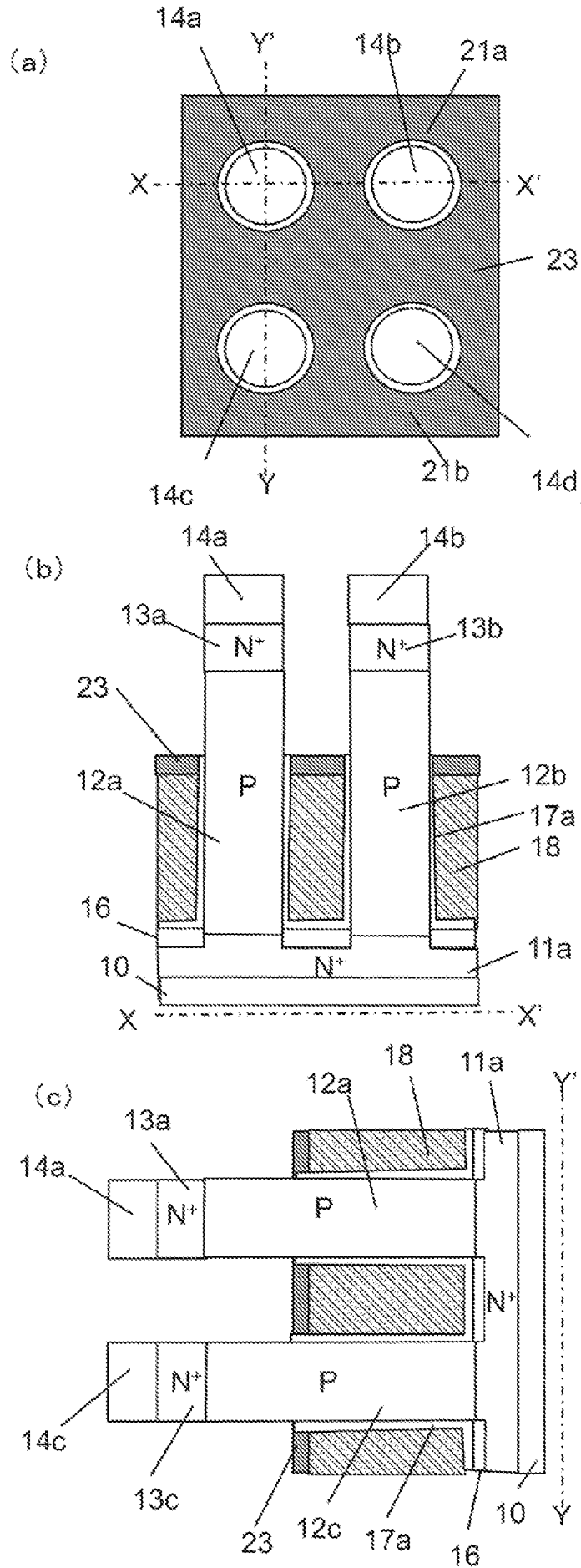
[図7A]



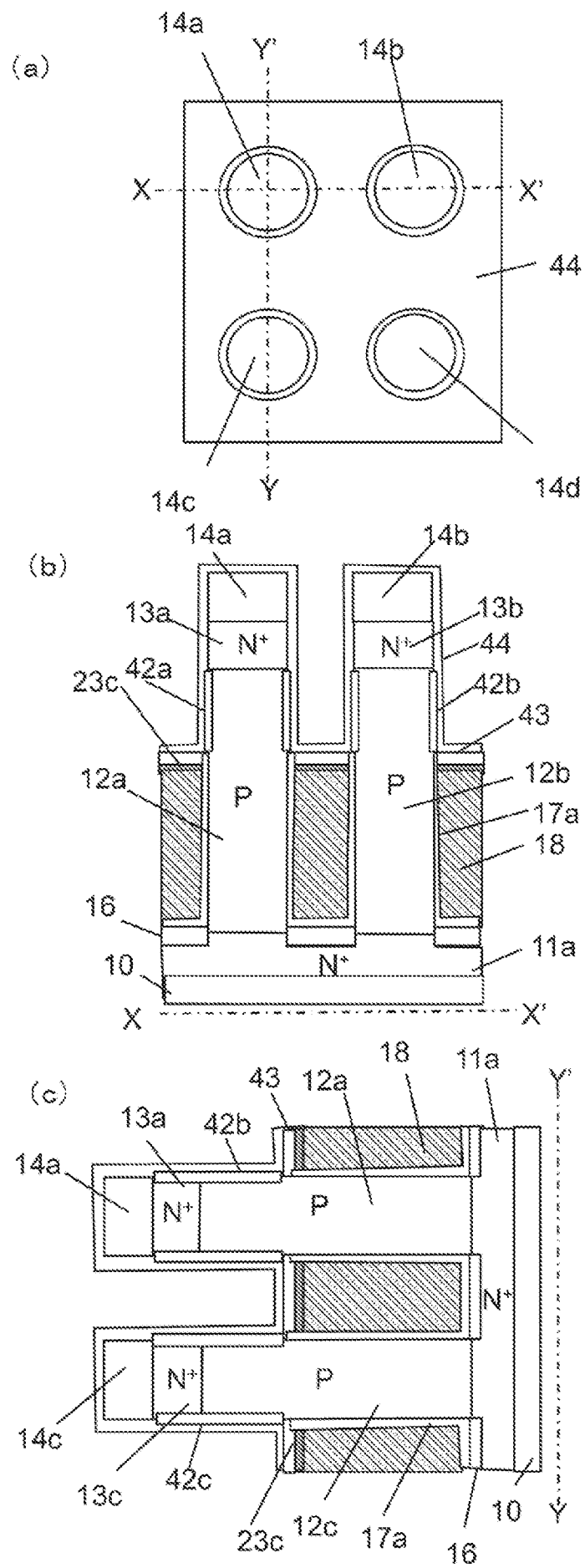
[図7B]



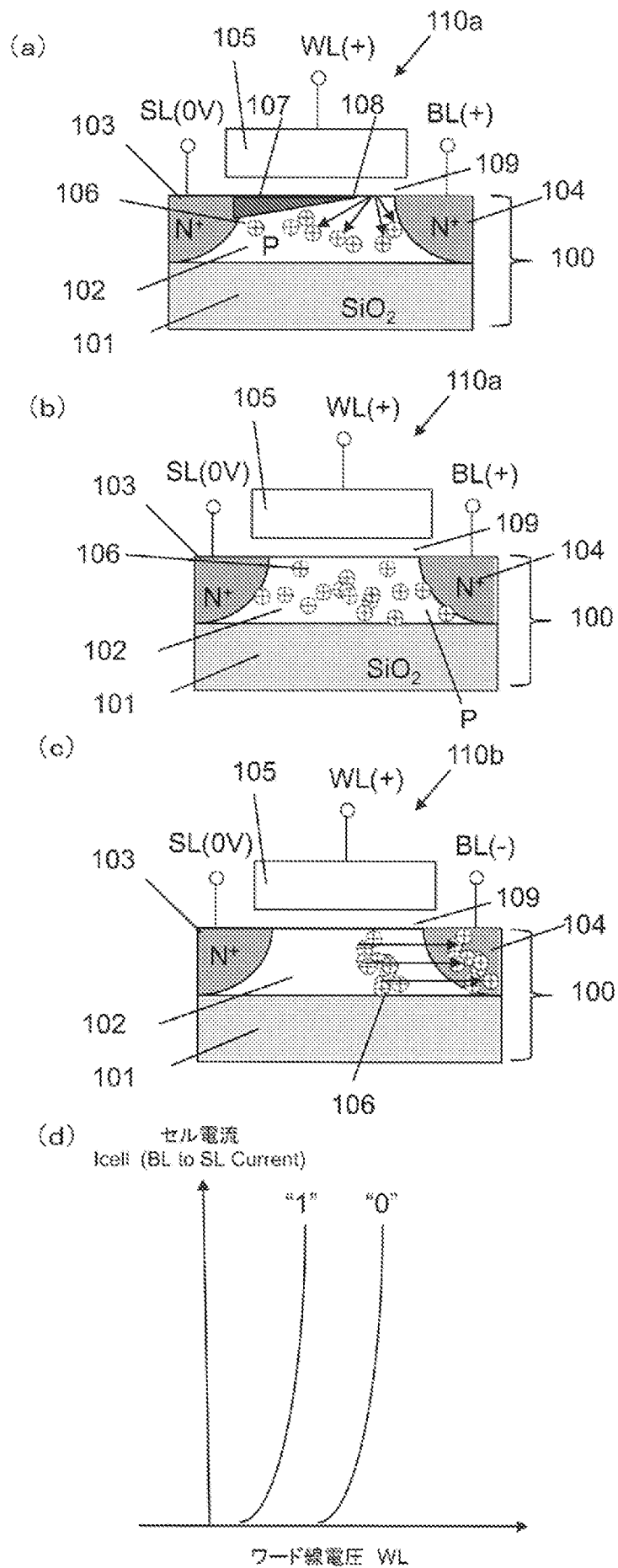
[図8A]



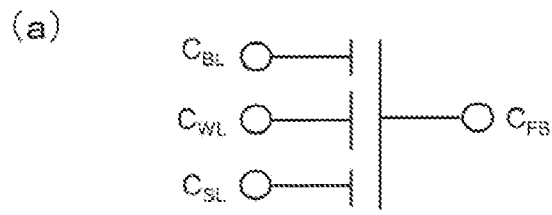
[図8B]



[図9]

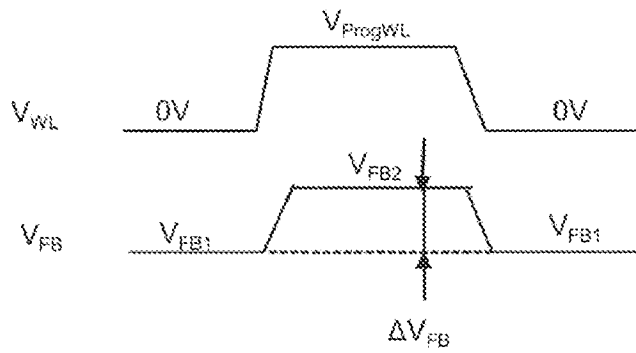


[図10]



$$C_{FB} = C_{WL} + C_{BL} + C_{SL} \quad \text{式(2)}$$

(b)



$$\beta = \frac{C_{WL}}{C_{WL} + C_{BL} + C_{SL}} \quad \text{式(4)}$$

$$\Delta V_{FB} = V_{FB2} - V_{FB1}$$

$$= \frac{C_{WL}}{C_{WL} + C_{BL} + C_{SL}} \times V_{ProgWL} \quad \text{式(3)}$$

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/007044

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G11C16/04(2006.01)i, G11C11/401(2006.01)i, H01L21/8242(2006.01)i, H01L27/10(2006.01)i, H01L27/108(2006.01)i

FI: G11C16/04, G11C11/401, H01L27/10 451, H01L27/108 321

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G11C16/04, G11C11/401, H01L21/8242, H01L27/10, H01L27/108

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-218556 A (TOSHIBA CORP.) 18 September 2008 (2008-09-18), paragraphs [0026]-[0028], [0032], [0033], fig. 1, 5, 6	1-10
A	JP 2006-80280 A (TOSHIBA CORP.) 23 March 2006 (2006-03-23), paragraphs [0028]-[0065], fig. 2-5	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
15.04.2021

Date of mailing of the international search report
27.04.2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/007044

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2008-218556 A	18.09.2008	US 2008/0212366 A1 paragraphs [0042] - [0044], [0048], [0049], fig. 1, 5, 6 KR 10-2008-0080449 A	
JP 2006-80280 A	23.03.2006	US 2006/0049444 A1 paragraphs [0158] - [0196], fig. 2-5	

A. 発明の属する分野の分類（国際特許分類（IPC）） G11C 16/04(2006.01)i; G11C 11/401(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/10(2006.01)i; H01L 27/108(2006.01)i FI: G11C16/04; G11C11/401; H01L27/10 451; H01L27/108 321		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G11C16/04; G11C11/401; H01L21/8242; H01L27/10; H01L27/108 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年 国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-218556 A（株式会社東芝）18.09.2008（2008-09-18） 段落[0026]-[0028], [0032], [0033], 図1, 5, 6	1-10
A	JP 2006-80280 A（株式会社東芝）23.03.2006（2006-03-23） 段落[0028]-[0065], 図2-5	1-10
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 15.04.2021		国際調査報告の発送日 27.04.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 後藤 彰 5N 4226 電話番号 03-3581-1101 内線 3586

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/007044

引用文献			公表日	パテントファミリー文献	公表日
JP	2008-218556	A	18.09.2008	US 2008/0212366 A1 段落[0042]-[0044], [0048], [0049], 図1, 5, 6 KR 10-2008-0080449 A	
JP	2006-80280	A	23.03.2006	US 2006/0049444 A1 段落[0158]-[0196], 図2-5	