

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成28年9月23日(2016.9.23)

【公開番号】特開2014-146020(P2014-146020A)

【公開日】平成26年8月14日(2014.8.14)

【年通号数】公開・登録公報2014-043

【出願番号】特願2013-239191(P2013-239191)

【国際特許分類】

G 09 G 3/30 (2006.01)

G 09 G 3/20 (2006.01)

H 01 L 51/50 (2006.01)

【F I】

G 09 G 3/30 H

G 09 G 3/20 6 2 4 B

G 09 G 3/20 6 1 2 R

G 09 G 3/30 J

G 09 G 3/20 6 2 1 A

H 05 B 33/14 A

【手続補正書】

【提出日】平成28年8月5日(2016.8.5)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

単位画素と、

第1の端子に印加されたパルス信号に基づいて、直流信号が印加された第2の端子と前記単位画素に接続された第3の端子との間をオンオフ制御するスイッチと、

前記第1の端子と前記第3の端子との間に挿設された非線形素子と
を備えた表示装置。

【請求項2】

前記非線形素子は、前記第3の端子に接続されたドレインおよびゲートと、前記第1の端子に接続されたソースとを有する第1のトランジスタであり、

前記スイッチは、前記第1のトランジスタのチャネル幅よりも大きいチャネル幅を有する第2のトランジスタである

請求項1に記載の表示装置。

【請求項3】

前記第1のトランジスタの導電型は、前記第2のトランジスタの導電型と同じである
請求項2に記載の表示装置。

【請求項4】

前記非線形素子は、前記第3の端子に接続されたアノード、および前記第1の端子に接続されたカソードを有するダイオードである

請求項1に記載の表示装置。

【請求項5】

前記第1の端子に接続され、前記パルス信号を伝える第1の配線と、
前記第2の端子に接続されるとともに前記第1の配線と交差し、前記直流信号を伝える

第 2 の配線と

をさらに備えた

請求項 1 に記載の表示装置。

【請求項 6】

前記第 1 の配線と前記第 2 の配線との交差部分において、前記第 2 の配線のシート抵抗は、前記第 1 の配線のシート抵抗よりも低い

請求項 5 に記載の表示装置。

【請求項 7】

前記パルス信号は、前記スイッチをオン状態にさせるとともに前記非線形素子をオフ状態にさせる第 1 の電圧と、前記スイッチをオフ状態にさせる第 2 の電圧との間で遷移するものである

請求項 1 に記載の表示装置。

【請求項 8】

前記単位画素は、表示素子と、前記表示素子に駆動電流を供給する駆動トランジスタとを有し、

前記スイッチは、前記駆動トランジスタに前記駆動電流を供給する

請求項 7 に記載の表示装置。

【請求項 9】

前記単位画素は、第 1 の容量素子と、書き込トランジスタとをさらに備え、

前記駆動トランジスタは、ゲートと、前記表示素子に接続されたソースと、前記第 3 の端子に接続されたドレインとを有し、

前記第 1 の容量素子は、前記駆動トランジスタのゲートとソースとの間に挿設され、

前記書き込トランジスタは、オン状態になることにより、前記駆動トランジスタのゲートに対して、書き込準備期間においてリセット電圧を印加するとともに、書き込期間において画素電圧を印加する

請求項 8 に記載の表示装置。

【請求項 10】

前記書き込準備期間は、第 1 のサブ期間と、前記第 1 のサブ期間の後に配置された第 2 のサブ期間を含み、

前記パルス信号は、

前記第 1 のサブ期間において前記第 2 の電圧であり、

前記第 2 のサブ期間および前記書き込期間において前記第 1 の電圧である

請求項 9 に記載の表示装置。

【請求項 11】

前記第 1 のサブ期間において、前記非線形素子は、前記単位画素に対して前記第 2 の電圧に対応する第 3 の電圧を印加し、

前記第 2 のサブ期間および前記書き込期間において、前記スイッチは、前記単位画素に対して、前記直流信号が示す第 4 の電圧を印加する

請求項 10 に記載の表示装置。

【請求項 12】

前記第 1 のサブ期間において、前記非線形素子は、前記駆動トランジスタを介して、前記駆動トランジスタのソース電圧を前記第 3 の電圧に設定し、

前記第 2 のサブ期間において、前記スイッチは、前記駆動トランジスタに電流を流すことにより、前記駆動トランジスタのソース電圧を変化させる

請求項 11 に記載の表示装置。

【請求項 13】

前記書き込準備期間は、前記第 1 のサブ期間の前に配置された第 3 のサブ期間を含み、

前記パルス信号は、前記第 3 のサブ期間において前記第 1 の電圧であり、

前記スイッチは、前記第 3 のサブ期間において、前記単位画素に対して、前記直流信号が示す第 4 の電圧を印加する

請求項 10 に記載の表示装置。

【請求項 14】

前記第3のサブ期間において、前記駆動トランジスタは、前記表示素子に供給する前記駆動電流の電流量を低下させる

請求項 13 に記載の表示装置。

【請求項 15】

前記単位画素は、第1の容量素子と、制御トランジスタとをさらに備え、

前記駆動トランジスタは、ゲートと、前記表示素子に接続されたソースと、前記第3の端子に接続されたドレインとを有し、

前記第1の容量素子は、前記駆動トランジスタのゲートとソースとの間に挿設され、

前記制御トランジスタは、オン状態になることにより、前記駆動トランジスタのゲートに対して、書込期間の前に配置された書込準備期間に含まれる複数のサブ期間のうちの1以上のサブ期間においてリセット電圧を印加する

請求項 8 に記載の表示装置。

【請求項 16】

前記単位画素は、前記駆動トランジスタのソースに接続された第2の容量素子をさらに備えた

請求項 9 に記載の表示装置。

【請求項 17】

第1の端子に印加されたパルス信号に基づいて、直流信号が印加された第2の端子と単位画素に接続された第3の端子との間をオンオフ制御するスイッチと、

前記第1の端子と前記第3の端子との間に挿設された非線形素子と
を備えた駆動装置。

【請求項 18】

第1の端子に印加されたパルス信号に基づいて、直流信号が印加された第2の端子と単位画素に接続された第3の端子との間をオンオフ制御するとともに、

前記第1の端子と前記第3の端子との間で非線形動作を行う
駆動方法。

【請求項 19】

表示装置と

前記表示装置に対して動作制御を行う制御部と
を備え、

前記表示装置は、
単位画素と、

第1の端子に印加されたパルス信号に基づいて、直流信号が印加された第2の端子と前記単位画素に接続された第3の端子との間をオンオフ制御するスイッチと、

前記第1の端子と前記第3の端子との間に挿設された非線形素子と
を有する
電子機器。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

容量素子 C_s は、一端が駆動トランジスタ D_R T_r のゲート等に接続され、他端は駆動トランジスタ D_R T_r のソース等に接続されている。容量素子 C_{sub} は、一端が有機 E_L 素子 O_L E_D のアノードに接続され、他端が有機 E_L 素子 O_L E_D のカソードに接続されている。すなわち、この例では、容量素子 C_{sub} は、有機 E_L 素子 O_L E_D と並列に接続されている。有機 E_L 素子 O_L E_D は、各サブ画素 11 に対応する色（赤色、緑色、青色

)の光を射出する発光素子であり、アノードが駆動トランジスタD R T rのソース等に接続され、カソードには、駆動部20により電圧V_{cath}が供給されている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正の内容】

【0033】

トランジスタ34, 35のゲート(ゲート部分G P)は、下層メタルM 1で構成され、トランジスタ34, 35のドレインおよびソースは、上層メタルM 2に接続されている。配線L 1は、上層メタルM 2で形成され、トランジスタ34のドレインに接続されている。配線L 2は、配線L 1と交差する部分以外の部分では上層メタルM 2で形成され、配線L 1と交差する部分においては下層メタルM 1で形成されている。この配線L 2は、トランジスタ34のゲート(ゲート部分G P)に接続されるとともに、トランジスタ35のソースに接続された上層メタルM 2とコンタクトC Tを介して接続されている。電源線P Lは、上層メタルM 2で形成され、トランジスタ34のソースおよびトランジスタ35のドレインに接続されるとともに、コンタクトC Tを介してトランジスタ35のゲートに接続されている。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0062

【補正方法】変更

【補正の内容】

【0062】

また、電源線駆動部26では、図4, 5に示したように、配線L 1を、駆動回路33とシフトレジスタ32との間に配置したので、サブ画素11を駆動しやすくすることができる。すなわち、例えば、配線L 1を、表示部10と駆動回路33との間に配置した場合には、配線L 1と電源線P Lが交差してしまう。つまり、この場合には、配線L 1または電源線P Lをシート抵抗が高い下層メタルM 1で形成する必要があり、かつ、その交差部分に寄生容量が形成されてしまう。これにより、電源線P Lに印加される電源信号D Sの立ち上がり時間t rなどが長くなり、例えば短い時間幅のパルスが生成しにくくなるおそれがある。一方、電源線駆動部26では、配線L 1を、駆動回路33とシフトレジスタ32との間に配置したので、配線L 1をシート抵抗が低い上層メタルM 2により形成することができ、電源信号D Sの立ち上がり時間t rなどを短くすることができる。なお、電源線駆動部26では、図5に示したように、配線L 1と配線L 2が交差し、その交差部分において配線L 2をシート抵抗が高い下層メタルM 1で形成する必要がある。しかしながら、この配線L 2は、トランジスタ34, 35に接続されるものであり、表示部10内に延伸する電源線P Lとは異なり容量負荷が少ないため、シフトレジスタ32は、比較的容易にこの配線L 2を駆動することができる。よって、電源信号D Sの波形が鈍るおそれを低減することができる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0073

【補正方法】変更

【補正の内容】

【0073】

一方、本実施の形態に係る電源線駆動部26では、スイッチとして機能するトランジスタ34と、非線形素子(ダイオード)として機能するトランジスタ35を用いて駆動回路33を構成している。これにより、電源線駆動部26では、1つのシフトレジスタ32と、1本の配線L 1というシンプルな構成を実現できるとともに、電源線駆動部26Rと同

等の機能を実現することができる。よって、電源線駆動部 2 6 では、回路規模を小さくすることができ、回路および配線の配置面積を小さくすることができ、回路レイアウトの自由度を高めることができる。また、狭い額縁領域のパネルを実現することができるため、表示装置全体としての商品デザインの自由度を高めることができる。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 8 3

【補正方法】変更

【補正の内容】

【0 0 8 3】

[变形例 1 - 4]

上記実施の形態では、本技術を、有機 E L 素子を用いた表示装置に適用したが、これに限定されるものではなく、これに代えて、例えば、液晶表示素子を用いた表示装置に適用してもよい。具体的には、例えば、画素電圧を書き込む画素を選択する回路（上記実施の形態における走査線駆動部 2 3 に相当）に適用することができる。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0 0 9 1

【補正方法】変更

【補正の内容】

【0 0 9 1】

まず、駆動部 4 0 は、初期化期間 P 1 に先立つタイミング $t_{31} \sim t_{32}$ の期間（消光動作期間 P 0 ）において、消光動作を行う。具体的には、データ線駆動部 2 7 がデータ線 D T L に電圧 V_{ofs} を印加している期間内のタイミング t_{31} において、走査線駆動部 4 3 が、走査信号 W S の電圧を低レベルから高レベルに変化させる（図 14 (A) , (C) ）。これにより、書き込トランジスタ W S T r がオン状態になり、駆動トランジスタ D R T r のゲート電圧 V_g は、1 フレーム期間前に書き込んだ画素電圧 V_{sig} に基づく電圧から低下し、電圧 V_{ofs} に設定される（図 14 (D) ）。これに伴い、駆動トランジスタ D R T r のソース電圧 V_s もまた低下し、駆動トランジスタ D R T r の電流 I_{ds} は“0”（ゼロ）になる。その結果、有機 E L 素子 O L E D が消光し、発光期間 P 4 が終了する。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0 1 2 3

【補正方法】変更

【補正の内容】

【0 1 2 3】

(2) 前記非線形素子は、前記第 3 の端子に接続されたドレインおよびゲートと、前記第 1 の端子に接続されたソースとを有する第 1 のトランジスタであり、

前記スイッチは、前記第 1 のトランジスタのチャネル幅よりも大きいチャネル幅を有する第 2 のトランジスタである

前記(1)に記載の表示装置。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0 1 4 1

【補正方法】変更

【補正の内容】

【0 1 4 1】

1 , 2 ... 表示装置、1 0 ... 表示部、1 1 , 1 1 A , 1 1 D ... サブ画素、2 0 , 4 0 ... 駆動部、2 1 ... 映像信号処理部、2 2 ... タイミング生成部、2 3 , 4 3 ... 走査線駆動部、2 6 , 2 6 B , 2 6 C ... 電源線駆動部、2 7 ... データ線駆動部、3 0 ... 基板、3 1 , 3 1 C

…電圧生成部、32, 32C…シフトレジスタ、33, 33B, 33C…駆動回路、34～37…トランジスタ、35B…ダイオード、39…領域、Cs, Csub…容量素子、CT…コンタクト、CTR…制御トランジスタ、DRT…駆動トランジスタ、DS…電源信号、DTL…データ線、GP…ゲート部分、L1, L2…配線、OLED…有機EL素子、Pix…画素、PL…電源線、PP0, PP1, PP2…パルス、P0…消光動作期間、P1…初期化期間、P2…Vth補正期間、P3…書込・μ補正期間、P4…発光期間、Sdisp, Sdisp2…映像信号、Sig…信号、Ss…走査信号、Sync…同期信号、Vini, Vofs…電圧、Vsigt…画素電圧、WS…走査信号、WSL…走査線、WST…書込トランジスタ。