

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年8月15日(15.08.2024)



(10) 国際公開番号

WO 2024/166752 A1

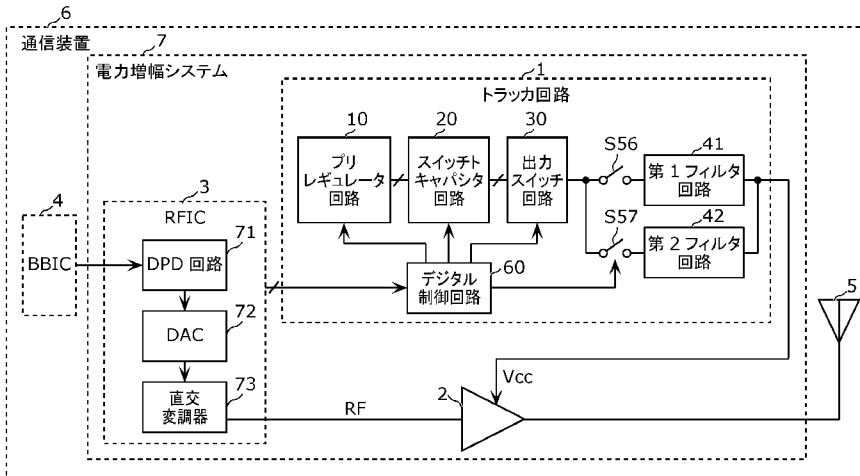
- (51) 国際特許分類:
H03F 1/32 (2006.01) H03F 1/02 (2006.01)
- (21) 国際出願番号: PCT/JP2024/002947
- (22) 国際出願日: 2024年1月30日(30.01.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
63/444,299 2023年2月9日(09.02.2023) US
- (71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
JP]; 〒6178555 京都府長岡京市東神足 1
丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者: ホバーステン ジョン(HOVERSTEN,
John); 02142 マサチューセッツ州ケンブリ
ッジ, 11 フロア, メインストリート 1

イータ・ワイヤレス インク内 Massachusetts
(US). ルイス タイ (LEWIS, Ty); 02142 マサ
チューセッツ州ケンブリッジ, 11 フロ
ア, メインストリート 1 イータ・ワイヤ
レス インク内 Massachusetts (US). トカチェ
ンコ イェブゲニー(TKACHENKO, Yevgeniy);
02142 マサチューセッツ州ケンブリッジ, 1
1 フロア, メインストリート 1 イータ・
ワイヤレス インク内 Massachusetts (US). 小
暮 武(KOGURE, Takeshi); 〒6178555 京都府長
岡京市東神足 1 丁目 10 番 1 号 株式会社
村田製作所内 Kyoto (JP). 加藤 棟治(KATO,
Muneharu); 〒6178555 京都府長岡京市東神足
1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto
(JP). 松井 利樹(MATSUI, Toshiki); 〒6178555
京都府長岡京市東神足 1 丁目 10 番 1 号 株
式会社村田製作所内 Kyoto (JP).

(54) Title: POWER AMPLIFICATION SYSTEM, DIGITAL PRE-DISTORTION METHOD, AND DIGITAL PRE-DISTORTION CIRCUIT

(54) 発明の名称: 電力増幅システム、デジタルプリディストーション方法及びデジタルプリディストーション回路

図2



- 1 Tracker circuit
6 Communication device
7 Power amplification system
10 Pre-regulator circuit
20 Switched capacitor circuit
30 Output switch circuit
41 First filter circuit
42 Second filter circuit
60 Digital control circuit
71 DPD circuit
73 Quadrature modulator

(57) Abstract: A power amplification system (7) is provided with: a power amplifier (2) configured to have a D-ET mode and an APT mode selectively applied thereto; a tracker circuit (1) configured to selectively supply at least one of a plurality of discrete voltages to the power amplifier (2) in the D-ET mode and the APT mode; and a DPD circuit (71) configured to pre-distort an input signal to the power amplifier (2). When the D-ET mode is applied to the power amplifier (2), the DPD circuit (71) pre-distorts the input signal by using a first mathematical model for DPD, and when the APT mode is applied to the power amplifier (2), the DPD circuit (71) pre-distorts the input signal by using a second mathematical model for DPD or does not pre-distort the input signal.



(74) 代理人: 吉川 修一, 外(YOSHIKAWA, Shuichi et al.); 〒5320011 大阪府大阪市淀川区西中島 5 丁目 3 番 1 0 号イトーピア新大阪ビル 6 階 新居国際特許事務所内 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 電力増幅システム (7) は、D-E-Tモード及びA-P-Tモードが選択的に適用されるよう構成された電力増幅器 (2) と、D-E-Tモード及びA-P-Tモードにおいて、複数の離散的電圧の少なくとも1つを選択的に電力増幅器 (2) に供給するよう構成されたトラック回路 (1) と、電力増幅器 (2) の入力信号を予め歪ませるよう構成されたD-P-D回路 (71) と、を備え、D-P-D回路 (71) は、電力増幅器 (2) にD-E-Tモードが適用される場合に、D-P-Dのための第1数式モデルを用いて入力信号を予め歪ませ、電力増幅器 (2) にA-P-Tモードが適用される場合に、D-P-Dのための第2数式モデルを用いて入力信号を予め歪ませる、又は、入力信号を予め歪ませない。

明 細 書

発明の名称：

電力増幅システム、デジタルプリディストーション方法及びデジタルプリディストーション回路

技術分野

[0001] 本発明は、電力増幅システム、デジタルプリディストーション方法及びデジタルプリディストーション回路に関する。

背景技術

[0002] 近年、電力増幅回路にトラッキング技術を適用することで、電力付加効率の改善が図られている。特許文献1には、複数の離散的なレベルに時間とともに変化する電源電圧（以下、複数の離散的電圧という）を供給するデジタルエンベロープトラッキング（D-E T : Digital Envelope Tracking）のためのトラッカ回路が開示されている。また、特許文献2には、複数の離散的電圧を供給するシンボルパワートラッキング（S P T : Symbol Power Tracking）のためのトラッカ回路が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：米国特許第8829993号明細書
特許文献2：米国特許第10686407号明細書

発明の概要

発明が解決しようとする課題

[0004] このような複数の離散的電圧が電力増幅器に供給される場合、電力増幅器が非線形領域で動作することによって生じる非線形歪みを削減するために、デジタルプリディストーション（D P D : Digital Pre-Distortion）が用いられることがある。D P Dでは、電力増幅器の入力信号を予め歪ませることにより、電力増幅器で生じる非線形歪みが打ち消される。このとき、より低

い計算負荷でより多くの非線形歪みを低減することが望まれる。つまり、消費電力の増加を抑制しつつ送信信号の品質を効果的に向上させることが望まれる。

[0005] そこで、本発明は、消費電力の増加を抑制しつつ送信信号の品質を効果的に向上させることができる電力増幅システム、デジタルプリディストーション方法及びデジタルプリディストーション回路を提供する。

課題を解決するための手段

[0006] 本発明の一態様に係る電力増幅システムは、D-E T (Digital Envelope Tracking) モード及びA P T (Average Power Tracking) モードが選択的に適用されるよう構成された電力増幅器と、D-E Tモード及びA P Tモードにおいて、複数の離散的電圧の少なくとも1つを選択的に電力増幅器に供給するよう構成されたトラッカ回路と、電力増幅器の入力信号を予め歪ませるよう構成されたデジタルプリディストーション回路と、を備え、デジタルプリディストーション回路は、電力増幅器にD-E Tモードが適用される場合に、デジタルプリディストーションのための第1数式モデルを用いて入力信号を予め歪ませ、電力増幅器にA P Tモードが適用される場合に、デジタルプリディストーションのための第2数式モデルを用いて入力信号を予め歪ませる、又は、入力信号を予め歪ませない。

[0007] 本発明の一態様に係る電力増幅システムは、入力信号を増幅するよう構成された電力増幅器と、パラレルデータ信号又はシリアルデータ信号に従って、複数の離散的電圧の少なくとも1つを選択的に電力増幅器に出力するよう構成された出力スイッチ回路と、入力信号を予め歪ませるよう構成されたデジタルプリディストーション回路と、を備え、デジタルプリディストーション回路は、出力スイッチ回路がパラレルデータ信号に従って動作する場合に、デジタルプリディストーションのための第1数式モデルを用いて入力信号を予め歪ませ、出力スイッチ回路がシリアルデータ信号に従って動作する場合に、デジタルプリディストーションのための第2数式モデルを用いて入力信号を予め歪ませる、又は、入力信号を予め歪ませない。

[0008] 本発明の一態様に係るデジタルプリディストーション方法は、電力増幅器の入力信号を予め歪ませるデジタルプリディストーション方法であって、電力増幅器に供給される電源電圧が入力信号の1フレーム内で時間とともに離散的に変化する場合に、デジタルプリディストーションのための第1数式モデルを用いて入力信号を予め歪ませ、電力増幅器に供給される電源電圧が入力信号の1フレーム内で時間とともに変化しない場合に、デジタルプリディストーションのための第2数式モデルを用いて入力信号を予め歪ませる、又は、入力信号を予め歪ませない。

[0009] 本発明の一態様に係るデジタルプリディストーション回路は、電力増幅器にD-E Tモードが適用される場合に、デジタルプリディストーションのための第1数式モデルを用いて電力増幅器の入力信号を予め歪ませ、電力増幅器にA P Tモードが適用される場合に、デジタルプリディストーションのための第2数式モデルを用いて入力信号を予め歪ませる、又は、入力信号を予め歪ませない。

発明の効果

[0010] 本発明の一態様に係る電力増幅システム等によれば、消費電力の増加を抑制しつつ送信信号の品質を効果的に向上させることができる。

図面の簡単な説明

[0011] [図1A]図1 Aは、A P T (Average Power Tracking) モードにおける電源電圧の推移の一例を示すグラフである。

[図1B]図1 Bは、A - E T (Analog Envelope Tracking) モードにおける電源電圧の推移の一例を示すグラフである。

[図1C]図1 Cは、D - E Tモードにおける電源電圧の推移の一例を示すグラフである。

[図2]図2は、実施の形態に係る通信装置の回路構成図である。

[図3]図3は、実施の形態に係るトラッカ回路の回路構成図である。

[図4]図4は、実施の形態に係るD P D方法を示すフローチャートである。

[図5]図5は、変形例1に係るD P D方法を示すフローチャートである。

[図6]図6は、変形例2に係るD P D方法を示すフローチャートである。

[図7]図7は、変形例3に係るD P D方法を示すフローチャートである。

発明を実施するための形態

[0012] 以下、本発明の実施の形態について、図面を用いて詳細に説明する。なお、以下で説明する実施の形態は、いずれも包括的又は具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置及び接続形態などは、一例であり、本発明を限定する主旨ではない。

[0013] なお、各図は、本発明を示すために適宜強調、省略、又は比率の調整を行った模式図であり、必ずしも厳密に図示されたものではなく、実際の形状、位置関係、及び比率とは異なる場合がある。各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略又は簡素化される場合がある。

[0014] 本発明の回路構成において、「接続される」とは、接続端子及び／又は配線導体で直接接続される場合だけでなく、他の回路素子を介して電氣的に接続される場合も含む。「直接接続される」とは、他の回路素子を介さずに接続端子及び／又は配線導体で直接接続されることを意味する。「CがA及びBの間に接続される」とは、Cの一端がAに接続され、Cの他端がBに接続されることを意味し、A及びBの間を結ぶ経路に直列配置されることを意味する。「A及びBの間を結ぶ経路」とは、AをBに電氣的に接続する導体で構成された経路を意味する。

[0015] 以下の説明において、「端子」とは、要素内の導体が終了するポイントを意味する。なお、要素間の導体のインピーダンスが十分に低い場合には、端子は、単一のポイントだけでなく、要素間の導体上の任意のポイント又は導体全体と解釈される。

[0016] また、「平行」及び「垂直」などの要素間の関係性を示す用語、及び、「矩形」などの要素の形状を示す用語、並びに、数値範囲は、厳格な意味のみを表すのではなく、実質的に同等な範囲、例えば数％程度の誤差をも含むこ

とを意味する。

[0017] まず、高周波信号を高効率に増幅する技術として、高周波信号に基づいて時間の経過とともに動的に調整された電源電圧を電力増幅器に供給するトラッキングモードについて説明する。トラッキングモードとは、電力増幅器に印加される電源電圧を動的に調整するモードである。トラッキングモードにはいくつかの種類があるが、ここでは、A P Tモード、A－E Tモード及びD－E Tモードについて図1 A～図1 Cを参照しながら説明する。図1 A～図1 Cにおいて、横軸は時間を表し、縦軸は電圧を表す。また、太い実線は、電源電圧を表し、細い実線（波形）は、変調信号を表す。

[0018] 図1 Aは、A P Tモードにおける電源電圧の推移の一例を示すグラフである。A P Tモードとは、アベレージパワーに基づいて、1フレーム単位で複数の離散的な電圧レベルに電源電圧を変動させるモードである。

[0019] フレームとは、高周波信号（変調信号）を構成する単位を意味する。例えば5 G N R（5th Generation New Radio）及びL T E（Long Term Evolution）では、フレームは、10個のサブフレームを含み、各サブフレームは、複数のスロットを含み、各スロットは、複数のシンボルで構成される。サブフレーム長は1 m sであり、フレーム長は10 m sである。

[0020] なお、アベレージパワーに基づいて1フレーム単位又はそれよりも大きな単位で電圧レベルを変動させるモードをA P Tモードと呼び、1フレームよりも小さな単位（例えばサブフレーム、スロット又はシンボル単位）で電圧レベルを変動させるモードと区別する。

[0021] 図1 Bは、A－E Tモードにおける電源電圧の推移の一例を示すグラフである。A－E Tモードとは、エンベロープ信号に基づいて電源電圧を連続的に変動させるモードである。A－E Tモードでは、電源電圧は、変調信号の包絡線を追跡することができる。

[0022] エンベロープ信号とは、変調信号の包絡線を示す信号である。エンベロープ値は、例えば $(I^2 + Q^2)$ の平方根で表される。ここで、 (I, Q) は、コンスタレーションポイントを表す。コンスタレーションポイントとは、デ

デジタル変調された信号をコンスタレーションダイアグラム上で表す点である。
。（I，Q）は、例えば、送信情報に基づいてBBIC（Baseband Integrated Circuit）で決定される。

[0023] 図1Cは、D-E-Tモードにおける電源電圧の推移の一例を示すグラフである。D-E-Tモードとは、エンベロープ信号に基づいて、1フレーム内で複数の離散的な電圧レベルに電源電圧を変動させるモードである。D-E-Tモードでは、電源電圧のレベルは、変調信号の包絡線を追跡することができる。

[0024] （実施の形態）

以下に、実施の形態について説明する。

[0025] [1. 1 通信装置6の回路構成]

まず、本実施の形態に係る通信装置6の回路構成について、図2を参照しながら説明する。図2は、本実施の形態に係る通信装置6の回路構成図である。

[0026] なお、図2は、例示的な回路構成であり、通信装置6は、多種多様な回路実装及び回路技術のいずれかを使用して実装され得る。したがって、以下に提供される通信装置6の説明は、限定的に解釈されるべきではない。

[0027] 本実施の形態に係る通信装置6は、セルラーネットワークにおけるユーザ端末（UE：User Equipment）に相当し、典型的には、携帯電話、スマートフォン、タブレットコンピュータ、ウェアラブル・デバイス等である。なお、通信装置6は、IoT（Internet of Things）センサ・デバイス、医療／ヘルスケア・デバイス、車、無人航空機（UAV：Unmanned Aerial Vehicle）（いわゆるドローン）、無人搬送車（AGV：Automated Guided Vehicle）であってもよい。また、通信装置6は、セルラーネットワークにおけるBS（Base Station）として機能してもよい。

[0028] 図2に示すように、通信装置6は、トラッカ回路1と、電力増幅器2と、RFIC（Radio Frequency Integrated Circuit）3と、BBIC4と、アンテナ5と、を備える。なお、電力増幅システム7には、トラッカ回路1と

、電力増幅器 2 と、R F I C 3 と、が含まれる。

[0029] トラック回路 1 は、トラッキングモードに基づいて、複数の離散的電圧を電源電圧 V_{cc} として電力増幅器 2 に供給することができる。本実施の形態では、トラッキングモードとしては、D-E T モード及び A P T モードが用いられるが、これに限定されない。

[0030] 電力増幅器 2 は、R F I C 3 とアンテナ 5 との間に接続される。さらに、電力増幅器 2 は、トラック回路 1 に接続される。電力増幅器 2 は、トラック回路 1 から供給された電源電圧 V_{cc} を用いて、R F I C 3 から受けた高周波信号 R F を増幅することができる。

[0031] R F I C 3 は、高周波信号を処理する信号処理回路の一例である。R F I C 3 は、B B I C 4 からデジタル I Q 信号を受けて、電力増幅器 2 に高周波信号 R F を供給することができる。R F I C 3 の内部構成については後述する。

[0032] B B I C 4 は、高周波信号 R F よりも低い周波数帯域を用いて信号処理するベースバンド信号処理回路である。B B I C 4 では、例えば、画像表示のための画像信号、及び／又は、スピーカを介した通話のために音声信号を示すビット系列をデジタル変調してデジタル I Q 信号を生成する。生成されたデジタル I Q 信号は、R F I C 3 に供給される。なお、B B I C 4 は、通信装置 6 に含まれてなくてもよい。

[0033] アンテナ 5 は、電力増幅器 2 で増幅された高周波信号 R F を通信装置 6 の外部に送信する。なお、アンテナ 5 は、通信装置 6 に含まれてなくてもよい。

[0034] [1. 2 R F I C 3 の内部構成]

 R F I C 3 の内部構成について図 2 を参照しながら説明する。R F I C 3 は、D P D 回路 7 1 と、デジタルアナログコンバータ (D A C : Digital-to-Analog Converter) 7 2 と、直交変調器 (Quadrature Modulator) 7 3 と、を含む。また、R F I C 3 は、トラック回路 1 を制御する制御部 (図示せず) を有してもよい。なお、R F I C 3 の制御部としての機能の一部又は全部は、R F I C 3 の外部に実装されてもよい。

- [0035] DPD回路71は、DPDのための数式モデルを用いて、BBIC4から供給されるデジタルIQ信号を予め歪ませることができる。例えば、DPD回路71は、デジタルIQ信号から予め歪められたデジタルIQ信号を生成することができる。予め歪められたデジタルIQ信号は、DAC72に供給される。なお、DPD回路71は、DPD処理をスキップしてもよい。この場合、DPD回路71は、BBIC4から供給されるデジタルIQ信号（つまり、予め歪められていないデジタルIQ信号）をDAC72に供給することができる。
- [0036] DAC72は、DPD回路71から供給されるデジタルIQ信号をアナログIQ信号に変換することができる。変換されたアナログIQ信号は、直交変調器73に供給される。なお、DAC72としては、従来のDACを用いることができ、特に限定される必要はない。
- [0037] 直交変調器73は、DAC72から供給されるアナログIQ信号に直交変調及びアップコンバートを行うことにより高周波信号RFを生成することができる。生成された高周波信号RFは、電力増幅器2に供給される。なお、直交変調器73としては、従来の直交変調器を用いることができ、特に限定される必要はない。
- [0038] なお、図2に表されたRFIC3の回路構成は、例示であり、これに限定されない。例えば、DPD回路71、DAC72及び直交変調器73の一部又は全部は、RFIC3に含まなくてもよい。例えば、DPD回路71は、BBIC4に含まれてもよい。
- [0039] ここで、DPD回路71でDPDに用いられる数式モデルについて説明する。本実施の形態では、DPDのための数式モデルとしては、メモリ効果が組み込まれている第1数式モデル、又は、メモリ効果が組み込まれていない第2数式モデルを用いることができる。
- [0040] メモリ効果とは、過去の入力信号によって生じる電力増幅器の歪みの変化として定義される。したがって、第1数式モデルでは、現在の入力信号によって生じる歪みだけでなく、過去の入力信号によって生じる歪みの変化が

モデル化される。そのため、第1数式モデルでは、第2数式モデルよりも非線形歪みを低減することができるが、計算負荷が増大してしまう。

[0041] そこで、本実施の形態では、より低い計算負荷で非線形歪みを効果的に低減するために、所定の条件に応じて第1数式モデル及び第2数式モデルが切り替えられる。例えば、電力増幅器2にD-E Tモードが適用される場合に、第1数式モデルを用いて電力増幅器2の入力信号が予め歪ませられ、電力増幅器2にA P Tモードが適用される場合に、第2数式モデルを用いて電力増幅器2の入力信号が予め歪ませられる。また例えば、出力スイッチ回路30がパラレルデータ信号に従って動作する場合に、第1数式モデルを用いて電力増幅器2の入力信号が予め歪ませられ、出力スイッチ回路30がシリアルデータ信号に従って動作する場合に、第2数式モデルを用いて電力増幅器2の入力信号が予め歪ませられる。

[0042] ここで、メモリ効果が組み込まれていない第2数式モデルの具体例について説明する。

[0043] [数1]

$$x[n] = \sum_{i=0}^{N-1} c_i r[n] |r[n]|^i \dots (1)$$

$x[n]$: predistorted signal
 $r[n]$: original input signal
 c_i : DPD coefficients
 N : polynomial order

[0044] 上式(1)は、第2数式モデルで用いられる多項式の一例である。式(1)が用いられる数式モデルは、メモリレス多項式モデル(Memoryless Polynomial Model)と呼ばれる。式(1)では、現在の入力信号 $r[n]$ について、入力信号と指数化された入力信号とが掛け合わされる。多項式次数 N 及びDPD係数 c_i は、メモリレス多項式モデルのパラメータであり、実験的及び／又は経験的に予め決定することができ、例えばRFIC3に含まれるメモリ(図示せず)に予め格納される。

[0045] 式(1)において、多項式次数 N が増加されれば、非線形歪みの低減が期

待されるが、計算負荷の増大が懸念される。なお、式（１）では、メモリ効果が考慮されていないので、メモリレス多項式モデルにおける非線形歪みの低減には限界がある。

[0046] 次に、メモリ効果が組み込まれている第１数式モデルの具体例について説明する。

[0047] [数2]

$$x[n] = \sum_{i=0}^{N-1} \sum_{q=0}^Q c_{qi} r[n-q] |r[n-q]|^i \dots (2)$$

$x[n]$: predistorted signal

$r[n]$: original input signal

c_{qi} : DPD coefficients

Q : memory depth

N : polynomial order

[0048] 上式（２）は、第１数式モデルで用いられる多項式の一例である。式（２）が用いられる数式モデルは、メモリ多項式モデル（MPM: Memory Polynomial Model）と呼ばれる。式（２）では、過去 Q ～現在 0 までの入力信号 $r[n-q]$ の各々について、入力信号と指数化された入力信号とが掛け合わされる。多項式次数 N 、メモリ深さ Q 及びDPD係数 c_{qi} は、MPMのパラメータであり、実験的及び／又は経験的に予め決定することができ、例えばRFIC3に含まれるメモリ（図示せず）に予め格納される。

[0049] 式（２）において、多項式次数 N 及びメモリ深さ Q が増加されれば、非線形歪みの低減が期待されるが、パラメータ数の増加、計算負荷の増大、及び、DPD係数 c_{qi} 決定時の収束性の低下が懸念される。

[0050]

[数3]

$$\begin{aligned}
 x[n] = & \sum_{i=0}^{N-1} \sum_{q=0}^Q c_{qi} r[n-q] |r[n-q]|^i \cdots (3-1) \\
 & + \sum_{i=1}^{N_d} \sum_{m=1}^{M_d} \sum_{q=0}^{Q_d} d_{qmi} r[n-q] |r[n-q-m]|^i \cdots (3-2) \\
 & + \sum_{i=1}^{N_e} \sum_{m=1}^{M_e} \sum_{q=0}^{Q_e} e_{qmi} r[n-q] |r[n-q+m]|^i \cdots (3-3) \cdots (3)
 \end{aligned}$$

$x[n]$: predistorted signal

$r[n]$: original input signal

c_{qi}, d_{qmi}, e_{qmi} : DPD coefficients

Q : sync memory depth

N : sync order

Q_d : lag memory depth

M_d : maximum lag

N_d : lag order

Q_e : lead memory depth

M_e : maximum lead

N_e : lead order

[0051] 上式(3)は、第1数式モデルで用いられる多項式の一例である。式(3)が用いられる数式モデルは、一般化メモリ多項式モデル(GMP: Generalized Memory Polynomial Model)と呼ばれる。式(3)では、sync項(3-1)が、Lag項(3-2)、及び、Lead項(3-3)と結合される。sync項(3-1)は、MPMのための式(2)の項と同一である。Lag項(3-2)では、入力信号と指数化された過去の入力信号とが掛け合わされる。Lead項(3-3)では、入力信号と指数化された未来の入力信号とが掛け合わされる。各項の次数 N 、 N_d 及び N_e 、メモリ深さ Q 、並びに、DPD係数 c_{qi} 、 d_{qmi} 及び e_{qmi} は、GMPのパラメータであり、実験的及び／又は経験的に予め決定することができ、例えばRFIC3に含まれるメモリ(図示せず)に予め格納される。

[0052] 式(3)において、各項のメモリ深さ Q 、 Q_d 、 Q_e 及びクロス幅 M_d 、 M_e が増加されれば、非線形歪みの低減を期待することができるが、パラメータ

数の増加、計算負荷の増加、並びに、DPD係数 c_{qi} 、 d_{qmi} 及び e_{qmi} 決定時の収束性の低下が懸念される。

[0053] メモリレス多項式モデル、MPM、GMPの順で、非線形歪みの低減効果が大きくなるが、パラメータ数が増加し、計算負荷（つまり消費電力）も大きくなる。つまり、GMPでは、MPM及びメモリレス多項式モデルよりも非線形歪み低減することができ、MPMでは、メモリレス多項式モデルよりも非線形歪み低減することができる。逆に、メモリレス多項式モデルでは、MPM及びGMPよりも計算負荷を低減することができ、MPMでは、GMPよりも計算負荷を低減することができる。さらに、メモリレス多項式モデルでは、MPM及びGMPよりもパラメータを格納するためのメモリ量を削減することができ、MPMでは、GMPよりもパラメータを格納するためのメモリ量を低減することができる。

[0054] なお、第1数式モデルは、MPM及びGMPに限定されない。つまり、第1数式モデルでは、上記式（2）及び（3）と異なる数式が用いられてもよい。また、第2数式モデルは、メモリレス多項式モデルに限定されない。つまり、第2数式モデルでは、上記式（1）と異なる数式が用いられてもよい。

[0055] [1. 3 トラッカ回路1の回路構成]

次に、トラッカ回路1の回路構成について、図2を参照しながら説明する。トラッカ回路1は、プリレギュレータ回路10と、スイッチトキャパシタ回路20と、出力スイッチ回路30と、第1フィルタ回路41及び第2フィルタ回路42と、スイッチS56及びS57と、デジタル制御回路60と、を備える。

[0056] プリレギュレータ回路10は、パワーインダクタを用いて、直流電源（図示せず）から供給される入力電圧を調整電圧に変換することができる。プリレギュレータ回路10は、パワーインダクタ及びスイッチを含む。パワーインダクタとは、直流（DC：Direct Current）電圧の昇圧及び／又は降圧に用いられるインダクタである。パワーインダクタは、直流経路に直列配置さ

れる。なお、パワーインダクタは、直流経路とグラウンドとの間に接続（つまり、直流経路に並列配置）されていてもよい。このようなプリレギュレータ回路 10 は、磁気レギュレータ又は DC / DC コンバータと呼ばれる場合もある。

[0057] スイッチトキャパシタ回路 20 は、複数のキャパシタ及び複数のスイッチを含み、プリレギュレータ回路 10 から供給される電圧から、複数の離散的な電圧レベルをそれぞれ有する複数の離散的電圧を生成することができる。スイッチトキャパシタ回路 20 は、スイッチトキャパシタ電圧バランサ (Switched-Capacitor Voltage Balancer) と呼ばれる場合もある。

[0058] 出力スイッチ回路 30 は、スイッチトキャパシタ回路 20 で生成された複数の離散的電圧の少なくとも 1 つを選択的に電力増幅器 2 に出力することができる。

[0059] 第 1 フィルタ回路 41 及び第 2 フィルタ回路 42 は、電力増幅器 2 に供給される複数の離散的電圧からノイズを減衰させることができる。第 1 フィルタ回路 41 及び第 2 フィルタ回路 42 は、パルス整形フィルタ (pulse shaping filter) 又はトランジション整形フィルタ (transition shaping filter) と呼ばれる場合もある。

[0060] スイッチ S56 及び S57 は、それぞれ、第 1 フィルタ回路 41 及び第 2 フィルタ回路 42 のオン / オフスイッチである。スイッチ S56 は、出力スイッチ回路 30 及び第 1 フィルタ回路 41 の間に接続される。スイッチ S57 は、出力スイッチ回路 30 及び第 2 フィルタ回路 42 の間に接続される。

[0061] デジタル制御回路 60 は、RFIC3 からのデジタル制御信号に基づいて、プリレギュレータ回路 10 と、スイッチトキャパシタ回路 20 と、出力スイッチ回路 30 と、スイッチ S56 及び S57 と、を制御することができる。

[0062] なお、トラッカ回路 1 は、プリレギュレータ回路 10 とスイッチトキャパシタ回路 20 と出力スイッチ回路 30 と第 1 フィルタ回路 41 及び第 2 フィルタ回路 42 とスイッチ S56 及び S57 とデジタル制御回路 60 との一部

を含まなくてもよい。例えば、トラッカ回路 1 は、プリレギュレータ回路 10 を含まなくてもよい。また例えば、トラッカ回路 1 は、第 1 フィルタ回路 41 及び第 2 フィルタ回路 42 とスイッチ S56 及び S57 とを含まなくてもよい。また、プリレギュレータ回路 10 とスイッチトキャパシタ回路 20 と出力スイッチ回路 30 と第 1 フィルタ回路 41 及び第 2 フィルタ回路 42 とスイッチ S56 及び S57 との任意の組み合わせは、単一の回路に統合されてもよい。また、トラッカ回路 1 は、プリレギュレータ回路 10 とスイッチトキャパシタ回路 20 との代わりに、特許文献 2 のように複数の電圧供給回路を含んでもよい。この場合、出力スイッチ回路 30 は、複数の電圧供給回路の少なくとも 1 つを選択するよう構成されてもよい。

[0063] 次に、トラッカ回路 1 に含まれる各回路の回路構成について、図 3 を参照しながら説明する。図 3 は、本実施の形態に係るトラッカ回路 1 の回路構成図である。

[0064] なお、図 3 は、例示的な回路構成であり、トラッカ回路 1 は、多種多様な回路実装及び回路技術のいずれかを使用して実装され得る。したがって、以下に提供されるトラッカ回路 1 の説明は、限定的に解釈されるべきではない。

[0065] [1. 3. 1 スイッチトキャパシタ回路 20 の回路構成]

まず、図 3 を参照しながら、スイッチトキャパシタ回路 20 の回路構成について説明する。スイッチトキャパシタ回路 20 は、図 3 に示すように、キャパシタ C11～C16 と、キャパシタ C10、C20、C30 及び C40 と、スイッチ S11～S14、S21～S24、S31～S34、及び S41～S44 と、を備える。エネルギー及び電荷は、ノード N1～N4 でプリレギュレータ回路 10 からスイッチトキャパシタ回路 20 に入力され、ノード N1～N4 でスイッチトキャパシタ回路 20 から出力スイッチ回路 30 に引き出される。

[0066] キャパシタ C11～C16 の各々は、フライングキャパシタ（トランスファキャパシタと呼ばれる場合もある）として機能する。つまり、キャパシタ

C 1 1 ~ C 1 6 の各々は、プリレギュレータ回路 1 0 から供給された調整電圧を昇圧又は降圧するために用いられる。より具体的には、キャパシタ C 1 1 ~ C 1 6 は、4 つのノード N 1 ~ N 4 において $V 1 : V 2 : V 3 : V 4 = 1 : 2 : 3 : 4$ を満たす電圧 $V 1 \sim V 4$ （グラウンド電位に対する電圧）が維持されるように、キャパシタ C 1 1 ~ C 1 6 とノード N 1 ~ N 4 との間で電荷を移動させる。この電圧 $V 1 \sim V 4$ が複数の離散的な電圧レベルをそれぞれ有する複数の離散的電圧に相当する。

[0067] キャパシタ C 1 1 は、2 つの電極を有する。キャパシタ C 1 1 の 2 つの電極の一方は、スイッチ S 1 1 の一端及びスイッチ S 1 2 の一端に接続される。キャパシタ C 1 1 の 2 つの電極の他方は、スイッチ S 2 1 の一端及びスイッチ S 2 2 の一端に接続される。

[0068] キャパシタ C 1 2 は、2 つの電極を有する。キャパシタ C 1 2 の 2 つの電極の一方は、スイッチ S 2 1 の一端及びスイッチ S 2 2 の一端に接続される。キャパシタ C 1 2 の 2 つの電極の他方は、スイッチ S 3 1 の一端及びスイッチ S 3 2 の一端に接続される。

[0069] キャパシタ C 1 3 は、2 つの電極を有する。キャパシタ C 1 3 の 2 つの電極の一方は、スイッチ S 3 1 の一端及びスイッチ S 3 2 の一端に接続される。キャパシタ C 1 3 の 2 つの電極の他方は、スイッチ S 4 1 の一端及びスイッチ S 4 2 の一端に接続される。

[0070] キャパシタ C 1 4 は、2 つの電極を有する。キャパシタ C 1 4 の 2 つの電極の一方は、スイッチ S 1 3 の一端及びスイッチ S 1 4 の一端に接続される。キャパシタ C 1 4 の 2 つの電極の他方は、スイッチ S 2 3 の一端及びスイッチ S 2 4 の一端に接続される。

[0071] キャパシタ C 1 5 は、2 つの電極を有する。キャパシタ C 1 5 の 2 つの電極の一方は、スイッチ S 2 3 の一端及びスイッチ S 2 4 の一端に接続される。キャパシタ C 1 5 の 2 つの電極の他方は、スイッチ S 3 3 の一端及びスイッチ S 3 4 の一端に接続される。

[0072] キャパシタ C 1 6 は、2 つの電極を有する。キャパシタ C 1 6 の 2 つの電

極の一方は、スイッチS 3 3の一端及びスイッチS 3 4の一端に接続される。キャパシタC 1 6の2つの電極の他方は、スイッチS 4 3の一端及びスイッチS 4 4の一端に接続される。

[0073] キャパシタC 1 1及びC 1 4のセットと、キャパシタC 1 2及びC 1 5のセットと、キャパシタC 1 3及びC 1 6のセットとの各々は、第1フェーズ及び第2フェーズが繰り返されることで相補的に充電及び放電を行うことができる。

[0074] 具体的には、第1フェーズでは、スイッチS 1 2、S 1 3、S 2 2、S 2 3、S 3 2、S 3 3、S 4 2及びS 4 3がオンにされる。これにより、例えば、キャパシタC 1 2の2つの電極の一方はノードN 3に接続され、キャパシタC 1 2の2つの電極の他方及びキャパシタC 1 5の2つの電極の一方はノードN 2に接続され、キャパシタC 1 5の2つの電極の他方はノードN 1に接続される。

[0075] 一方、第2フェーズでは、スイッチS 1 1、S 1 4、S 2 1、S 2 4、S 3 1、S 3 4、S 4 1及びS 4 4がオンにされる。これにより、例えば、キャパシタC 1 5の2つの電極の一方はノードN 3に接続され、キャパシタC 1 5の2つの電極の他方及びキャパシタC 1 2の2つの電極の一方はノードN 2に接続され、キャパシタC 1 2の2つの電極の他方は、ノードN 1に接続される。

[0076] このような第1フェーズ及び第2フェーズが繰り返されることにより、例えばキャパシタC 1 2及びC 1 5の一方がノードN 2から充電されているときに、キャパシタC 1 2及びC 1 5の他方がキャパシタC 3 0に放電することができる。つまり、キャパシタC 1 2及びC 1 5は、相補的に充電及び放電を行うことができる。

[0077] キャパシタC 1 1及びC 1 4のセットとキャパシタC 1 3及びC 1 6のセットとの各々も、第1フェーズ及び第2フェーズが繰り返されることで、キャパシタC 1 2及びC 1 5のセットと同様に、相補的に充電及び放電を行うことができる。

- [0078] キャパシタC10、C20、C30及びC40の各々は、平滑キャパシタとして機能する。つまり、キャパシタC10、C20、C30及びC40の各々は、ノードN1～N4における電圧V1～V4の保持及び平滑化に用いられる。
- [0079] キャパシタC10は、ノードN1及びグラウンドの間に接続される。具体的には、キャパシタC10の2つの電極の一方は、ノードN1に接続される。一方、キャパシタC10の2つの電極の他方は、グラウンドに接続される。
- [0080] キャパシタC20は、ノードN2及びN1の間に接続される。具体的には、キャパシタC20の2つの電極の一方は、ノードN2に接続される。一方、キャパシタC20の2つの電極の他方は、ノードN1に接続される。
- [0081] キャパシタC30は、ノードN3及びN2の間に接続される。具体的には、キャパシタC30の2つの電極の一方は、ノードN3に接続される。一方、キャパシタC30の2つの電極の他方は、ノードN2に接続される。
- [0082] キャパシタC40は、ノードN4及びN3の間に接続される。具体的には、キャパシタC40の2つの電極の一方は、ノードN4に接続される。一方、キャパシタC40の2つの電極の他方は、ノードN3に接続される。
- [0083] スイッチS11は、キャパシタC11の2つの電極の一方とノードN3との間に接続される。具体的には、スイッチS11の一端は、キャパシタC11の2つの電極の一方に接続される。一方、スイッチS11の他端は、ノードN3に接続される。
- [0084] スイッチS12は、キャパシタC11の2つの電極の一方とノードN4との間に接続される。具体的には、スイッチS12の一端は、キャパシタC11の2つの電極の一方に接続される。一方、スイッチS12の他端は、ノードN4に接続される。
- [0085] スイッチS21は、キャパシタC12の2つの電極の一方とノードN2との間に接続される。具体的には、スイッチS21の一端は、キャパシタC12の2つの電極の一方及びキャパシタC11の2つの電極の他方に接続される。一方、スイッチS21の他端は、ノードN2に接続される。

- [0086] スイッチS 2 2は、キャパシタC 1 2の2つの電極の一方とノードN 3との間に接続される。具体的には、スイッチS 2 2の一端は、キャパシタC 1 2の2つの電極の一方及びキャパシタC 1 1の2つの電極の他方に接続される。一方、スイッチS 2 2の他端は、ノードN 3に接続される。
- [0087] スイッチS 3 1は、キャパシタC 1 2の2つの電極の他方とノードN 1との間に接続される。具体的には、スイッチS 3 1の一端は、キャパシタC 1 2の2つの電極の他方及びキャパシタC 1 3の2つの電極の一方に接続される。一方、スイッチS 3 1の他端は、ノードN 1に接続される。
- [0088] スイッチS 3 2は、キャパシタC 1 2の2つの電極の他方とノードN 2との間に接続される。具体的には、スイッチS 3 2の一端は、キャパシタC 1 2の2つの電極の他方及びキャパシタC 1 3の2つの電極の一方に接続される。一方、スイッチS 3 2の他端は、ノードN 2に接続される。つまり、スイッチS 3 2の他端は、スイッチS 2 1の他端に接続される。
- [0089] スイッチS 4 1は、キャパシタC 1 3の2つの電極の他方とグラウンドとの間に接続される。具体的には、スイッチS 4 1の一端は、キャパシタC 1 3の2つの電極の他方に接続される。一方、スイッチS 4 1の他端は、グラウンドに接続される。
- [0090] スイッチS 4 2は、キャパシタC 1 3の2つの電極の他方とノードN 1との間に接続される。具体的には、スイッチS 4 2の一端は、キャパシタC 1 3の2つの電極の他方に接続される。一方、スイッチS 4 2の他端は、ノードN 1に接続される。つまり、スイッチS 4 2の他端は、スイッチS 3 1の他端に接続される。
- [0091] スイッチS 1 3は、キャパシタC 1 4の2つの電極の一方とノードN 3との間に接続される。具体的には、スイッチS 1 3の一端は、キャパシタC 1 4の2つの電極の一方に接続される。一方、スイッチS 1 3の他端は、ノードN 3に接続される。つまり、スイッチS 1 3の他端は、スイッチS 1 1の他端及びスイッチS 2 2の他端に接続される。
- [0092] スイッチS 1 4は、キャパシタC 1 4の2つの電極の一方とノードN 4と

の間に接続される。具体的には、スイッチS 1 4の一端は、キャパシタC 1 4の2つの電極の一方に接続される。一方、スイッチS 1 4の他端は、ノードN 4に接続される。つまり、スイッチS 1 4の他端は、スイッチS 1 2の他端に接続される。

[0093] スイッチS 2 3は、キャパシタC 1 5の2つの電極の一方とノードN 2との間に接続される。具体的には、スイッチS 2 3の一端は、キャパシタC 1 5の2つの電極の一方及びキャパシタC 1 4の2つの電極の他方に接続される。一方、スイッチS 2 3の他端は、ノードN 2に接続される。つまり、スイッチS 2 3の他端は、スイッチS 2 1の他端及びスイッチS 3 2の他端に接続される。

[0094] スイッチS 2 4は、キャパシタC 1 5の2つの電極の一方とノードN 3との間に接続される。具体的には、スイッチS 2 4の一端は、キャパシタC 1 5の2つの電極の一方及びキャパシタC 1 4の2つの電極の他方に接続される。一方、スイッチS 2 4の他端は、ノードN 3に接続される。つまり、スイッチS 2 4の他端は、スイッチS 1 1の他端、スイッチS 2 2の他端及びスイッチS 1 3の他端に接続される。

[0095] スイッチS 3 3は、キャパシタC 1 5の2つの電極の他方とノードN 1との間に接続される。具体的には、スイッチS 3 3の一端は、キャパシタC 1 5の2つの電極の他方及びキャパシタC 1 6の2つの電極の一方に接続される。一方、スイッチS 3 3の他端は、ノードN 1に接続される。つまり、スイッチS 3 3の他端は、スイッチS 3 1の他端及びスイッチS 4 2の他端に接続される。

[0096] スイッチS 3 4は、キャパシタC 1 5の2つの電極の他方とノードN 2との間に接続される。具体的には、スイッチS 3 4の一端は、キャパシタC 1 5の2つの電極の他方及びキャパシタC 1 6の2つの電極の一方に接続される。一方、スイッチS 3 4の他端は、ノードN 2に接続される。つまり、スイッチS 3 4の他端は、スイッチS 2 1の他端、スイッチS 3 2の他端及びスイッチS 2 3の他端に接続される。

- [0097] スイッチS 4 3は、キャパシタC 1 6の2つの電極の他方とグランドとの間に接続される。具体的には、スイッチS 4 3の一端は、キャパシタC 1 6の2つの電極の他方に接続される。一方、スイッチS 4 3の他端は、グランドに接続される。
- [0098] スイッチS 4 4は、キャパシタC 1 6の2つの電極の他方とノードN 1との間に接続される。具体的には、スイッチS 4 4の一端は、キャパシタC 1 6の2つの電極の他方に接続される。一方、スイッチS 4 4の他端は、ノードN 1に接続される。つまり、スイッチS 4 4の他端は、スイッチS 3 1の他端、スイッチS 4 2の他端及びスイッチS 3 3の他端に接続される。
- [0099] スイッチS 1 2、S 1 3、S 2 2、S 2 3、S 3 2、S 3 3、S 4 2及びS 4 3を含む第1セットのスイッチと、スイッチS 1 1、S 1 4、S 2 1、S 2 4、S 3 1、S 3 4、S 4 1及びS 4 4を含む第2セットのスイッチとは、制御信号S 2に基づいて相補的にオン及びオフが切り替えられる。具体的には、第1フェーズでは、第1セットのスイッチがオンにされ、第2セットのスイッチがオフにされる。逆に、第2フェーズでは、第1セットのスイッチがオフにされ、第2セットのスイッチがオンにされる。
- [0100] 例えば、第1フェーズ及び第2フェーズの一方において、キャパシタC 1 1～C 1 3からキャパシタC 1 0～C 4 0への充電が実行され、第1フェーズ及び第2フェーズに他方において、キャパシタC 1 4～C 1 6からキャパシタC 1 0～C 4 0への充電が実行される。つまり、キャパシタC 1 0～C 4 0には、キャパシタC 1 1～C 1 3又はキャパシタC 1 4～C 1 6から常に充電されるので、ノードN 1～N 4から出力スイッチ回路3 0へ高速で電流が流れても、ノードN 1～N 4には高速で電荷が補充されるので、ノードN 1～N 4の電位変動を抑制できる。
- [0101] このように動作することで、スイッチトキャパシタ回路2 0は、キャパシタC 1 0、C 2 0、C 3 0及びC 4 0のそれぞれの両端でほぼ等しい電圧を維持することができる。具体的には、V 1～V 4のラベルが付された4つのノードにおいて、 $V 1 : V 2 : V 3 : V 4 = 1 : 2 : 3 : 4$ を満たす電圧V

1～V4（グラウンド電位に対する電圧）が維持される。電圧V1～V4の電圧レベルは、スイッチトキャパシタ回路20によって出力スイッチ回路30に供給可能な複数の離散的な電圧レベルに対応する。

[0102] なお、電圧比（V1：V2：V3：V4）は、（1：2：3：4）に限定されない。例えば、電圧比（V1：V2：V3：V4）は、（1：2：4：8）であってもよい。

[0103] また、図3に示したスイッチトキャパシタ回路20の構成は、一例であり、これに限定されない。図3において、スイッチトキャパシタ回路20は、4つの離散的電圧を供給可能に構成されていたが、離散的電圧の数はこれに限定されない。スイッチトキャパシタ回路20は、2以上の任意の数の離散的電圧を供給可能に構成されてもよい。例えば、2つの離散的電圧を供給する場合、スイッチトキャパシタ回路20は、少なくとも、キャパシタC12及びC15と、スイッチS21～S24及びS31～S34と、を備えればよい。

[0104] [1. 3. 2 出力スイッチ回路30の回路構成]

次に、図3を参照しながら、出力スイッチ回路30の回路構成について説明する。出力スイッチ回路30は、図3に示すように、入力端子131～134と、スイッチS51～S54と、出力端子130と、を備える。

[0105] 出力端子130は、第1フィルタ回路41及び第2フィルタ回路42に接続される。出力端子130は、第1フィルタ回路41及び／又は第2フィルタ回路42を介して電力増幅器2に、電圧V1～V4の中から選択された電源電圧を供給するための端子である。

[0106] 入力端子131～134は、スイッチトキャパシタ回路20のノードN4～N1にそれぞれ接続される。入力端子131～134は、スイッチトキャパシタ回路20から電圧V4～V1を受けるための端子である。

[0107] スイッチS51は、入力端子131と出力端子130との間に接続される。具体的には、スイッチS51は、入力端子131に接続された端子と、出力端子130に接続された端子と、を有する。この接続構成において、スイ

ッチS 5 1 は、制御信号S 3 によってオン／オフが切り替えられることで、入力端子1 3 1 と出力端子1 3 0 との接続及び非接続を切り替えることができる。

[0108] スイッチS 5 2 は、入力端子1 3 2 と出力端子1 3 0 との間に接続される。具体的には、スイッチS 5 2 は、入力端子1 3 2 に接続された端子と、出力端子1 3 0 に接続された端子と、を有する。この接続構成において、スイッチS 5 2 は、制御信号S 3 によってオン／オフが切り替えられることで、入力端子1 3 2 と出力端子1 3 0 との接続及び非接続を切り替えることができる。

[0109] スイッチS 5 3 は、入力端子1 3 3 と出力端子1 3 0 との間に接続される。具体的には、スイッチS 5 3 は、入力端子1 3 3 に接続された端子と、出力端子1 3 0 に接続された端子と、を有する。この接続構成において、スイッチS 5 3 は、制御信号S 3 によってオン／オフが切り替えられることで、入力端子1 3 3 と出力端子1 3 0 との接続及び非接続を切り替えることができる。

[0110] スイッチS 5 4 は、入力端子1 3 4 と出力端子1 3 0 との間に接続される。具体的には、スイッチS 5 4 は、入力端子1 3 4 に接続された端子と、出力端子1 3 0 に接続された端子と、を有する。この接続構成において、スイッチS 5 4 は、制御信号S 3 によってオン／オフが切り替えられることで、入力端子1 3 4 と出力端子1 3 0 との接続及び非接続を切り替えることができる。

[0111] これらのスイッチS 5 1 ～S 5 4 は排他的にオンになるように制御される。つまり、スイッチS 5 1 ～S 5 4 のいずれかのみがオンにされ、スイッチS 5 1 ～S 5 4 の残りがオフにされる。これにより、出力スイッチ回路3 0 は、電圧V 1 ～V 4 の中から選択された1 つの電圧を出力することができる。

[0112] なお、図3 に示した出力スイッチ回路3 0 の構成は、一例であり、これに限定されない。特にスイッチS 5 1 ～S 5 4 は、4 つの入力端子1 3 1 ～1

34の少なくとも1つを選択的に出力端子130に接続できればよく、どのような構成であってもよい。例えば、出力スイッチ回路30は、さらに、スイッチS51～S53とスイッチS54及び出力端子130との間に接続されたスイッチを備えてもよい。また例えば、出力スイッチ回路30は、さらに、スイッチS51及びS52とスイッチS53及びS54並びに出力端子130との間に接続されたスイッチを備えてもよい。

[0113] なお、スイッチトキャパシタ回路20から2つの離散的な電圧レベルの電圧が供給される場合、出力スイッチ回路30は、スイッチS51～S54のうちの少なくとも2つを備えればよい。

[0114] [1. 3. 3 プリレギュレータ回路10の回路構成]

次に、図3を参照しながら、プリレギュレータ回路10の構成について説明する。図3に示すように、プリレギュレータ回路10は、入力端子110と、出力端子111～114と、スイッチS61～S63、S71及びS72と、パワーインダクタL71と、キャパシタC61～C64と、を備える。

[0115] 入力端子110は、直流電圧の入力端子である。つまり、入力端子110は、直流電源50から入力電圧を受けるための端子である。

[0116] 出力端子111は、電圧V4の出力端子である。つまり、出力端子111は、スイッチトキャパシタ回路20に電圧V4を供給するための端子である。出力端子111は、スイッチトキャパシタ回路20のノードN4に接続される。

[0117] 出力端子112は、電圧V3の出力端子である。つまり、出力端子112は、スイッチトキャパシタ回路20に電圧V3を供給するための端子である。出力端子112は、スイッチトキャパシタ回路20のノードN3に接続される。

[0118] 出力端子113は、電圧V2の出力端子である。つまり、出力端子113は、スイッチトキャパシタ回路20に電圧V2を供給するための端子である。出力端子113は、スイッチトキャパシタ回路20のノードN2に接続さ

れる。

[0119] 出力端子 114 は、電圧 V1 の出力端子である。つまり、出力端子 114 は、スイッチトキャパシタ回路 20 に電圧 V1 を供給するための端子である。出力端子 114 は、スイッチトキャパシタ回路 20 のノード N1 に接続される。

[0120] スイッチ S71 は、入力端子 110 とパワーインダクタ L71 の一端との間に接続される。具体的には、スイッチ S71 は、入力端子 110 に接続される端子と、パワーインダクタ L71 の一端に接続される端子と、を有する。この接続構成において、スイッチ S71 は、制御信号 S1 に基づいて開閉を切り替えることで、入力端子 110 とパワーインダクタ L71 の一端との間の接続及び非接続を切り替えることができる。

[0121] スイッチ S72 は、パワーインダクタ L71 の一端とグラウンドとの間に接続される。具体的には、スイッチ S72 は、パワーインダクタ L71 の一端に接続される端子と、グラウンドに接続される端子と、を有する。この接続構成において、スイッチ S72 は、制御信号 S1 に基づいて開閉を切り替えることで、パワーインダクタ L71 の一端とグラウンドとの間の接続及び非接続を切り替えることができる。

[0122] スイッチ S61 は、パワーインダクタ L71 の他端と出力端子 111 との間に接続される。具体的には、スイッチ S61 は、パワーインダクタ L71 の他端に接続された端子と、出力端子 111 に接続された端子と、を有する。この接続構成において、スイッチ S61 は、制御信号 S1 に基づいて開閉を切り替えることで、パワーインダクタ L71 の他端と出力端子 111 との間の接続及び非接続を切り替えることができる。

[0123] スイッチ S62 は、パワーインダクタ L71 の他端と出力端子 112 との間に接続される。具体的には、スイッチ S62 は、パワーインダクタ L71 の他端に接続された端子と、出力端子 112 に接続された端子と、を有する。この接続構成において、スイッチ S62 は、制御信号 S1 に基づいて開閉を切り替えることで、パワーインダクタ L71 の他端と出力端子 112 との

間の接続及び非接続を切り替えることができる。

- [0124] スイッチS 6 3は、パワーインダクタL 7 1の他端と出力端子1 1 3との間に接続される。具体的には、スイッチS 6 3は、パワーインダクタL 7 1の他端に接続された端子と、出力端子1 1 3に接続された端子と、を有する。この接続構成において、スイッチS 6 3は、制御信号S 1に基づいて開閉を切り替えることで、パワーインダクタL 7 1の他端と出力端子1 1 3との間の接続及び非接続を切り替えることができる。
- [0125] キャパシタC 6 1の2つの電極の一方は、スイッチS 6 1と出力端子1 1 1とに接続される。キャパシタC 6 1の2つの電極の他方は、スイッチS 6 2と出力端子1 1 2とキャパシタC 6 2の2つの電極の一方とに接続される。
- [0126] キャパシタC 6 2の2つの電極の一方は、スイッチS 6 2と出力端子1 1 2とキャパシタC 6 1の2つの電極の他方とに接続される。キャパシタC 6 2の2つの電極の他方は、スイッチS 6 3と出力端子1 1 3とキャパシタC 6 3の2つの電極の一方とを接続する経路に接続される。
- [0127] キャパシタC 6 3の2つの電極の一方は、スイッチS 6 3と出力端子1 1 3とキャパシタC 6 2の2つの電極の他方とに接続される。キャパシタC 6 3の2つの電極の他方は、出力端子1 1 4とキャパシタC 6 4の2つの電極の一方とに接続される。
- [0128] キャパシタC 6 4の2つの電極の一方は、出力端子1 1 4とキャパシタC 6 3の2つの電極の他方とに接続される。キャパシタC 6 4の2つの電極の他方は、グラウンドに接続される。
- [0129] スイッチS 6 1～S 6 3は、排他的にオンになるように制御される。つまり、スイッチS 6 1～S 6 3のいずれかのみがオンにされ、スイッチS 6 1～S 6 3の残りがオフにされる。スイッチS 6 1～S 6 3のいずれかのみをオンとすることにより、プリレギュレータ回路1 0は、スイッチトキャパシタ回路2 0に供給する電圧を電圧V 2～V 4の電圧レベルで変化させることが可能となる。

[0130] このように構成されたプリレギュレータ回路 10 は、出力端子 111 ~ 114 の少なくとも 1 つを介してスイッチトキャパシタ回路 20 に電荷を供給することができる。

[0131] なお、入力電圧が 1 つの調整電圧に変換されればよい場合、プリレギュレータ回路 10 は、少なくとも、スイッチ S71 及び S72 と、パワーインダクタ L71 と、を備えればよい。

[0132] [1. 3. 4 第 1 フィルタ回路 41 及び第 2 フィルタ回路 42 の回路構成]

次に、図 3 を参照しながら、本実施の形態に係る第 1 フィルタ回路 41 及び第 2 フィルタ回路 42 の回路構成について説明する。

[0133] 第 1 フィルタ回路 41 は、インダクタ L51 及びキャパシタ C51 の並列回路（LC 並列回路）を含む。インダクタ L51 及びキャパシタ C51 の並列回路の一端は、スイッチ S56 に接続され、インダクタ L51 及びキャパシタ C51 の並列回路の他端は、電力増幅器 2 に接続される。

[0134] 第 2 フィルタ回路 42 は、インダクタ L52 及びキャパシタ C52 の並列回路を含む。インダクタ L52 及びキャパシタ C52 の並列回路の一端は、スイッチ S57 に接続され、インダクタ L52 及びキャパシタ C52 の並列回路の他端は、電力増幅器 2 に接続される。

[0135] このように接続された第 1 フィルタ回路 41 及び第 2 フィルタ回路 42 は、スイッチ S56 及び S57 によってオン／オフが切り替えられる。これにより、第 1 フィルタ回路 41 及び第 2 フィルタ回路 42 は、複数の離散的電圧からノイズを除去するための帯域除去フィルタのオン／オフを切り替えることができる。例えば、スイッチ S56 及び S57 の開閉制御によって、以下の（1）～（3）に示す 3 種類の帯域除去フィルタを実現することができる。

[0136] （1）スイッチ S56 が閉じられ、かつ、スイッチ S57 が開かれることで、出力スイッチ回路 30 と電力増幅器 2 との間に、第 1 フィルタ回路 41 が接続され、第 2 フィルタ回路 42 が接続されない。これにより、第 1 フィ

ルタ回路 4 1 が帯域除去フィルタとして機能し、第 2 フィルタ回路 4 2 が帯域除去フィルタとして機能しない。

[0137] (2) スイッチ S 5 6 が開かれ、かつ、スイッチ S 5 7 が閉じられることで、出力スイッチ回路 3 0 と電力増幅器 2 との間に、第 2 フィルタ回路 4 2 が接続され、第 1 フィルタ回路 4 1 が接続されない。これにより、第 2 フィルタ回路 4 2 が、帯域除去フィルタとして機能し、第 1 フィルタ回路 4 1 が帯域除去フィルタとして機能しない。

[0138] (3) スイッチ S 5 6 が閉じられ、かつ、スイッチ S 5 7 が閉じられることで、出力スイッチ回路 3 0 と電力増幅器 2 との間に、第 1 フィルタ回路 4 1 及び第 2 フィルタ回路 4 2 が接続される。これにより、第 1 フィルタ回路 4 1 及び第 2 フィルタ回路 4 2 が、帯域除去フィルタとして機能する。

[0139] このようなスイッチ S 5 6 及び S 5 7 の開閉は、例えば高周波信号 R F のチャネル帯域幅（つまり変調帯域幅）に基づいて制御することができる。また、電力増幅器 2 が複数の周波数バンドの送信信号を増幅可能である場合には、スイッチ S 5 6 及び S 5 7 の開閉は、電力増幅器 2 で増幅される送信信号の周波数バンドに基づいて制御されてもよい。なお、スイッチ S 5 6 及び S 5 7 の開閉の制御は、上記に限定されない。

[0140] 図 3 に表された第 1 フィルタ回路 4 1 及び第 2 フィルタ回路 4 2 の回路構成は、例示であり、これに限定されない。例えば、第 1 フィルタ回路 4 1 及び／又は第 2 フィルタ回路 4 2 は、インダクタ及びキャパシタの直列回路（L C 直列回路）であってもよい。この場合、L C 直列回路は、出力スイッチ回路 3 0 と電力増幅器 2 との間を結ぶ経路とグラウンドとの間に接続されてもよい。

[0141] [1 . 3 . 5 デジタル制御回路 6 0 の回路構成]

次に、デジタル制御回路 6 0 の回路構成について説明する。デジタル制御回路 6 0 は、図 3 に示すように、第 1 コントローラ 6 1 と、第 2 コントローラ 6 2 と、を備える。

[0142] 第 1 コントローラ 6 1 は、R F I C 3 から供給されるクロック信号（C L

K)に基づいてシリアルデータ信号(DATA)を処理して制御信号S1～S4を生成することができる。ここで、シリアルデータ信号とは、1つの信号線又は回線で1ビットずつ伝送されるデータ信号を意味する。

[0143] 制御信号S1は、プリレギュレータ回路10に含まれるスイッチS61～S63、S71及びS72の開閉を制御するための信号である。制御信号S2は、スイッチトキャパシタ回路20に含まれるスイッチS11～S14、S21～S24、S31～S34及びS41～S44の開閉を制御するための信号である。制御信号S3は、電力増幅器2にAPTモードが適用される場合に、出力スイッチ回路30に含まれるスイッチS51～S54の開閉を制御するための信号である。制御信号S4は、第1フィルタ回路41及び第2フィルタ回路42のためのスイッチS56及びS57の開閉を制御するための信号である。

[0144] 第1コントローラ61でシリアルデータ信号を処理するためのクロック信号には、シリアルデータ信号と別の信号線が用いられているが、これに限定されない。例えば、クロック信号は、シリアルデータ信号と同じ信号線で伝送されてもよい。

[0145] また、本実施の形態では、プリレギュレータ回路10、スイッチトキャパシタ回路20、出力スイッチ回路30及びスイッチS56及びS57の制御のために1つのシリアルデータ信号が用いられているが、複数のシリアルデータ信号が用いられてもよい。

[0146] 第2コントローラ62は、RFIC3から供給されるデジタル制御論理(DCL: Digital Control Logic/Line)信号(DCL1、DCL2)を処理して制御信号S5を生成することができる。DCL信号は、パラレルデータ信号の一例である。ここで、パラレルデータ信号とは、複数の信号線又は回線で同時に並列的に伝送されるデータ信号を意味する。

[0147] DCL信号(DCL1、DCL2)は、電力増幅器2にDETモードが適用される場合に、RFIC3によって、高周波信号のエンベロープ信号に基づいて生成される。したがって、制御信号S5は、電力増幅器2にD-E

Tモードが適用される場合に、出力スイッチ回路30に含まれるスイッチS51～S54の開閉を制御するための信号である。

[0148] DCL信号(DCL1、DCL2)の各々は、1ビット信号である。電圧V1～V4の各々は、2つの1ビット信号の組み合わせによって表される。例えば、V1、V2、V3及びV4は、「00」、「01」、「10」及び「11」によってそれぞれ表される。電圧レベルの表現には、グレイコード(Gray code)が用いられてもよい。

[0149] なお、本実施の形態では、DETモードにおいて出力スイッチ回路30の制御に2つのDCL信号が用いられているが、DCL信号の数は、これに限定されない。例えば、出力スイッチ回路30の各々が選択可能な電圧レベルの数に応じて1つ又は3以上の任意の数のDCL信号が用いられてもよい。また、出力スイッチ回路30の制御に用いられるデジタル制御信号は、DCL信号に限定されない。

[0150] [1.4 DPD方法]

次に、本実施の形態に係るDPD方法について図4を参照しながら説明する。図4は、本実施の形態に係るDPD方法を示すフローチャートである。

[0151] まず、1フレーム内で電源電圧Vccが離散的に変化するか否かが判定される(S10)。例えば、DETモード及びSPTモードでは、1フレーム内で電源電圧Vccが離散的に変化すると判定される。つまり、出力スイッチ回路30がDCL信号に従って動作する場合に、1フレーム内で電源電圧Vccが離散的に変化すると判定される。逆に、APTモードでは、1フレーム内で電源電圧Vccが離散的に変化しないと判定される。つまり、出力スイッチ回路30がシリアルデータ信号に従って動作する場合に、1フレーム内で電源電圧Vccが離散的に変化しないと判定される。

[0152] ここで、1フレーム内で電源電圧Vccが離散的に変化する場合(S10のYes)、メモリ効果が組み込まれている第1数式モデルを用いて、電力増幅器2の入力信号が予め歪まされる(S20)。逆に言えば、1フレーム内で電源電圧Vccが離散的に変化する場合に、第2数式モデルが用いられ

ない。具体的には、DPD回路71は、例えば式(2)又は(3)を用いて、予め歪ませられたデジタルI/Q信号を計算し、計算された予め歪ませられたデジタルI/Q信号を予め歪まされたアナログI/Q信号に変換する。そして、直交変調器73は、DPD回路71から供給される予め歪まされたアナログI/Q信号に直交変調及びアップコンバートを行うことにより、予め歪ませられた高周波信号RFを生成する。

[0153] 一方、1フレーム内で電源電圧Vccが離散的に変化しない場合(S10のNo)、メモリ効果が組み込まれていない第2数式モデルを用いて、電力増幅器2の入力信号が予め歪まされる、又は、電力増幅器2の入力信号が予め歪まされない(S30)。逆に言えば、1フレーム内で電源電圧Vccが離散的に変化しない場合に、第1数式モデルが用いられない。具体的には、DPD回路71は、例えば式(1)を用いて、予め歪ませられたデジタルI/Q信号を計算し、計算された予め歪ませられたデジタルI/Q信号を予め歪まされたアナログI/Q信号に変換する。そして、直交変調器73は、DPD回路71から供給される予め歪まされたアナログI/Q信号に直交変調及びアップコンバートを行うことにより高周波信号RFを生成する。または、電力増幅器2の入力信号が予め歪まされない場合には、直交変調器73は、DAC72から供給されるアナログI/Q信号に直交変調及びアップコンバートを行うことにより、予め歪ませられていない高周波信号RFを生成する。つまり、DPD回路71の処理がスキップされる。

[0154] 上記DPD方法における各種条件とDPDとの対応関係は、以下の表1のようにまとめられる。

[0155] [表1]

条件1	DPD
1フレーム内で離散的に変化(e.g. D-ET)	第1数式モデル
1フレーム内で離散的に変化しない(e.g. APT)	第2数式モデル/DPD無し

[0156] [1.5 効果など]

以上のように、本実施の形態に係る電力増幅システム 7 は、D-E T モード及び A P T モードが選択的に適用されるよう構成された電力増幅器 2 と、D-E T モード及び A P T モードにおいて、複数の離散的電圧の少なくとも 1 つを選択的に電力増幅器 2 に供給するよう構成されたトラック回路 1 と、電力増幅器 2 の入力信号を予め歪ませるよう構成された D P D 回路 7 1 と、を備え、D P D 回路 7 1 は、電力増幅器 2 に D-E T モードが適用される場合に、D P D のための第 1 数式モデルを用いて入力信号を予め歪ませ、電力増幅器 2 に A P T モードが適用される場合に、D P D のための第 2 数式モデルを用いて入力信号を予め歪ませる、又は、入力信号を予め歪ませない。

[0157] これによれば、D-E T モード及び A P T モードに応じて、第 1 数式モデル及び第 2 数式モデルを切り替える、又は、D P D のオン及びオフを切り替えることができる。D-E T モードでは、A P T モードよりも電力増幅器 2 の非線形領域が利用されるため、非線形歪みが増加する。そこで、D-E T モードでは、第 1 数式モデルを用いて入力信号を予め歪ませることで、D P D のための計算負荷の低減（つまり、消費電力の低減）よりも送信信号の品質の向上を優先させる。逆に、A P T モードでは、第 2 数式モデルを用いて入力信号を予め歪ませる、又は、入力信号を予め歪ませないことで、送信信号の品質の向上よりも D P D のための計算負荷の低減を優先させる。これにより、消費電力の増加を抑制しつつ、送信信号の品質を効果的に向上させることができる。

[0158] 別の見地によれば、本実施の形態に係る電力増幅システム 7 は、パラレルデータ信号又はシリアルデータ信号に従って、複数の離散的電圧の少なくとも 1 つを選択的に電力増幅器 2 に出力するよう構成された出力スイッチ回路 3 0 と、電力増幅器 2 の入力信号を予め歪ませるよう構成された D P D 回路 7 1 と、を備え、D P D 回路 7 1 は、出力スイッチ回路 3 0 がパラレルデータ信号に従って動作する場合に、D P D のための第 1 数式モデルを用いて入力信号を予め歪ませ、出力スイッチ回路 3 0 がシリアルデータ信号に従って動作する場合に、D P D のための第 2 数式モデルを用いて入力信号を予め歪

ませる、又は、入力信号を予め歪ませない。

[0159] これによれば、出力スイッチ回路30を制御するための信号がパラレルデータ信号であるかシリアルデータ信号であるかに応じて、第1数式モデル及び第2数式モデルを切り替える、又は、DPDのオン及びオフを切り替えることができる。パラレルデータ信号では、シリアルデータ信号よりも高速なスイッチングが実現され、電力増幅器2に供給される離散的電圧がより頻繁に切り替えられる。その結果、電力増幅器2の非線形領域がより頻繁に利用され、非線形歪みが増加する。そこで、出力スイッチ回路30がパラレルデータ信号に従って動作する場合に、第1数式モデルを用いて入力信号を予め歪ませることで、DPDのための計算負荷の低減よりも送信信号の品質の向上を優先させる。逆に、出力スイッチ回路30がシリアルデータ信号に従って動作する場合に、第2数式モデルを用いて入力信号を予め歪ませる、又は、入力信号を予め歪ませないことで、送信信号の品質の向上よりもDPDのための計算負荷の低減を優先させる。これにより、消費電力の増加を抑制しつつ、送信信号の品質を効果的に向上させることができる。

[0160] 本実施の形態に係るDPD方法は、電力増幅器2の入力信号を予め歪ませるDPD方法であって、電力増幅器2に供給される電源電圧 V_{cc} が入力信号の1フレーム内で時間とともに離散的に変化する場合に、DPDのための第1数式モデルを用いて入力信号を予め歪ませ、電力増幅器2に供給される電源電圧 V_{cc} が入力信号の1フレーム内で時間とともに変化しない場合に、DPDのための第2数式モデルを用いて入力信号を予め歪ませる、又は、入力信号を予め歪ませない。

[0161] これによれば、電源電圧 V_{cc} が1フレーム内で時間とともに離散的に変化するか否かに応じて、第1数式モデル及び第2数式モデルを切り替える、又は、DPDのオン及びオフを切り替えることができる。電源電圧 V_{cc} がより頻繁に離散的に変化する場合には、電力増幅器2の非線形領域がより頻繁に利用され、非線形歪みが増加する。そこで、電源電圧 V_{cc} が1フレーム内で時間とともに離散的に変化する場合に、第1数式モデルを用いて入力

信号を予め歪ませることで、D P Dのための計算負荷の低減よりも送信信号の品質の向上を優先させる。逆に、電源電圧 V_{cc} が1フレーム内で時間とともに離散的に変化しない場合に、第2数式モデルを用いて入力信号を予め歪ませる、又は、入力信号を予め歪ませないことで、送信信号の品質の向上よりもD P Dのための計算負荷の低減を優先させる。これにより、消費電力の増加を抑制しつつ、送信信号の品質を効果的に向上させることができる。

[0162] 本実施の形態に係るD P D回路71は、電力増幅器2にD-E Tモードが適用される場合に、デジタルプリディストーションのための第1数式モデルを用いて電力増幅器2の入力信号を予め歪ませ、電力増幅器2にA P Tモードが適用される場合に、デジタルプリディストーションのための第2数式モデルを用いて電力増幅器2の入力信号を予め歪ませる、又は、電力増幅器2の入力信号を予め歪ませない。

[0163] これによれば、D-E Tモード及びA P Tモードに応じて、第1数式モデル及び第2数式モデルを切り替える、又は、D P Dのオン及びオフを切り替えることができる。D-E Tモードでは、A P Tモードよりも電力増幅器2の非線形領域が利用されるため、非線形歪みが増加する。そこで、D-E Tモードでは、第1数式モデルを用いて入力信号を予め歪ませることで、D P Dのための計算負荷の低減（つまり、消費電力の低減）よりも送信信号の品質の向上を優先させる。逆に、A P Tモードでは、第2数式モデルを用いて入力信号を予め歪ませる、又は、入力信号を予め歪ませないことで、送信信号の品質の向上よりもD P Dのための計算負荷の低減を優先させる。これにより、消費電力の増加を抑制しつつ、送信信号の品質を効果的に向上させることができる。

[0164] また例えば、本実施の形態に係る電力増幅システム7、D P D方法又はD P D回路71において、第1数式モデルには、電力増幅器2のメモリ効果が組み込まれてもよく、第2数式モデルには、電力増幅器2のメモリ効果が組み込まれていなくてもよい。

[0165] これによれば、第1数式モデルも用いて入力信号を予め歪ませることで、

さらなる送信信号の品質の向上を図ることができ、第2数式モデルを用いて入力信号を予め歪ませることで、さらなる計算負荷の低減を図ることができる。

[0166] (変形例1)

次に、上記実施の形態の変形例1について説明する。本変形例では、1フレーム内で電源電圧が離散的に変化しない場合に、平均出力パワーに応じて、第2数式モデルを用いて入力信号を予め歪ませる、及び、入力信号を予め歪ませない、が切り替えられる点が、上記実施の形態と主として異なる。以下に、本変形例について、上記実施の形態と異なる点を中心に図面を参照しながら説明する。

[0167] なお、本変形例に係る通信装置6の回路構成については、上記実施の形態と同様であるので、図示及び説明を省略する。

[0168] [2. 1 DPD方法]

本変形例に係るDPD方法について図5を参照しながら説明する。図5は、本変形例に係るDPD方法を示すフローチャートである。

[0169] まず、1フレーム内で電源電圧 V_{cc} が離散的に変化するか否かが判定される(S10)。ここで、1フレーム内で電源電圧 V_{cc} が離散的に変化する場合(S10のYes)、第1数式モデルを用いて電力増幅器2の入力信号が予め歪まされる(S20)。

[0170] 一方、1フレーム内で電源電圧 V_{cc} が離散的に変化しない場合(S10のNo)、平均出力パワーが閾値パワーよりも高いか否かが判定される(S40)。

[0171] 平均出力パワー(AOP: Average Output Power)は、所定期間内のアンテナ5からの出力パワーの平均である。所定期間としては、高周波信号RFの1フレームの期間を用いることができるが、これに限定されない。閾値パワーは、実験的及び／又は経験的に予め決定することができ、例えば16dBmと決定することができる。なお、閾値パワーは、16dBmに限定されない。

[0172] 出力パワーの測定は、アンテナ 5 における放射パワーを測定することで出力パワーが測定される。なお、放射パワーの測定の代わりに、アンテナ 5 の近傍に端子を設けて、その端子に計測器（例えばスペクトルアナライザなど）を接続することで、アンテナ 5 からの出力パワーを測定することもできる。

[0173] ここで、平均出力パワーが閾値パワーよりも高い場合（S 4 0 の Y e s）、第 2 数式モデルを用いて電力増幅器 2 の入力信号が予め歪まされる（S 5 0）。一方、平均出力パワーが閾値パワーよりも高くない場合（S 4 0 の N o）、電力増幅器 2 の入力信号が予め歪まされない（S 6 0）。

[0174] 上記 D P D 方法における各種条件と D P D との対応関係は、以下の表 2 のようにまとめられる。

[0175] [表2]

条件1	条件2	DPD
1フレーム内で離散的に変化(e.g. D-ET)	—	第1数式モデル
1フレーム内で離散的に変化しない(e.g. APT)	AOP>16dBm	第2数式モデル
	AOP≤16dBm	DPD無し

[0176] [2 . 2 効果など]

以上のように、本変形例に係る電力増幅システム 7 又は D P D 回路 7 1 において、電力増幅器 2 に A P T モードが適用される場合に、電力増幅器 2 で増幅される信号の平均出力パワーが閾値パワーよりも高ければ、第 2 数式モデルを用いて入力信号を予め歪ませ、電力増幅器 2 で増幅される信号の平均出力パワーが閾値パワーよりも高くなければ、入力信号を予め歪ませない。

[0177] 別の見地によれば、本変形例に係る電力増幅システム 7 において、出力スイッチ回路 3 0 がシリアルデータ信号に従って動作する場合に、電力増幅器 2 で増幅される信号の平均出力パワーが閾値パワーよりも高ければ、第 2 数式モデルを用いて入力信号を予め歪ませ、電力増幅器 2 で増幅される信号の平均出力パワーが閾値パワーよりも高くなければ、入力信号を予め歪ませない。

[0178] また、本変形例に係るDPD方法において、電力増幅器2に供給される電源電圧 V_{cc} が入力信号の1フレーム内で時間とともに変化しない場合に、電力増幅器2で増幅される信号の平均出力パワーが閾値パワーよりも高ければ、第2数式モデルを用いて入力信号を予め歪ませ、電力増幅器2で増幅される信号の平均出力パワーが閾値パワーよりも高くなければ、入力信号を予め歪ませない。

[0179] これらによれば、平均出力パワーの高さに応じて、DPDのオン及びオフが切り替えられる。出力パワーが高いときに電力増幅器2の非線形領域が利用されるため、平均出力パワーが高ければ非線形歪みが増加する。そこで、平均出力パワーが高い場合に第2数式モデルを用いて入力信号を予め歪ませ、平均出力パワーが低い場合に入力信号を予め歪ませないことで、消費電力の増加を抑制しつつ、送信信号の品質を効果的に向上させることができる。

[0180] (変形例2)

次に、上記実施の形態の変形例2について説明する。本変形例では、1フレーム内で電源電圧が離散的に変化しない場合に、チャネル帯域幅に応じて、第1数式モデル及び第2数式モデルが切り替えられる点が、上記実施の形態と主として異なる。以下に、本変形例について、上記実施の形態と異なる点を中心に図面を参照しながら説明する。

[0181] なお、本変形例に係る通信装置6の回路構成については、上記実施の形態と同様であるので、図示及び説明を省略する。

[0182] [3. 1 DPD方法]

本変形例に係るDPD方法について図6を参照しながら説明する。図6は、本変形例に係るDPD方法を示すフローチャートである。

[0183] まず、1フレーム内で電源電圧 V_{cc} が離散的に変化するか否かが判定される(S10)。ここで、1フレーム内で電源電圧 V_{cc} が離散的に変化する場合(S10のYes)、第1数式モデルを用いて電力増幅器2の入力信号が予め歪まされる(S20)。

[0184] 一方、1フレーム内で電源電圧 V_{cc} が離散的に変化しない場合(S10

のN o)、チャネル帯域幅が閾値幅よりも狭いか否かが判定される(S 4 5)。

[0185] チャネル帯域幅(C B W : Channel Bandwidth)とは、高周波信号R Fの変調帯域幅を意味する。チャネル帯域幅は、標準化団体など(例えば3 G P P(登録商標)(3rd Generation Partnership Project)及びI E E E(Institute of Electrical and Electronics Engineers)等)によってバンドごとに選択可能な値が定義される。閾値幅は、実験的及び／又は経験的に予め決定することができ、例えば6 0 M H zと決定することができる。なお、閾値幅は、6 0 M H zに限定されない。

[0186] ここで、チャネル帯域幅が閾値幅よりも狭い場合、(S 4 5のY e s)、第2数式モデルを用いて電力増幅器2の入力信号が予め歪まされる、又は、電力増幅器2の入力信号が予め歪まされない(S 3 0)。一方、チャネル帯域幅が閾値幅よりも狭くない場合、(S 4 5のN o)、第1数式モデルを用いて電力増幅器2の入力信号が予め歪まされる(S 2 0)。

[0187] 上記D P D方法における各種条件とD P Dとの対応関係は、以下の表3のようにまとめられる。

[0188] [表3]

条件1	条件3	DPD
1フレーム内で離散的に変化(e.g. D-ET)	—	第1数式モデル
1フレーム内で離散的に変化しない(e.g. APT)	CBW $\geq$ 60MHz CBW<60MHz	
		第2数式モデル/DPD無し

[0189] [3. 2 効果など]

以上のように、本変形例に係る電力増幅システム7又はD P D回路7 1において、電力増幅器2にA P Tモードが適用される場合に、入力信号のチャネル帯域幅が閾値幅よりも狭ければ、第2数式モデルを用いて入力信号を予め歪ませ、又は、入力信号を予め歪ませず、入力信号のチャネル帯域幅が閾値幅よりも狭くなければ、第1数式モデルを用いて入力信号を予め歪ませる。

[0190] 別の見地によれば、本変形例に係る電力増幅システム7において、出力ス

イッチ回路 30 がシリアルデータ信号に従って動作するとき、入力信号のチャネル帯域幅が閾値幅よりも狭ければ、第 2 数式モデルを用いて入力信号を予め歪ませ、又は、入力信号を予め歪ませず、入力信号のチャネル帯域幅が閾値幅よりも狭くなければ、第 1 数式モデルを用いて入力信号を予め歪ませる。

[0191] また、本変形例に係る DPD 方法において、電力増幅器 2 に供給される電源電圧 V_{cc} が入力信号の 1 フレーム内で時間とともに変化しない場合に、入力信号のチャネル帯域幅が閾値幅よりも狭ければ、第 2 数式モデルを用いて入力信号を予め歪ませる、又は、入力信号を予め歪ませず、入力信号のチャネル帯域幅が閾値幅よりも狭くなければ、第 1 数式モデルを用いて入力信号を予め歪ませる。

[0192] これらによれば、チャネル帯域幅の広さに応じて、第 1 数式モデル及び第 2 数式モデルが切り替えられる。チャネル帯域幅が広くなれば、PAPR (Peak to Average Power Ratio) が大きくなり、電力増幅器 2 の非線形領域が頻繁に利用される。そのため、チャネル帯域幅が広ければ、非線形歪みが増加する。そこで、チャネル帯域幅が広い場合に第 1 数式モデルを用いて入力信号を予め歪ませ、チャネル帯域幅が狭い場合に第 2 数式モデルを用いて入力信号を予め歪ませることで、消費電力の増加を抑制しつつ、送信信号の品質を効果的に向上させることができる。

[0193] (変形例 3)

次に、上記実施の形態の変形例 3 について説明する。本変形例は、上記変形例 1 及び 2 の組み合わせに相当する。以下に、本変形例について、上記変形例 1 及び 2 と異なる点を中心に図面を参照しながら説明する。

[0194] なお、本変形例に係る通信装置 6 の回路構成については、上記実施の形態と同様であるので、図示及び説明を省略する。

[0195] [4. 1 DPD 方法]

本変形例に係る DPD 方法について図 7 を参照しながら説明する。図 7 は、本変形例に係る DPD 方法を示すフローチャートである。

[0196] まず、1フレーム内で電源電圧 V_{cc} が離散的に変化するか否かが判定される（S10）。ここで、1フレーム内で電源電圧 V_{cc} が離散的に変化する場合（S10のYes）、第1数式モデルを用いて電力増幅器2の入力信号が予め歪まされる（S20）。

[0197] 一方、1フレーム内で電源電圧 V_{cc} が離散的に変化しない場合（S10のNo）、平均出力パワーが閾値パワーよりも高いか否かが判定される（S40）。

[0198] ここで、平均出力パワーが閾値パワーよりも高い場合（S40のYes）、チャネル帯域幅が閾値幅よりも狭いか否かが判定される（S45）。チャネル帯域幅が閾値幅よりも狭い場合、（S45のYes）、第2数式モデルを用いて電力増幅器2の入力信号が予め歪まされる（S50）。一方、チャネル帯域幅が閾値幅よりも狭くない場合、（S45のNo）、第1数式モデルを用いて電力増幅器2の入力信号が予め歪まされる（S20）。

[0199] 一方、平均出力パワーが閾値パワーよりも高くない場合（S40のNo）、電力増幅器2の入力信号が予め歪まされない（S60）。

[0200] 上記DPD方法における各種条件とDPDとの対応関係は、以下の表4のようにまとめられる。

[0201] [表4]

条件1	条件2	条件3	DPD
1フレーム内で離散的に変化(e.g. D-ET)	—	—	第1数式モデル
1フレーム内で離散的に変化しない(e.g. APT)	AOP>16dBm	CBW≥60MHz	
	AOP≤16dBm	CBW<60MHz	第2数式モデル
		—	DPD無し

[0202] [4.2 効果など]

以上のように、本変形例に係る電力増幅システム7又はDPD回路71において、電力増幅器2にAPTモードが適用される場合に、電力増幅器2で増幅される信号の平均出力パワーが閾値パワーよりも高く、かつ、入力信号のチャネル帯域幅が閾値幅よりも狭ければ、第2数式モデルを用いて入力信号を予め歪ませ、電力増幅器2で増幅される信号の平均出力パワーが閾値パ

ワーよりも高く、かつ、入力信号のチャネル帯域幅が閾値幅よりも狭くなければ、第1数式モデルを用いて入力信号を予め歪ませ、電力増幅器2で増幅される信号の平均出力パワーが閾値パワーよりも高くなければ、入力信号を予め歪ませない。

[0203] 別の見地によれば、本変形例に係る電力増幅システム7において、出力スイッチ回路30がシリアルデータ信号に従って動作するときに、電力増幅器2で増幅される信号の平均出力パワーが閾値パワーよりも高く、かつ、入力信号のチャネル帯域幅が閾値幅よりも狭ければ、第2数式モデルを用いて入力信号を予め歪ませ、電力増幅器2で増幅される信号の平均出力パワーが閾値パワーよりも高く、かつ、入力信号のチャネル帯域幅が閾値幅よりも狭くなければ、第1数式モデルを用いて入力信号を予め歪ませ、電力増幅器2で増幅される信号の平均出力パワーが閾値パワーよりも高くなければ、入力信号を予め歪ませない。

[0204] また、本変形例に係るDPD方法において、電力増幅器2に供給される電圧が入力信号の1フレーム内で時間とともに変化しない場合に、電力増幅器2で増幅される信号の平均出力パワーが閾値パワーよりも高く、かつ、入力信号のチャネル帯域幅が閾値幅よりも狭ければ、第2数式モデルを用いて入力信号を予め歪ませ、電力増幅器2で増幅される信号の平均出力パワーが閾値パワーよりも高く、かつ、入力信号のチャネル帯域幅が閾値幅よりも狭くなければ、第1数式モデルを用いて入力信号を予め歪ませ、電力増幅器2で増幅される信号の平均出力パワーが閾値パワーよりも高くなければ、入力信号を予め歪ませない。

[0205] これらによれば、上記変形例1及び2の効果を実現することができる。

[0206] (他の実施の形態)

以上、本発明に係る電力増幅システム及びDPD方法について、実施の形態及びその変形例に基づいて説明したが、本発明に係る電力増幅システム及びDPD方法は、上記実施の形態及びその変形例に限定されるものではない。上記実施の形態及びその変形例における任意の構成要素を組み合わせる実

現される別の実施の形態や、上記実施の形態及びその変形例に対して本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、上記電力増幅システムを内蔵した各種機器も本発明に含まれる。

[0207] 例えば、上記実施の形態に係る各種回路の回路構成において、図面に開示された各回路素子及び信号経路を接続する経路の間に、別の回路素子及び配線などが挿入されてもよい。例えば、DAC 72と直交変調器 73との間にフィルタが挿入されてもよい。また例えば、電力増幅器 2とアンテナ 5との間にフィルタが挿入されてもよい。

[0208] なお、上記実施の形態では、スイッチトキャパシタ回路から複数の離散的電圧が出力スイッチ回路に供給されていたが、これに限定されない。例えば、複数のDCDCコンバータから複数の電圧がそれぞれ供給されてもよい。なお、複数の離散的電圧の電圧レベルが等間隔である場合には、スイッチトキャパシタ回路が用いられることが好ましく、トラックモジュールの小型化に効果的である。

[0209] なお、上記実施の形態では、4つの離散的電圧が電力増幅器に供給されていたが、離散的電圧の数は4つに限定されない。例えば、複数の離散的電圧に、少なくとも、最大出力電力に対応する電圧と、最も発生頻度が高い出力電力に対応する電圧とが含まれれば、電力付加効率の改善を実現することができる。

産業上の利用可能性

[0210] 本発明は、高周波信号を増幅する電力増幅システムとして、携帯電話などの通信機器に広く利用できる。

符号の説明

- [0211]
- 1 トラック回路
 - 2 電力増幅器
 - 3 RFIC
 - 4 BBIC
 - 5 アンテナ

- 6 通信装置
- 7 電力増幅システム
 - 10 プリレギュレータ回路
 - 20 スイッチトキャパシタ回路
 - 30 出力スイッチ回路
 - 41 第1フィルタ回路
 - 42 第2フィルタ回路
 - 60 デジタル制御回路
 - 61 第1コントローラ
 - 62 第2コントローラ
 - 71 DPD回路
 - 72 DAC
 - 73 直交変調器

請求の範囲

[請求項1] D－E T (Digital Envelope Tracking) モード及びA P T (Average Power Tracking) モードが選択的に適用されるよう構成された電力増幅器と、

前記D－E Tモード及び前記A P Tモードにおいて、複数の離散的電圧の少なくとも1つを選択的に前記電力増幅器に供給するよう構成されたトラッカ回路と、

前記電力増幅器の入力信号を予め歪ませるよう構成されたデジタルプリディストーション回路と、を備え、

前記デジタルプリディストーション回路は、

前記電力増幅器に前記D－E Tモードが適用される場合に、デジタルプリディストーションのための第1数式モデルを用いて前記入力信号を予め歪ませ、

前記電力増幅器に前記A P Tモードが適用される場合に、デジタルプリディストーションのための第2数式モデルを用いて前記入力信号を予め歪ませる、又は、前記入力信号を予め歪ませない、

電力増幅システム。

[請求項2] 前記第1数式モデルには、前記電力増幅器のメモリ効果が組み込まれており、

前記第2数式モデルには、前記電力増幅器のメモリ効果が組み込まれていない、

請求項1に記載の電力増幅システム。

[請求項3] 前記電力増幅器に前記A P Tモードが適用される場合に、

前記電力増幅器で増幅される信号の平均出力パワーが閾値パワーよりも高ければ、前記第2数式モデルを用いて前記入力信号を予め歪ませ、

前記電力増幅器で増幅される信号の平均出力パワーが前記閾値パワーよりも高くなければ、前記入力信号を予め歪ませない、

請求項 1 又は 2 に記載の電力増幅システム。

[請求項4]

前記電力増幅器に前記 A P T モードが適用される場合に、

前記入力信号のチャネル帯域幅が閾値幅よりも狭ければ、前記第 2 数式モデルを用いて前記入力信号を予め歪ませ、又は、前記入力信号を予め歪ませず、

前記入力信号のチャネル帯域幅が前記閾値幅よりも狭くなければ、前記第 1 数式モデルを用いて前記入力信号を予め歪ませる、

請求項 1 又は 2 に記載の電力増幅システム。

[請求項5]

前記電力増幅器に前記 A P T モードが適用される場合に、

前記電力増幅器で増幅される信号の平均出力パワーが閾値パワーよりも高く、かつ、前記入力信号のチャネル帯域幅が閾値幅よりも狭ければ、前記第 2 数式モデルを用いて前記入力信号を予め歪ませ、

前記電力増幅器で増幅される信号の平均出力パワーが前記閾値パワーよりも高く、かつ、前記入力信号のチャネル帯域幅が前記閾値幅よりも狭くなければ、前記第 1 数式モデルを用いて前記入力信号を予め歪ませ、

前記電力増幅器で増幅される信号の平均出力パワーが前記閾値パワーよりも高くなければ、前記入力信号を予め歪ませない、

請求項 1 又は 2 に記載の電力増幅システム。

[請求項6]

入力信号を増幅するよう構成された電力増幅器と、

パラレルデータ信号又はシリアルデータ信号に従って、複数の離散的電圧の少なくとも 1 つを選択的に前記電力増幅器に出力するよう構成された出力スイッチ回路と、

前記入力信号を予め歪ませるよう構成されたデジタルプリディストーション回路と、を備え、

前記デジタルプリディストーション回路は、

前記出力スイッチ回路が前記パラレルデータ信号に従って動作する場合に、デジタルプリディストーションのための第 1 数式モデルを用

いて前記入力信号を予め歪ませ、

前記出力スイッチ回路が前記シリアルデータ信号に従って動作する場合に、デジタルプリディストーションのための第2数式モデルを用いて前記入力信号を予め歪ませる、又は、前記入力信号を予め歪ませない、

電力増幅システム。

[請求項7] 前記第1数式モデルには、前記電力増幅器のメモリ効果が組み込まれており、

前記第2数式モデルには、前記電力増幅器のメモリ効果が組み込まれていない、

請求項6に記載の電力増幅システム。

[請求項8] 前記出力スイッチ回路が前記シリアルデータ信号に従って動作する場合に、

前記電力増幅器で増幅される信号の平均出力パワーが閾値パワーよりも高ければ、前記第2数式モデルを用いて前記入力信号を予め歪ませ、

前記電力増幅器で増幅される信号の平均出力パワーが前記閾値パワーよりも高くなければ、前記入力信号を予め歪ませない、

請求項6又は7に記載の電力増幅システム。

[請求項9] 前記出力スイッチ回路が前記シリアルデータ信号に従って動作するときに、

前記入力信号のチャネル帯域幅が閾値幅よりも狭ければ、前記第2数式モデルを用いて前記入力信号を予め歪ませ、又は、前記入力信号を予め歪ませず、

前記入力信号のチャネル帯域幅が前記閾値幅よりも狭くなければ、前記第1数式モデルを用いて前記入力信号を予め歪ませる、

請求項6又は7に記載の電力増幅システム。

[請求項10] 前記出力スイッチ回路が前記シリアルデータ信号に従って動作する

ときに、

前記電力増幅器で増幅される信号の平均出力パワーが閾値パワーよりも高く、かつ、前記入力信号のチャネル帯域幅が閾値幅よりも狭ければ、前記第2数式モデルを用いて前記入力信号を予め歪ませ、

前記電力増幅器で増幅される信号の平均出力パワーが前記閾値パワーよりも高く、かつ、前記入力信号のチャネル帯域幅が前記閾値幅よりも狭くなければ、前記第1数式モデルを用いて前記入力信号を予め歪ませ、

前記電力増幅器で増幅される信号の平均出力パワーが前記閾値パワーよりも高くなければ、前記入力信号を予め歪ませない、

請求項6又は7に記載の電力増幅システム。

[請求項11] 電力増幅器の入力信号を予め歪ませるデジタルプリディストーション方法であって、

前記電力増幅器に供給される電源電圧が前記入力信号の1フレーム内で時間とともに離散的に変化する場合に、デジタルプリディストーションのための第1数式モデルを用いて前記入力信号を予め歪ませ、

前記電力増幅器に供給される電源電圧が前記入力信号の1フレーム内で時間とともに変化しない場合に、デジタルプリディストーションのための第2数式モデルを用いて前記入力信号を予め歪ませる、又は、前記入力信号を予め歪ませない、

デジタルプリディストーション方法。

[請求項12] 前記第1数式モデルには、前記電力増幅器のメモリ効果が組み込まれており、

前記第2数式モデルには、前記電力増幅器のメモリ効果が組み込まれていない、

請求項11に記載のデジタルプリディストーション方法。

[請求項13] 前記電力増幅器に供給される電源電圧が前記入力信号の1フレーム内で時間とともに変化しない場合に、

前記電力増幅器で増幅される信号の平均出力パワーが閾値パワーよりも高ければ、前記第2数式モデルを用いて前記入力信号を予め歪ませ、

前記電力増幅器で増幅される信号の平均出力パワーが前記閾値パワーよりも高くなければ、前記入力信号を予め歪ませない、

請求項11又は12に記載のデジタルプリディストーション方法。

[請求項14]

前記電力増幅器に供給される電源電圧が前記入力信号の1フレーム内で時間とともに変化しない場合に、

前記入力信号のチャネル帯域幅が閾値幅よりも狭ければ、前記第2数式モデルを用いて前記入力信号を予め歪ませる、又は、前記入力信号を予め歪ませず、

前記入力信号のチャネル帯域幅が前記閾値幅よりも狭くなければ、前記第1数式モデルを用いて前記入力信号を予め歪ませる、

請求項11又は12に記載のデジタルプリディストーション方法。

[請求項15]

前記電力増幅器に供給される電圧が前記入力信号の1フレーム内で時間とともに変化しない場合に、

前記電力増幅器で増幅される信号の平均出力パワーが閾値パワーよりも高く、かつ、前記入力信号のチャネル帯域幅が閾値幅よりも狭ければ、前記第2数式モデルを用いて前記入力信号を予め歪ませ、

前記電力増幅器で増幅される信号の平均出力パワーが前記閾値パワーよりも高く、かつ、前記入力信号のチャネル帯域幅が前記閾値幅よりも狭くなければ、前記第1数式モデルを用いて前記入力信号を予め歪ませ、

前記電力増幅器で増幅される信号の平均出力パワーが前記閾値パワーよりも高くなければ、前記入力信号を予め歪ませない、

請求項11又は12に記載のデジタルプリディストーション方法。

[請求項16]

電力増幅器にD-E Tモードが適用される場合に、デジタルプリディストーションのための第1数式モデルを用いて前記電力増幅器の入

力信号を予め歪ませ、

前記電力増幅器にA P Tモードが適用される場合に、デジタルプリディストーションのための第2数式モデルを用いて前記入力信号を予め歪ませる、又は、前記入力信号を予め歪ませない、

デジタルプリディストーション回路。

[請求項17] 前記第1数式モデルには、前記電力増幅器のメモリ効果が組み込まれており、

前記第2数式モデルには、前記電力増幅器のメモリ効果が組み込まれていない、

請求項16に記載のデジタルプリディストーション回路。

[請求項18] 前記電力増幅器に前記A P Tモードが適用される場合に、
前記電力増幅器で増幅される信号の平均出力パワーが閾値パワーよりも高ければ、前記第2数式モデルを用いて前記入力信号を予め歪ませ、

前記電力増幅器で増幅される信号の平均出力パワーが前記閾値パワーよりも高くなければ、前記入力信号を予め歪ませない、

請求項16又は17に記載のデジタルプリディストーション回路。

[請求項19] 前記電力増幅器に前記A P Tモードが適用される場合に、
前記入力信号のチャネル帯域幅が閾値幅よりも狭ければ、前記第2数式モデルを用いて前記入力信号を予め歪ませ、又は、前記入力信号を予め歪ませず、

前記入力信号のチャネル帯域幅が前記閾値幅よりも狭くなければ、前記第1数式モデルを用いて前記入力信号を予め歪ませる、

請求項16又は17に記載のデジタルプリディストーション回路。

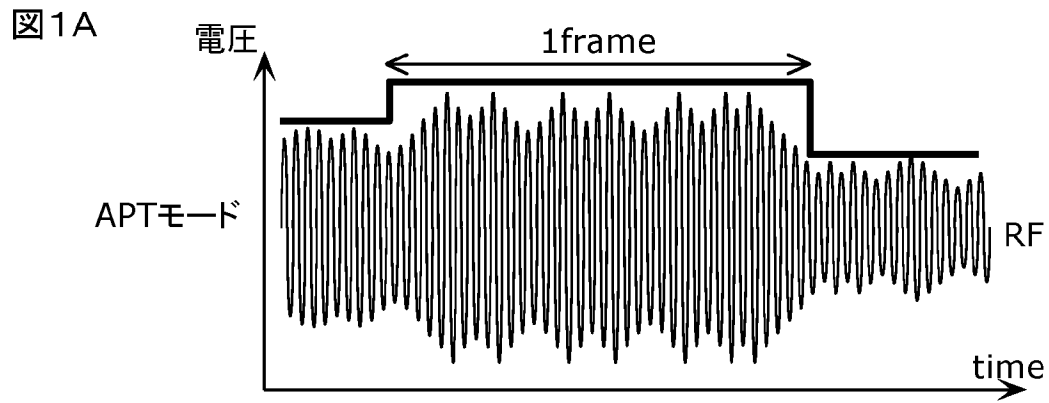
[請求項20] 前記電力増幅器に前記A P Tモードが適用される場合に、
前記電力増幅器で増幅される信号の平均出力パワーが閾値パワーよりも高く、かつ、前記入力信号のチャネル帯域幅が閾値幅よりも狭ければ、前記第2数式モデルを用いて前記入力信号を予め歪ませ、

前記電力増幅器で増幅される信号の平均出力パワーが前記閾値パワーよりも高く、かつ、前記入力信号のチャネル帯域幅が前記閾値幅よりも狭くなければ、前記第1数式モデルを用いて前記入力信号を予め歪ませ、

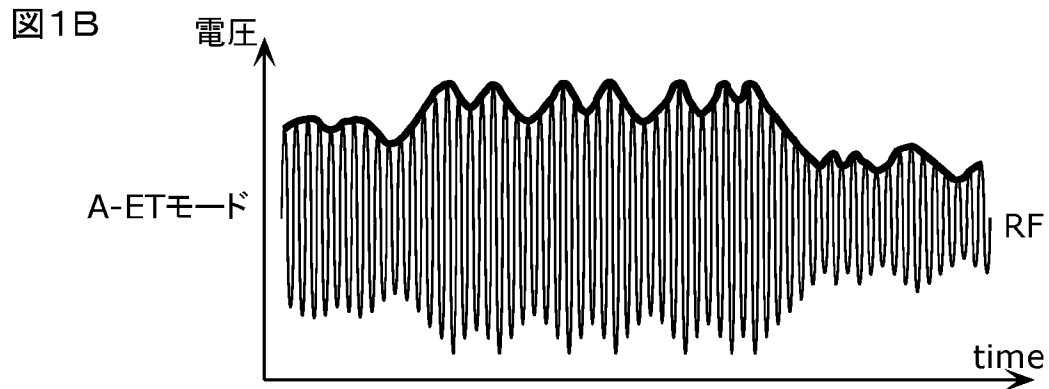
前記電力増幅器で増幅される信号の平均出力パワーが前記閾値パワーよりも高くなければ、前記入力信号を予め歪ませない、

請求項16又は17に記載のデジタルプリディストーション回路。

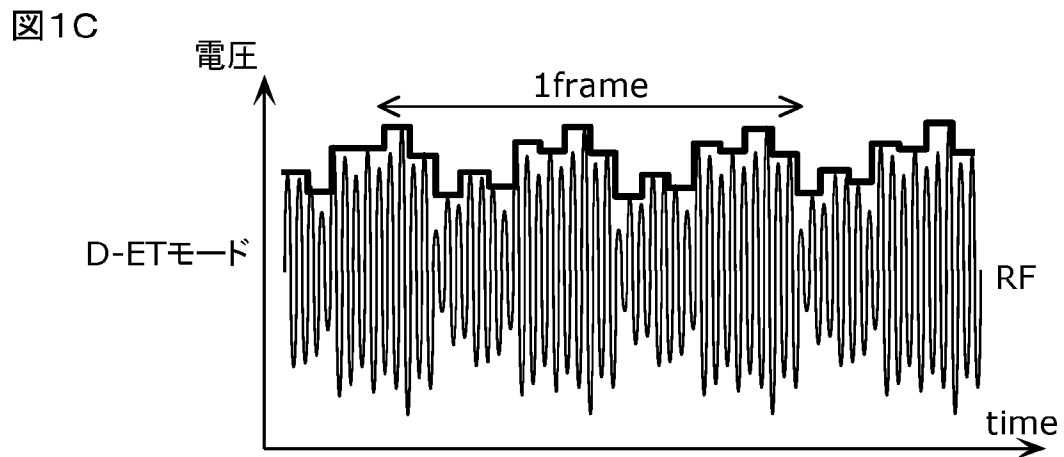
[図1A]



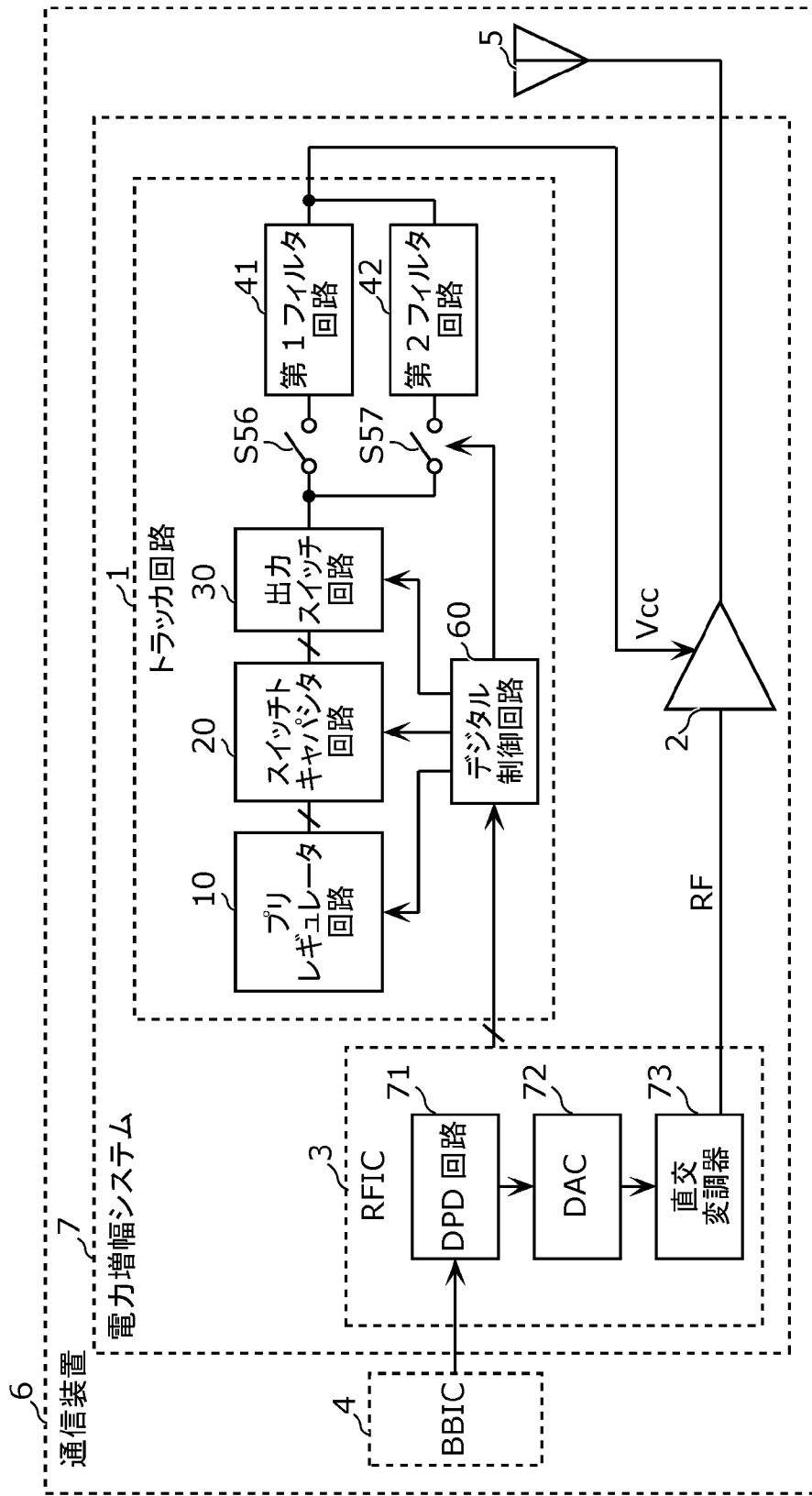
[図1B]



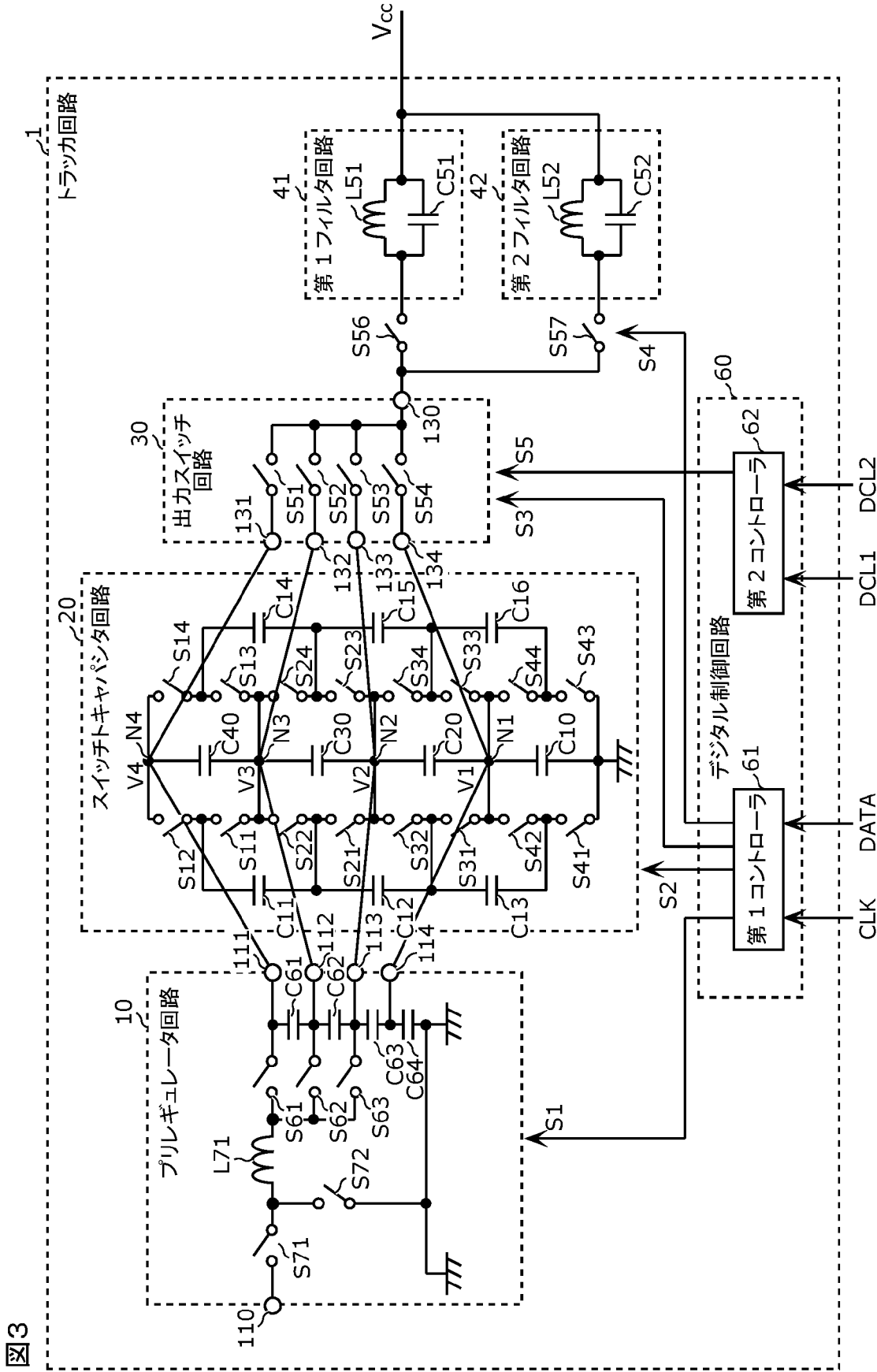
[図1C]



2

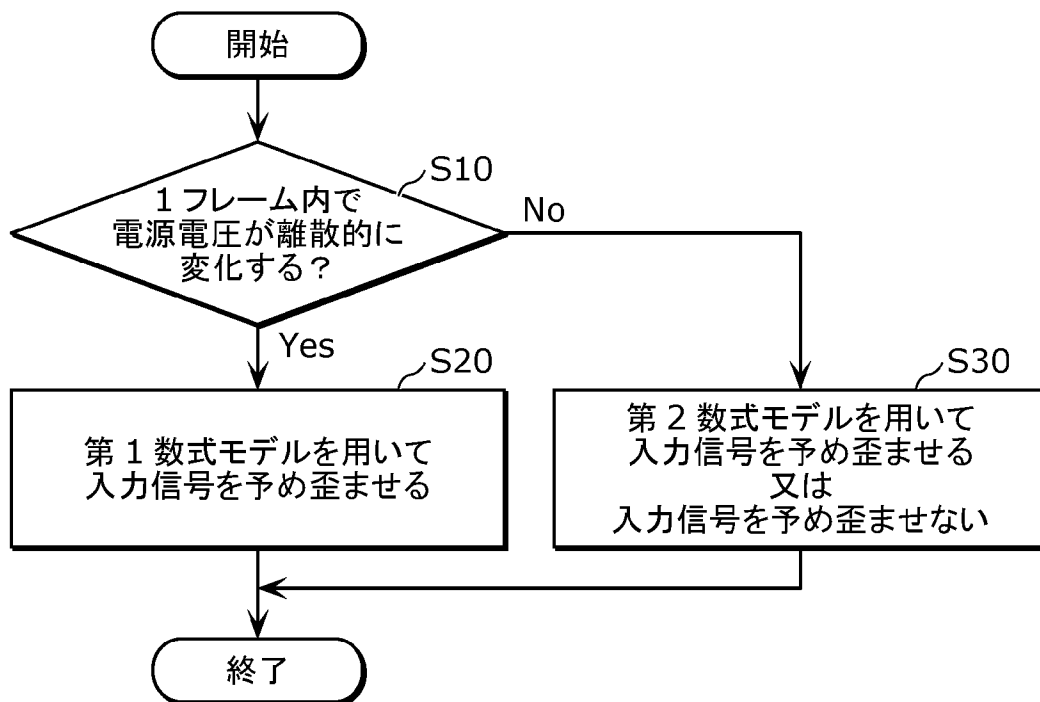


[図3]

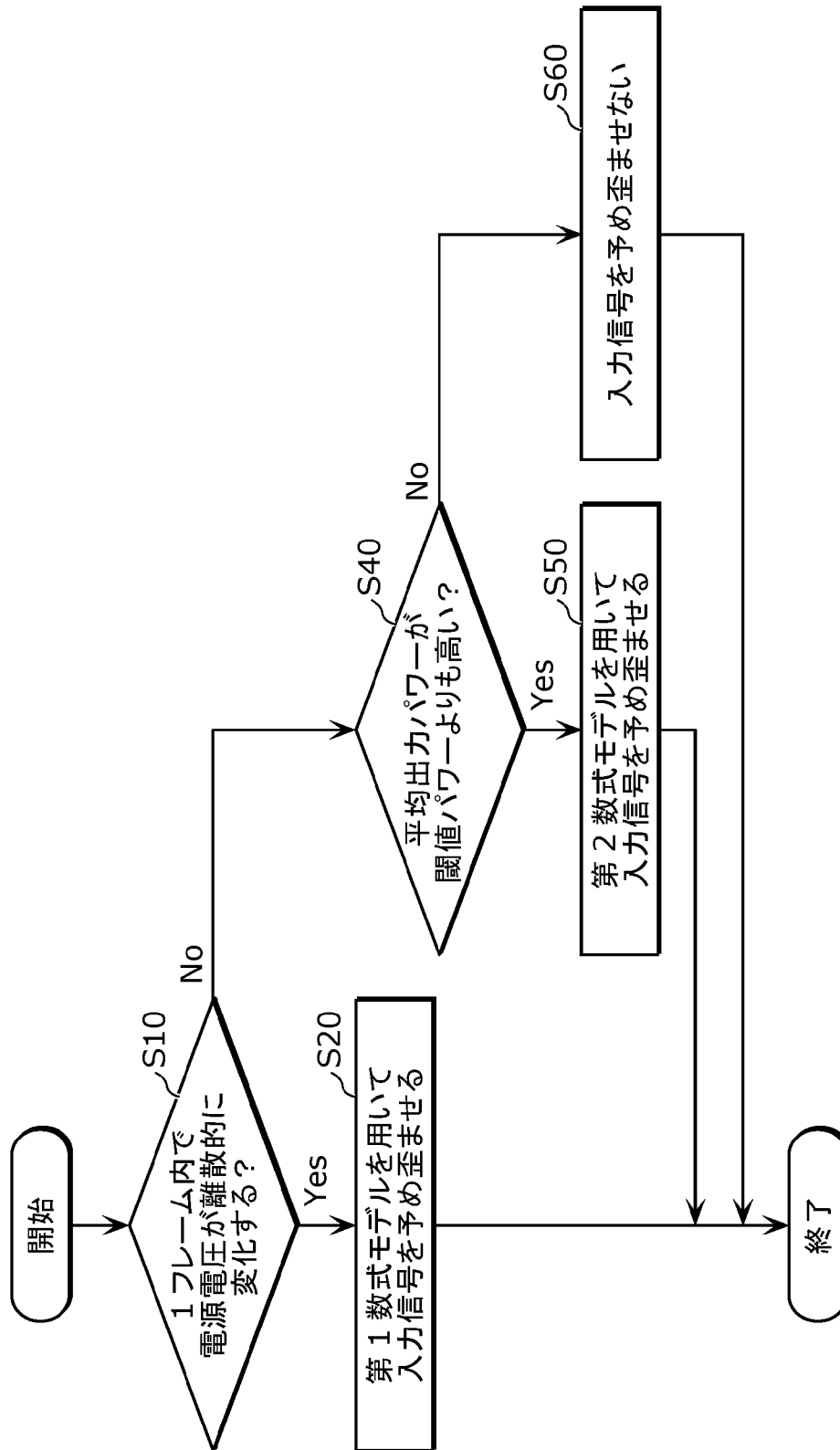


[図4]

図4

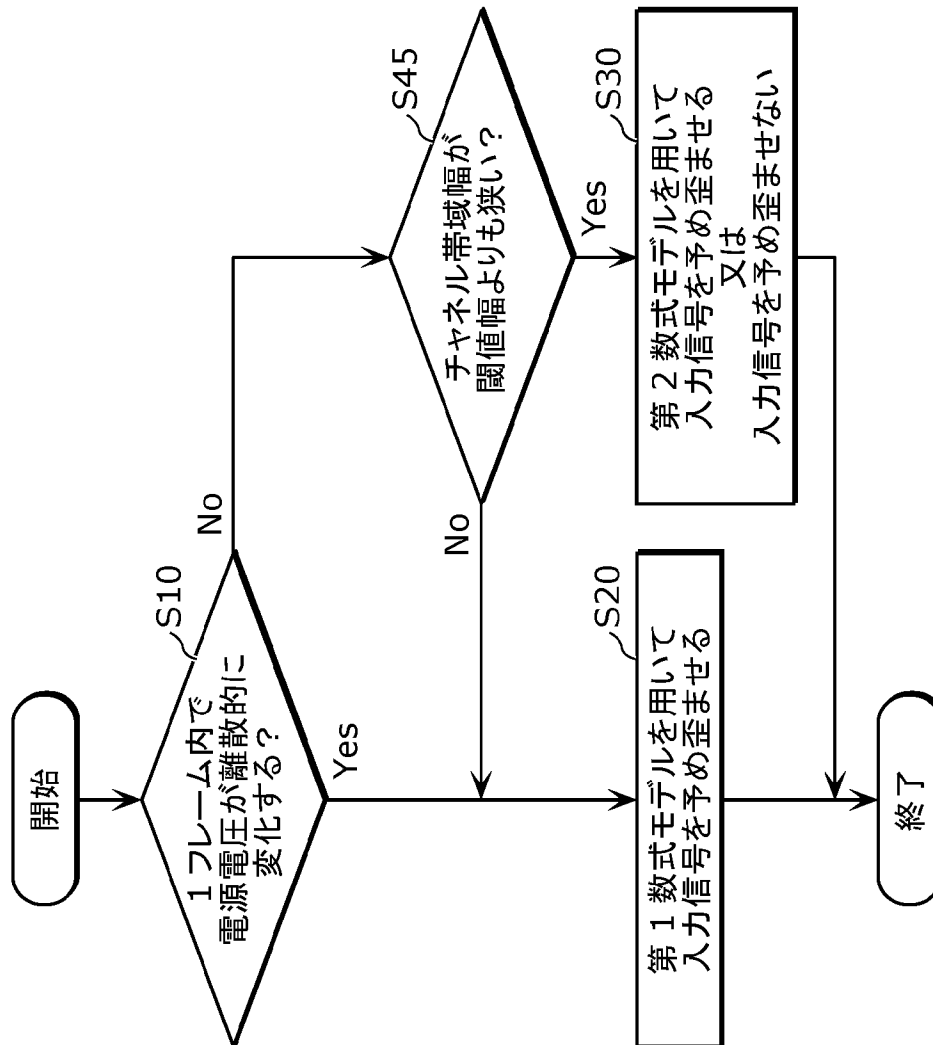


[図5]

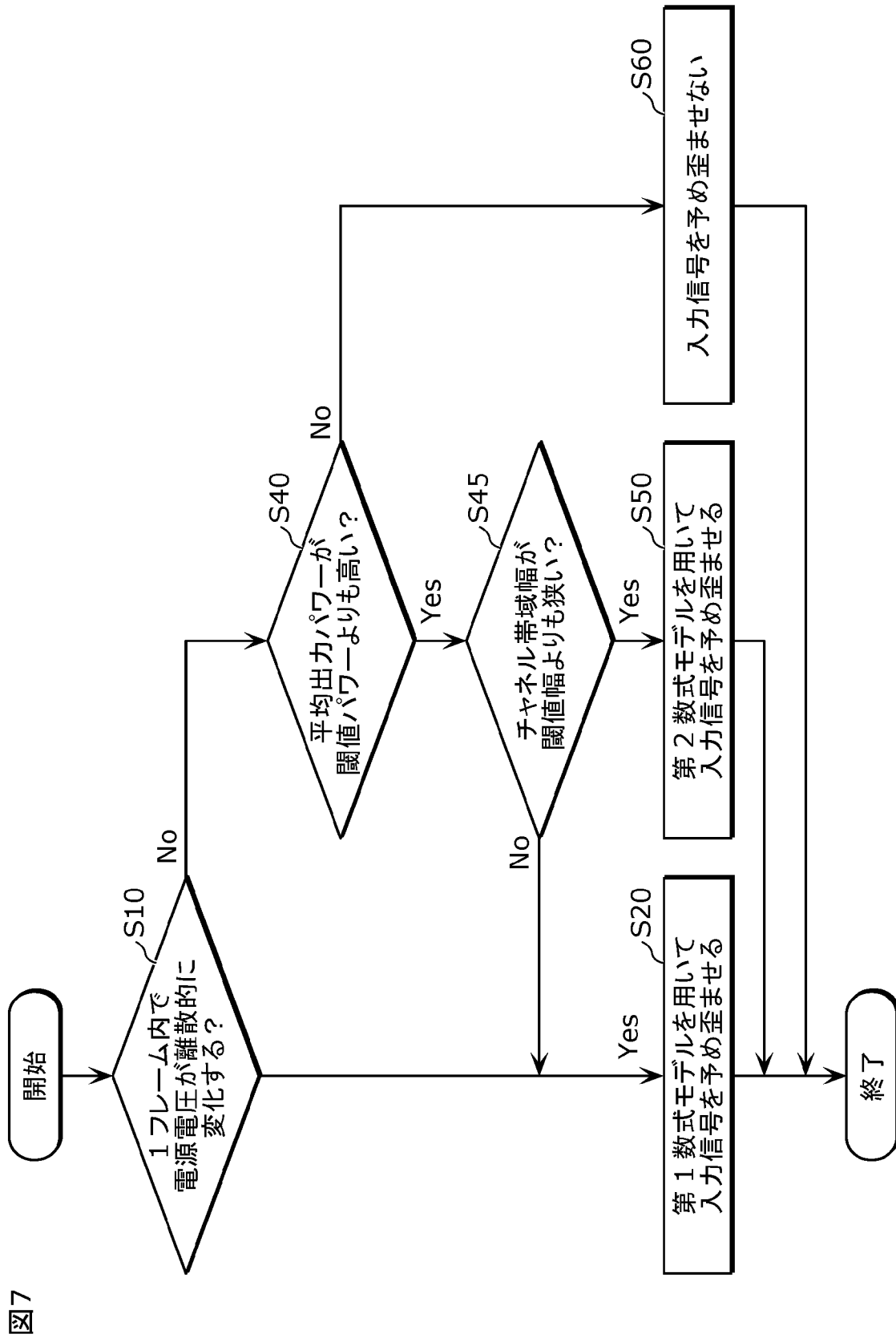


[図6]

図6



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/002947

A. CLASSIFICATION OF SUBJECT MATTER H03F 1/32 (2006.01)i; H03F 1/02 (2006.01)i FI: H03F1/32 141; H03F1/02 144 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H03F1/32; H03F1/02 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2022/0368360 A1 (APPLE INC.) 17 November 2022 (2022-11-17) paragraphs [0033]-[0069], [0125], fig. 2-3	1-20
Y	JP 2019-195168 A (SAMSUNG ELECTRONICS CO., LTD.) 07 November 2019 (2019-11-07) paragraphs [0001]-[0004], [0013]-[0026], [0072], fig. 1-3, 17	1-20
Y	JP 2015-535668 A (ETA DEVICES, INC.) 14 December 2015 (2015-12-14) paragraphs [0001]-[0003], [0089]-[0122], fig. 1, 9	1-20
Y	JP 2014-3527 A (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) 09 January 2014 (2014-01-09) paragraphs [0017], [0082]	3-5, 8-10, 13-15, 18-20
Y	JP 2019-103130 A (MURATA MFG. CO., LTD.) 24 June 2019 (2019-06-24) paragraph [0015]	4, 9, 14, 19
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 14 March 2024		Date of mailing of the international search report 02 April 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/002947

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	2022/0368360	A1	17 November 2022	WO 2019/132949 A1 page 4, line 6 to page 13, line 14, page 25, line 22 to page 25, line 25, fig. 2-3 CN 111436225 A	
JP	2019-195168	A	07 November 2019	US 2019/0334480 A1 paragraphs [0002]-[0005], [0030]-[0044], [0092], fig. 1-3, 17 EP 3565115 A1 KR 10-2019-0125941 A CN 110418400 A	
JP	2015-535668	A	14 December 2015	US 2014/0132354 A1 paragraphs [0003]-[0005], [0064]-[0097], fig. 1, 9 WO 2014/085097 A1	
JP	2014-3527	A	09 January 2014	(Family: none)	
JP	2019-103130	A	24 June 2019	US 2019/0181892 A1 paragraph [0031] CN 110061709 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H03F 1/32(2006.01)i; H03F 1/02(2006.01)i
FI: H03F1/32 141; H03F1/02 144

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H03F1/32; H03F1/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年

日本国公開実用新案公報1971-2024年

日本国実用新案登録公報1996-2024年

日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2022/0368360 A1 (APPLE INC.) 17.11.2022 (2022 - 11 - 17) 段落[0033]-[0069], [0125], 図2-3	1-20
Y	JP 2019-195168 A (三星電子株式会社) 07.11.2019 (2019 - 11 - 07) 段落[0001]-[0004], [0013]-[0026], [0072], 図1-3, 17	1-20
Y	JP 2015-535668 A (イーティーエー デバイシズ, インコーポレイテッド) 14.12.2015 (2015 - 12 - 14) 段落[0001]-[0003], [0089]-[0122], 図1, 9	1-20
Y	JP 2014-3527 A (日本電信電話株式会社) 09.01.2014 (2014 - 01 - 09) 段落[0017], [0082]	3-5, 8-10, 13-15, 18-20
Y	JP 2019-103130 A (株式会社村田製作所) 24.06.2019 (2019 - 06 - 24) 段落[0015]	4, 9, 14, 19

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日
14. 03. 2024

国際調査報告の発送日
02. 04. 2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

及川 尚人 5W 5888

電話番号 03-3581-1101 内線 3576

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/002947

引用文献			公表日	パテントファミリー文献	公表日
US	2022/0368360	A1	17.11.2022	WO 2019/132949 A1 第4頁第6行-第13頁第14行, 第25頁第22行-第25頁第25 行, 図2-3 CN 111436225 A	
JP	2019-195168	A	07.11.2019	US 2019/0334480 A1 段落[0002]-[0005], [0030]- [0044], [0092], 図1-3, 17 EP 3565115 A1 KR 10-2019-0125941 A CN 110418400 A	
JP	2015-535668	A	14.12.2015	US 2014/0132354 A1 段落[0003]-[0005], [0064]-[0097], 図1, 9 WO 2014/085097 A1	
JP	2014-3527	A	09.01.2014	(ファミリーなし)	
JP	2019-103130	A	24.06.2019	US 2019/0181892 A1 段落[0031] CN 110061709 A	