

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第3920447号  
(P3920447)

(45) 発行日 平成19年5月30日(2007.5.30)

(24) 登録日 平成19年2月23日(2007.2.23)

(51) Int.C1.

F 1

<b>HO1L 21/316</b>	<b>(2006.01)</b>	HO1L 21/316	X
<b>HO1L 21/205</b>	<b>(2006.01)</b>	HO1L 21/205	
<b>HO1L 21/31</b>	<b>(2006.01)</b>	HO1L 21/31	B
<b>HO1L 29/78</b>	<b>(2006.01)</b>	HO1L 29/78	301B

請求項の数 3 外国語出願 (全 9 頁)

(21) 出願番号 特願平10-67802

(22) 出願日 平成10年3月2日(1998.3.2)

(65) 公開番号 特開平10-275806

(43) 公開日 平成10年10月13日(1998.10.13)

審査請求日 平成16年4月12日(2004.4.12)

(31) 優先権主張番号 812952

(32) 優先日 平成9年3月4日(1997.3.4)

(33) 優先権主張国 米国(US)

(73) 特許権者 504199127

フリースケール セミコンダクター イン

コーポレイテッド

アメリカ合衆国 78735 テキサス州

オースティン ウィリアム キャノン

ドライブ ウエスト 6501

(74) 代理人 100116322

弁理士 桑垣 衛

(72) 発明者 マシュー・パスマック

アメリカ合衆国アリゾナ州チャンドラー、

ウエスト・リンダ・レーン 5382

(72) 発明者 ジュン・ワン

アメリカ合衆国アリゾナ州ギルバート、イ

ースト・ワインザー・ドライブ 442

最終頁に続く

(54) 【発明の名称】絶縁体-化合物半導体界面構造および製造方法

## (57) 【特許請求の範囲】

## 【請求項 1】

バンドギャップを備え、表面を有する化合物半導体物質(11)と、該化合物半導体物質は基板を形成し、ガリウム砒素、インジウムガリウム砒素、およびインジウムガリウム砒素上のガリウム砒素のうちの1つを含むことと、

前記化合物半導体物質(11)の前記表面上に配置され、前記化合物半導体物質(11)の前記バンドギャップよりも広いバンドギャップを有する半導体物質のスペーサ層(15)と、該スペーサ層は1~5 nmの範囲の厚さを有するとともに、前記基板上に配置されたIn<sub>x</sub>Ga<sub>1-x</sub>Pスペーサ層であることと、

前記スペーサ層(15)上に配置された絶縁層(18)と、該絶縁層は前記In<sub>x</sub>Ga<sub>1-x</sub>Pスペーサ層の表面に堆積された酸化ガリウム絶縁層であることから成る、絶縁体-化合物半導体界面構造。

## 【請求項 2】

前記基板はIn<sub>x</sub>Ga<sub>1-x</sub>As上にエピタキシャル成長された1つ以上のガリウム砒素層を備える、請求項1に記載の絶縁体-化合物半導体界面構造。

## 【請求項 3】

バンドギャップを有する化合物半導体物質(11)を形成する工程と、

前記化合物半導体の表面に配置され、バンドギャップを有する半導体物質のスペーサ層(15)を1~5 nmの範囲の厚さに形成する工程と、

前記スペーサ層(15)上に配置された絶縁層(18)とからなり、

10

20

前記化合物半導体物質を、ガリウム砒素、インジウムガリウム砒素、およびインジウムガリウム砒素上のガリウム砒素のうちの1つを含み、前記化合物半導体のバンドギャップと等しい表面のバンドギャップを備えた表面を有する基板として形成し、

前記スペーサ層を前記ガリウム砒素基板の表面に配置した  $In_x Ga_{1-x}P$  スペーサ層として形成し、前記スペーサ層のバンドギャップは前記化合物半導体のバンドギャップよりも広く、

前記絶縁層を前記  $In_x Ga_{1-x}P$  スペーサ層の表面に堆積された酸化ガリウム絶縁層として形成する、絶縁体 - 化合物半導体界面構造の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

10

##### 【発明の属する技術分野】

本発明は、絶縁物 - 化合物半導体界面(insulator-compound semiconductor interface)およびその製造方法に関し、更に特定すれば、半導体素子における絶縁物 - 化合物半導体界面に関するものである。

##### 【0002】

##### 【従来の技術】

絶縁物 - 半導体界面は、半導体業界の主力商品(workhorse)である。絶縁物および界面の安定性および信頼性は、絶縁材料および絶縁物 - 半導体界面の劣化によって影響される。化合物半導体では、機能性絶縁物  $III-V$  半導体界面は、超高真空(UHV : ultra-high vacuum)を保持しつつ、ガリウム砒素(GaAs)系半導体エピタキシャル層上に、特定の絶縁層(例えば、 $Ga_2O_3$ のようなガリウム酸化物)を現場で堆積することによって作成する。 $GaAs$  バンド・ギャップ全体のアクセシビリティ(accessibility)および  $10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$  という低い界面状態密度が実際に示されている。化合物半導体(例えば、 $GaAs$ )において残っている課題は、キャリア注入、電荷捕獲、および究極的に酸化物の劣化およびブレークダウンを含む、安定性および信頼性の問題に関連する。 $e$ -ビーム堆積  $Ga_2O_3$  膜における  $2 \times 10^{12} \text{ cm}^{-2}$  という高い捕獲密度(trapping density)が、蓄積および反転における素子パラメータの長期ドリフト(long term drift)の原因であることが発見されている。例えば、M. Passlack et al., Appl. Phys. Lett., vol 68, 1099 (1996), Appl. Phys. Lett., vol. 68, 3605 (1996), およびAppl. Phys. Lett., vol 69, 302, (1996)を参照のこと。特定の絶縁層を形成する方法の1つが、1995年9月19日に特許された、"Electron beam Deposition of gallium oxide thin films using a single purity crystal layer"と題する、米国特許番号第5,451,548号に記載されている。

20

##### 【0003】

これまで、絶縁物および界面の安定性および信頼性は、 $SiO_2$  -  $Si$  系についてのみ幅広い研究が行われているに過ぎない。劣化および損傷は、ホット・キャリア(超薄型酸化物レジームを除く)の積算束(integrated flux)と共に増減することがわかった。界面の微小荒さ(microroughness)および欠陥のために、基板からのキャリア注入の局在化が発生し易くなり、劣化が加速される原因となる。更に、劣化は、界面領域に位置する弱いボンドまたは歪んだボンド、欠陥、汚染物等によって促進される。これらは、注入されるキャリアによる劣化の好適なターゲットである。最終的には、注入キャリアによって誘発された損傷が、絶縁物 - 半導体系のブレークダウンの原因となる。例えば、D. A. Buchanan et al., Proc. Electrochemical Society, vol 96-1, p.3、およびM. Depas et al., Proc. Electrochemical Society, vol. 96-1, p. 352 を参照のこと。 $Si$  技術については、精巧な  $Si$  表面浄化技法によって、および歪んだ  $Si$  - O 界面ボンドまたは弱い  $Si$  - H 界面ボンドを、絶縁物 - 半導体界面において、これらよりも強い  $Si$  - N ボンドで置換することによって、劣化の減少が達成されている。例えば、H. Fukuda et al. Proc. Electrochemical Society, vol. 96-1, P. 15、P. Morfouli et al., IEEE Electr. Dev. Lett., 17, 328 (1996)、およびA. Malik et al., J. Appl. Phys., 79, 8507 (1996) を参考のこと。

30

40

50

## 【0004】

化合物半導体については、絶縁物 - 化合物半導体構造が異なり、安定性および信頼性の問題に関しては更に一層複雑である。熱 SiO<sub>2</sub> とは異なり、特定の絶縁層の作成は、半導体表面上の堆積によって行われる。電荷捕獲は、熱 SiO<sub>2</sub> におけるよりも、堆積層における方が著しいので、安定性および信頼性問題は更に多くなる。その上、堆積絶縁物 - 化合物半導体界面の微小荒さは、典型的に、熱酸化物 - Si 界面よりも劣っている。Si とは異なり、化合物半導体の表面は、少なくとも 2 つの異なる種類の表面原子から成るので、原子界面構造に相当な複雑度が加わり、欠陥および弱いボンドには更に別の潜在的な発生源が加わる。界面構造の製造後に、特定のボンドにおいて特定の原子を故意に置換することは、克服し難いタスクのように思われる。したがって、Si 技術において安定性および信頼性向上のために適用された従来技術の技法は、化合物半導体では成功しない。10

## 【0005】

従来技術の III-V エピタキシャル・ウエハ生産では、半導体層を用いてエピタキシャル構造を完成させている。特定の素子 / 回路用途および半導体基板に応じて、例えば、GaAs, In<sub>1-x</sub> Ga<sub>x</sub> As, Al<sub>1-x</sub> Ga<sub>x</sub> As, InGaAsP 等のような種々の半導体最上層が用いられている。従来技術のエピタキシャルウエハの生産において半導体最上層を使用したことの結果、制御不能かつ有害な電気的および化学的表面特性を発生するに至っている。電子および光電素子 / 回路の処理は複雑であり、素子 / 回路性能に影響を与える。複雑さおよび劣化の度合いは、特定の素子 / 回路処理および用途によって異なる。例えば、ユニポーラ・トランジスタ素子 / 回路の製造および性能は、プラズマ露出、フェルミ・レベル・ピニング(Fermi level pinning)，ならびにゲート - ソース領域およびゲート - ドレイン領域の不安定性によって阻害される。機能的かつ安定な MOSFET 素子の製造は不可能であった。20

## 【0006】

制御不能かつ有害な電気的特性および表面特性は、化学的表面反応によって自然酸化物(native oxide)およびダングリング・ボンド(dangling bond)が形成されることが原因である。一方、表面は熱力学的に不安定とされ、ピニング状フェルミ・レベル(pinned Fermi level)を呈する。即ち、10<sup>3</sup> ラングミュア(1 ラングミュア = 10<sup>-6</sup> Torr) という低い表面露出の後、高 GaAs 表面反応性が、フェルミ・レベル・ピニングおよび表面の不安定性を誘発する。空気(硫黄、セレン等)への露出の後に行われる表面準備技法は、非効率的かつ不安定であることが立証されている。30

## 【0007】

したがって、これらの問題を克服する新たな界面および製造方法を提供することができれば、非常に有利であろう。

## 【0008】

## 【発明が解決しようとする課題】

本発明の目的は、新規で改良された絶縁物 - 化合物半導体界面構造を提供することである。

## 【0009】

本発明の他の目的は、安定性および信頼性を高めた、新規で改良された絶縁物 - 化合物半導体界面構造を提供することである。40

## 【0010】

本発明の更に他の目的は、製造および使用が比較的容易な、新規で改良された絶縁物 - 化合物半導体界面構造を提供することである。

## 【0011】

本発明のなおも他の目的は、現場で形成可能であり、不純物の減少度を高め、製造を一層簡略化する、新規で改良された絶縁物 - 化合物半導体界面構造を提供することである。

## 【0012】

本発明の別の目的は、堆積絶縁物 - 化合物半導体界面におけるキャリア密度が、チャネルにおけるよりも数桁規模が小さい、新規で改良された絶縁物 - 化合物半導体界面構造を提50

供することである。

**【0013】**

本発明の更に別の目的は、ホット・キャリアを絶縁物に注入する確率を、数桁の規模で低下させた、新規で改良された絶縁物・化合物半導体界面構造を提供することである。

**【0014】**

本発明のなおも別の目的は、半導体帯域端に接近して位置する応力誘発界面状態の効果を最低に抑えた、新規で改良された絶縁物・化合物半導体界面構造を提供することである。

**【0015】**

本発明の更に別の目的は、反転および蓄積チャネルにおけるキャリアに対して、クーロン散乱(Coulomb scattering)および界面荒さ散乱(interface roughness scattering)の効果を最少に抑えた、新規で改良された絶縁物・化合物半導体界面構造を提供することである。  
10

**【0016】**

**【課題を解決するための手段】**

上述のおよびその他の問題の少なくとも部分的な解決、ならびに上述のおよびその他の目的の実現は、本発明による絶縁物・化合物半導体界面構造によって達成される。この絶縁物・化合物半導体界面構造は、化合物半導体物質、ならびにこの化合物半導体物質の表面上に配置され、化合物半導体物質のバンドギャップよりも広いバンドギャップを有する半導体物質のスペーサ層、およびこのスペーサ層上に配置された絶縁層を含む。スペーサ層の最大厚さおよび最小厚さは、キャリア波動関数(carrier wave function)のスペーサ層内への突入および所望の素子性能によって決定される。  
20

**【0017】**

特定実施例の1つでは、界面構造は、III-V成長チャンバおよび絶縁物チャンバが取り付けられた転送および装填モジュールを含む、マルチ・ウェハ・エピタキシャル生産システム内で形成される。

**【0018】**

**【発明の実施の形態】**

具体的に図1を参照すると、本発明による半導体素子における絶縁体・化合物半導体界面構造10の簡略断面図が示されている。界面構造10は、III-V物質のような化合物半導体基板11、ならびに基板構造11内/上に作成されたいずれかの半導体素子を含む。ここでは、半導体素子は、ソース12、ドレイン13、およびゲート14によって表現されている。半導体基板11は、通常基板を含み、その上に配置された1つ以上の物質の層(例えば、エピタキシャル成長層)を含む場合もある。化合物半導体基板11のバンドギャップよりも広いバンドギャップを有する半導体物質のスペーサ層15を、化合物半導体基板11の表面上に位置付ける。通常、スペーサ層15は、化合物半導体11上にエピタキシャル成長可能な物質で形成される。例えば、化合物半導体基板11がガリウム砒素(GaAs)である場合、スペーサ層15に都合良く使用可能な物質には、Al<sub>x</sub>Ga<sub>1-x</sub>Asが含まれる。次に、スペーサ層15上に、通常堆積によって、絶縁層18を位置付ける。絶縁層18は、スペーサ層15を構成する元素の1つの酸化物とすると最も都合がよい。この例では、Ga<sub>2</sub>O<sub>3</sub>を絶縁層15に用いている。その理由は、この物質が高温に耐え、しかも生産が容易であるからである。しかしながら、特定の用途によっては、その他の物質を用いる場合もあることは理解されよう。  
30

**【0019】**

界面構造10の絶縁層・スペーサ層・化合物半導体物質は、通常以下の系統の1つから選択される。Ga<sub>2</sub>O<sub>3</sub>-Al<sub>x</sub>Ga<sub>1-x</sub>As-GaAs, Ga<sub>2</sub>O<sub>3</sub>-Al<sub>x</sub>Ga<sub>1-x</sub>As-GaAs-In<sub>x</sub>Ga<sub>1-x</sub>As, Ga<sub>2</sub>O<sub>3</sub>-Al<sub>x</sub>Ga<sub>1-x</sub>As-In<sub>x</sub>Ga<sub>1-x</sub>As, Ga<sub>2</sub>O<sub>3</sub>-In<sub>x</sub>Ga<sub>1-x</sub>P-GaAs-In<sub>x</sub>Ga<sub>1-x</sub>As, Ga<sub>2</sub>O<sub>3</sub>-Al<sub>x</sub>Ga<sub>1-x</sub>As-GaAs, Ga<sub>2</sub>O<sub>3</sub>-Al<sub>x</sub>Ga<sub>1-x</sub>As-In<sub>x</sub>Ga<sub>1-x</sub>Asおよびこれらの系統の混合物である。スペーサ15の厚さは、以下で理解されるように、キャリア波動関数(carrier wavefunction)、および絶縁体・化合物半導体界面が用いられ  
40

る素子の性能によって決定される。通常、スペーサ層15は、1ないし5nmの範囲の厚さを有する。

#### 【0020】

次に図2に移ると、界面構造10の簡略バンドギャップ図が示されている。この図では、伝導帯を $E_c$ で示し、価電子帯を $E_v$ で示す。また、この具体例ではGaAsである化合物半導体基板11のバンドギャップは、図の右側にある領域21（以降、バンドギャップ21と呼ぶ）として示す。この具体例では $Al_x Ga_{1-x} As$ であるスペーサ層15のバンドギャップは、化合物半導体基板11のバンドギャップ21の左側に隣接する領域25（以降、バンドギャップ25と呼ぶ）として示し、バンドギャップ21よりも広い。この具体例では $Ga_2 O_3$ である絶縁層18のバンドギャップは、スペーサ層15のバンドギャップ25の左側に隣接する領域28（以降、バンドギャップ28）として示し、バンドギャップ25よりも広い。  
10

#### 【0021】

図1の界面構造10はいくつかの利点を有し、界面構造10のバンドギャップ図と比較しながら従来技術の構造のバンドギャップ図を参照することによって、最良に説明することができる。図3を参照すると、従来技術の界面30に対するバンドギャップ図が示されている。界面30では、バンドギャップ31で表す $Ga_2 O_3$ の絶縁層が、バンドギャップ32で表すGaAsの化合物半導体物質の表面上に直接堆積されている。図3のバンドギャップ図は、正常な動作状態におけるようにバイアスされており、絶縁体捕獲中心(insulator trapping center)  $N_t$  およびその中のキャリアの捕獲を示す。キャリアの絶縁体捕獲中心 $N_t$ 内への捕獲は、絶縁体-化合物半導体界面に位置する、反転キャリア(inversion carrier)または蓄積キャリア(accumulation carrier) ( $n_{2D} > 10^{12} \text{ cm}^{-2}$ )のリザーバから直接発生する。  
20

#### 【0022】

正常動作におけるようにバイアスされている、界面構造10に対する図2のバンドギャップ図を、図4に示す。捕獲に有効なキャリアの密度は、数桁の規模で減少している。超薄スペーサ層(ultrathin spacer layer)15 ( $Al_x Ga_{1-x} As$ )では、 $E$ (化合物半導体基板11およびスペーサ層15の界面におけるバンド・オフセット)およびX(スペーサ層15の厚さ)に指數的に依存する、トンネリングの確率が、捕獲プロセスに有効なキャリアの密度を決定する。厚いスペーサ層では、絶縁体-化合物半導体界面におけるキャリアの密度は、以下のように表される。  
30

#### 【0023】

##### 【数1】

$$N_t = n_{2D} e^{-E/kT}$$

界面構造10では、最適化された設計に対する密度は、 $N_t = 10^8 \text{ cm}^{-2}$ を超過しない。

#### 【0024】

界面構造10の第2の利点を、図3および図4と同様のバンドギャップ図である、図5および図6に示す。図5を参照すると、従来技術の界面30のバンドギャップ図が示されており、バンドギャップ32で表すGaAsの化合物半導体物質の表面上に、バンドギャップ31で表す $Ga_2 O_3$ の絶縁層が直接堆積されている。図5のバンドギャップ図は、正常動作におけるようにバイアスされており、反転/蓄積チャネルから絶縁層(バンドギャップ31)内へのホットキャリアの基板注入(substrate injection)を示す。図6のバンドギャップ図は、図1の構造を表し、種々のバンドギャップには、図4における同一の番号を付してある。図5における分布曲線 $N(E)F(E)$ は、化合物半導体物質および絶縁層の界面に隣接したキャリアの分布を示し、破線35(量子井戸基底状態)より低いキャリアが寄与し得る。  
40

#### 【0025】

図6の分布曲線 $N(E)F(E)$ は、化合物半導体基板11およびスペーサ層15に隣接したキャリアの分布を示し、破線36より低いキャリアのみが寄与し得る。ここで、 $N(E)$ ,  $F(E)$ , および $E$ は、それぞれ、状態の密度、フェルミ・ディラック分布関数( $F$   
50

ermi-Dirac distribution function) , およびエネルギーである。図 6 からわかるように、界面構造 10 において注入に有効なホット・キャリアは殆どなく、したがって、ホット・キャリアの絶縁層 18 (バンドギャップ 28 )への基板注入は劇的に減少する。ここで注記すべきは、堆積層が元来有する微小荒さおよび欠陥は絶縁層 18 およびスペーサ層 15 の間にあるが、スペーサ層 15 は化合物半導体基板 11 の表面上に成長するので、スペーサ層 15 および化合物半導体層 11 間の界面は滑らかであり欠陥がないことである。

#### 【 0 0 2 6 】

界面構造 10 の他の利点を図 7 および図 8 に示す。図 7 および図 8 は、図 3 および図 4 と同様のバンドギャップ図を示し、同様のバンドギャップには同様の番号を付してある。具体的に図 7 を参照すると、局在応力誘発界面状態が、反転 / 蓄積チャネルが形成する化合物半導体のバンドギャップ 32 内に位置している。即ち、点線 37 , 38 で示すように  $E_f < E_G$  である。ここで、  $E_f$  は自由フェルミ・レベル移動のエネルギー範囲であり、  $E_G$  は  $E_c$  および  $E_v$  間のバンドギャップである。図 8 に示す界面構造 10 では、広いバンドギャップ半導体物質 15 を用いることによって、局在応力誘発界面状態は、内部に導通チャネルが形成する化合物半導体物質 ( 物質 11 ) のバンドギャップから除去されている。広いバンドギャップ半導体物質 15 は、堆積絶縁層 18 , および内部に反転 / 蓄積チャネルが形成する化合物半導体基板 11 の間に挿入される。即ち、点線 39 , 40 によって示されるように、  $E_f > E_G$  となる。この利点によって、反転 / 蓄積モード素子を、化合物半導体上に実施することが可能となる。

#### 【 0 0 2 7 】

次に図 9 に移ると、本発明による図 1 の界面構造 10 を製造する際に用いる、マルチ・ウエハ・エピタキシャル生産システム 50 が示されている。システム 50 は、転送および装填モジュール 53 , 転送および装填モジュール 53 に取り付けられた I II - V 成長チャンバ 55 , ならびに転送および装填モジュール 53 に取り付けられた絶縁体チャンバ 58 を含む。チャンバ 55 , 58 の各々は、システムからウエハを取り出すことなく、ウエハ , チップ等を各チャンバ内で処理できるように、転送および装填モジュール 53 に取り付けられている。

#### 【 0 0 2 8 】

このようにして、本発明による絶縁体 - 化合物半導体界面構造を製造するプロセスの一例として、化合物半導体基板を、転送および装填モジュール 53 内に配置し、マルチ・ウエハ生産システム 50 内の圧力を  $10^{-10}$  Torr に減圧する。次に、化合物半導体基板を I II - V 成長チャンバ 55 に移動し、化合物半導体エピタキシャル層 ( 例えば、図 1 の物質 11 ) , および化合物半導体基板 11 のバンドギャップよりも広いバンドギャップを有する化合物半導体物質のスペーサ層 ( 例えば、図 1 のスペーサ層 15 ) を、化合物半導体基板上にエピタキシャル成長させる。スペーサ層 15 の成長の後、化合物半導体基板 11 を転送および装填モジュール 53 に移動し、次いで絶縁体チャンバ 58 に移動する。絶縁体チャンバ 58 では、スペーサ 15 上に絶縁層 ( 例えば、図 1 の絶縁層 18 ) を堆積する。

#### 【 0 0 2 9 】

以上、新規で改良された絶縁物 - 化合物半導体界面構造を、新規な製造方法と共に開示した。この新規で改良された絶縁物 - 化合物半導体界面構造は、その安定性および信頼性が向上し、製造および使用が比較的容易である。また、この新規で改良された絶縁物 - 化合物半導体界面構造は、現場で形成し、不純物の減少および製造の簡略化が更に可能である。新規で改良された絶縁物 - 化合物半導体界面構造のいくつかの利点として、堆積絶縁体 - 化合物半導体界面におけるキャリア密度がチャネルにおけるよりも数桁の規模で少ないこと、ホット・キャリアを絶縁体に注入する確率が数桁の規模で減少したこと、および半導体帯域端付近に位置する応力誘発界面状態の効果が最少に抑えられることがあげられる。また、反転 / 蓄積チャネルにおけるキャリアに対する、クーロン散乱および界面の荒さ散乱の効果も最少に抑えられ、これによって、高性能の反転 / 蓄積モード素子を化合物半導体上に実施することが可能となる。

10

20

30

40

50

**【0030】**

これまで本発明の特定実施例について示しかつ説明してきたが、更に別の変更や改良も当業者には想起されよう。したがって、本発明は図示した特定形態に限定される訳ではないと理解されることを望み、本発明の精神および範囲から逸脱しない全ての変更は、特許請求の範囲に該当することを意図するものである。

**【図面の簡単な説明】**

【図1】本発明による半導体素子における絶縁体 - 化合物半導体界面構造の簡略断面図。

【図2】図1に示す界面構造のバンドギャップ図。

【図3】従来技術の界面にバイアスを印加した場合の絶縁体捕獲中心およびその中におけるキャリアの捕獲を示すバンドギャップ図。10

【図4】図2の界面構造にバイアスを印加した場合の絶縁体の捕獲中心を示すバンドギャップ図。

【図5】従来技術の界面にバイアスを印加した場合のホット・キャリアの基板注入を示すバンドギャップ図。

【図6】図2の界面構造にバイアスを印加した場合のホット・キャリアの基板注入を示すバンドギャップ図。

【図7】従来技術の界面にバイアスを印加した場合の局在応力誘発界面状態を示すバンドギャップ図。

【図8】図2の界面構造にバイアスを印加した場合の局在応力誘発界面状態を示すバンドギャップ図。20

【図9】本発明にしたがって図1の構造を製造する際に用いられるマルチ・ウエハ・エピタキシャル生産システムを示す図。

**【符号の説明】**

1 0 界面構造

1 1 化合物半導体基板

1 2 ソース

1 3 ドレイン

1 4 ゲート

1 5 スペーサ層

1 8 絶縁層

2 1 , 2 5 , 2 8 バンドギャップ30

3 0 界面

3 1 , 3 2 バンドギャップ

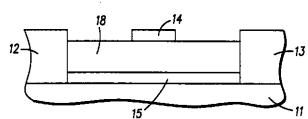
5 0 マルチ・ウエハ・エピタキシャル生産システム

5 3 転送および装填モジュール

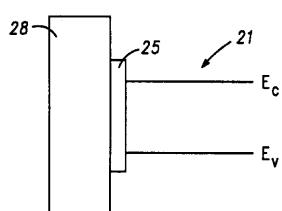
5 5 I I I - V 成長チャンバ

5 8 絶縁体チャンバ

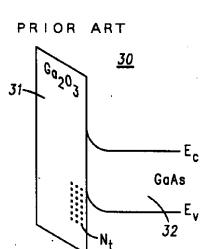
【図1】



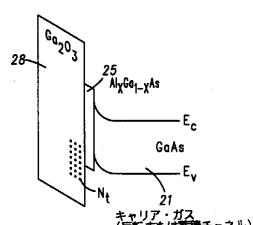
【図2】



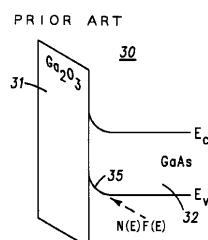
【図3】



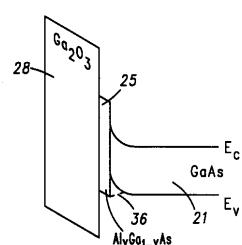
【図4】



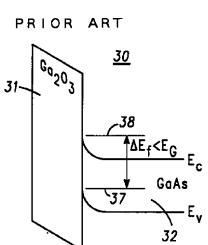
【図5】



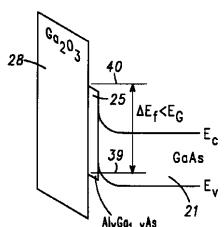
【図6】



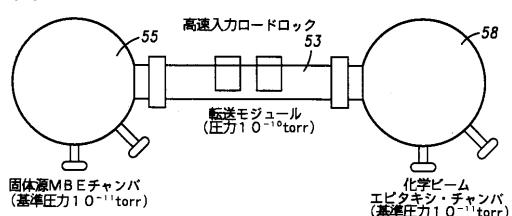
【図7】



【図8】



【図9】



---

フロントページの続き

(72)発明者 ジョナサン・ケイ・アプロクワ  
アメリカ合衆国アリゾナ州テンピ、イースト・ランチ・ロード1963

(72)発明者 ジヒイ・ジミー・ユ  
アメリカ合衆国アリゾナ州ギルバート、ウエスト・メリル・アベニュー449

審査官 田中 永一

(56)参考文献 特開昭61-096770(JP,A)  
特開昭53-029072(JP,A)  
特開昭59-165460(JP,A)  
特開平05-055558(JP,A)  
特開平10-223901(JP,A)  
特開平02-058332(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/205

H01L 21/312

H01L 21/314

H01L 21/316

H01L 21/318

H01L 29/78