



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0014337  
(43) 공개일자 2021년02월09일

(51) 국제특허분류(Int. Cl.)  
G06F 12/02 (2018.01)

(52) CPC특허분류  
G06F 12/0246 (2013.01)  
G06F 2212/1016 (2013.01)

(21) 출원번호 10-2019-0092252  
(22) 출원일자 2019년07월30일  
심사청구일자 없음

(71) 출원인  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091

(72) 발명자  
이석준  
서울특별시 서대문구 북아현로1길 50 아현역푸르지오 203동 1504호

(74) 대리인  
김성남

전체 청구항 수 : 총 18 항

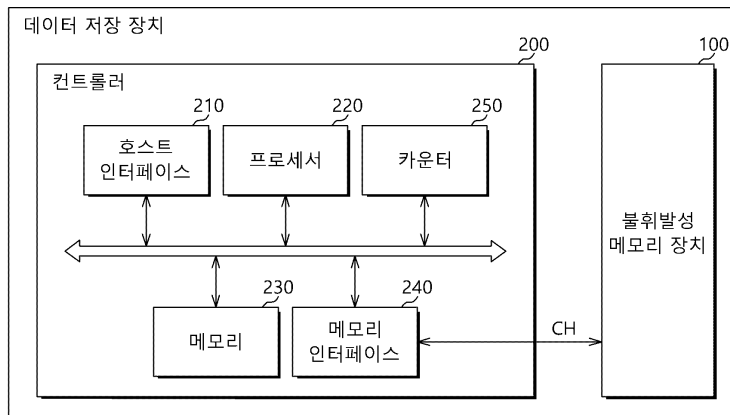
(54) 발명의 명칭 데이터 저장 장치 및 그것의 동작 방법

(57) 요약

본 발명의 실시 예에 따른 데이터 저장 장치는 L2P(logical to physical) 맵 데이터 및 유저 데이터를 저장하는 불휘발성 메모리; 및 호스트 장치로부터 연속적으로 전달되는 리드 커맨드가 백워드 시퀀셜(backward sequential) 리드인지 여부를 파악하고, 백워드 시퀀셜 리드인 경우, 백워드 시퀀셜 리드 카운트를 증가시키며, 백워드 시퀀셜 리드 카운트가 기준치 이상인 경우, 기 설정된 기준에 따라 프리 리드 시작 논리주소(Pre Lead Start LBA) 및 길이를 설정하여 해당 논리주소의 L2P 맵 및 L2P 맵에 해당하는 유저 데이터를 불휘발성 메모리로부터 미리 로딩하는 컨트롤러;를 포함할 수 있다.

대표도 - 도1

10



(52) CPC특허분류  
G06F 2212/7201 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

L2P(logical to physical) 맵 데이터 및 유저 데이터를 저장하는 불휘발성 메모리; 및

호스트 장치로부터 연속적으로 전달되는 리드 커맨드가 백워드 시퀀셜(backward sequential) 리드인지 여부를 파악하고, 백워드 시퀀셜 리드인 경우, 백워드 시퀀셜 리드 카운트를 증가시키며, 상기 백워드 시퀀셜 리드 카운트가 기준치 이상인 경우, 기 설정된 기준에 따라 프리 리드 시작 논리주소(Pre Lead Start LBA) 및 길이를 설정하여 해당 논리주소의 L2P 맵 및 상기 L2P 맵에 해당하는 유저 데이터를 상기 불휘발성 메모리로부터 미리 로딩하는 컨트롤러;

를 포함하는 데이터 저장 장치.

#### 청구항 2

제2항에 있어서,

상기 컨트롤러는,

호스트 장치로부터 리드 커맨드 시 전달되는 시작 논리주소 및 길이(Length)를 수신하면 백워드 논리주소를 설정하고, 상기 시작 논리주소, 상기 길이 및 이전 백워드 논리주소를 기초로 상기 리드 커맨드가 이전 리드 커맨드와 연계된 백워드 시퀀셜(backward sequential) 리드인지 여부에 따라 백워드 시퀀셜 리드 카운트를 증가시키도록 하고,

상기 백워드 시퀀셜 리드 카운트가 기준치 이상인 경우, 기 설정된 기준에 따라 프리 리드 시작 논리주소(Pre Lead Start LBA) 및 길이를 설정하여 프리 리드 논리주소의 L2P 맵 및 상기 L2P 맵에 해당하는 유저 데이터를 상기 불휘발성 메모리로부터 미리 로딩하는 프로세서;

상기 리드 커맨드가 백워드 시퀀셜 리드일 때마다 백워드 시퀀셜 리드 카운트를 증가시키고 해당 정보를 메모리에 저장하는 카운터 레지스터; 및

상기 백워드 논리주소, 상기 백워드 시퀀셜 리드 카운트, 프리 리드 정보, 프리 리드 된 논리주소의 L2P 맵 및 상기 L2P 맵에 해당하는 유저 데이터를 저장하는 메모리;

를 포함하는 데이터 저장 장치.

#### 청구항 3

제2항에 있어서,

상기 프로세서는,

상기 호스트 장치로부터 리드 커맨드 시 전달되는 제1 시작 논리주소 및 제1 길이를 수신하면, 상기 제1 시작 논리주소로부터 1을 감한 값을 제1 백워드 논리주소로 설정하는 데이터 저장 장치.

#### 청구항 4

제3항에 있어서,

상기 프로세서는,

상기 호스트 장치로부터 다음 리드 커맨드 시 전달되는 제2 시작 논리주소 및 제2 길이를 수신하면, 수신한 상기 제2 시작 논리주소에 상기 제2 길이를 합산한 값과 상기 제1 백워드 논리주소가 동일한지 여부를 확인하고, 확인 결과 동일한 경우 상기 백워드 시퀀셜 리드라고 판단하는 데이터 저장 장치.

#### 청구항 5

제4항에 있어서,

상기 프로세서는,

상기 제2 시작 논리주소로부터 1을 감한 값을 제2 백워드 논리주소로 결정하여 상기 메모리에 저장하는 데이터 저장 장치.

#### 청구항 6

제5항에 있어서,

상기 프로세서는,

상기 백워드 시퀀셜 리드 카운트가 기준치 이상인 경우, 상기 제2 백워드 논리주소로부터 기 설정된 길이 이전의 논리주소를 기초로 상기 프리 리드 시작 논리주소 및 상기 길이를 설정하여 상기 프리 리드 논리주소의 L2P 맵 및 상기 L2P 맵에 해당하는 유저 데이터를 미리 로딩하는 데이터 저장 장치.

#### 청구항 7

제5항에 있어서,

상기 프로세서는,

상기 백워드 시퀀셜 리드 카운트가 기준치 이상인 경우, 이전 백워드 시퀀셜 리드 시 논리주소의 총 길이의 평균을 기초로 상기 프리 리드 시작 논리주소 및 상기 길이를 설정하여 상기 프리 리드 논리주소의 L2P 맵 및 상기 L2P 맵에 해당하는 유저 데이터를 미리 로딩하는 데이터 저장 장치.

#### 청구항 8

제5항에 있어서,

상기 프로세서는,

상기 백워드 시퀀셜 리드 카운트가 기준치 이상인 경우, 이전 백워드 시퀀셜 리드 시 가장 긴 논리주소의 총 길이를 기초로 프리 리드 시작 논리주소 및 길이를 설정하여 상기 프리 리드 논리주소의 L2P 맵 및 상기 L2P 맵에 해당하는 유저 데이터를 미리 로딩하는 데이터 저장 장치.

#### 청구항 9

제2항에 있어서,

상기 카운터 레지스터는,

상기 백워드 시퀀셜 리드가 연속적이지 않은 경우, 상기 백워드 시퀀셜 리드 카운트를 초기화하는 데이터 저장 장치.

#### 청구항 10

호스트 장치로부터 리드 커맨드 시 전달되는 시작 논리주소 및 길이(Length)를 수신하면, 상기 시작 논리주소 및 길이를 기초로 이전 리드 커맨드 시 수신한 논리주소와 연계된 백워드 시퀀셜(backward sequential) 리드인지 여부를 파악하는 단계;

확인 결과 백워드 시퀀셜 리드인 경우, 백워드 시퀀셜 리드 카운트를 증가시키는 단계; 및

상기 백워드 시퀀셜 리드 카운트가 기준치 이상인 경우, 기 설정된 기준에 따라 프리 리드 시작 논리주소(Pre Lead Start LBA) 및 길이를 설정하여 프리 리드 논리주소의 L2P 맵 및 상기 L2P 맵에 해당하는 유저 데이터를 미리 로딩하는 단계;

를 포함하는 데이터 저장 장치의 동작방법.

#### 청구항 11

제10항에 있어서,

상기 백워드 시퀀셜 리드인지 여부를 파악하는 단계는,

상기 호스트 장치로부터 리드 커맨드 시 전달되는 제1 시작 논리주소 및 제1 길이를 수신하는 단계;

상기 제1 시작 논리주소로부터 1을 감한 값을 제1 백워드 논리주소로 저장하는 단계; 및

상기 호스트 장치로부터 다음 리드 커맨드 시 전달되는 제2 시작 논리주소 및 제2 길이를 수신하면, 수신한 상기 제2 시작 논리주소에 상기 제2 길이를 합산한 값과 상기 제1 백워드 논리주소가 동일한지 여부를 확인하는 단계;

를 포함하는 데이터 저장 장치의 동작방법.

#### 청구항 12

제11항에 있어서,

상기 백워드 시퀀셜 리드 카운트를 증가시키는 단계는,

확인 결과, 동일한 경우 백워드 시퀀셜(backward sequential) 리드 카운트를 증가시키는 단계인 데이터 저장 장치의 동작방법.

#### 청구항 13

제11항에 있어서,

상기 제1 백워드 논리주소가 동일한지 여부를 확인하는 단계는,

상기 제2 시작 논리주소로부터 1을 감한 값을 제2 백워드 논리주소로 저장하는 단계를 더 포함하는 데이터 저장 장치의 동작방법.

#### 청구항 14

제13항에 있어서,

상기 L2P 맵 및 L2P 맵에 해당하는 유저 데이터를 미리 로딩하는 단계는,

상기 백워드 시퀀셜 리드 카운트가 기준치 이상인 경우, 상기 제2 백워드 논리주소로부터 기 설정된 길이 이전의 논리주소를 기초로 상기 프리 리드 시작 논리주소 및 상기 길이를 설정하여 상기 프리 리드 논리주소의 L2P 맵 및 상기 L2P 맵에 해당하는 유저 데이터를 미리 로딩하는 단계인 데이터 저장 장치의 동작방법.

#### 청구항 15

제13항에 있어서,

상기 L2P 맵 및 L2P 맵에 해당하는 유저 데이터를 미리 로딩하는 단계는,

상기 백워드 시퀀셜 리드 카운트가 기준치 이상인 경우, 이전 백워드 시퀀셜 리드 시 논리주소의 총 길이의 평균을 기초로 상기 프리 리드 시작 논리주소 및 상기 길이를 설정하여 상기 프리 리드 논리주소의 L2P 맵 및 상기 L2P 맵에 해당하는 유저 데이터를 미리 로딩하는 단계인 데이터 저장 장치의 동작방법.

#### 청구항 16

제13항에 있어서,

상기 L2P 맵 및 L2P 맵에 해당하는 유저 데이터를 미리 로딩하는 단계는,

상기 백워드 시퀀셜 리드 카운트가 기준치 이상인 경우, 이전 백워드 시퀀셜 리드 시 가장 긴 논리주소의 총 길이를 기초로 상기 프리 리드 시작 논리주소 및 상기 길이를 설정하여 상기 프리 리드 논리주소의 L2P 맵 및 상기 L2P 맵에 해당하는 유저 데이터에 해당하는 유저 데이터를 미리 로딩하는 단계인 데이터 저장 장치의 동작방법.

#### 청구항 17

제10항에 있어서,

상기 백워드 시퀀셜 리드 카운트를 증가시키는 단계에서,

상기 백워드 시퀀셜 리드가 연속적이지 않은 경우, 상기 백워드 시퀀셜 리드 카운트를 초기화하는 데이터 저장 장치의 동작방법.

**청구항 18**

제10항에 있어서,

상기 L2P 맵 및 L2P 맵에 해당하는 유저 데이터를 미리 로딩하는 단계는,

상기 호스트 장치로부터 다음 리드 커맨드를 수신하기 이전에 완료되는 데이터 저장 장치의 동작방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 장치에 관한 것으로, 보다 구체적으로는 데이터 저장 장치 및 그것의 동작 방법에 관한 것이다.

**배경 기술**

[0002] 메모리 장치를 이용한 데이터 저장 장치는 기계적인 구동부가 없어서 안정성 및 내구성이 뛰어나며 정보의 액세스 속도가 매우 빠르고 전력 소모가 적다는 장점이 있다. 이러한 장점을 갖는 데이터 저장 장치는 USB(Universal Serial Bus) 메모리 장치, 다양한 인터페이스를 갖는 메모리 카드, UFS(Universal Flash Storage) 장치, 솔리드 스테이트 드라이브(Solid State Drive)를 포함할 수 있다.

[0003] 한편, 상술한 다양한 종류의 데이터 저장 장치는 사용자가 파일을 역순으로 검색할 경우, 호스트 장치로부터 논리 주소(LBA)를 일정 단위 역순으로 수신할 수 있다. 예를 들어, 데이터 저장 장치는 호스트 장치로부터 50 내지 60의 논리주소를 수신한 이후, 40 내지 50의 논리주소를 수신하고 30 내지 40의 논리주소를 수신하는 것이다.

[0004] 이러한 경우, 데이터 저장 장치 측에서는 프리 리드(Pre Read)를 수행할 수 없기 때문에, 사용자에게 상대적으로 빠른 속도의 데이터 리드 속도를 제공할 수 없게 된다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명의 실시 예는 리드 성능이 향상된 데이터 저장 장치 및 그것의 동작 방법을 제공한다.

**과제의 해결 수단**

[0006] 본 발명의 실시 예에 따른 데이터 저장 장치는 L2P(logical to physical) 맵 데이터 및 유저 데이터를 저장하는 불휘발성 메모리; 및 호스트 장치로부터 연속적으로 전달되는 리드 커맨드가 백워드 시퀀셜(backward sequential) 리드인지 여부를 파악하고, 백워드 시퀀셜 리드인 경우, 백워드 시퀀셜 리드 카운트를 증가시키며, 상기 백워드 시퀀셜 리드 카운트가 기준치 이상인 경우, 기 설정된 기준에 따라 프리 리드 시작 논리주소(Pre Lead Start LBA) 및 길이를 설정하여 해당 논리주소의 L2P 맵 및 상기 L2P 맵에 해당하는 유저 데이터를 상기 불휘발성 메모리로부터 미리 로딩하는 컨트롤러;를 포함한다.

[0007] 본 발명의 실시 예에 따른 데이터 저장 장치의 동작방법은 호스트 장치로부터 리드 커맨드 시 전달되는 시작 논리주소 및 길이(Length)를 수신하면, 상기 시작 논리주소 및 길이를 기초로 이전 리드 커맨드 시 수신한 논리주소와 연계된 백워드 시퀀셜(backward sequential) 리드인지 여부를 파악하는 단계; 확인 결과 백워드 시퀀셜 리드인 경우, 백워드 시퀀셜 리드 카운트를 증가시키는 단계; 및 상기 백워드 시퀀셜 리드 카운트가 기준치 이상인 경우, 기 설정된 기준에 따라 프리 리드 시작 논리주소(Pre Lead Start LBA) 및 길이를 설정하여 프리 리드 논리주소의 L2P 맵 및 상기 L2P 맵에 해당하는 유저 데이터를 미리 로딩하는 단계;를 포함한다.

**발명의 효과**

[0008] 본 실시 예들에 따르면, 호스트 장치로부터 전달되는 리드 커맨드에 대해 백워드 시퀀셜 리드인지 여부를 파악하여 프리 리드(Pre Read)를 수행하기 때문에, 데이터 저장 장치의 리드 성능을 향상시킬 수 있다. 이로 인해, 사용자 입장에서 파일을 저장된 역순으로 리드하여도 데이터 리드 속도가 향상된 양질의 QoS(Quality of Service)를 체감할 수 있다는 효과를 기대할 수 있다.

**도면의 간단한 설명**

[0009] 도 1은 본 발명의 실시 예에 따른 데이터 저장 장치의 구성을 나타낸 도면이다.  
 도 2는 본 발명의 실시 예에 따른 불휘발성 메모리의 구성을 나타낸 도면이다.  
 도 3은 본 발명의 실시 예에 따른 메모리 셀 어레이의 구성을 나타낸 도면이다.  
 도 4는 도 1의 메모리를 나타낸 도면이다.  
 도 5 내지 도 7은 본 발명의 실시 예에 따른 프리 리드 방법을 설명하기 위한 예시도이다.  
 도 8은 본 발명의 실시 예에 따른 데이터 저장 장치의 동작방법을 설명하기 위한 흐름도이다.  
 도 9는 본 발명의 실시 예에 따른 솔리드 스테이트 드라이브(SSD)를 포함하는 데이터 처리 시스템을 예시적으로 나타낸 도면이다.  
 도 10은 도 9의 컨트롤러의 구성을 예시적으로 나타낸 도면이다.  
 도 11은 본 발명의 실시 예에 따른 데이터 저장 장치를 포함하는 데이터 처리 시스템을 예시적으로 나타낸 도면이다.  
 도 12는 본 발명의 실시 예에 따른 데이터 저장 장치를 포함하는 데이터 처리 시스템을 예시적으로 나타낸 도면이다.  
 도 13은 본 발명의 실시 예에 따른 데이터 저장 장치를 포함하는 네트워크 시스템을 예시적으로 나타낸 도면이다.

**발명을 실시하기 위한 구체적인 내용**

[0010] 이하, 첨부한 도면에 의거하여 본 발명의 바람직한 실시 예를 설명하도록 한다.

[0011] 도 1은 본 발명의 실시 예에 따른 데이터 처리 장치의 구성을 나타낸 도면이다.

[0012] 이하에서는, 본 발명의 실시 예에 따른 프리 리드 방법을 설명하기 위한 예시도인 도 5 내지 도 7을 참고하여 설명하기로 한다.

[0013] 도 1을 참조하면, 데이터 저장 장치(10)는 휴대폰, MP3 플레이어, 랩탑 컴퓨터, 데스크탑 컴퓨터, 게임기, TV, 차량용 인포테인먼트(in-vehicle infotainment) 시스템 등과 같은 호스트 장치(도시되지 않음)에 의해서 액세스되는 데이터를 저장할 수 있다. 데이터 저장 장치(10)는 메모리 시스템으로 불릴 수 있다.

[0014] 데이터 저장 장치(10)는 호스트 장치와 연결되는 인터페이스 프로토콜에 따라서 다양한 종류의 저장 장치들 중 어느 하나로 제조될 수 있다. 예를 들어, 데이터 저장 장치(10)는 솔리드 스테이트 드라이브(solid state drive, SSD), MMC, eMMC, RS-MMC, micro-MMC 형태의 멀티미디어 카드(multimedia card), SD, mini-SD, micro-SD 형태의 시큐어 디지털(secure digital) 카드, USB(universal storage bus) 저장 장치, UFS(universal flash storage) 장치, PCMCIA(personal computer memory card international association) 카드 형태의 저장 장치, PCI(peripheral component interconnection) 카드 형태의 저장 장치, PCI-E(PCI-express) 카드 형태의 저장 장치, CF(compact flash) 카드, 스마트 미디어(smart media) 카드, 메모리 스틱(memory stick) 등과 같은 다양한 종류의 저장 장치들 중 어느 하나로 구성될 수 있다.

[0015] 데이터 저장 장치(10)는 다양한 종류의 패키지(package) 형태들 중 어느 하나로 제조될 수 있다. 예를 들어, 데이터 저장 장치(10)는 POP(package on package), SIP(system in package), SOC(system on chip), MCP(multi chip package), COB(chip on board), WFP(wafer-level fabricated package), WSP(wafer-level stack package) 등과 같은 다양한 종류의 패키지 형태들 중 어느 하나로 제조될 수 있다.

[0016] 도 1을 참고하면, 데이터 저장 장치(10)는 불휘발성 메모리(100) 및 컨트롤러(200)를 포함할 수 있다.

- [0017] 일 실시예에서, 불휘발성 메모리(100)는 L2P(logical to physical) 맵 데이터 및 유저 데이터를 저장하여, 컨트롤러(200)의 프리 리드 커맨드에 따라 기 저장된 L2P 맵 데이터 및 상기 L2P 맵 데이터에 대응되는 유저 데이터를 제공할 수 있다. 이에 대한 상세 설명은 후술하기로 한다.
- [0018] 불휘발성 메모리(100)는 데이터 저장 장치(10)의 저장 매체로서 동작할 수 있다. 불휘발성 메모리(100)는 메모리 셀에 따라서 낸드(NAND) 플래시 메모리 장치, 노어(NOR) 플래시 메모리 장치, 강유전체 커패시터를 이용한 강유전체 램(ferroelectric random access memory, FRAM), 터널링 자기저항(TMR) 막을 이용한 자기저항 램(magnetic random access memory, MRAM), 칼코겐 화합물(chalcogenide alloys)을 이용한 상변화 램(phase change random access memory, PRAM), 전이 금속 산화물(transition metal oxide)을 이용한 저항성 램(resistive random access memory, ReRAM) 등과 같은 다양한 형태의 불휘발성 메모리들 중 어느 하나로 구성될 수 있다.
- [0019] 도 2는 도 1의 불휘발성 메모리(100)의 구성을 예시적으로 나타낸 도면이고, 도 3은 도 2의 메모리 셀 어레이(110)의 구성을 예시적으로 나타낸 도면이다.
- [0020] 도 2를 참조하면, 불휘발성 메모리(100)는 메모리 셀 어레이(memory cell array)(110), 로우 디코더(row decoder)(120), 기입/독출 회로(130), 컬럼 디코더(column decoder)(140), 페이지 버퍼(page buffer)(150), 전압 발생기(voltage generator)(160), 제어 로직(control logic)(170), 및 입출력 회로(I/O circuit)(180)를 포함할 수 있다.
- [0021] 메모리 셀 어레이(110)는 복수의 비트라인(BL)들 및 복수의 워드라인(WL)들이 교차하는 영역들에 각각 배치되는 복수의 메모리 셀들(도시되지 않음)을 포함할 수 있다. 도 3을 참조하면, 메모리 셀 어레이(110)는 복수의 메모리 블록들(BLK1~BLKi)을 포함할 수 있고, 복수의 메모리 블록들(BLK1~BLKi)은 각각 복수의 페이지들(PG1~PGj)을 포함할 수 있다.
- [0022] 메모리 셀 어레이(110)의 메모리 셀들은 각각 1비트의 데이터를 저장하는 싱글 레벨 셀(single level cell, SLC), 2비트의 데이터를 저장하는 멀티 레벨 셀(multi level cell, MLC), 3비트의 데이터를 저장하는 트리플 레벨 셀(triple level cell, TLC) 또는 4비트의 데이터를 저장하는 쿼드러플 레벨 셀(quadruple level cell, QLC)일 수 있다. 메모리 셀 어레이(110)는 싱글 레벨 셀, 멀티 레벨 셀, 트리플 레벨 셀, 및 쿼드러플 레벨 셀 중 적어도 하나 이상을 포함할 수 있다. 메모리 셀 어레이(110)는 2차원의 수평 구조로 배치된 메모리 셀들을 포함할 수도 있고, 또는 3차원의 수직 구조로 배치된 메모리 셀들을 포함할 수도 있다.
- [0023] 로우 디코더(120)는 워드라인(WL)들을 통해 메모리 셀 어레이(110)와 연결될 수 있다. 로우 디코더(120)는 제어 로직(170)의 제어에 따라 동작할 수 있다. 로우 디코더(120)는 제어 로직(170)으로부터 제공되는 로우 어드레스(X\_ADDR)를 디코딩하고, 디코딩 결과에 근거하여 워드라인(WL)들 중 적어도 하나의 워드라인(WL)을 선택하여 구동시킬 수 있다. 로우 디코더(120)는 전압 발생기(160)로부터 제공되는 동작 전압(Vop)을 선택된 워드라인(WL)에 제공할 수 있다.
- [0024] 기입/독출 회로(130)는 비트 라인(BL)들을 통해서 메모리 셀 어레이(110)와 연결될 수 있다. 기입/독출 회로(130)는 비트 라인들(BL) 각각에 대응하는 기입/독출 회로들(도시되지 않음)을 포함할 수 있다. 기입/독출 회로(130)는 제어 로직(170)의 제어에 따라 동작할 수 있다. 기입/독출 회로(130)는 메모리 셀들에 데이터를 기입하기 위한 기입 드라이버(WD)와, 메모리 셀 들로부터 독출된 데이터를 증폭하는 센스 앰프(SA)를 포함할 수 있다. 기입/독출 회로(130)는 메모리 셀 어레이(110)의 메모리 셀들 중 로우 디코더(120) 및 컬럼 디코더(140)에 의해 선택되는 메모리 셀들에 전류 펄스 또는 전압 펄스를 제공함으로써 선택된 메모리 셀들에 대한 기입 및 독출 동작을 수행할 수 있다.
- [0025] 컬럼 디코더(140)는 제어 로직(170)의 제어에 따라 동작할 수 있다. 컬럼 디코더(140)는 제어 로직(170)으로부터 제공되는 컬럼 어드레스(Y\_ADDR)를 디코딩할 수 있다. 컬럼 디코더(140)는 디코딩 결과에 근거하여 비트 라인(BL)들 각각에 대응하는 기입/독출 회로(130)의 기입/독출 회로들과 페이지 버퍼(150)를 연결할 수 있다.
- [0026] 페이지 버퍼(150)는 컨트롤러(200)의 메모리 인터페이스(240)로부터 제공되고 메모리 셀 어레이(110)에 기입될 데이터 또는 메모리 셀 어레이(110)로부터 독출되고 컨트롤러(200)의 메모리 인터페이스(240)로 제공될 데이터를 임시 저장하도록 구성될 수 있다. 페이지 버퍼(150)는 제어 로직(170)의 제어에 따라 동작할 수 있다.
- [0027] 전압 발생기(160)는 제어 로직(170)으로부터 제공되는 전압 제어 신호(CTRL\_vol)에 근거하여 메모리 셀 어레이(110)에 대한 기입, 독출 및 소거 동작을 수행하기 위한 다양한 전압들을 생성할 수 있다. 전압 발생기(160)는



복수의 워드 라인들(WL) 및 비트 라인들(BL)을 구동하기 위한 구동 전압들(Vop)을 생성할 수 있다. 또한, 전압 발생기(160)는 메모리 셀(MC)에 저장된 데이터를 독출하기 위하여 적어도 하나 이상의 기준 전압들을 생성할 수 있다.

- [0028] 제어 로직(170)은 컨트롤러(200)로부터 수신된 커맨드(CMD\_op), 어드레스(ADDR) 및 제어 신호(CTRL)에 근거하여 메모리 셀 어레이(110)에 데이터(DATA)를 기입하거나, 또는 메모리 셀 어레이(110)로부터 데이터(DATA)를 독출하기 위한 각종 제어 신호를 출력할 수 있다. 제어 로직(170)에서 출력되는 각종 제어 신호는 로우 디코더(120), 기입/독출 회로(130), 컬럼 디코더(140), 페이지 버퍼(150) 및 전압 발생기(160)에 제공될 수 있다. 이에 따라, 제어 로직(170)은 불휘발성 메모리(100)에서 수행되는 각종 동작들을 전반적으로 제어할 수 있다.
- [0029] 구체적으로, 제어 로직(170)은 커맨드(CMD) 및 제어 신호(CTRL)에 근거하여 동작 제어 신호(CTRL\_op)를 생성할 수 있고, 생성된 동작 제어 신호(CTRL\_op)를 기입/독출 회로(130)에 제공할 수 있다. 제어 로직(170)은 어드레스(ADDR)에 포함된 로우 어드레스(X\_ADDR) 및 컬럼 어드레스(Y\_ADDR)를 각각 로우 디코더(120) 및 컬럼 디코더(140)에 제공할 수 있다.
- [0030] 입출력 회로(180)는 컨트롤러(200)로부터 제공되는 커맨드(CMD), 어드레스(ADDR), 및 데이터(DATA)를 수신하거나 또는 메모리 셀 어레이(110)로부터 독출된 데이터(DATA)를 컨트롤러(200)로 제공하도록 구성될 수 있다. 입출력 회로(180)는 컨트롤러(200)로부터 수신된 커맨드(CMD) 및 어드레스(ADDR)는 제어 로직(170)으로 출력하고, 데이터(DATA)는 페이지 버퍼(150)로 출력할 수 있다. 입출력 회로(180)는 페이지 버퍼(150)로부터 수신된 데이터(DATA)를 컨트롤러(200)로 출력할 수 있다. 입출력 회로(180)는 제어 로직(170)의 제어에 따라 동작할 수 있다.
- [0031] 일 실시예에서, 컨트롤러(200)는 호스트 장치(미도시)로부터 연속적으로 전달되는 리드 커맨드가 백워드 시퀀셜(backward sequential) 리드인지 여부를 파악하고, 백워드 시퀀셜 리드인 경우, 백워드 시퀀셜 리드 카운트를 증가시키며, 상기 백워드 시퀀셜 리드 카운트가 기준치 이상인 경우, 기 설정된 기준에 따라 프리 리드 시작 논리주소(Pre Lead Start LBA) 및 길이(Length)를 설정하여 해당 논리주소의 L2P 맵 및 상기 L2P 맵에 해당하는 유저 데이터를 불휘발성 메모리(100)로부터 미리 로딩할 수 있다. 이때, 백워드 시퀀셜 리드는 도 5와 같이 파일 1 내지 파일 4가 존재하는 상태에서 연속적으로 파일 4, 파일 3, 파일 2 및 파일 1의 역방향 순으로 리드 커맨드 되는 것을 의미하기로 한다.
- [0032] 컨트롤러(200)는 메모리(230)에 로딩된 펌웨어 또는 소프트웨어의 구동을 통해서 데이터 저장 장치(10)의 제반 동작을 제어할 수 있다. 컨트롤러(200)는 펌웨어 또는 소프트웨어와 같은 코드 형태의 명령(instruction) 또는 알고리즘을 해독하고 구동할 수 있다. 컨트롤러(200)는 하드웨어, 또는 하드웨어와 소프트웨어가 조합된 형태로 구현될 수 있다.
- [0033] 구체적으로, 컨트롤러(200)는 호스트 인터페이스(210), 프로세서(220), 메모리(230), 메모리 인터페이스(240) 및 카운터(250)를 포함할 수 있다.
- [0034] 호스트 인터페이스(210)는 호스트 장치의 프로토콜에 대응하여 호스트 장치와 데이터 저장 장치(10) 사이를 인터페이싱할 수 있다. 예를 들어, 호스트 인터페이스(210)는 USB(universal serial bus), UFS(universal flash storage), MMC(multimedia card), PATA(parallel advanced technology attachment), SATA(serial advanced technology attachment), SCSI(small computer system interface), SAS(serial attached SCSI), PCI(peripheral component interconnection), PCI-E(PCI express) 프로토콜 중 어느 하나를 통해 호스트 장치와 통신할 수 있다.
- [0035] 일 실시예에서, 프로세서(220)는 호스트 장치로부터 리드 커맨드 시 전달되는 시작 논리주소(Start LBA) 및 길이(Length)를 수신하면 백워드 논리주소를 설정하고, 상기 시작 논리주소, 상기 길이 및 이전 백워드 논리주소를 기초로 상기 리드 커맨드가 이전 리드 커맨드와 연계된 백워드 시퀀셜(backward sequential) 리드인지 여부에 따라 백워드 시퀀셜 리드 카운트를 증가시키도록 할 수 있다. 이때, 길이는 리드 커맨드 시 전달되는 시작 논리주소를 제외한 전체 논리주소의 연속적인 논리 블록 어드레스들의 개수를 의미하는 것으로 정의하기로 한다. 또한, 이때, 백워드 논리주소는 역순으로 리드되는 파일이 직전에 리드된 파일의 논리주소와 백워드 시퀀셜 리드인지 여부를 판단하기 위한 용도로 시작 논리주소로부터 1을 감한 논리 주소를 의미하는 것으로 정의하기로 한다.
- [0036] 구체적으로, 프로세서(220)는 호스트 장치로부터 리드 커맨드 시 전달되는 제1 시작 논리주소 및 제1 길이를 수신하면, 제1 시작 논리주소로부터 1을 감한 값을 제1 백워드 논리주소로 설정할 수 있다.

- [0037] 도 5를 참조하면, 프로세서(220)는 호스트 장치로부터 파일 1 내지 파일 4를 역방향으로 연속적으로 수신할 수 있다. 도 6을 참조하면, 프로세서(220)는 호스트 장치로부터 리드 커맨드 시 제1 시작 논리주소 13과 제1 길이 3을 수신하여, Sequential Read #1은 13, 14, 15 및 16일 수 있다. 프로세서(220)는 제1 시작 논리주소인 13으로부터 1을 감한 12를 제1 백워드 논리주소로 설정하여 메모리(230)에 저장할 수 있다.
- [0038] 프로세서(220)는 호스트 장치로부터 다음 리드 커맨드 시 전달되는 제2 시작 논리주소 및 제2 길이를 수신하면, 수신한 상기 제2 시작 논리주소에 상기 제2 길이를 합산한 값과 상기 제1 백워드 논리주소가 동일한지 여부를 확인하고, 확인 결과 동일한 경우 백워드 시퀀셜 리드라고 판단할 수 있다.
- [0039] 도 6을 참조하면, 프로세서(220)는 호스트 장치로부터 리드 커맨드 시 제2 시작 논리주소 10과 제2 길이 2를 수신하여, Sequential Read #2는 10, 11 및 12일 수 있다. 프로세서(220)는 제2 시작 논리주소인 10에 제2 길이인 2를 합산한 값 12와 상기 제1 백워드 논리주소인 12가 동일한 것을 확인한 후, 백워드 시퀀셜 리드라고 판단할 수 있다.
- [0040] 프로세서(220)는 제2 시작 논리주소로부터 1을 감한 값을 제2 백워드 논리주소로 결정하여 메모리(230)에 저장할 수 있다.
- [0041] 도 6을 참조하면, 프로세서(220)는 제2 시작 논리주소인 10으로부터 1을 감한 9를 제2 백워드 논리주소로 설정하여 메모리(230)에 저장할 수 있다.
- [0042] 프로세서(220)는 백워드 시퀀셜 리드 카운트가 기준치 이상인 경우, 기 설정된 기준에 따라 프리 리드 시작 논리주소(Pre Lead Start LBA) 및 길이를 설정하여 프리 리드 논리주소의 L2P 맵 및 상기 L2P 맵에 해당하는 유저 데이터를 상기 불휘발성 메모리(100)로부터 미리 로딩할 수 있다. 이때, 길이는 상술한 리드 커맨드 시와 동일한 의미로 시작 논리주소를 제외한 전체 논리주소의 연속적인 논리 블록 어드레스들의 개수를 의미하는 것으로 정의하기로 한다.
- [0043] 도 6을 참조하면, 프로세서(220)는 백워드 시퀀셜 리드 카운트가 기준치 이상인 경우, 기 설정된 기준에 따라 Pre Read #1의 논리주소 4, 5, 6, 7, 8 및 9에 대한 L2P 맵 및 상기 L2P 맵에 해당하는 유저 데이터를 미리 로딩하여 메모리(220)에 저장할 수 있다.
- [0044] 일 실시예로, 프로세서(220)는 백워드 시퀀셜 리드 카운트가 기준치 이상인 경우, 제2 백워드 논리주소로부터 기 설정된 길이 이전의 논리주소를 기초로 상기 프리 리드 시작 논리주소 및 길이를 설정하여 상기 프리 리드 된 논리주소의 L2P 맵 및 상기 L2P 맵에 해당하는 유저 데이터를 미리 로딩할 수 있다.
- [0045] 다른 실시예로, 프로세서(220)는 백워드 시퀀셜 리드 카운트가 기준치 이상인 경우, 이전 백워드 시퀀셜 리드 시 논리주소의 총 길이의 평균을 기초로 프리 리드 시작 논리주소 및 길이를 설정하여 프리 리드 된 논리주소의 L2P 맵 및 상기 L2P 맵에 해당하는 유저 데이터를 미리 로딩할 수 있다. 이때, 논리주소의 총 길이는 시작 논리주소를 포함하는 전체 길이를 의미하는 것으로 정의하기로 한다.
- [0046] 또 다른 실시예로, 프로세서(220)는 백워드 시퀀셜 리드 카운트가 기준치 이상인 경우, 이전 백워드 시퀀셜 리드 시 가장 긴 논리주소의 총 길이를 기초로 프리 리드 시작 논리주소 및 길이를 설정하여 상기 프리 리드 된 논리주소의 L2P 맵 및 상기 L2P 맵에 해당하는 유저 데이터를 미리 로딩할 수 있다.
- [0047] 프로세서(220)는 마이크로 컨트롤 유닛(micro control unit)(MCU), 중앙 처리 장치(central processing unit)(CPU)로 구성될 수 있다. 프로세서(220)는 호스트 장치로부터 전송된 요청을 처리할 수 있다. 호스트 장치로부터 전송된 요청을 처리하기 위해서, 프로세서(220)는 메모리(230)에 로딩된 코드 형태의 명령(instruction) 또는 알고리즘, 즉, 펌웨어를 구동하고, 호스트 인터페이스(210), 메모리(230) 및 메모리 인터페이스(240) 등과 같은 내부 기능 블록들 및 불휘발성 메모리(100)를 제어할 수 있다.
- [0048] 프로세서(220)는 호스트 장치로부터 전송된 요청들에 근거하여 불휘발성 메모리(100)의 동작을 제어할 제어 신호들을 생성하고, 생성된 제어 신호들을 메모리 인터페이스(240)를 통해 불휘발성 메모리(100)로 제공할 수 있다.
- [0049] 일 실시예에서, 메모리(230)는 백워드 논리주소, 백워드 시퀀셜 리드 카운트, 프리 리드 정보, 프리 리드 된 논리주소의 L2P 맵 및 상기 L2P 맵에 해당하는 유저 데이터를 저장할 수 있다.
- [0050] 메모리(230)는 동적 랜덤 액세스 메모리(DRAM) 또는 정적 랜덤 액세스 메모리(SRAM)와 같은 랜덤 액세스 메모리로 구성될 수 있다. 메모리(230)는 프로세서(220)에 의해서 구동되는 펌웨어를 저장할 수 있다. 또한, 메모리

(230)는 펌웨어의 구동에 필요한 데이터, 예를 들면, 메타 데이터를 저장할 수 있다. 즉, 메모리(230)는 프로세서(220)의 동작 메모리(working memory)로서 동작할 수 있다.

- [0051] 메모리(230)는 호스트 장치로부터 불휘발성 메모리(100)로 전송될 기입 데이터 또는 불휘발성 메모리(100)로부터 호스트 장치로 전송될 독출 데이터를 임시 저장하기 위한 데이터 버퍼(data buffer, DB)를 포함하도록 구성될 수 있다. 즉, 메모리(230)는 버퍼 메모리(buffer memory)로서 동작할 수 있다.
- [0052] 메모리 인터페이스(240)는 프로세서(220)의 제어에 따라 불휘발성 메모리(100)를 제어할 수 있다. 메모리 인터페이스(240)는 메모리 컨트롤러로도 불릴 수 있다. 메모리 인터페이스(240)는 제어 신호들을 불휘발성 메모리(100)로 제공할 수 있다. 제어 신호들은 불휘발성 메모리(100)를 제어하기 위한 커맨드(CMD), 어드레스(ADDR), 동작 제어 신호(CTRL) 등을 포함할 수 있다. 메모리 인터페이스(240)는 데이터(DATA)를 불휘발성 메모리(100)로 제공하거나, 불휘발성 메모리(100)로부터 데이터(DATA)를 제공받을 수 있다.
- [0053] 도시하지 않았지만, 메모리 인터페이스(240)는 불휘발성 메모리(100)와 라이트 또는 리드 시 송수신되는 데이터를 임시로 저장하는 라이트 캐쉬(write cache) 및 리드 캐쉬(read cache)를 포함할 수 있다. 본 발명의 일 실시 예에서 메모리 인터페이스(240)는 리드 캐쉬(read cache)의 크기를 기본 설정치 보다 임의의 크기로 늘려 시퀀셜 리드의 성능을 높일 수 있도록 할 수 있다.
- [0054] 카운터(250)는 리드 커맨드가 백워드 시퀀셜 리드일 때마다 백워드 시퀀셜 리드 카운트를 증가시키고 해당 정보를 메모리(230)에 저장할 수 있다.
- [0055] 또한, 카운터(250)는 백워드 시퀀셜 리드가 연속적이지 않은 경우, 상기 백워드 시퀀셜 리드 카운트를 초기화할 수 있다.
- [0056] 구체적으로, 카운터(250)는 호스트 장치로부터 수신한 시작 논리주소에 길이를 합산한 값과 이전 백워드 논리주소가 동일하지 않은 경우, 백워드 시퀀셜 리드가 아니라고 판단하고 백워드 시퀀셜 리드 카운트를 초기화할 수 있다. 이때, 백워드 논리주소는 역순으로 리드되는 파일이 직전에 리드된 파일의 논리주소와 백워드 시퀀셜 리드인지 여부를 판단하기 위한 용도로 시작 논리주소로부터 1을 감한 논리 주소를 의미하는 것으로 정의하기로 한다.
- [0057] 도 7과 같이, 컨트롤러(200)가 호스트 장치로부터 연속적으로 수신한 첫 번째 리드 커맨드의 시퀀셜 리드 #1의 논리주소가 13, 14, 15 및 16이고(1) 참고), 두 번째 리드 커맨드의 시퀀셜 리드 #2의 논리주소가 10, 11 및 12인 상태(2) 참고)에서, 세번째 리드 커맨드의 시퀀셜 리드 #3의 논리주소가 6, 7, 8 및 9가 아닌 1, 2, 3 및 4인 경우(6) 참고), 카운터(250)는 시퀀셜 리드 #2와 시퀀셜 리드 #3 간에 백워드 시퀀셜 리드가 아닌 것으로 판단하여(7) 참고) 카운터를 초기화(8)참고)하는 것이다.
- [0058] 도 4는 도 1의 메모리를 나타낸 도면이다.
- [0059] 도 4를 참조하면, 본 실시 예에 따른 메모리(230)는 제1 영역(231), 제2 영역(233), 제3 영역(235) 및 제4 영역(237)을 포함할 수 있다. 설명의 편의 및 도면의 간략화를 위하여 도 4에서는 메모리(230)가 4개의 영역을 포함하는 것으로 도시하였으나, 메모리(230)는 다양한 데이터들이 저장되는 다양한 영역들을 더 포함할 수 있다. 예를 들어, 메모리(230)는 호스트 장치로부터 수신된 요청들에 근거하여 생성된 커맨드들이 큐잉되는 커맨드 큐 영역 등을 더 포함할 수 있다.
- [0060] 메모리(230)의 제1 영역(231)에는 플래시 변환 계층(flash translation layer, FTL)이 저장될 수 있다. 플래시 변환 계층(FTL)은 프로세서(220)에 의해 구동되는 소프트웨어로서, 프로세서(220)는 플래시 변환 계층(FTL)을 구동시켜 불휘발성 메모리(100)의 고유 동작을 제어하고, 호스트 장치에 장치 호환성을 제공할 수 있다. 플래시 변환 계층(FTL)의 구동을 통해서, 호스트 장치는 데이터 저장 장치(10)를 하드 디스크와 같은 일반적인 데이터 저장 장치로 인식하고 사용할 수 있다. 플래시 변환 계층(FTL)은 여러 기능을 수행하기 위한 모듈들을 포함할 수 있다. 플래시 변환 계층(FTL)은 불휘발성 메모리(100)의 시스템 영역(도시되지 않음)에 저장될 수 있고, 데이터 저장 장치(10)가 파워-온 되면 불휘발성 메모리(100)의 시스템 영역으로부터 독출되어 메모리(230)의 제1 영역(231)에 로드될 수 있다.
- [0061] 메모리(230)의 제2 영역(233)은 호스트 장치로부터 수신된 시퀀셜 리드 요청에 대응되어 프로세서(220)에 의해서 생성된 백워드 논리주소(B\_LBA)가 저장될 수 있다.
- [0062] 메모리(230)의 제3 영역(235)은 백워드 시퀀셜 리드 카운트 및 프리 리드 정보를 포함할 수 있다. 이때, 백워드 시퀀셜 리드 카운트는 연속적인 백워드 리드의 카운팅 정보를 의미할 수 있다. 또한, 프리 리드 정보는 메모리

(230)에 저장된 불휘발성 메모리(100)로부터 프리 리드 된 시작 논리주소 및 마지막 논리주소를 포함할 수 있으며, 이에 한정되지 않고 프리 리드 된 L2P 맵 및 상기 L2P 맵에 해당하는 유저 데이터를 식별하기 위한 정보면 모두 가능하다 할 것이다. 상기 백워드 시퀀셜 리드 카운트와 프리 리드 정보를 동일한 메모리 영역에 저장하는 것을 예시로 하였지만, 이에 한정되지 않고, 별도로 서로 다른 영역에 저장하는 것 역시 가능하다 할 것이다.

- [0063] 메모리(230)의 제4 영역(237)은 불휘발성 메모리(100)로부터 프리 리드 된 논리주소의 L2P 맵 및 상기 L2P 맵에 해당하는 유저 데이터를 저장할 수 있다.
- [0064] 도시하지 않았지만, 메모리(230)는 호스트 장치로부터 수신된 라이트할 어드레스 즉, 논리주소(logical block address, LBA)를 불휘발성 메모리(100)의 실제 어드레스 즉, 물리주소(physical block address, PBA)에 매핑시켜 저장하는 어드레스 버퍼(AB) 및 플래시 변환 계층(FTL)에 포함된 다양한 모듈들의 구동에 필요한 메타 데이터가 저장되는 메타 영역(meta region)을 포함할 수 있다. 이때, 메타 영역(meta region)에는 P2L(physical-to-logical) 테이블이 저장될 수 있다.
- [0065] 또한, 메모리(230)는 라이트 버퍼(write buffer), 리드 버퍼(read buffer), 및 맵 업데이트 버퍼(map update buffer) 등을 더 포함할 수 있다. 라이트 버퍼(write buffer)는 호스트 장치로부터 불휘발성 메모리(100)로 전송될 라이트 데이터를 임시 저장하는 구성일 수 있다. 리드 버퍼(read buffer)는 불휘발성 메모리(100)로부터 독출되어 호스트 장치로 전송될 리드 데이터를 임시 저장하는 구성일 수 있다. 맵 업데이트 버퍼(map update buffer)는 맵핑 정보가 업데이트될 맵 세그먼트를 임시 저장하는 구성일 수 있다.
- [0066] 도 8은 본 발명의 실시 예에 따른 데이터 저장 장치의 동작방법을 설명하기 위한 흐름도이다.
- [0067] 데이터 저장 장치(10)는 호스트 장치(미도시)로부터 리드 커맨드 시 전달되는 시작 논리주소 및 길이(Length)를 수신하면, 상기 시작 논리주소 및 길이를 기초로 이전 리드 커맨드 시 수신한 논리주소와 연계된 백워드 시퀀셜(backward sequential) 리드인지 여부를 파악할 수 있다.
- [0068] 도 8을 참조하면, 데이터 저장 장치(10)는 호스트 장치로부터 리드 커맨드 시 전달되는 제2 시작 논리주소 및 제2 길이를 수신할 수 있다(S101).
- [0069] 다음, 데이터 저장 장치(10)는 제2 시작 논리주소로부터 1을 감한 값을 제2 백워드 논리주소로 저장할 수 있다(S103).
- [0070] 다음, 데이터 저장 장치(10)는 리드 커맨드 시 전달되는 제2 시작 논리주소 및 제2 길이에 대응되는 프리 리드 데이터가 존재하지 않는 경우, 불휘발성 메모리(100)로부터 리드 커맨드에 대응되는 데이터를 리드할 수 있다(S105, S107).
- [0071] 만약, 제2 시작 논리주소 및 제2 길이에 대응되는 프리 리드 데이터가 존재하는 경우, 데이터 저장 장치(10)는 메모리(220)로부터 해당 프리 리드 데이터를 리드할 수 있다(S109).
- [0072] 다음, 데이터 저장 장치(10)는 수신한 제2 시작 논리주소에 제2 길이를 합산한 값과 제1 백워드 논리주소가 동일한지 여부를 확인할 수 있다(S111).
- [0073] 도시하지 않았지만, 단계 S111 이전에, 데이터 저장 장치(10)는 호스트 장치로부터 리드 커맨드 시 전달되는 제1 시작 논리주소 및 제1 길이를 수신할 수 있다. 또한, 데이터 저장 장치(10)는 제1 시작 논리주소로부터 1을 감한 값을 제1 백워드 논리주소로 저장할 수 있다. 이때, 제1 시작 논리주소 및 제1 길이에 대응되어 도 8의 과정을 수행할 수 있음은 당연하다 할 것이다.
- [0074] 확인 결과 백워드 시퀀셜 리드인 경우, 데이터 저장 장치(10)는 백워드 시퀀셜 리드 카운트를 증가시킬 수 있다(S113).
- [0075] 만약, 확인 결과 백워드 시퀀셜 리드가 연속적이지 않은 경우, 데이터 저장 장치(10)는 백워드 시퀀셜 리드 카운트를 초기화할 수 있다(S115).
- [0076] 다음, 상기 백워드 시퀀셜 리드 카운트가 기준치 이상인 경우, 데이터 저장 장치(10)는 기 설정된 기준에 따라 프리 리드 시작 논리주소(Pre Lead Start LBA) 및 길이를 설정하여 프리 리드 논리주소의 L2P 맵 및 상기 L2P 맵에 해당하는 유저 데이터를 미리 로딩할 수 있다(S117, S119).
- [0077] 일 실시예로, 데이터 저장 장치(10)는 백워드 시퀀셜 리드 카운트가 기준치 이상인 경우, 제2 백워드 논리주소로부터 기 설정된 길이 이전의 논리주소를 기초로 프리 리드 시작 논리주소 및 길이를 설정하여 프리 리드 논리



주소의 L2P 맵 및 L2P 맵에 해당하는 유저 데이터를 미리 로딩할 수 있다.

- [0078] 다른 실시예로, 데이터 저장 장치(10)는 백워드 시퀀셜 리드 카운트가 기준치 이상인 경우, 이전 백워드 시퀀셜 리드 시 논리주소의 총 길이의 평균을 기초로 프리 리드 시작 논리주소 및 길이를 설정하여 프리 리드 논리주소의 L2P 맵 및 상기 L2P 맵에 해당하는 유저 데이터를 미리 로딩할 수 있다.
- [0079] 또 다른 실시예로, 데이터 저장 장치(10)는 백워드 시퀀셜 리드 카운트가 기준치 이상인 경우, 이전 백워드 시퀀셜 리드 시 가장 긴 논리주소의 총 길이를 기초로 상기 프리 리드 시작 논리주소 및 상기 길이를 설정하여 상기 프리 리드 논리주소의 L2P 맵 및 상기 L2P 맵에 해당하는 유저 데이터에 해당하는 유저 데이터를 미리 로딩할 수 있다.
- [0080] 상술한 S119 단계의 L2P 맵 및 L2P 맵에 해당하는 유저 데이터를 미리 로딩하는 단계는 호스트 장치로부터 다음 리드 커맨드를 수신하기 이전에 완료될 수 있다.
- [0081] 도 9는 본 발명의 실시 예에 따른 솔리드 스테이트 드라이브(SSD)를 포함하는 데이터 처리 시스템을 예시적으로 나타낸 도면이다. 도 9를 참조하면, 데이터 처리 시스템(2000)은 호스트 장치(2100)와 솔리드 스테이트 드라이브(solid state drive)(2200)(이하, SSD라 칭함)를 포함할 수 있다.
- [0082] SSD(2200)는 컨트롤러(2210), 버퍼 메모리 장치(2220), 불휘발성 메모리들(2231~223n), 전원 공급기(2240), 신호 커넥터(2250) 및 전원 커넥터(2260)를 포함할 수 있다.
- [0083] 컨트롤러(2210)는 SSD(2200)의 제반 동작을 제어할 수 있다.
- [0084] 버퍼 메모리 장치(2220)는 불휘발성 메모리들(2231~223n)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(2220)는 불휘발성 메모리들(2231~223n)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(2220)에 임시 저장된 데이터는 컨트롤러(2210)의 제어에 따라 호스트 장치(2100) 또는 불휘발성 메모리들(2231~223n)로 전송될 수 있다.
- [0085] 불휘발성 메모리들(2231~223n)은 SSD(2200)의 저장 매체로 사용될 수 있다. 불휘발성 메모리들(2231~223n) 각각은 복수의 채널들(CH1~CHn)을 통해 컨트롤러(2210)와 연결될 수 있다. 하나의 채널에는 하나 또는 그 이상의 불휘발성 메모리가 연결될 수 있다. 하나의 채널에 연결되는 불휘발성 메모리들은 동일한 신호 버스 및 데이터 버스에 연결될 수 있다.
- [0086] 전원 공급기(2240)는 전원 커넥터(2260)를 통해 입력된 전원(PWR)을 SSD(2200) 내부에 제공할 수 있다. 전원 공급기(2240)는 보조 전원 공급기(2241)를 포함할 수 있다. 보조 전원 공급기(2241)는 서든 파워 오프(sudden power off)가 발생하는 경우, SSD(2200)가 정상적으로 종료될 수 있도록 전원을 공급할 수 있다. 보조 전원 공급기(2241)는 전원(PWR)을 충전할 수 있는 대용량 캐패시터들(capacitors)을 포함할 수 있다.
- [0087] 컨트롤러(2210)는 신호 커넥터(2250)를 통해서 호스트 장치(2100)와 신호(SGL)를 주고받을 수 있다. 여기에서, 신호(SGL)는 커맨드, 어드레스, 데이터 등을 포함할 수 있다. 신호 커넥터(2250)는 호스트 장치(2100)와 SSD(2200)의 인터페이스 방식에 따라 다양한 형태의 커넥터로 구성될 수 있다.
- [0088] 도 10은 도 9의 컨트롤러의 구성을 예시적으로 나타낸 도면이다. 도 10을 참조하면, 컨트롤러(2210)는 호스트 인터페이스 유닛(2211), 컨트롤 유닛(2212), 랜덤 액세스 메모리(2213), 에러 정정 코드(ECC) 유닛(2214) 및 메모리 인터페이스 유닛(2215)을 포함할 수 있다.
- [0089] 호스트 인터페이스 유닛(2211)은, 호스트 장치(2100)의 프로토콜에 따라서, 호스트 장치(2100)와 SSD(2200)를 인터페이스할 수 있다. 예를 들면, 호스트 인터페이스 유닛(2211)은, 시큐어 디지털(secure digital), USB(universal serial bus), MMC(multi-media card), eMMC(embedded MMC), PCMCIA(personal computer memory card international association), PATA(parallel advanced technology attachment), SATA(serial advanced technology attachment), SCSI(small computer system interface), SAS(serial attached SCSI), PCI(peripheral component interconnection), PCI-E(PCI Express), UFS(universal flash storage) 프로토콜들 중 어느 하나를 통해서 호스트 장치(2100)와 통신할 수 있다. 또한, 호스트 인터페이스 유닛(2211)은 호스트 장치(2100)가 SSD(2200)를 범용 데이터 저장 장치, 예를 들면, 하드 디스크 드라이브(HDD)로 인식하도록 지원하는 디스크 에뮬레이션(disk emulation) 기능을 수행할 수 있다.
- [0090] 컨트롤 유닛(2212)은 호스트 장치(2100)로부터 입력된 신호(SGL)를 분석하고 처리할 수 있다. 컨트롤 유닛(2212)은 SSD(2200)를 구동하기 위한 펌웨어 또는 소프트웨어에 따라서 내부 기능 블록들의 동작을 제어할 수

있다. 랜덤 액세스 메모리(2213)는 이러한 펌웨어 또는 소프트웨어를 구동하기 위한 동작 메모리로서 사용될 수 있다.

- [0091] 에러 정정 코드(ECC) 유닛(2214)은 불휘발성 메모리들(2231~223n)로 전송될 데이터의 패리티 데이터를 생성할 수 있다. 생성된 패리티 데이터는 데이터와 함께 불휘발성 메모리들(2231~223n)에 저장될 수 있다. 에러 정정 코드(ECC) 유닛(2214)은 패리티 데이터에 근거하여 불휘발성 메모리들(2231~223n)로부터 독출된 데이터의 에러를 검출할 수 있다. 만약, 검출된 에러가 정정 범위 내이면, 에러 정정 코드(ECC) 유닛(2214)은 검출된 에러를 정정할 수 있다.
- [0092] 메모리 인터페이스 유닛(2215)은, 컨트롤 유닛(2212)의 제어에 따라서, 불휘발성 메모리들(2231~223n)에 커맨드 및 어드레스와 같은 제어 신호를 제공할 수 있다. 그리고 메모리 인터페이스 유닛(2215)은, 컨트롤 유닛(2212)의 제어에 따라서, 불휘발성 메모리들(2231~223n)과 데이터를 주고받을 수 있다. 예를 들면, 메모리 인터페이스 유닛(2215)은 버퍼 메모리 장치(2220)에 저장된 데이터를 불휘발성 메모리들(2231~223n)로 제공하거나, 불휘발성 메모리들(2231~223n)로부터 읽혀진 데이터를 버퍼 메모리 장치(2220)로 제공할 수 있다.
- [0093] 도 11은 본 발명의 실시 예에 따른 데이터 저장 장치를 포함하는 데이터 처리 시스템을 예시적으로 나타낸 도면이다. 도 11을 참조하면, 데이터 처리 시스템(3000)은 호스트 장치(3100)와 데이터 저장 장치(3200)를 포함할 수 있다.
- [0094] 호스트 장치(3100)는 인쇄 회로 기판(printed circuit board)과 같은 기판(board) 형태로 구성될 수 있다. 비록 도시되지 않았지만, 호스트 장치(3100)는 호스트 장치의 기능을 수행하기 위한 내부 기능 블록들을 포함할 수 있다.
- [0095] 호스트 장치(3100)는 소켓(socket), 슬롯(slot) 또는 커넥터(connector)와 같은 접속 터미널(3110)을 포함할 수 있다. 데이터 저장 장치(3200)는 접속 터미널(3110)에 마운트(mount)될 수 있다.
- [0096] 데이터 저장 장치(3200)는 인쇄 회로 기판과 같은 기판 형태로 구성될 수 있다. 데이터 저장 장치(3200)는 메모리 모듈 또는 메모리 카드로 불릴 수 있다. 데이터 저장 장치(3200)는 컨트롤러(3210), 버퍼 메모리 장치(3220), 불휘발성 메모리(3231~3232), PMIC(power management integrated circuit)(3240) 및 접속 터미널(3250)을 포함할 수 있다.
- [0097] 컨트롤러(3210)는 데이터 저장 장치(3200)의 제반 동작을 제어할 수 있다. 컨트롤러(3210)는 도 10에 도시된 컨트롤러(2210)와 동일하게 구성될 수 있다.
- [0098] 버퍼 메모리 장치(3220)는 불휘발성 메모리들(3231~3232)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(3220)는 불휘발성 메모리들(3231~3232)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(3220)에 임시 저장된 데이터는 컨트롤러(3210)의 제어에 따라 호스트 장치(3100) 또는 불휘발성 메모리들(3231~3232)로 전송될 수 있다.
- [0099] 불휘발성 메모리들(3231~3232)은 데이터 저장 장치(3200)의 저장 매체로 사용될 수 있다.
- [0100] PMIC(3240)는 접속 터미널(3250)을 통해 입력된 전원을 데이터 저장 장치(3200) 내부에 제공할 수 있다. PMIC(3240)는, 컨트롤러(3210)의 제어에 따라서, 데이터 저장 장치(3200)의 전원을 관리할 수 있다.
- [0101] 접속 터미널(3250)은 호스트 장치의 접속 터미널(3110)에 연결될 수 있다. 접속 터미널(3250)을 통해서, 호스트 장치(3100)와 데이터 저장 장치(3200) 간에 커맨드, 어드레스, 데이터 등과 같은 신호와, 전원이 전달될 수 있다. 접속 터미널(3250)은 호스트 장치(3100)와 데이터 저장 장치(3200)의 인터페이스 방식에 따라 다양한 형태로 구성될 수 있다. 접속 터미널(3250)은 데이터 저장 장치(3200)의 어느 한 번에 배치될 수 있다.
- [0102] 도 12는 본 발명의 실시 예에 따른 데이터 저장 장치를 포함하는 데이터 처리 시스템을 예시적으로 나타낸 도면이다. 도 12를 참조하면, 데이터 처리 시스템(4000)은 호스트 장치(4100)와 데이터 저장 장치(4200)를 포함할 수 있다.
- [0103] 호스트 장치(4100)는 인쇄 회로 기판(printed circuit board)과 같은 기판(board) 형태로 구성될 수 있다. 비록 도시되지 않았지만, 호스트 장치(4100)는 호스트 장치의 기능을 수행하기 위한 내부 기능 블록들을 포함할 수 있다.
- [0104] 데이터 저장 장치(4200)는 표면 실장형 패키지 형태로 구성될 수 있다. 데이터 저장 장치(4200)는 솔더 볼(solder ball)(4250)을 통해서 호스트 장치(4100)에 마운트될 수 있다. 데이터 저장 장치(4200)는 컨트롤러

(4210), 버퍼 메모리 장치(4220) 및 불휘발성 메모리(4230)를 포함할 수 있다.

- [0105] 컨트롤러(4210)는 데이터 저장 장치(4200)의 제반 동작을 제어할 수 있다. 컨트롤러(4210)는 도 10에 도시된 컨트롤러(2210)와 동일하게 구성될 수 있다.
- [0106] 버퍼 메모리 장치(4220)는 불휘발성 메모리(4230)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(4220)는 불휘발성 메모리들(4230)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(4220)에 임시 저장된 데이터는 컨트롤러(4210)의 제어에 따라 호스트 장치(4100) 또는 불휘발성 메모리(4230)로 전송될 수 있다.
- [0107] 불휘발성 메모리(4230)는 데이터 저장 장치(4200)의 저장 매체로 사용될 수 있다.
- [0108] 도 13은 본 발명의 실시 예에 따른 데이터 저장 장치를 포함하는 네트워크 시스템(5000)을 예시적으로 나타낸 도면이다. 도 13을 참조하면, 네트워크 시스템(5000)은 네트워크(5500)를 통해서 연결된 서버 시스템(5300) 및 복수의 클라이언트 시스템들(5410~5430)을 포함할 수 있다.
- [0109] 서버 시스템(5300)은 복수의 클라이언트 시스템들(5410~5430)의 요청에 응답하여 데이터를 서비스할 수 있다. 예를 들면, 서버 시스템(5300)은 복수의 클라이언트 시스템들(5410~5430)로부터 제공된 데이터를 저장할 수 있다. 다른 예로서, 서버 시스템(5300)은 복수의 클라이언트 시스템들(5410~5430)로 데이터를 제공할 수 있다.
- [0110] 서버 시스템(5300)은 호스트 장치(5100) 및 데이터 저장 장치(5200)를 포함할 수 있다. 데이터 저장 장치(5200)는 도 1의 데이터 저장 장치(10), 도 11의 데이터 저장 장치(2200), 도 13의 데이터 저장 장치(3200) 및 도 14의 데이터 저장 장치(4200)로 구성될 수 있다.
- [0111] 본 발명이 속하는 기술분야의 통상의 기술자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있으므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

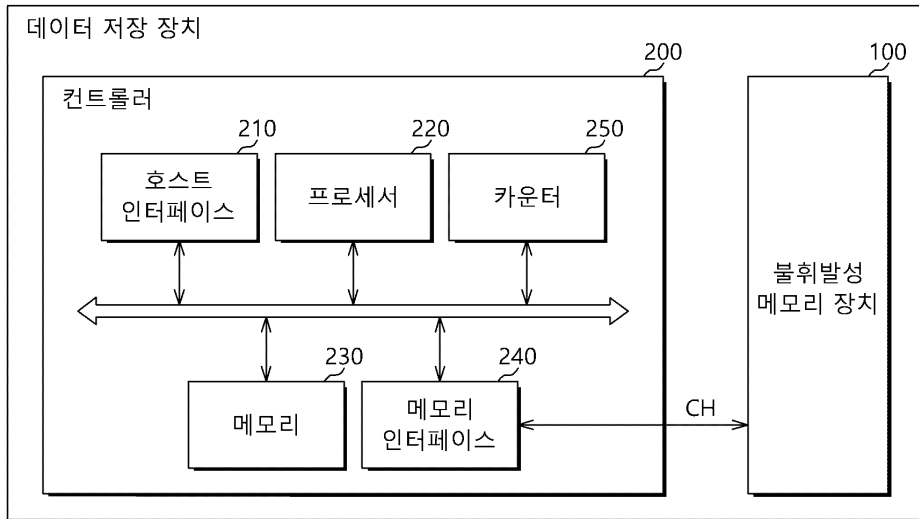
**부호의 설명**

- [0112] 10: 데이터 저장 장치    100: 불휘발성 메모리
- 200: 컨트롤러    210: 호스트 인터페이스
- 220: 프로세서    230: 메모리
- 240: 메모리 인터페이스    250: 카운터

도면

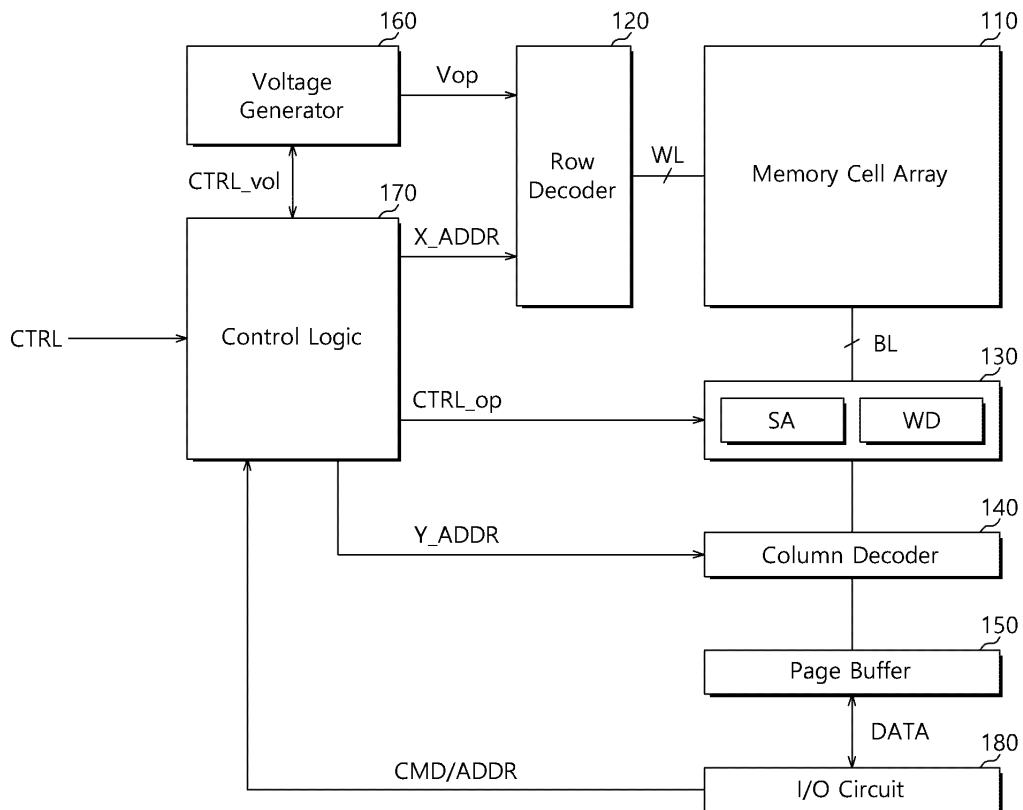
도면1

10



도면2

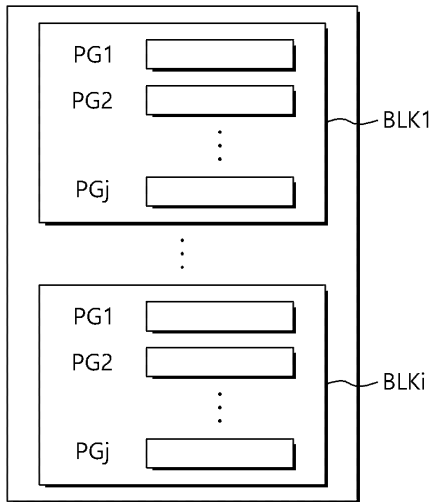
100





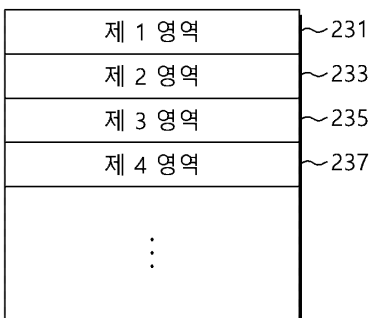
도면3

110

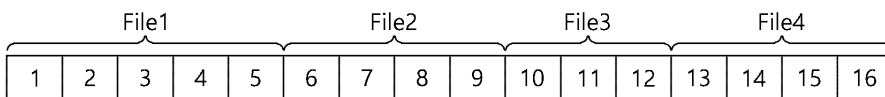


도면4

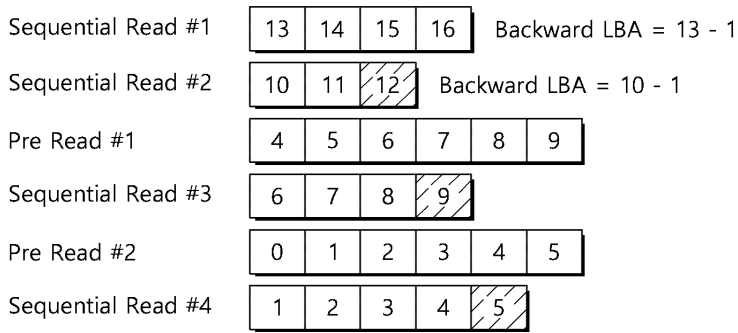
230



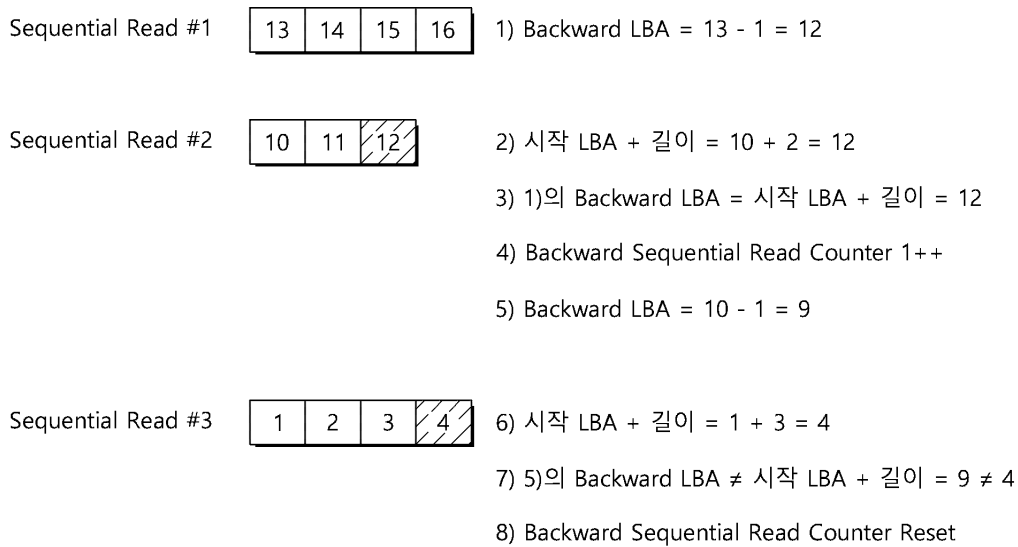
도면5



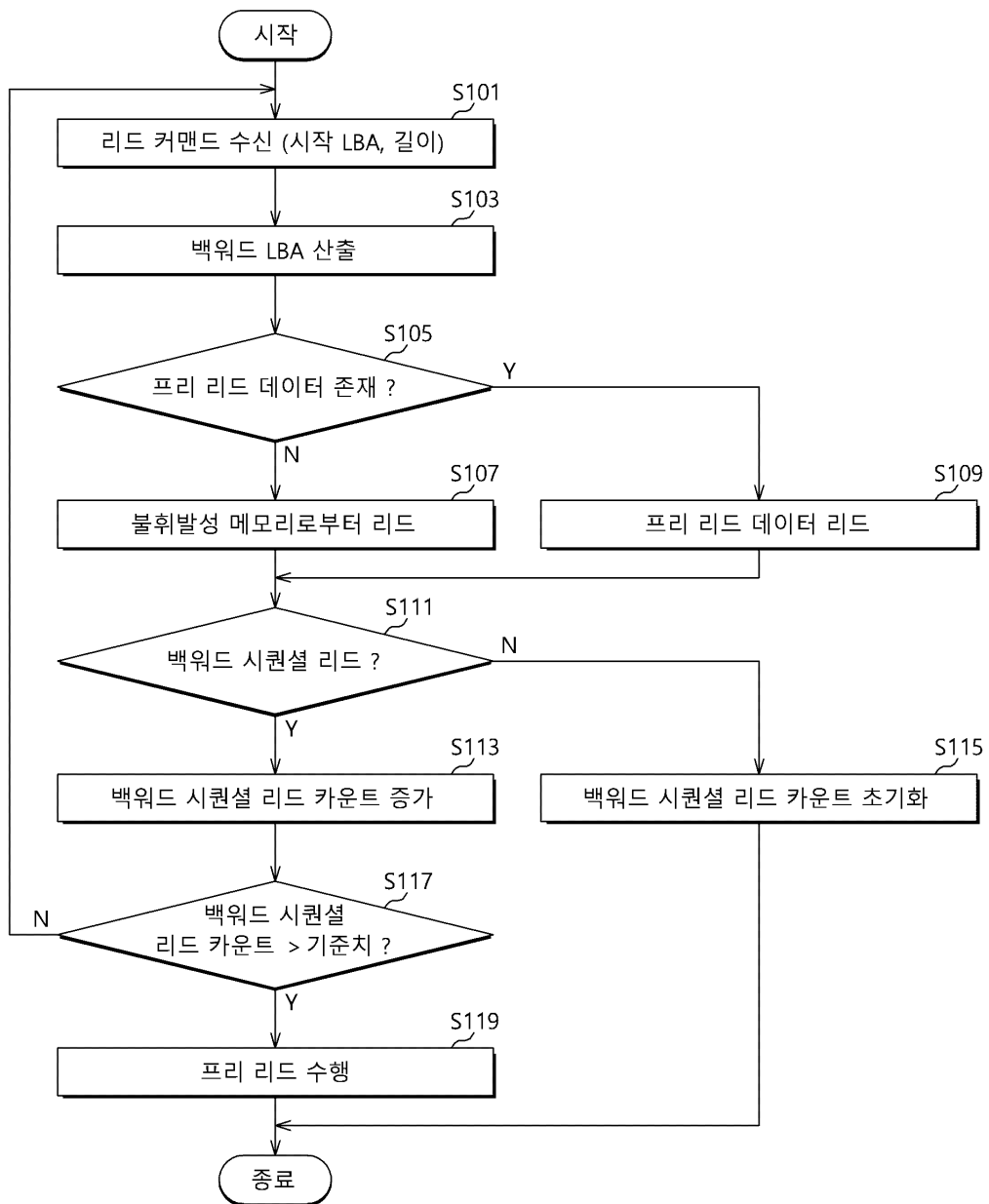
도면6



도면7

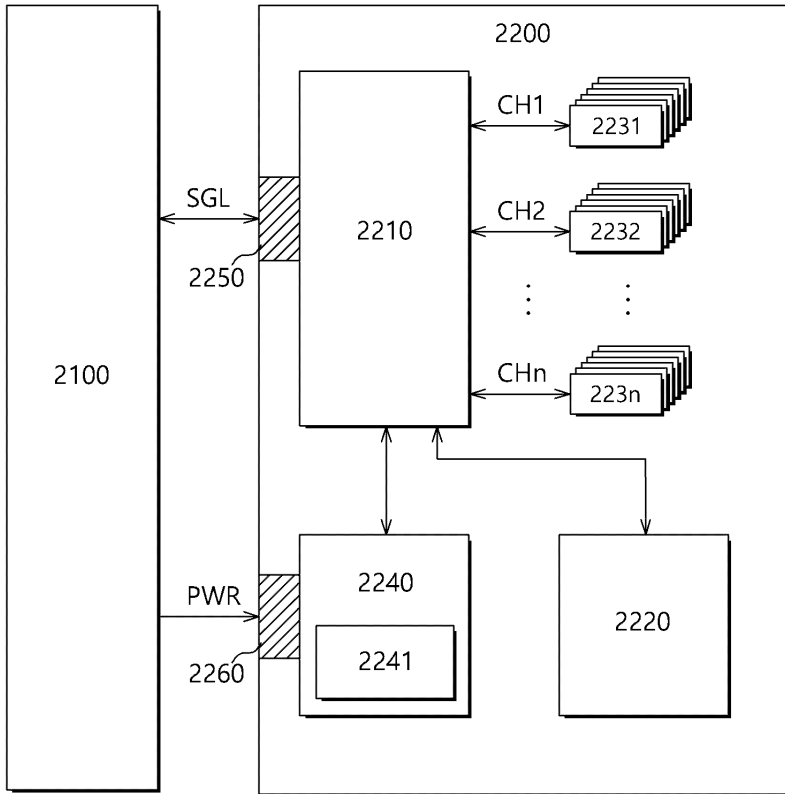


도면8



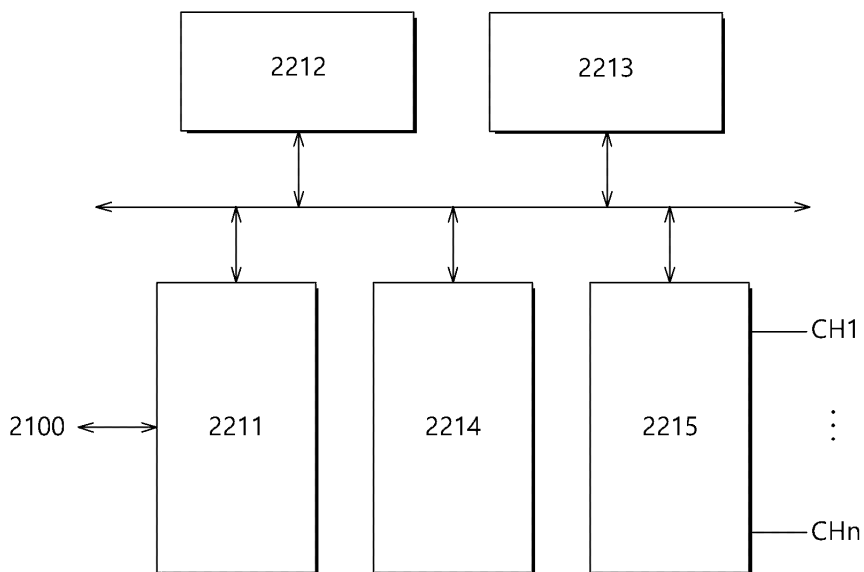
도면9

2000

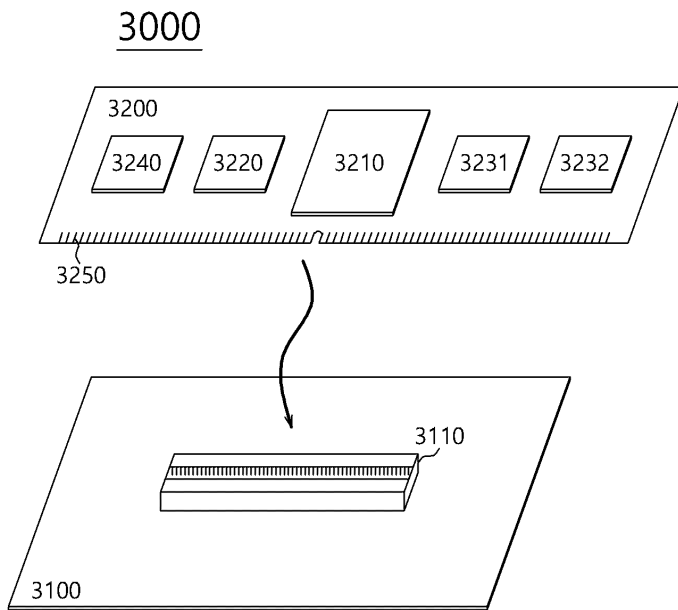


도면10

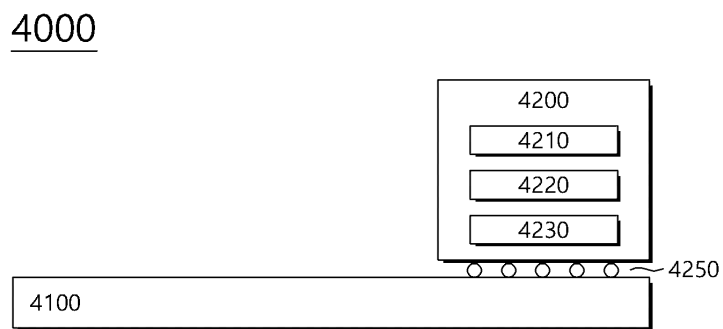
2210



도면11



도면12



도면13

