

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-4642

(P2010-4642A)

(43) 公開日 平成22年1月7日(2010.1.7)

|              |                |                  |                   |              |
|--------------|----------------|------------------|-------------------|--------------|
| (51) Int.Cl. |                | F I              |                   | テーマコード (参考)  |
| <b>H02M</b>  | <b>3/07</b>    | <b>(2006.01)</b> | <b>H02M</b> 3/07  | <b>5H730</b> |
| <b>H03K</b>  | <b>19/0185</b> | <b>(2006.01)</b> | <b>H03K</b> 19/00 | <b>5J056</b> |
|              |                |                  | <b>1O1E</b>       |              |

審査請求 未請求 請求項の数 6 O L (全 13 頁)

|           |                              |          |                     |
|-----------|------------------------------|----------|---------------------|
| (21) 出願番号 | 特願2008-160421 (P2008-160421) | (71) 出願人 | 308033711           |
| (22) 出願日  | 平成20年6月19日 (2008.6.19)       |          | OK I セミコンダクタ株式会社    |
|           |                              |          | 東京都八王子市東浅川町550番地1   |
|           |                              | (74) 代理人 | 100086807           |
|           |                              |          | 弁理士 柿本 恭成           |
|           |                              | (71) 出願人 | 591049893           |
|           |                              |          | 株式会社 沖マイクロデザイン      |
|           |                              |          | 宮崎県宮崎郡清武町大字木原7083番地 |
|           |                              | (74) 代理人 | 100086807           |
|           |                              |          | 弁理士 柿本 恭成           |
|           |                              | (74) 代理人 | 100091362           |
|           |                              |          | 弁理士 阿仁屋 節雄          |
|           |                              | (74) 代理人 | 100090136           |
|           |                              |          | 弁理士 油井 透            |

最終頁に続く

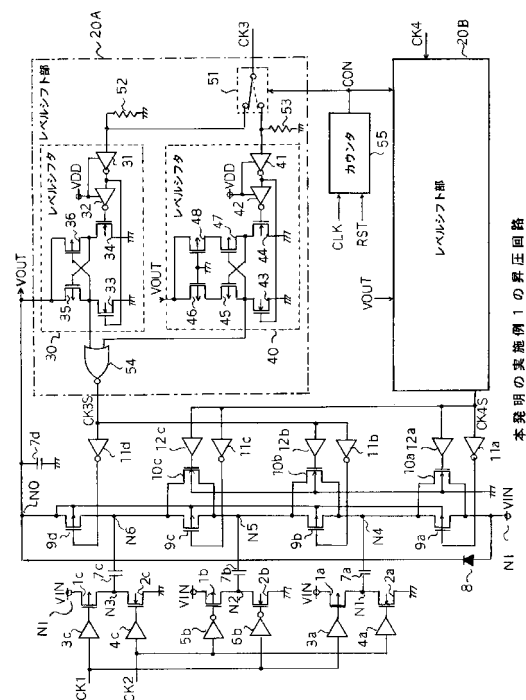
(54) 【発明の名称】 昇圧回路

(57) 【要約】

【課題】入力電圧 $V_{IN}$ が低い場合でもレベルシフタを構成するトランジスタの閾値のばらつきの影響を抑制して動作するようにし、かつ、出力電圧 $V_{OUT}$ の立ち上がりが速く、所望の出力電圧に達した後はレベルシフタによる消費電力を抑制することができる昇圧回路を提供する。

【解決手段】電源電圧 $V_{DD}$ レベルのクロック信号 $CK3$ 、 $CK4$ を出力電圧 $V_{OUT}$ レベルにシフトするレベルシフト部20A、20Bに、出力電圧 $V_{OUT}$ が低くても正常に動作するレベルシフト部30と、出力電圧 $V_{OUT}$ が高い時に低消費電流で動作するレベルシフト部40を設け、動作開始から出力電圧 $V_{OUT}$ が所定の電圧に上昇すると想定されるまでレベルシフト部30を選択し、その後、レベルシフト部40に切り替えて昇圧動作を継続する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

入力電圧を電源電圧よりも高いレベルに昇圧し、該昇圧した電圧を出力電圧として出力する昇圧回路であって、

第 1 の制御信号に従ってオンオフ制御して、前記入力電圧を複数の第 1 の内部ノードに出力する入力側スイッチ群と、

前記第 1 の内部ノードとこれに対応する第 2 の内部ノードとの間に接続された電荷蓄積用のキャパシタと、

第 2 の制御信号を前記出力電圧に応じたレベルの第 3 の制御信号にレベルシフトするレベルシフト部と、

前記第 3 の制御信号に従って前記第 2 の内部ノード間をオンオフ制御して該第 2 の内部ノードの電圧を出力ノードへ伝達し、該出力ノードから前記出力電圧を出力する出力側スイッチ群とを備え、

前記レベルシフト部は、前記出力電圧が所定の電圧に達するまでは低電圧動作を行い、該出力電圧が該所定の電圧に達した後は低消費電流動作となるように構成したことを特徴とする昇圧回路。

**【請求項 2】**

前記レベルシフト部は、

前記出力電圧が前記所定の電圧以下でも前記第 2 の制御信号を前記第 3 の制御信号にレベルシフトすることができる第 1 のレベルシフタと、

前記出力電圧が前記所定の電圧以上のときに前記第 1 のレベルシフタよりも少ない消費電流で前記第 2 の制御信号を前記第 3 の制御信号にレベルシフトする第 2 のレベルシフタと、

切替制御部からの切替信号に従って前記第 1 または第 2 のレベルシフタのいずれか一方を選択するスイッチとを、

有することを特徴とする請求項 1 記載の昇圧回路。

**【請求項 3】**

前記レベルシフト部は、

前記第 2 の制御信号を前記第 3 の制御信号にレベルシフトして出力する駆動回路に直列に挿入された電流制限用の第 1 のトランジスタと、

前記第 1 のトランジスタに並列に接続され、切替制御部からの切替信号に従ってオンオフ制御される第 2 のトランジスタとを、

有することを特徴とする請求項 1 記載の昇圧回路。

**【請求項 4】**

前記切替制御部は、動作開始時から予め定められた時間が経過した時に、前記レベルシフト部が低消費電流となるように切り替える前記切替信号を出力するように構成したことを特徴とする請求項 2 または 3 記載の昇圧回路。

**【請求項 5】**

前記切替制御部は、動作開始時からクロック信号のカウントを行い、そのカウント値が予め定められた値に達した時に、前記レベルシフト部が低消費電流となるように切り替える前記切替信号を出力するように構成したことを特徴とする請求項 2 または 3 記載の昇圧回路。

**【請求項 6】**

前記切替制御部は、前記出力電圧が予め定められた電圧に達した時に、前記レベルシフト部が低消費電流となるように切り替える前記切替信号を出力するように構成したことを特徴とする請求項 2 または 3 記載の昇圧回路。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、低入力電圧でも動作可能な昇圧回路に関するものである。

10

20

30

40

50

## 【背景技術】

## 【0002】

図2は、従来の昇圧回路の構成図である。

この昇圧回路は、例えばLCD（液晶表示装置）のドライバICで使用されるもので、図2（a）に示したものは、電源電圧VDDのロジック回路で生成されるクロック信号CK1～CK4に従ってトランジスタをオンオフ制御し、キャパシタに順次電荷を蓄積することによって入力電圧VINを4倍に昇圧して出力電圧VOUTを生成するチャージポンプ型のものである。

## 【0003】

この昇圧回路は、入力ノードNIに与えられる入力電圧VINをクロック信号CK1，CK2でオンオフさせてキャパシタに与える入力側のスイッチ群と、このキャパシタに蓄積された電荷をクロック信号CK3，CK4でオンオフさせて転送し、出力電圧VOUTとして出力する出力側のスイッチ群を有している。

## 【0004】

入力側のスイッチ群には、電源電圧VDDレベルと接地電圧レベルとが周期的に繰り返されるクロック信号CK1，CK2がバッファまたはインバータを介して与えられるようになっているが、出力側のスイッチ群には、電源電圧VDDレベルと接地電圧レベルとが周期的に繰り返されるクロック信号CK3，CK4がレベルシフタ90A，90Bによって出力電圧VOUTレベルと接地電圧レベルとが周期的に繰り返されるクロック信号CK3S，CK4Sにレベルシフトして与えられるようになっている。

## 【0005】

レベルシフタ90Aは、電源電圧VDDで動作する縦続接続されたインバータ91，92を有し、このインバータ91にクロック信号CK3が与えられるようになっている。インバータ91，92の出力側はそれぞれNチャネルMOSトランジスタ（以下、「NMOS」という）93，94のゲートに接続され、これらのNMOS93，94のソースは接地電位GNDに接続されている。

## 【0006】

また、NMOS93，94のドレインは、それぞれPチャネルMOSトランジスタ（以下、「PMOS」という）95，96を介して出力電圧VOUTが出力される出力ノードNOに接続されると共に、それぞれPMOS96，95のゲートに接続されている。そして、NMOS93のドレインがインバータ97の入力側に接続され、このインバータ97からレベルシフトされたクロック信号CK3Sが出力されるようになっている。

## 【0007】

レベルシフタ90Bは、電源電圧VDDレベルのクロック信号CK4を、出力電圧VOUTレベルのクロック信号CK4Sにレベルシフトするもので、その構成はレベルシフタ90Aと同じである。

## 【0008】

この昇圧回路では、クロック信号CK1～CK4は、低電圧系の電源電圧VDD（例えば、3.0V）のロジック回路で生成されて与えられるようになっており、入力電圧VINとして外部から1.4～3.0Vが入力されると、出力電圧VOUTは入力電圧VINの4倍、即ち、5.6～12.0Vとなる。

## 【0009】

図2（a）において、クロック信号CK3，CK4は、出力電圧VOUTを電源とするレベルシフタ90A，90Bを通して、それぞれ振幅がVOUTのクロック信号CK3S，CK4Sにレベル変換される。このため、レベルシフタ90A，90B内部のNMOS93，94とPMOS95，96及びインバータ97には、7V以上の電圧が印加されることがあるため、高耐圧系のトランジスタが用いられる。また、レベルシフタ90A，90B以降の回路（出力側のスイッチ群と、このスイッチ群を制御するためのインバータやバッファ）にも、7V以上の電圧が印加されることがあるため、高耐圧系のトランジスタが用いられる。

10

20

30

40

50

## 【 0 0 1 0 】

しかし、4倍昇圧のような多段昇圧回路では、入力電圧 $V_{IN}$ が3.0Vの場合、出力電圧 $V_{OUT}$ は12.0Vと高電圧になる。このため、レベルシフタでの消費電流を抑制することを目的として、図2(b)に示すように、PMOS95, 96のソースと出力電圧 $V_{OUT}$ が出力される出力ノードNOの間に、それぞれ長さが20~30 $\mu m$ のゲートを接地電位GNDに接続したPMOS98, 99を挿入する場合がある。このようなPMOS98, 99を挿入することで、これらPMOSトランジスタのオン抵抗をM $\Omega$ オーダーとなるようにして、レベルシフタでの消費電流を抑制することができるものである。

## 【 0 0 1 1 】

【特許文献1】特開2001-28533号公報

10

【特許文献2】特開2002-190730号公報

【特許文献3】特開2002-305871号公報

【非特許文献1】「携帯型機器にチャージ・ポンプ型高効率で低雑音の電源回路を開発」日経エレクトロニクス、2003.9.29

## 【発明の開示】

【発明が解決しようとする課題】

## 【 0 0 1 2 】

前記昇圧回路において、入力電圧 $V_{IN}$ が例えば1.4Vの低電圧である場合、入力側のスイッチ群のトランジスタや、バッファ及びインバータの制御部は低耐圧トランジスタで構成されているので、トランジスタの閾値電圧は低く、電源電圧 $V_{DD}$ も3.0Vと相対的に高いので、問題なく動作する。しかし、レベルシフタ90内のトランジスタや出力側のスイッチ群のトランジスタ、制御部のバッファやインバータは高耐圧トランジスタで構成されているので、トランジスタの閾値電圧は低耐圧トランジスタに比べて高い。このため、昇圧回路の入力電圧 $V_{IN}$ が1.4Vの低電圧の場合、動作開始時におけるレベルシフタ90にはダイオードを介して出力端子NOに供給される入力電圧相当の1.4Vの出力電圧 $V_{OUT}$ が供給されることになり、このレベルシフタ90内のトランジスタの閾値電圧が高く、かつその値がばらついた場合、トランジスタは弱反転領域での動作となり、確実な動作が行われぬおそれが有るという課題があった。

20

## 【 0 0 1 3 】

また、図2(b)のレベルシフタでは、PMOS98, 99のオン抵抗がM $\Omega$ オーダーとなるので、電流出力能力が数nA程度しかない。このため、次段のインバータ97の入力容量を充電するために時間が掛かり、クロック信号CK3, CK4の周波数が10kHz程度までに制限され、所望の出力電圧 $V_{OUT}$ を得るまでに時間が掛かるという課題があった。

30

## 【 0 0 1 4 】

本発明は、入力電圧 $V_{IN}$ が低い場合でもレベルシフタを構成するトランジスタの閾値のばらつきの影響を低減して動作するようにし、かつ、出力電圧 $V_{OUT}$ の立ち上がりが速く、所望の出力電圧に達した後はレベルシフタによる消費電力を抑制することができる昇圧回路を提供することを目的としている。

【課題を解決するための手段】

40

## 【 0 0 1 5 】

本発明は、入力電圧を電源電圧よりも高いレベルに昇圧し、該昇圧した電圧を出力電圧として出力する昇圧回路であって、第1の制御信号に従ってオンオフ制御して、前記入力電圧を複数の第1の内部ノードに出力する入力側スイッチ群と、前記第1の内部ノードとこれに対応する第2の内部ノードとの間に接続された電荷蓄積用のキャパシタと、第2の制御信号を前記出力電圧に応じたレベルの第3の制御信号にレベルシフトするレベルシフト部と、前記第3の制御信号に従って前記第2の内部ノード間をオンオフ制御して該第2の内部ノードの電圧を出力ノードへ伝達し、該出力ノードから前記出力電圧を出力する出力側スイッチ群とを備え、前記レベルシフト部は、前記出力電圧が所定の電圧に達するまでは低電圧動作を行い、該出力電圧が該所定の電圧に達した後は低消費電流動作となるよ

50

うに構成したことを特徴としている。

【発明の効果】

【0016】

本発明では、第2の制御信号を出力電圧に応じたレベルの第3の制御信号にレベルシフトするレベルシフト部を、出力電圧が所定の電圧に達するまでは低電圧動作を行い、この出力電圧が所定の電圧に達した後は低消費電流動作となるように構成している。これにより、昇圧用の入力電圧が低い場合でも、レベルシフトを構成するトランジスタの閾値のばらつきの影響を抑制して動作するようにし、かつ、出力電圧の立ち上がりが速く、所望の出力電圧に達した後はレベルシフトによる消費電力を抑制することができるという効果がある。

10

【発明を実施するための最良の形態】

【0017】

この発明の前記並びにその他の目的と新規な特徴は、次の好ましい実施例の説明を添付図面と照らし合わせて読むと、より完全に明らかになるであろう。但し、図面は、もっぱら解説のためのものであって、この発明の範囲を限定するものではない。

【実施例1】

【0018】

図1は、本発明の実施例1を示す昇圧回路の構成図である。

この昇圧回路は、入力電圧 $V_{IN}$ （例えば、 $1.4 \sim 3.0V$ ）を4倍に昇圧して出力電圧 $V_{OUT}$ （例えば、 $5.6 \sim 12.0V$ ）を生成するもので、電源電圧 $V_{DD}$ （例えば、 $3.0V$ ）のロジック回路で生成されるクロック信号 $CK1 \sim CK4$ に従ってトランジスタをオンオフ制御してキャパシタに順次電荷を蓄積して昇圧動作を行うチャージポンプ型のものである。

20

【0019】

この昇圧回路は、入力電圧 $V_{IN}$ をクロック信号 $CK1$ 、 $CK2$ でオンオフさせてキャパシタに与える入力側のスイッチ群と、このキャパシタに蓄積された電荷をクロック信号 $CK3$ 、 $CK4$ でオンオフさせて転送し、出力電圧 $V_{OUT}$ として出力する出力側のスイッチ群を有している。

【0020】

入力側のスイッチ群は、入力電圧 $V_{IN}$ が与えられる入力ノード $N_I$ と内部ノード $N1$ の間に接続された $PMOS1a$ 及び内部ノード $N1$ と接地電位 $GND$ の間に接続された $NMOS2a$ からなる第1のスイッチ回路と、入力ノード $N_I$ と内部ノード $N2$ の間に接続された $PMOS1b$ 及び内部ノード $N2$ と接地電位 $GND$ の間に接続された $NMOS2b$ からなる第2のスイッチ回路と、入力ノード $N_I$ と内部ノード $N3$ の間に接続された $PMOS1c$ 及び内部ノード $N3$ と接地電位 $GND$ の間に接続された $NMOS2c$ からなる第3のスイッチ回路で構成されている。

30

【0021】

$PMOS1a$ 、 $1c$ のゲートには、図示しないロジック回路からそれぞれバッファ $3a$ 、 $3c$ を介してクロック信号 $CK1$ が与えられ、 $PMOS1b$ のゲートには、インバータ $5a$ を介してクロック信号 $CK2$ が与えられるようになっている。また、 $NMOS2a$ 、 $2c$ のゲートには、それぞれバッファ $4a$ 、 $4c$ を介してクロック信号 $CK2$ が与えられ、 $NMOS2b$ のゲートには、インバータ $6b$ を介してクロック信号 $CK1$ が与えられるようになっている。なお、これらのバッファ $3a$ 、 $3c$ 、 $4a$ 、 $4c$ やインバータ $5b$ 、 $6b$ は、電源電圧 $V_{DD}$ が供給されて動作するようになっている。

40

【0022】

内部ノード $N1$ 、 $N2$ 、 $N3$ は、それぞれキャパシタ $7a$ 、 $7b$ 、 $7c$ を介して、出力側のスイッチ群の内部ノード $N4$ 、 $N5$ 、 $N6$ に接続されている。また、入力ノード $N_I$ にはダイオード8のカソードが接続され、このダイオード8のアノードが出力ノード $N_O$ に接続されている。更に、この出力ノード $N_O$ と接地電位 $GND$ の間には、転送された電荷を蓄積して出力電圧 $V_{OUT}$ を保持するためのキャパシタ $7d$ が接続されている。

50

## 【 0 0 2 3 】

入力ノードN Iと内部ノードN 4の間にはP M O S 9 aとN M O S 1 0 aが並列に接続され、内部ノードN 4と内部ノードN 5の間にはP M O S 9 bとN M O S 1 0 bが並列に接続され、内部ノードN 5と内部ノードN 6の間にはP M O S 9 cとN M O S 1 0 cが並列に接続され、内部ノードN 6と出力電圧V O U Tが出力される出力ノードN Oの間にはP M O S 9 dが接続されている。これらのP M O S 9 a ~ 9 dのバルクは出力ノードN Oに接続され、N M O S 1 0 a ~ 1 0 cのバルクは接地電位G N Dに接続されている。

## 【 0 0 2 4 】

P M O S 9 b , 9 dのゲートには、レベルシフト部2 0 Aでシフトされたクロック信号C K 3 Sが、それぞれインバータ1 1 b , 1 1 dを介して与えられ、P M O S 9 a , 9 cのゲートには、レベルシフト部2 0 Bでシフトされたクロック信号C K 4 Sが、それぞれインバータ1 1 a , 1 1 cを介して与えられている。また、N M O S 1 0 a , 1 0 cのゲートには、クロック信号C K 4 Sがそれぞれバッファ1 2 a , 1 2 cを介して与えられ、N M O S 1 0 bのゲートには、クロック信号C K 3 Sがバッファ1 2 bを介して与えられている。なお、これらのインバータ1 1 a ~ 1 1 dやバッファ1 2 a ~ 1 2 cは、出力電圧V O U Tが供給されて動作するようになっている。

## 【 0 0 2 5 】

レベルシフト部2 0 Aは、電源電圧V D Dレベルのクロック信号C K 3を、出力電圧V O U Tレベルのクロック信号C K 3 Sにレベルシフトするもので、2種類のレベルシフタ3 0 , 4 0と、クロック信号C K 3を制御信号C O Nに従ってレベルシフタ3 0またはレベルシフタ4 0に切り替えて与えるスイッチ5 1と、レベルシフト部2 0 Aの出力となる信号を出力する出力部として、これらのレベルシフタ3 0 , 4 0の出力信号の論理和を反転してクロック信号C K 3 Sとして出力する否定的論理和ゲート(以下、「N O R」という)5 4を備えている。なお、このN O R 5 4は、出力電圧V O U Tが供給されて動作するものである。

## 【 0 0 2 6 】

レベルシフタ3 0は、スイッチ5 1からクロック信号C K 3が与えられ、電源電圧V D Dで動作する縦続接続されたインバータ3 1 , 3 2を有している。インバータ3 1 , 3 2の出力側はそれぞれN M O S 3 3 , 3 4のゲートに接続され、これらのN M O S 3 3 , 3 4のソースは接地電位G N Dに接続されている。また、N M O S 3 3 , 3 4のドレインは、それぞれP M O S 3 5 , 3 6を介して出力ノードN Oに接続されると共に、それぞれP M O S 3 6 , 3 5のゲートに接続されている。そして、N M O S 3 3のドレインがN O R 5 4の一方の入力側に接続されている。

## 【 0 0 2 7 】

レベルシフタ4 0は、スイッチ5 1からクロック信号C K 3が与えられ、電源電圧V D Dで動作する縦続接続されたインバータ4 1 , 4 2を有している。インバータ4 1 , 4 2の出力側はそれぞれN M O S 4 3 , 4 4のゲートに接続され、これらのN M O S 4 3 , 4 4のソースは接地電位G N Dに接続されている。また、N M O S 4 3のドレインは、直列接続されたP M O S 4 5 , 4 6を介して出力ノードN Oに接続され、N M O S 4 4のドレインは、直列接続されたP M O S 4 7 , 4 8を介して出力ノードN Oに接続されている。

## 【 0 0 2 8 】

P M O S 4 6 , 4 8のゲートは接地電位G N Dに接続され、P M O S 4 5 , 4 7のゲートはそれぞれP M O S 4 4 , 4 3のドレインに接続され、このP M O S 4 3のドレインがN O R 5 4の他方の入力側に接続されている。なお、P M O S 4 6 , 4 8は、それぞれゲート長が2 0 ~ 3 0  $\mu$  mで、オン抵抗がM  $\Omega$ オーダーとなるように設定されている。また、レベルシフタ3 0 , 4 0の入力側には、それぞれプルダウン用の抵抗5 2 , 5 3が接続され、スイッチ5 1で選択されていない時はロウレベルの信号が与えられるようになっている。

## 【 0 0 2 9 】

レベルシフト部2 0 Bは、電源電圧V D Dレベルのクロック信号C K 4を、出力電圧V

10

20

30

40

50

OUTレベルのクロック信号CK4Sにレベルシフトするもので、その構成はレベルシフト部20Aと同じである。

【0030】

更に、この昇圧回路は、レベルシフト部20A, 20Bに与える制御信号CONを生成するためのカウンタ55を有している。カウンタ55は、リセット信号RSTが解除されて動作が開始したときにクロック信号CLKのカウントを開始し、そのカウント値が一定の値に達した時にレベルシフト部20A, 20Bのスイッチ51をレベルシフタ30側からレベルシフタ40側へ切り替えるための制御信号CONを出力するものである。

【0031】

図3は、図1の動作を示す信号波形図である。以下、この図3を参照しつつ、図1の動作を説明する。

10

【0032】

リセット信号RSTが与えられている間(例えば、レベル“L”の間)、カウンタ55のカウント値は0となっており、このカウンタ55から出力される制御信号CONはレベルシフト部20A, 20Bのスイッチ51をレベルシフタ30側に切り替えるように、例えば、レベル“L”に設定される。

【0033】

リセット信号RSTが解除されると(レベル“L”からレベル“H”に変化すると)、図示しないロジック回路からクロック信号CLKが出力されると共に、カウンタ55によるこのクロック信号CLKのカウント動作が開始される。但し、この時点では制御信号CONは変化せず、出力電圧VOUTが約5.6Vに達するまでに必要な時間(例えば、100ms)の間、カウンタ55からは、レベルシフト部20A, 20Bのスイッチ51をレベルシフタ30側へ切り替えるための制御信号CON(即ち、レベル“L”)が出力され続ける。

20

【0034】

これにより、昇圧動作のクロック信号CK3は、レベルシフト部20Aのスイッチ51を通してレベルシフタ30に入力される。レベルシフタ30には、消費電流を制限するトランジスタがなく、PMOS35, 36はプロセスで決まる基準の最小ゲート長で構成されているので、出力電圧VOUTは、初期値としてダイオード8を介して入力電圧相当の電圧である1.4Vとなるが、出力電圧VOUTが1.4Vであっても高耐圧系トランジスタの閾値電圧に近い低い電圧で動作する。一方、レベルシフト部20Aのレベルシフタ40の入力側は抵抗53によってプルダウンされるので、このレベルシフタ40の出力信号はレベル“L”となる。従って、レベルシフト部20AのNOR54から、出力電圧VOUTのレベルにシフトされたクロック信号CK3Sが出力される。

30

【0035】

同様に、昇圧動作のクロック信号CK4はレベルシフト部20Bに入力され、このレベルシフト部20Bによって出力電圧VOUTのレベルにシフトされたクロック信号CK4Sが出力される。

【0036】

これにより、電源電圧VDDレベルのクロック信号CK1, CK2によって入力側のスイッチ群がオンオフ制御されると共に、出力電圧VOUTレベルにシフトされたクロック信号CK3S, CK4Sによって出力側のスイッチ群がオンオフ制御され、出力ノードNの出力電圧VOUTは次第に上昇する。

40

【0037】

なお、昇圧動作の詳細は前記特許文献3及び非特許文献1に記載されているが、概要は次の通りである。

【0038】

クロック信号CK1, CK2は、デューティ比がほぼ50%でほぼ同位相の信号であるが、入力電圧VINと接地電位GNDの間に生ずる貫通電流を抑制するために、クロック信号CK1がクロック信号CK2よりも、レベル“H”となる期間が若干長くなるように

50

設定されている。即ち、クロック信号 C K 1 がレベル “ L ” からレベル “ H ” に立ち上がった後、クロック信号 C K 2 が立ち上がり、このクロック信号 C K 2 がレベル “ H ” から “ L ” に立ち下がった後、クロック信号 C K 1 が立ち下がるようになっている。

【 0 0 3 9 】

これにより、内部ノード N 1 , N 3 の電圧は、クロック信号 C K 1 がレベル “ L ” のときに入力電圧 V I N と同じになり、クロック信号 C K 2 がレベル “ H ” のときに接地電位 G N D となる。一方、内部ノード N 2 の電圧は、クロック信号 C K 2 がレベル “ H ” のときに入力電圧 V I N と同じになり、クロック信号 C K 1 がレベル “ L ” のときに接地電位 G N D となる。

【 0 0 4 0 】

また、クロック信号 C K 3 は、クロック信号 C K 1 とほぼ同位相の信号であるが、出力ノード N O と入力ノード N I の間の貫通電流を防止するために、レベル “ L ” となる期間がクロック信号 C K 1 よりも短くなるように設定されている。即ち、クロック信号 C K 3 は、クロック信号 C K 1 が立ち下がる前に立ち下がり、このクロック信号 C K 1 が立ち上がった後に立ち上がるようになっている。

【 0 0 4 1 】

クロック信号 C K 4 は、クロック信号 C K 2 を反転した信号とほぼ同位相の信号であるが、同様に貫通電流を防止するために、レベル “ L ” となる期間がクロック信号 C K 2 を反転した信号よりも短くなるように設定されている。即ち、クロック信号 C K 4 は、クロック信号 C K 2 が立ち上がった後立ち下がり、このクロック信号 C K 2 が立ち下がる前に立ち上がるようになっている。

【 0 0 4 2 】

このようなクロック信号 C K 1 ~ C K 4 により、定常状態では、P M O S 9 a と N M O S 1 0 a、及び P M O S 9 c と N M O S 1 0 c がオンの時、内部ノード N 4 の電圧 V 4 は V I N、内部ノード N 5 の電圧 V 5 は 2 V I N、内部ノード N 6 の電圧 V 6 は 3 V I N となる。一方、P M O S 9 b と N M O S 1 0 b、及び P M O S 9 d がオンの時、内部ノード N 4 の電圧 V 4 は 2 V I N、内部ノード N 5 の電圧 V 5 は 3 V I N、内部ノード N 6 の電圧 V 6 は 4 V I N となる。

【 0 0 4 3 】

これにより、定常状態で出力電圧 V O U T は入力電圧 V I N の 4 倍となるが、起動当初はキャパシタ 7 d がダイオード 8 を介して入力電圧 V I N に充電されているので、出力電圧 V O U T は、入力電圧 V I N を初期値として、クロック信号 C K 1 ~ C K 4 に従って P M O S 9 d がオン（即ち、クロック信号 C K 3 がレベル “ L ” ）になる毎に段階的に上昇する。出力電圧 V O U T の上昇速度は、スイッチを構成するトランジスタのオン抵抗、電荷を蓄積するキャパシタの容量、制御用のクロック信号の周波数等によって定まる。

【 0 0 4 4 】

カウンタ 5 5 がカウント動作を開始した後 1 0 0 m s が経過すると、このカウンタ 5 5 から出力されている制御信号 C O N がレベル “ H ” に変化し、レベルシフト部 2 0 A , 2 0 B のスイッチ 5 1 がレベルシフタ 3 0 からレベルシフタ 4 0 側へ切り替えられる。

【 0 0 4 5 】

これにより、昇圧動作のクロック信号 C K 3 は、レベルシフト部 2 0 A のスイッチ 5 1 を通してレベルシフタ 4 0 に入力される。レベルシフタ 4 0 には、駆動回路に直列に消費電流を制限するトランジスタ（P M O S 4 6 , 4 8 ）が挿入されているが、この時点では出力電圧 V O U T が 5 . 6 V 程度まで上昇しているので、問題なく低消費電流での動作が可能である。一方、レベルシフト部 2 0 A のレベルシフタ 3 0 の入力側は抵抗 5 2 によってプルダウンされるので、このレベルシフタ 3 0 の出力信号はレベル “ L ” となる。従って、レベルシフト部 2 0 A の N O R 5 4 から、出力電圧 V O U T のレベルにシフトされたクロック信号 C K 3 S が出力される。

【 0 0 4 6 】

同様に、昇圧動作のクロック信号 C K 4 はレベルシフト部 2 0 B に入力され、このレ

10

20

30

40

50

ベルシフト部 20B によって出力電圧  $V_{OUT}$  のレベルにシフトされたクロック信号  $CK4S$  が出力される。これにより、レベルシフト部 20A, 20B は低消費電流モードに移行し、出力電圧  $V_{OUT}$  が入力電圧  $V_{IN}$  の 4 倍に達するまで昇圧動作が継続される。そして、所定の電圧まで昇圧された出力電圧  $V_{OUT}$  で昇圧動作が維持される。

#### 【0047】

以上のように、この実施例 1 の昇圧回路は、出力電圧  $V_{OUT}$  が低い場合（例えば、1.4V）でも動作可能なレベルシフタ 30 と、出力電圧  $V_{OUT}$  が所定の電圧（例えば、5.6V）以上の時に低消費電流で動作するレベルシフタ 40 を設け、制御信号  $CON$  に従って出力電圧  $V_{OUT}$  が所定の電圧に達すると想定される時間までレベルシフタ 30 を選択し、その後レベルシフタ 40 に切り替えるように構成したレベルシフト部 20A, 20B を有している。これにより、入力電圧  $V_{IN}$  が低い場合でも確実に動作し、かつ、出力電圧  $V_{OUT}$  の立ち上がりが速く、所望の出力電圧に達した後はレベルシフタによる無駄な消費電力を抑制することができるという利点がある。

#### 【0048】

なお、電源電圧  $V_{DD} = 3.0V$ 、出力電圧  $V_{OUT} = 2.0V$ 、クロック信号  $CK1 \sim CK4$  を振幅 =  $3V_{pp}$ 、周波数 =  $200kHz$  の矩形波とした場合のレベルシフト部の消費電流をシミュレーションによって計算した結果、周囲温度 25℃において、従来回路では  $11.49\mu A$  に対し、本実施例 1 の回路では  $9.35\mu A$  となり、18.6% の消費電流削減効果があることが分かった。

#### 【実施例 2】

#### 【0049】

図 4 は、本発明の実施例 2 を示すレベルシフト部の構成図である。

このレベルシフト部 60 は、図 1 中のレベルシフト部 20A, 20B に代えて設けられるもので、レベルシフト部 20A, 20B と同様に、電源電圧  $V_{DD}$  レベルのクロック信号  $CK3$ （または、 $CK4$ ）を、出力電圧  $V_{OUT}$  レベルのクロック信号  $CK3S$ （または、 $CK4S$ ）にレベルシフトするものである。

#### 【0050】

レベルシフト部 60 は、電源電圧  $V_{DD}$  で動作する縦続接続されたインバータ 61, 62 を有し、このインバータ 61 にクロック信号  $CK3$ （または、 $CK4$ ）が与えられている。インバータ 61, 62 の出力側はそれぞれ  $NMOS63$ ,  $64$  のゲートに接続され、これらの  $NMOS63$ ,  $64$  のソースは接地電位  $GND$  に接続されている。また、 $NMOS63$  のドレインは、直列接続された  $PMOS65$ ,  $66$  を介して出力ノード  $NO$  に接続され、 $NMOS64$  のドレインは、直列接続された  $PMOS67$ ,  $68$  を介して出力ノード  $NO$  に接続されている。

#### 【0051】

更に、 $PMOS66$  のドレインとソースには、 $PMOS69$  のドレインとソースがそれぞれ接続され、 $PMOS68$  のドレインとソースには、 $PMOS70$  のドレインとソースがそれぞれ接続されている。なお、 $PMOS66$ ,  $68$  は、いずれもゲート長が  $20 \sim 30\mu m$  で、オン抵抗が  $M\Omega$  オーダーとなるように設定されている。一方、 $PMOS69$ ,  $70$  のゲート長はプロセスで決まる最小のゲート長に設定され、ゲート幅はオン抵抗が  $1k\Omega$  程度となるように設定されている。

#### 【0052】

$PMOS66$ ,  $68$  のゲートは接地電位  $GND$  に接続され、常時オン状態となるように構成されている。一方、 $PMOS69$ ,  $70$  のゲートには電圧検出部 80 からの検出信号  $DET$  が与えられるようになっている。また、 $NMOS63$ ,  $64$  のドレインは、それぞれ  $PMOS67$ ,  $65$  のゲートに接続されている。そして、 $NMOS63$  のドレインがインバータ 71 の入力側に接続され、このインバータ 71 からレベルシフトされたクロック信号  $CK3S$ （または、 $CK4S$ ）が出力されるようになっている。

#### 【0053】

電圧検出部 80 は、出力電圧  $V_{OUT}$  が所定の電圧に達するまでの間、 $PMOS69$ ,

70をオン状態に設定し、この出力電圧VOUTが所定の電圧に達した後は、これらのPMOS69, 70をオフ状態に設定するための検出信号DETを出力するものである。

【0054】

この電圧検出部80は、電源電圧VDDに基づいて約1.2Vの基準電圧を生成するバンドギャップ基準電圧回路等の基準電圧生成回路81と、出力電圧VOUTを分圧して比較電圧を出力する抵抗82, 83による分圧回路と、基準電圧と比較電圧を比較して検出信号DETを出力する比較器(CMP)84で構成されている。

【0055】

次に動作を説明する。

電圧検出部80の基準電圧生成回路81に電源電圧VDD(=3.0V)が安定して供給されていると、この電圧検出部80から出力される基準電圧は約1.2Vの安定した電圧となる。一方、抵抗82, 83による分圧回路からは、出力電圧VOUTを分圧した電圧が出力される。抵抗82, 83の抵抗値は、レベルシフト部60が高い周波数でも問題なく動作するような値、例えば、出力電圧VOUTが3.0V以上になると1.2V以上の電圧が出力されるような抵抗比に設定されている。

【0056】

従って、出力電圧VOUTが3.0V以下の時には比較器84からレベル“L”の検出信号DETが出力され、レベルシフト部60のPMOS69, 70がオン状態となり、NMOS63, 64とPMOS65, 67で構成されるレベルシフト部60の駆動部の電流出力能力が大きくなる。これにより、低電圧・高周波での確実な動作が可能になる。

【0057】

一方、出力電圧VOUTが3.0Vを越えると、比較器84からレベル“H”の検出信号DETが出力され、レベルシフト部60のPMOS69, 70がオフ状態となり、NMOS63, 64とPMOS65, 67で構成されるレベルシフト部60の駆動回路は、高抵抗のPMOS66, 68を通して電流が供給され、低消費電流動作となる。

【0058】

以上のように、この実施例2のレベルシフト部は、出力電圧VOUTが所定の電圧に達したか否かを検出する電圧検出部80と、この電圧検出部80の検出信号DETに従って電流出力能力が制御されるレベルシフト部60を有している。これにより、実施例1と同様の利点に加えて、実施例1のレベルシフト部20に比べて回路構成が簡素化できるという利点がある。また、電圧検出部80は、出力電圧VOUTを直接監視して検出信号DETを出力するので、実施例1のカウンタに比べて切り替えのタイミングが正確になるという利点がある。

【0059】

なお、本発明は、上記実施例に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

(a) 4倍の昇圧回路に対するレベルシフト部の適用例を説明したが、昇圧回路の段数は4段に限定されるものではない。また、チャージポンプの構成は、例示したものに限定されない。

(b) 実施例1のカウンタ55に代えて実施例2と同様の電圧検出部80を使用し、この電圧検出部80から出力される検出信号によってレベルシフト部20A, 20Bのスイッチ51を切り替えるように構成しても良い。

(c) 実施例2の電圧検出部80に代えて実施例1と同様のカウンタ55を使用し、このカウンタ55から出力される制御信号によってレベルシフト部60のPMOS69, 70をオンオフ制御するように構成しても良い。

(d) 実施例1では、リセット解除後、一定の時間の経過を監視するためにカウンタを使用しているが、例えば抵抗とキャパシタからなる積分回路等を使用することも可能である。

【図面の簡単な説明】

【0060】

10

20

30

40

50

【図 1】本発明の実施例 1 を示す昇圧回路の構成図である。

【図 2】従来の昇圧回路の構成図である。

【図 3】図 1 の動作を示す信号波形図である。

【図 4】本発明の実施例 2 を示すレベルシフト部の構成図である。

【符号の説明】

【0061】

1 a ~ 1 c , 9 a ~ 9 d , 35 , 36 , 45 ~ 48 , 65 ~ 70 PMOS

2 a ~ 2 c , 10 a ~ 10 c , 33 , 34 , 43 , 44 , 63 , 64 NMOS

3 a , 3 c , 4 a , 4 c , 12 a ~ 12 c パウファ

5 b , 6 b , 11 a ~ 11 d , 31 , 32 , 41 , 42 , 61 , 62 , 72 インバ 10

ータ

7 a ~ 7 c キャパシタ

8 ダイオード

20 A , 20 B , 60 レベルシフト部

30 , 40 レベルシフタ

51 スイッチ

52 , 53 , 82 , 83 抵抗

54 NOR

55 カウンタ

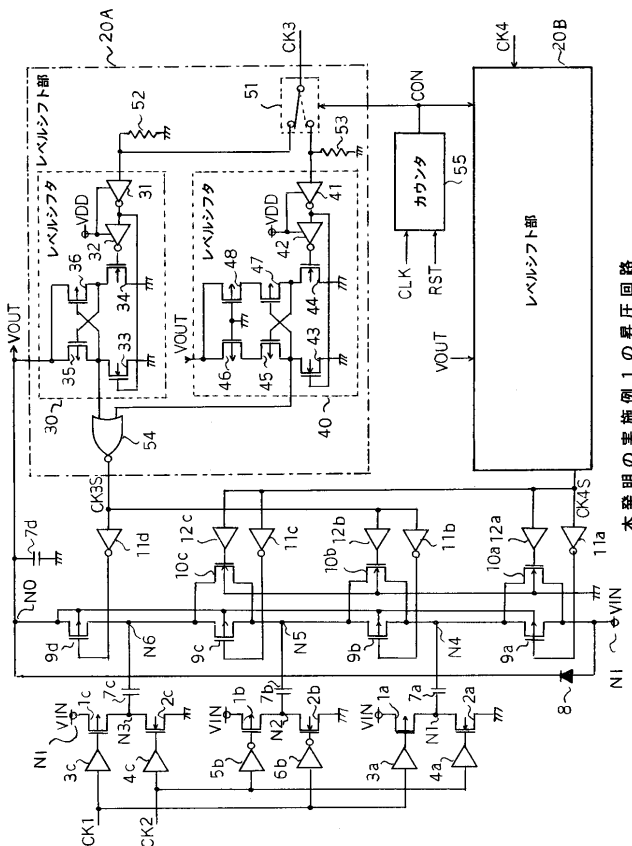
80 電圧検出部

81 基準電圧生成回路

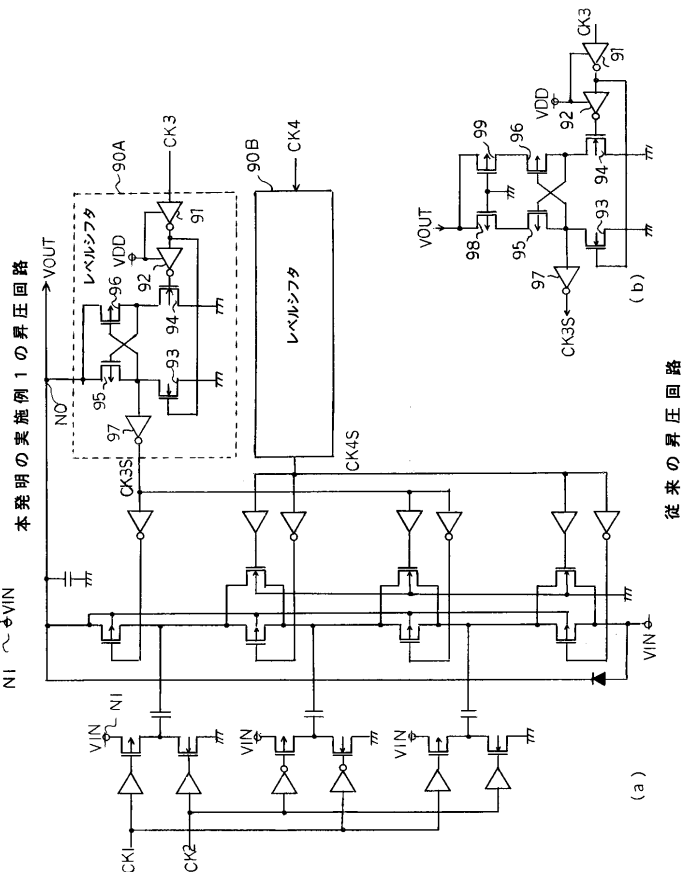
84 比較器

20

【図 1】



【図 2】



【図 3】

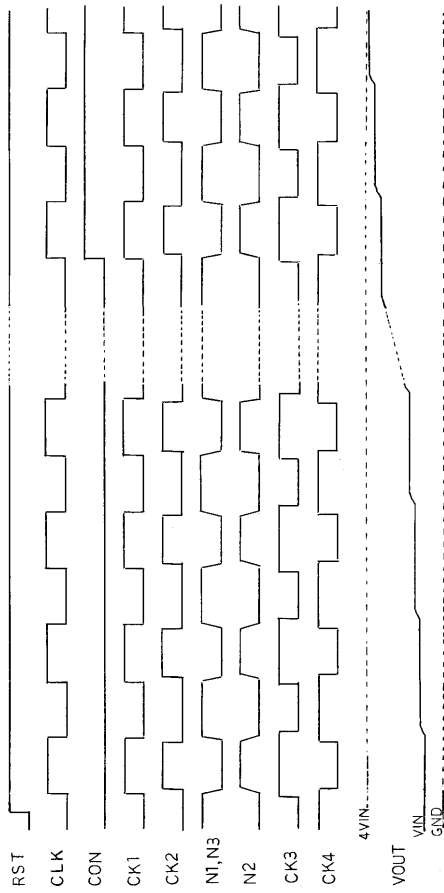
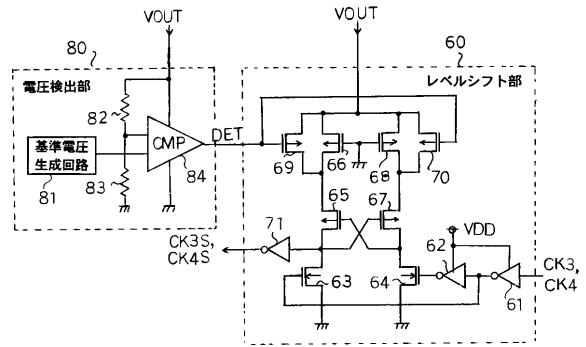


図 1 の動作

【図 4】



本発明の実施例 2 のレベルシフト部

---

フロントページの続き

(74)代理人 100105256

弁理士 清野 仁

(74)代理人 100145872

弁理士 福岡 昌浩

(72)発明者 ▲児▼玉 琢磨

宮崎県宮崎郡清武町大字木原 7 0 8 3 番地 株式会社沖マイクロデザイン内

F ターム(参考) 5H730 AA14 AS04 BB02 BB57 BB86 DD04 FG01 FG21

5J056 AA00 AA32 BB02 BB17 CC21 CC29 DD28 EE06 FF01 FF06

GG09 KK01