

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-34569

(P2010-34569A)

(43) 公開日 平成22年2月12日(2010.2.12)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/8238 (2006.01)	H O 1 L 27/08 3 2 1 B	5 F 0 4 8
H O 1 L 27/092 (2006.01)	H O 1 L 27/08 3 2 1 C	5 F 0 8 3
H O 1 L 21/8247 (2006.01)	H O 1 L 27/10 4 3 4	5 F 1 0 1
H O 1 L 27/115 (2006.01)	H O 1 L 29/78 3 7 1	
H O 1 L 29/788 (2006.01)		

審査請求 有 請求項の数 4 O L (全 26 頁) 最終頁に続く

(21) 出願番号	特願2009-218612 (P2009-218612)	(71) 出願人	308014341
(22) 出願日	平成21年9月24日 (2009.9.24)		富士通マイクロエレクトロニクス株式会社
(62) 分割の表示	特願2004-570847 (P2004-570847)	(74) 代理人	100091340
	の分割		弁理士 高橋 敬四郎
原出願日	平成15年4月10日 (2003.4.10)	(74) 代理人	100105887
			弁理士 来山 幹雄
		(72) 発明者	江間 泰示
			東京都新宿区西新宿二丁目7番1号 富士
			通マイクロエレクトロニクス株式会社内
		(72) 発明者	児嶋 秀之
			東京都新宿区西新宿二丁目7番1号 富士
			通マイクロエレクトロニクス株式会社内

最終頁に続く

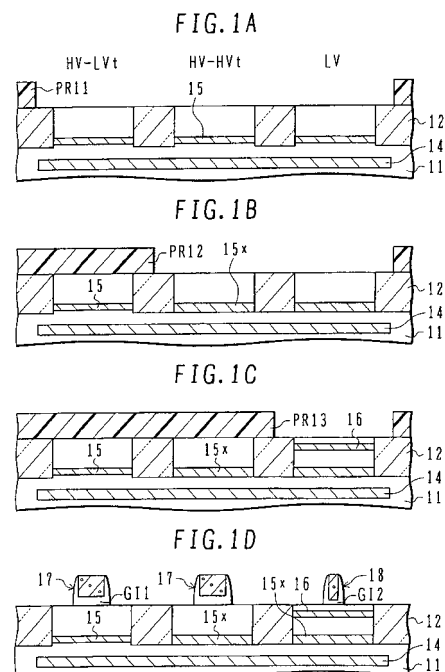
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】 (修正有)

【課題】 所望の特性を果たす複数種類のトランジスタを少ない工程数で製造する形成方法を提供する。

【解決手段】 半導体装置は、第1の深さに達する素子分離領域12と、第1導電型の第1および第2のウェルと、第1のウェルに形成され、第1の厚さのゲート絶縁膜G I 1と、第2導電型のソース/ドレイン領域およびゲート電極とを有する第1のトランジスタ17と、第2のウェルに形成され、第1の厚さより薄い第2の厚さのゲート絶縁膜G I 2と、第2導電型のソース/ドレイン領域およびゲート電極とを有する第2のトランジスタ18と、を有し、第1のウェルは、第1の深さと同等又はより深い深さにのみ極大値を有する第1の不純物濃度分布を有し、第2のウェルは、第1のウェルと同一の第1の不純物濃度分布に第1の深さより浅い第2の深さに極大値を有する不純物濃度分布を重ね合わせ、全体としても第2の深さにも極大値を示す第2の不純物濃度分布を有する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

(a) 半導体基板に、表面から第 1 の深さ位置まで達する素子分離領域を形成する工程と、

(b) 前記半導体基板に第 1 導電型の第 1 および第 2 のウェルを形成する工程と、

(c) 前記第 1 のウェルの表面に第 1 の厚さのゲート絶縁膜を、前記第 2 のウェルの表面に前記第 1 の厚さより薄い第 2 の厚さのゲート絶縁膜を形成する工程と、

(d) 前記ゲート絶縁膜の上にゲート電極を形成する工程と、

(e) 前記ゲート電極の両側の半導体基板内にソース/ドレイン領域を形成する工程と

、

を含み、前記工程 (b) が、(b 1) 前記第 1 および第 2 のウェルに共通に、前記第 1 の深さと同等またはより深い位置にのみ極大値を有する第 1 の不純物濃度分布をイオン注入により形成する工程と、(b 2) 第 1、第 2 のウェルに対して選択的に、前記第 1 の深さと同等の深さ位置に極大値を有する第 2 の不純物濃度分布をイオン注入により形成する工程と、(b 3) 前記第 2 のウェルにのみ前記第 1 の深さより浅い深さ位置に極大値を有する第 3 の不純物濃度分布をイオン注入により形成する工程とを含む半導体装置の製造方法。

10

【請求項 2】

前記工程 (b 2) が、前記第 2 のウェルにおいて、前記第 2 の不純物濃度分布をイオン注入により形成する工程を含む請求項 1 記載の半導体装置の製造方法。

20

【請求項 3】

前記工程 (b 2) が、(b 2 - 1) 前記第 1、第 2 のウェルに前記第 1 の深さと同等の深さ位置に極大値を有する不純物濃度分布をイオン注入により形成する工程と、(b 1 - 2) 前記第 1 の深さ位置と同等の深さ位置に極大値を有する不純物濃度分布を、第 1 のウェルを除いて、前記第 2 のウェルにイオン注入により形成する工程とを含む請求項 1 記載の半導体装置の製造方法。

【請求項 4】

(a) 半導体基板に、表面から第 1 の深さ位置まで達する素子分離領域を形成する工程と、

(b) 前記半導体基板に第 1 導電型の第 1、第 2 および第 3 のウェルを形成する工程と

、

(c) 前記第 1 のウェルおよび前記第 3 のウェルの表面に第 1 の厚さのゲート絶縁膜を、前記第 2 のウェルの表面に前記第 1 の厚さより薄い第 2 の厚さのゲート絶縁膜を形成する工程と、

(d) 前記ゲート絶縁膜の上にゲート電極を形成する工程と、

(e) 前記ゲート電極の両側の半導体基板内にソース/ドレイン領域を形成する工程と

、

を含み、前記工程 (b) が、(b 1) 前記第 1、第 2 および第 3 のウェルに共通に、前記第 1 の深さと同等またはより深い位置にのみ極大値を有する第 1 の不純物濃度分布をイオン注入により形成する工程と、(b 2) 前記第 2、第 3 のウェルに、前記第 1 の深さと同等の深さ位置に極大値を有する第 2 の不純物濃度分布をイオン注入により形成する工程と、(b 3) 前記第 2 のウェルにのみ前記第 1 の深さより浅い深さ位置に極大値を有する第 3 の不純物濃度分布をイオン注入により形成する工程とを含む半導体装置の製造方法。

30

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体装置の製造方法に関し、特に複数の電圧で動作する半導体装置の製造方法に関する。

【背景技術】**【0002】**

50

半導体集積回路装置（ＩＣ）の高集積化と共にＩＣの構成要素であるトランジスタは微細化される。トランジスタの微細化に伴って、動作電圧は低下する。システムオンチップにおいては、低電圧動作の論理回路と高電圧動作のフラッシュメモリ駆動回路を含むフラッシュメモリ回路のような異種回路を混載する要請も強い。これを実現するには、低電圧動作の論理回路と高電圧動作のフラッシュメモリ駆動回路とを同一半導体基板上に集積化することが必要となる。

【０００３】

ＣＭＯＳ回路を構成する場合は、高電圧および低電圧で動作するｎチャネルトランジスタと高電圧および低電圧で動作するｐチャネルトランジスタとを形成することとなる。

【０００４】

ＦＩＧ．１１Ａ～１１Ｆは、このような半導体装置の典型的な製造方法を示す。

【０００５】

ＦＩＧ．１１Ａに示すように、半導体基板１０１の表面に、周知の方法により絶縁膜を埋め込んだ浅い素子分離溝１０２（シャロートレンチアイソレーション、ＳＴＩ）を形成する。図には、ＳＴＩで画定された４つの活性領域が示されている。図中左側の２つの活性領域には、低電圧（ＬＶ）用の薄いゲート絶縁膜と高電圧（ＨＶ）用の厚いゲート絶縁膜とを有するｎチャネルＭＯＳトランジスタＮ－ＬＶ、Ｎ－ＨＶを形成する。

【０００６】

図中右側の２つの活性領域には、低電圧（ＬＶ）用の薄いゲート絶縁膜と高電圧（ＨＶ）用の厚いゲート絶縁膜を有する２つのｐチャネルＭＯＳトランジスタＰ－ＬＶ、Ｐ－Ｈ

10

20

【０００７】

先ず、ｎチャネルＭＯＳトランジスタ領域に開口を有するホトレジストマスクＰＲ５１を形成し、ｐ型ウェルＷＰを形成するｐ型不純物のイオン注入、素子分離領域下にチャネルストップ領域ＣＳＰを形成するｐ型不純物のイオン注入、及び厚い絶縁膜を有するトランジスタの閾値 V_t を所望の値に設定するためのｐ型不純物のイオン注入 V_{t1} を行なう。その後、ホトレジストマスクＰＲ５１は除去する。

【０００８】

ＦＩＧ．１１Ｂに示すように、ｐチャネルＭＯＳトランジスタ領域に開口を有するホトレジストマスクＰＲ５２を形成し、ｐチャネルＭＯＳトランジスタ領域にｎ型ウェルＷＮを形成するｎ型不純物のイオン注入、素子分離領域下方にチャネルストップ領域ＣＳＮを形成するためのｎ型不純物のイオン注入及び厚い絶縁膜を有するｐチャネルＭＯＳトランジスタの閾値 V_t を制御するためのｎ型不純物のイオン注入 V_{t2} を行なう。その後ホトレジストマスクＰＲ５２は除去する。

30

【０００９】

以上のイオン注入では、厚いゲート絶縁膜を有するトランジスタ領域Ｎ－ＨＶ、Ｐ－ＨＶでは閾値制御が行なわれたが、薄いゲート絶縁膜を有するトランジスタ領域Ｎ－ＬＶ、Ｐ－ＬＶにおいては閾値制御用のイオン注入は不十分である。

【００１０】

ＦＩＧ．１１Ｃに示すように、薄いゲート絶縁膜を有するｎチャネルＭＯＳトランジスタ領域Ｎ－ＬＶに開口を有するホトレジストマスクＰＲ５３を形成し、薄いゲート絶縁膜を形成するｎチャネルＭＯＳトランジスタ領域Ｎ－ＬＶの閾値電圧を調整するためｐ型不純物の追加イオン注入 V_{t3} を行なう。その後ホトレジストマスクＰＲ５３は除去する。

40

【００１１】

ＦＩＧ．１１Ｄに示すように、薄いゲート絶縁膜を形成するｐチャネルＭＯＳトランジスタ領域Ｐ－ＬＶに開口を有するホトレジストマスクＰＲ５４を形成し、薄いゲート絶縁膜を形成するｐチャネルＭＯＳトランジスタ領域Ｐ－ＬＶに閾値電圧を制御するためのｎ型不純物の追加イオン注入 V_{t4} を行なう。その後ホトレジストマスクＰＲ５４は除去する。次に、半導体基板全面に厚いゲート絶縁膜ＧＩ１を形成する。

【００１２】

50

FIG. 11Eに示すように、成長したゲート絶縁膜の上に厚いゲート絶縁膜を有するトランジスタ領域を覆うホトレジストマスクPR55を形成し、薄いゲート絶縁膜を有するトランジスタ領域を露出する。ホトレジストマスクPR55をエッチングマスクとし、ゲート絶縁膜GI1を除去する。その後ホトレジストマスクPR55は除去する。

【0013】

半導体基板上に薄いゲート絶縁膜を形成すると、厚いゲート絶縁膜が除去された領域に薄いゲート絶縁膜GI2が形成される。このようにして、厚いゲート絶縁膜GI1と薄いゲート絶縁膜GI2とが形成される。

【0014】

FIG. 11Fに示すように、ゲート絶縁膜上に多結晶シリコンのゲート電極層を形成し、パターニングして、ゲート電極Gを形成する。ゲート電極をマスクとしてソース/ドレイン領域のエクステンション部のイオン注入を行なう。酸化シリコン等のサイドウォールスペースを形成した後、高濃度ソース/ドレイン領域のイオン注入を行なう。nチャネルMOSトランジスタ及びpチャネルMOSトランジスタのイオン注入は、それぞれレジストマスクを用いて選択的に行なう。

10

【0015】

このようにして、FIG. 11Fに示すようなCMOS半導体装置が形成される。以上説明した製造方法によれば、ゲート絶縁膜の形成以外に、ウェルおよび閾値 V_t 制御のために4枚のマスクを用い、8回のイオン注入を行なっている。複雑な製造工程は、製造コストの増大及び歩留りの低下につながる。製造工程を簡略化することが望まれる。

20

【0016】

特開平11-40004は、工程数を減少した半導体装置の製造方法を提案する。このような、工程数を減少させた半導体装置の製造方法を以下に説明する。

【0017】

FIG. 12Aに示すように、FIG. 11A同様に、シリコン基板101に素子分離領域102により4つの活性領域N-LV、N-HV、P-LV、P-HVを画定する。nチャネルトランジスタ領域に開口を有するホトレジストマスクPR51を形成し、nチャネルMOSトランジスタ領域に3回のイオン注入を行ない、p型ウェルWP、p型チャネルストップ領域CSP、p型閾値調整領域 V_tP を形成する。

30

【0018】

閾値調整用のイオン注入の濃度は、薄いゲート絶縁膜を有するトランジスタN-LVに適した値とする。この濃度は、厚いゲート絶縁膜を有するnチャネルMOSトランジスタN-HVの閾値調整用不純物イオン注入としては高すぎる濃度である。その後ホトレジストマスクPR51は除去する。

【0019】

FIG. 12Bに示すように、pチャネルMOSトランジスタ領域に開口を有するホトレジストマスクPR52を形成し、pチャネルMOSトランジスタ領域にn型ウェルWN、n型チャネルストップ領域CSN、n型閾値調整領域 V_tN を形成するためのn型不純物をイオン注入する。

40

【0020】

閾値調整用イオン注入の濃度は、厚いゲート絶縁膜を有するpチャネルMOSトランジスタP-HVに適した濃度とする。この濃度は、薄いゲート絶縁膜を有するpチャネルMOSトランジスタP-LVには不足する濃度である。ホトレジストマスクPR52はその後除去する。

【0021】

FIG. 12Cに示すように、厚いゲート絶縁膜を形成するnチャネルMOSトランジスタ領域N-HV及び薄いゲート絶縁膜を形成するpチャネルMOSトランジスタ領域P-LVに開口を有するホトレジストマスクPR56を形成し、n型不純物を追加的にイオン注入する。薄いゲート絶縁膜を形成するpチャネルMOSトランジスタ領域P-LVにおいては、2回のn型不純物のイオン注入により、所望の不純物濃度が得られ、閾値が適

50

性に調整される。

【0022】

厚いゲート絶縁膜を有するnチャネルMOSトランジスタ領域N-HVにおいては、始めにイオン注入された高すぎるp型不純物濃度が、追加的にイオン注入されたn型不純物のイオン注入により補償され、不純物濃度が低下する。その後ホトレジストマスクPR56は除去する。

【0023】

FIG. 12Dに示すように、厚いゲート絶縁膜GI1を形成する。厚いゲート絶縁膜を有するトランジスタを覆うホトレジストマスクPR55をエッチングマスクとし、薄いゲート絶縁膜を形成する領域の厚いゲート絶縁膜を除去する。その後ホトレジストマスクPR55を除去し、薄いゲート絶縁膜GI2を形成する。

10

【0024】

FIG. 12Eに示すように、公知の方法により、ゲート電極、ソース/ドレイン領域等を形成して半導体装置を完成する。

【0025】

この方法によれば、ゲート絶縁膜の選択除去を除外すると、3回のマスク工程と7回のイオン注入によりウェル内の不純物濃度分布が形成されている。FIG. 11A~11Dに示す工程と比べ、マスクが1枚減少し、イオン注入が1回減少している。

【0026】

製造工程が簡略化されたが、厚いゲート絶縁膜を有するnチャネルMOSトランジスタN-HVの閾値 V_t は独立に設定できるわけではない。閾値 V_t の設定について一定限度の妥協が必要となる。又、開発段階で閾値設定を変更する場合には、他のトランジスタの閾値の設定も変更する必要があることがある。

20

【0027】

このように、多電圧を扱う複数種類のトランジスタを製造しようとする、工程数が多くなりやすい。工程数を削減する製造法を採用しようとする、新たな問題が生じ易い。多電圧で動作し、かつ簡略化された製造方法で製造することのできる半導体装置の製造方法が望まれる。

【発明の概要】

【0028】

本発明の目的は、少ない工程数で多電圧で動作する複数種類のトランジスタを製造する半導体装置の製造方法を提供することである。

30

【0029】

本発明の一観点によれば、(a)半導体基板に、表面から第1の深さ位置まで達する素子分離領域を形成する工程と、(b)前記半導体基板に第1導電型の第1および第2のウェルを形成する工程と、(c)前記第1のウェルの表面に第1の厚さのゲート絶縁膜を、前記第2のウェルの表面に前記第1の厚さより薄い第2の厚さのゲート絶縁膜を形成する工程と、(d)前記ゲート絶縁膜の上にゲート電極を形成する工程と、(e)前記ゲート電極の両側の半導体基板内にソース/ドレイン領域を形成する工程と、を含み、前記工程(b)が、(b1)前記第1および第2のウェルに共通に、前記第1の深さと同等またはより深い位置にのみ極大値を有する第1の不純物濃度分布をイオン注入により形成する工程と、(b2)第1、第2のウェルに対して選択的に、前記第1の深さと同等の深さ位置に極大値を有する第2の不純物濃度分布をイオン注入により形成する工程と、(b3)前記第2のウェルにのみ前記第1の深さより浅い深さ位置に極大値を有する第3の不純物濃度分布をイオン注入により形成する工程とを含む半導体装置の製造方法が提供される。

40

【図面の簡単な説明】

【0030】

【図1】FIG. 1A~1Dは、本発明の実施例による半導体装置の製造方法の主要工程を示す断面図である。

【図2】FIG. 2A~2Dは、上述の実施例の変形例を示す断面図である。

50

【図 3】FIG. 3A ~ 3E は、上述の実施例のさらに他の変形例を示す断面図である。

【図 4】FIG. 4A ~ 4D は、上述の実施例のさらに他の変形例を示す断面図である。

【図 5 - 1】と、

【図 5 - 2】FIG. 5A ~ 5F は、上述の実施例を CMOS 半導体装置の製造方法に適用した半導体装置の製造方法の主要工程を示す断面図である。

【図 6】FIG. 6A ~ 6D は、FIG. 5A ~ 5F の製造方法により製造した各トランジスタの構成を示す平面図、表及びグラフである。

【図 7】FIG. 7 は、より多種類のトランジスタを有する半導体装置の構成を概略的に示す断面図である。

【図 8 - 1】と、

【図 8 - 2】と、

【図 8 - 3】と、

【図 8 - 4】と、

【図 8 - 5】と、

【図 8 - 6】と、

【図 8 - 7】と、

【図 8 - 8】FIG. 8A ~ 8ZC は、FIG. 7 に示す半導体装置の製造方法を示す断面図である。

【図 9】FIG. 9A、9B は、ポケット領域の作成を説明する断面図である。

【図 10 - 1】と、

【図 10 - 2】と、

【図 10 - 3】FIG. 10A ~ 10J は、本発明の他の実施例による半導体装置の製造方法を示す断面図である。

【図 11】FIG. 11A ~ 11F は、標準的技術により高電圧及び低電圧の CMOS トランジスタを製造する製造方法の主要工程を示す断面図である。

【図 12】FIG. 12A ~ 12E は、簡略化された工程で高電圧及び低電圧の CMOS トランジスタを製造する製造方法の例を示す断面図である。

【図 13】FIG. 13 は、低電圧動作の論理回路と、フラッシュメモリセル駆動用の高電圧トランジスタとを集積化した構成を概略的に示す断面図である。

【図 14】FIG. 14A ~ 14D は、FIG. 13 に示す複数種類のトランジスタを製造する製造方法の例を概略的に示す断面図である。

【図 15】FIG. 15A ~ 15C は、FIG. 13 に示す複数種類のトランジスタを製造する他の製造方法の例を示す断面図である。

【図 16】FIG. 16A ~ 16C は、FIG. 13 に示す複数種類のトランジスタを製造するさらに他の製造方法の主要工程を示す断面図である。

【発明を実施するための形態】

【0031】

1.2V 動作の論理回路に、フラッシュメモリセルを混載する場合を考察する。フラッシュメモリのプログラム（書き込み）/消去及び読み出しには、高電圧が必要である。このような高電圧は、例えば外部から供給される 1.2V 電源電圧を内部回路で昇圧して発生させるのが通常である。このような低電圧から高電圧を発生させるためには、高電圧に耐えるトランジスタが必要である。さらに、リークを抑える高閾値のトランジスタと、効率良く昇圧するための低閾値のトランジスタの両方を備えることが望ましい。

【0032】

FIG. 13 は、このような要請を反映して形成される 3 種類のトランジスタを示す。高電圧、低閾値トランジスタ HV - LVt と、高電圧、高閾値トランジスタ HV - HVt と、低電圧トランジスタ LV が形成されている。高電圧トランジスタ HV - LVt、HV - HVt は、例えば厚さ 16 nm のゲート酸化膜を有する。低電圧トランジスタ LV は、例えば厚さ 2 nm のゲート酸化膜を有する。

【0033】

10

20

30

40

50

なお、高電圧トランジスタは5 V動作するトランジスタに限らず、他の駆動電圧動作するトランジスタを含む場合もある。例えば、高電圧の入出力インターフェイスを備えた場合にも、待機時電流を低減する高閾値トランジスタと、動作スピードを重視する低閾値トランジスタの両方が望まれる。

【0034】

このような、種々のトランジスタを集積化する場合にも適用できる簡略化された製造方法が望まれる。特に、例えば1.2 V程度と動作電圧が低い場合、許容される閾値の範囲も非常に狭くなり、個々のトランジスタの閾値を独立に設定できない方法では、所望の性能を達成することが困難となる。以下、FIG. 13に示すような3種類のトランジスタを製造する製造方法を検討する。

【0035】

FIG. 14A ~ 14Dは、最も標準的な製造方法の例を示す。

【0036】

FIG. 14Aに示すように、先ず高電圧、低閾値電圧のトランジスタHV - LVtを形成する活性領域を露出するホトレジストマスクPR61を形成し、ウェルWP1形成用p型不純物、p型チャネルストップ領域CSP1形成用p型不純物、閾値調整VtP1用p型不純物のイオン注入を計3回行なう。その後ホトレジストマスクPR61は除去する。

【0037】

FIG. 14Bに示すように、高電圧、高閾値電圧のトランジスタHV - HVtを形成する領域に開口を有するホトレジストマスクPR62を形成し、ウェルWP2形成用、チャネルストップ領域CSP2形成用及び閾値調整VtP2用の3種類のイオン注入を行なう。その後ホトレジストマスクPR62は除去する。

【0038】

FIG. 14Cに示すように、低電圧トランジスタLV領域を露出するホトレジストマスクPR63を形成し、ウェルWP3形成用、チャネルストップ領域CSP3形成用、閾値調整VtP3用のp型不純物のイオン注入を行なう。その後ホトレジストマスクPR63は除去する。このようにして、各トランジスタ領域毎に3種類のイオン注入を行ない、その後厚いゲート酸化膜を形成し、薄いゲート酸化膜を形成する領域において一旦形成したゲート酸化膜を除去し、新たに薄いゲート酸化膜を形成する。その後、通常の方法に従い、多結晶シリコン等のゲート電極を形成する。

【0039】

FIG. 14Dは、このようにして形成された3種類のnチャネルMOSトランジスタを示す。3種類のトランジスタを形成するために、素子分離後ゲート絶縁膜形成前に3枚のマスクと9回のイオン注入を行なっている。工程数を減少することが望まれる。

【0040】

FIG. 15A ~ 15Cは、工程を簡略化した製造方法の例を示す。

【0041】

FIG. 15Aに示すように、高電圧トランジスタHV - LVt、HV - HVt領域を露出するホトレジストマスクPR71を形成し、2つのトランジスタ領域に共通に、ウェルWP1、チャネルストップ領域CSP1及び閾値調整領域VtP1形成用の3回のイオン注入を行なう。

【0042】

なお、閾値調整用イオン注入は、低い閾値を有する高電圧トランジスタHV - LVtにおいて適正な閾値を生成する濃度である。高電圧、高閾値トランジスタHV - HVtでは、このままでは適正な閾値は得られない。

【0043】

FIG. 15Bに示すように、高閾値、高電圧トランジスタHV - HVt領域を露出するレジストマスクPR62を形成し、閾値調整VtP2用の追加的イオン注入を行なう。追加されたイオン注入により閾値が適正な値まで高められる。その後、ホトレジストマス

10

20

30

40

50

ク P R 6 2 は除去する。

【 0 0 4 4 】

F I G . 1 5 C に示すように、低電圧トランジスタ L V 領域を露出するホトレジストマスク P R 6 3 を形成し、低電圧トランジスタ領域にウェル W P 2、チャネルストップ領域 C S P 2 及び閾値調整 V t P 3 形成用の 3 回のイオン注入を行なう。

【 0 0 4 5 】

この方法によれば、マスクは 3 枚と変わらないが、イオン注入の回数は 7 回と 2 回減少させることができる。

【 0 0 4 6 】

F I G . 1 6 A ~ 1 6 C は、工程を簡略化した他の製造方法を示す。

10

【 0 0 4 7 】

F I G . 1 6 A に示すように、3 種類のトランジスタ領域を露出するホトレジストマスク P R 8 1 を形成し、全領域共通にウェル W P、チャネルストップ領域 C S P 及び閾値調整 V t P 1 形成用のイオン注入を行なう。閾値調整用イオン注入は、低閾値、高電圧トランジスタ H V - L V t に適合する様に調整した条件で行なう。その後ホトレジストマスク P R 8 1 は除去する。

【 0 0 4 8 】

F I G . 1 6 B に示すように、高閾値、高電圧トランジスタ H V - H V t を露出する開口を有するホトレジストマスク P R 6 2 を形成し、閾値調整 V t P 2 用の追加イオン注入を行なう。レジストマスク P R 6 2 はその後除去する。

20

【 0 0 4 9 】

F I G . 1 6 C に示すように、低電圧トランジスタ領域 L V を露出するホトレジストマスク P R 6 3 を形成し、低電圧トランジスタの閾値調整 V t P 3 用追加イオン注入を行なう。

【 0 0 5 0 】

この方法によれば、マスクは 3 枚と変らないが、イオン注入の回数は 5 回とさらに 2 回減少させることができる。

【 0 0 5 1 】

本発明者等の検討によれば、F I G . 1 6 A ~ 1 6 C の方法を用いた場合、1 . 2 V 動作トランジスタのための寄生トランジスタの閾値を高くするためにチャネルストップ領域形成用イオン注入濃度を大きくすると、それだけで 5 V トランジスタ部の濃度が高くなりすぎる。この結果、低閾値、高電圧トランジスタ H V - L V t を実現することができないことが判明した。従って、工程数の最も少ない F I G . 1 6 A - 1 6 C の製造方法はそのままでは採用できない。

30

【 0 0 5 2 】

以下、図面を参照して本発明の実施例を説明する。

【 0 0 5 3 】

F I G . 1 A ~ 1 D は、本発明の第 1 の実施例による半導体装置の製造方法の主要工程を示す断面図である。

【 0 0 5 4 】

40

F I G . 1 A に示すように、半導体基板 1 1 の 1 表面に、周知の方法によりシャロートレンチアイソレーション (S T I) 1 2 を形成する。複数の活性領域が S T I 1 2 により画定される。以下、活性領域とそこに形成されるトランジスタとを同一の符号で示す。イオン注入とイオン注入された領域も同一符号で示す。

【 0 0 5 5 】

図中左の活性領域には高電圧、低閾値のトランジスタ H V - L V t を形成する。図中中央の活性領域には、高電圧、高閾値のトランジスタ H V - H V t を形成する。図中右側の活性領域には、低電圧トランジスタ L V を形成する。

【 0 0 5 6 】

先ず、3 つの活性領域を露出する開口を有するホトレジストマスク P R 1 1 を形成し、

50

各領域でSTIと同等またはより深い深さ位置に極大値を有するウェルを形成するイオン注入14及びSTIと略同等の深さ位置に極大値を有するチャンネルストップ領域を形成するイオン注入15を行なう。チャンネルストップ領域15は、高電圧、低閾値トランジスタHV-LVtにおいて低閾値を生成する。その後ホトレジストマスクPR11は除去する。

【0057】

なお、図においては各不純物濃度のピーク部分を領域で示したが、実際の不純物濃度分布は、より幅広い領域に広がっている。極大値の位置が多少変化しても半導体装置の動作にあまり影響しない場合も多い。「同等」、「略同等」は半導体装置の動作上同一と見なせる範囲を含む。

10

【0058】

FIG. 1Bに示すように、高電圧、高閾値トランジスタHV-HVt及び低電圧トランジスタLVを露出する開口を有するホトレジストマスクPR12を形成し、高電圧、高閾値トランジスタHV-HVt又は低電圧トランジスタLVに対するフィールドトランジスタの閾値を達成するドーズ量の大きい方を追加イオン注入し、チャンネルストップ領域15xを形成する。高電圧、高閾値トランジスタHV-HVtが0.5V以上であれば、通常前者を達成するドーズ量が大きく、高電圧、高閾値トランジスタHV-HVtは自由に設定できる。その後ホトレジストマスクPR12は除去する。

【0059】

FIG. 1Cに示すように、低電圧トランジスタLVを開口するホトレジストマスクPR13を形成し、閾値調整用イオン注入16を行なう。その後ホトレジストマスクPR13は除去する。

20

【0060】

以上の工程により、3枚のマスク及び4回のイオン注入により、3種類のトランジスタに対するウェル領域を形成することができる。この方法は、例えば低電圧トランジスタがゲート長0.13μm、動作電圧1.2Vというように微細化されたトランジスタであっても良好に行なうことができる。

【0061】

なお、イオン注入する不純物をp型とすれば、nチャネルMOSトランジスタを形成することができ、イオン注入する不純物をn型とすれば、pチャネルMOSトランジスタを形成することができる。

30

【0062】

FIG. 1Dに示すように、周知の方法により、半導体基板表面上に厚いゲート酸化膜GI1及び薄いゲート酸化膜GI2を形成し、ポリシリコンによりゲート電極を形成し、エクステンション部のイオン注入を行なった後サイドウォールスペーサを形成し、高濃度ソース/ドレイン領域に対するイオン注入を行なって各トランジスタを完成する。高電圧トランジスタ17及び低電圧トランジスタ18が形成される。

【0063】

なお、上述の実施例においては、3つの活性領域に対し共通のウェル用イオン注入とチャンネルストップ用イオン注入を行なった。ウェル用イオン注入の濃度を高く、及び/又は注入深さを浅くすることにより、高電圧、低閾値トランジスタ用のチャンネルストップイオン注入を省略することも可能となる。FIG. 2A~2Dは、この変形例を示す。

40

【0064】

FIG. 2Aに示すように、3つの活性領域を露出する開口を有するホトレジストマスクPR11を形成し、3つの活性領域に対し共通のウェル領域のイオン注入14sを行なう。ウェル領域用イオン注入14sは、FIG. 1Aのウェル領域用イオン注入14と比べ、深さが浅く、濃度が高く設定されている。

【0065】

このウェル用イオン注入14sにより、高電圧、低閾値トランジスタHV-LVtにおいては、チャンネルストップ領域形成用イオン注入の役割が既に達成される。その後ホトレ

50

ジストマスク P R 1 1 は除去する。

【 0 0 6 6 】

F I G . 2 B に示すように、高電圧、高閾値トランジスタ H V - H V t 及び低電圧トランジスタ L V を露出する開口を有するホトレジストマスク P R 1 2 を形成、チャンネルストップ領域形成用イオン注入 1 5 y を行なう。その後ホトレジストマスク P R 1 2 は除去する。

【 0 0 6 7 】

F I G . 2 C に示すように、低電圧トランジスタ L V 領域を露出する開口を有するホトレジストマスク P R 1 3 を形成し、閾値調整用イオン注入 1 6 を行なう。その後ホトレジストマスク P R 1 3 は除去する。このようにして、3 枚のマスク及び 3 回のイオン注入により、3 種類のトランジスタを形成するウェル領域が形成される。

10

【 0 0 6 8 】

F I G . 2 D に示すように、周知の方法により高電圧用絶縁ゲート電極 1 7 及び低電圧用絶縁ゲート電極 1 8 を形成する。

【 0 0 6 9 】

フラッシュメモリと論理回路とを混載する場合、高電圧 (5 V) の n チャンネル M O S トランジスタは、マイナス電圧を処理するためにトリプルウェルに形成することがある。

【 0 0 7 0 】

F I G . 1 A ~ 1 C の工程に、トリプルウェルを形成するイオン注入を加えた変形例を以下に説明する。

20

【 0 0 7 1 】

F I G . 3 A に示すように、高電圧トランジスタ H V - L V t 、 H V - H V t を露出する開口を有するホトレジストマスク P R 1 4 を形成し、n 型不純物をイオン注入し、トリプルウェル用 n 型ウェル 1 9 を形成する。その後ホトレジストマスク P R 1 4 は除去する。

【 0 0 7 2 】

F I G . 3 B に示すように、3 種類のトランジスタ領域を露出する開口を有するホトレジストマスク P R 1 1 を形成し、3 つのトランジスタ領域に対し、p 型ウェルのイオン注入 1 4 、チャンネルストップ領域のイオン注入 1 5 を行なう。その後ホトレジストマスク P R 1 1 は除去する。

30

【 0 0 7 3 】

F I G . 3 C に示すように、高電圧、高閾値トランジスタ H V - H V t 及び低電圧トランジスタ L V 領域を露出する開口を有するホトレジストマスク P R 1 2 を形成し、チャンネルストップ領域形成用の追加イオン注入を行なう。チャンネルストップ領域 1 5 x は、当初のチャンネルストップ領域 1 5 よりも不純物濃度が高くなる。その後ホトレジストマスク P R 1 2 は除去する。

【 0 0 7 4 】

F I G . 3 D に示すように、低電圧用トランジスタ L V を露出する開口を有するホトレジストマスク P R 1 3 を形成し、閾値調整用イオン注入 1 6 を行なう。その後ホトレジストマスク P R 1 3 は除去する。

40

【 0 0 7 5 】

F I G . 3 E に示すように、p チャンネル M O S トランジスタの n 型ウェル領域形成工程において用いるホトレジストマスク P R 1 5 に、n チャンネル M O S トランジスタ領域の周辺に、先に形成した n 型ウェル 1 9 の周辺と連続する領域に開口を形成する。

【 0 0 7 6 】

n 型ウェルのイオン注入と共に、p チャンネルトランジスタ領域の n 型ウェル 1 9 の周辺部に n 型領域 2 0 がイオン注入され、トリプルウェル用の n 型ウェルが形成される。このようにして、トリプルウェルを有する半導体装置が形成される。

【 0 0 7 7 】

F I G . 4 A ~ 4 D は、トリプルウェルを形成する他の変形例を示す。

50

【0078】

FIG. 4Aに示すように、高電圧トランジスタHV-LVt、HV-HVt領域を露出する開口を有するホトレジストマスクPR14を形成し、トリプルウェル用n型ウェル19、p型ウェル14H、チャンネルストップ領域15Hのイオン注入を行なう。その後ホトレジストマスクPR14は除去する。

【0079】

FIG. 4Bに示すように、高電圧、高閾値トランジスタHV-HVt、低電圧トランジスタLV領域を露出する開口を有するホトレジストマスクPR12を形成し、ウェル領域用イオン注入14L及びチャンネルストップ用イオン注入15Lを行なう。その後ホトレジストマスクPR12は除去する。

10

【0080】

高電圧、高閾値トランジスタHV-HVt領域においては、2回のウェル領域用イオン注入が重畳され、不純物濃度の高いp型ウェル14Mが形成され、2回のチャンネルストップ領域用イオン注入が重畳され、不純物濃度の高いチャンネルストップ領域15Mが形成される。低電圧トランジスタLV用領域においては、今回のイオン注入のみにより、不純物濃度の低いウェル領域14Lと不純物濃度の低いチャンネルストップ領域15Lが形成される。

【0081】

FIG. 4Cに示すように、低電圧トランジスタLVを露出する開口を有するホトレジストマスクPR13を形成し、閾値調整用イオン注入16Lを行なう。低電圧トランジスタLVのみにて、閾値調整用イオン注入が行なわれる。

20

【0082】

FIG. 4Dに示すように、n型ウェル形成工程において、ホトレジストマスクPR15にn型ウェル19周辺に連続するように開口を形成し、n型不純物のイオン注入20を行なう。トリプルウェルのn型ウェルが形成される。

【0083】

このようにして、FIG. 3A~3Eに比べて、マスク一枚を減少した工程数で所望の構成のウェルを有する半導体装置を形成することができる。なお、PチャンネルMOS装置の場合も不純物の導電型を反転して同様の製造工程を採用することができる。

【0084】

30

FIG. 5Aは、左側に3つのnチャネルトランジスタ領域、右側に3つのpチャネルトランジスタ領域を示す。FIG. 1A-1Dに示した製造方法同様、nチャネルトランジスタ領域を露出するホトレジストマスクPR11を形成し、p型ウェル14、p型チャンネルストップ15のイオン注入を行なう。

【0085】

p型ウェル14のイオン注入は例えばB⁺イオンを加速エネルギー400keV、ドーズ量 $1.5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。p型チャンネルストップ15のイオン注入は、例えばB⁺イオンを加速エネルギー100keV、ドーズ量 2×10^{12} でイオン注入する。その後、ホトレジストマスクPR11は除去する。

【0086】

40

FIG. 5Bに示すように、高電圧、高閾値電圧nチャネルトランジスタN-HV-HVt領域及び低電圧nチャネルトランジスタN-LV領域を露出する開口を有するホトレジストマスクPR12を形成し、チャンネルストップ領域形成用追加B⁺イオン注入を加速エネルギー100keV、ドーズ量 $6 \times 10^{12} \text{ cm}^{-2}$ で行なう。追加イオン注入が行なわれ、不純物濃度を増加したチャンネルストップ領域15xが形成される。その後ホトレジストマスクPR12は除去する。

【0087】

FIG. 5Cに示すように、pチャネルトランジスタ領域を露出する開口を有するホトレジストマスクPR21を形成し、n型ウェル24形成用イオン注入を行なう。P⁺イオンを加速エネルギー600keV、ドーズ量 $3.0 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。

50

その後ホトレジストマスク P R 2 1 は除去する。

【 0 0 8 8 】

F I G . 5 D に示すように、高電圧、高閾値電圧 p チャンネルトランジスタ P - H V - H V t 及び低電圧 P チャンネルトランジスタ P - L V 領域を露出する開口を有するホトレジストマスク P R 2 2 を形成し、チャンネルストップ領域 2 5 形成用 P ⁺ イオン注入を加速エネルギー 2 4 0 k e V、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ で行なう。その後ホトレジストマスク P R 2 2 は除去する。

【 0 0 8 9 】

F I G . 5 E に示すように、n チャンネル低電圧トランジスタ N - L V を露出する開口を有するホトレジストマスク P R 1 3 を形成し、閾値調整用 p 型不純物の B ⁺ イオン注入 1 6 を加速エネルギー 1 0 k e V、ドーズ量 $4 \times 10^{12} \text{ cm}^{-2}$ で行なう。その後ホトレジストマスク P R 1 3 は除去する。

【 0 0 9 0 】

F I G . 5 F に示すように、低電圧 p チャンネルトランジスタ P - L V を露出する開口を有するホトレジストマスク P R 2 3 を形成し、閾値調整 n 型不純物の A s ⁺ イオン注入 2 6 を加速エネルギー 1 0 0 k e V、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ で行なう。その後ホトレジストマスク P R 2 3 は除去する。

【 0 0 9 1 】

このように、6 枚のマスク及び 7 回のイオン注入により、3 種類の n チャンネル M O S トランジスタ及び 3 種類の p チャンネル M O S トランジスタのためのウェル領域を形成することができる。

【 0 0 9 2 】

F I G . 6 A - 6 D は、F I G . 5 A ~ 5 F で形成されるトランジスタを説明するための図である。

F I G . 6 A は、トランジスタの平面構成を概略的に示す。幅 W の矩形活性領域上に絶縁ゲート電極が形成される。絶縁ゲート電極 G の電流方向長さ（ゲート長）は L である。

【 0 0 9 3 】

F I G . 6 B は、形成される各種トランジスタの特性を示す表である。低電圧 n チャンネル M O S トランジスタ N - L V は、ゲート幅 W に対するゲート長の比 $L / W = 0.11 / 1 \mu\text{m}$ であり、閾値 V_t は 0.2 V である。n チャンネル高電圧、高閾値 M O S トランジスタ N - H V - H V t は、 L / W が $0.70 / 1 \mu\text{m}$ であり、閾値 V_t は 0.6 V である。n チャンネル高電圧、低閾値 M O S トランジスタ N - H V - L V t は、 L / W 比が $0.70 / 1 \mu\text{m}$ であり、閾値 V_t は 0.2 V である。

【 0 0 9 4 】

p チャンネル低電圧 M O S トランジスタ P - L V は、 L / W が $0.11 / 1 \mu\text{m}$ であり、閾値 V_t は - 0.2 V である。p チャンネル高電圧、高閾値 M O S トランジスタ P - H V - H V t は、 L / W 比が $0.70 / 1 \mu\text{m}$ であり、閾値 V_t は - 0.6 V である。p チャンネル高電圧、低閾値 M O S トランジスタ P - H V - L V t は、 L / W 比が $0.70 / 1 \mu\text{m}$ であり、閾値 V_t は - 0.2 V である。

【 0 0 9 5 】

F I G . 6 C は、n チャンネル M O S トランジスタ領域の不純物濃度分布を示す。横軸が基板表面からの深さ、縦軸がボロン濃度を示す。曲線 N - L V、N - H V - H V t、N - H V - L V t は、それぞれ n チャンネル低電圧トランジスタ領域、n チャンネル高電圧、高閾値トランジスタ領域、n チャンネル高電圧、低閾値トランジスタ領域の不純物濃度分布を示す。

【 0 0 9 6 】

ウェルのイオン注入は 3 種類のトランジスタ領域に対して共通である。素子分離領域と略同等深さのチャンネルストップ領域のイオン注入は n チャンネル高電圧、低閾値トランジスタ領域においては 1 回のみのイオン注入に対応して低く、n チャンネル、高電圧、高閾値トランジスタ領域および n チャンネル低電圧トランジスタ領域においては 2 回のイオン注入に

10

20

30

40

50

対応して高い。

【0097】

基板のより浅い領域においては、低電圧トランジスタN - LV領域において閾値調整用イオン注入に対応して高いp型濃度ピークが形成されている。

【0098】

FIG. 6Dは、pチャネルMOSトランジスタ領域における不純物濃度分布を示すグラフである。横軸が基板表面からの深さ、縦軸がn型不純物濃度を示す。曲線P - LV、P - HV - HVt、P - HV - LVtは、それぞれpチャネル低電圧トランジスタ、pチャネル高電圧、高閾値トランジスタ、pチャネル高電圧、低閾値トランジスタ領域の不純物濃度分布を示す。ウェルのイオン注入は共通である。

10

【0099】

素子分離領域と略同等の深さのチャネルストップのイオン注入は、高電圧、高閾値トランジスタ領域、低電圧トランジスタ領域のみに行なわれ、ピーク左側の不純物濃度を高くしている。さらに浅い領域において、低電圧トランジスタ領域において閾値調整用イオン注入によりn型不純物のピークが形成されている。

【0100】

次に、フラッシュメモリセルを混載した0.13μmロジックプロセスについてより詳細に説明する。

【0101】

FIG. 7は、この半導体装置に集積化される11種類のトランジスタを列挙したものである。トランジスタFMは、フラッシュメモリセルを表わす。高電圧、低閾値トランジスタN - HV - LVtは、高耐圧で低い閾値を有するnチャネルMOSトランジスタである。高電圧、高閾値トランジスタN - HV - HVtは、高耐圧、高閾値のnチャネルMOSトランジスタである。高電圧、低閾値トランジスタP - HV - LVtは高耐圧、低閾値のpチャネルMOSトランジスタである。高電圧、高閾値トランジスタP - HV - HVtは、高耐圧、高閾値のpチャネルMOSトランジスタである。

20

【0102】

中耐圧トランジスタN - MVは、入出力インターフェイスに用いられる例えば2.5V動作のnチャネルMOSトランジスタである。中耐圧トランジスタP - MVは、入出力インターフェイスに用いられる例えば2.5V動作のpチャネルMOSトランジスタである。

30

【0103】

低電圧、高閾値トランジスタN - LV - HVtは、低耐圧、高閾値のnチャネルMOSトランジスタである。低電圧、低閾値トランジスタN - LV - LVtは、低耐圧、低閾値のnチャネルMOSトランジスタである。低電圧、高閾値トランジスタP - LV - HVtは、低耐圧、高閾値のpチャネルMOSトランジスタである。低電圧、低閾値トランジスタP - LV - LVtは、低耐圧、低閾値のpチャネルMOSトランジスタである。

【0104】

nチャネル高電圧トランジスタ及びフラッシュメモリセルは、n型ウェル19内のp型ウェル14内に形成される。nチャネルトランジスタはp型ウェル14内に形成され、pチャネルMOSトランジスタはn型ウェル24に形成される。高耐圧、低閾値pチャネルMOSトランジスタP - HV - LVt以外のトランジスタには、チャネルストップ領域15、25が形成されている。

40

【0105】

低電圧、高閾値トランジスタN - LV - HVt、P - LV - HVtには、閾値調整用イオン注入16、26が形成されている。中電圧トランジスタN - MV、P - MVには、閾値調整用イオン注入37、38が形成されている。フラッシュメモリFMには、閾値調整用イオン注入36が形成されている。閾値調整用イオン注入とチャネルストップ領域とが協働してトランジスタの閾値を調整している。

【0106】

50

以下、FIG. 7に示す半導体装置を製造する製造工程について説明する。

【0107】

FIG. 8Aに示すように、半導体基板11にSTI12を形成し、次いでシリコン基板表面を熱酸化し、例えば厚さ10nmの酸化シリコン膜13を形成する。

【0108】

FIG. 8Bに示すように、フラッシュメモリセルFM及び高電圧nチャネルMOSトランジスタN-HV領域を露出するホトレジストマスクPR14を形成し、n型ウェル形成用のP⁺イオンを加速エネルギー2MeV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR14は除去する。

【0109】

FIG. 8Cに示すように、フラッシュメモリFM及びnチャネルMOSトランジスタ領域を露出する開口を有するホトレジストマスクPR11を形成し、p型ウェル形成用のB⁺イオンを加速エネルギー400keV、ドーズ量 $1.5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入し、さらにチャネルストップ領域形成用のB⁺イオンを加速エネルギー100keV、ドーズ量 $2 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR11は除去する。このようにして、p型ウェル14及びチャネルストップ領域15が形成される。

【0110】

FIG. 8Dに示すように、フラッシュメモリFM及び高電圧、低閾値nチャネルトランジスタN-HV-LVを除くnチャネルMOSトランジスタを露出するレジストマスクPR12を形成し、チャネルストップ領域形成用のB⁺イオンを加速エネルギー100keV、ドーズ量 6×10^{12} で追加的にイオン注入する。追加イオン注入をされたチャネルストップ領域15xが形成される。その後レジストマスクPR12は除去する。

【0111】

FIG. 8Eに示すように、pチャネルMOSトランジスタを露出するレジストマスクPR21を形成し、n型ウェル24形成用のP⁺イオンを加速エネルギー600keV、ドーズ量 $3.0 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR21は除去する。

【0112】

FIG. 8Fに示すように、高電圧、低閾値トランジスタを除くpチャネルMOSトランジスタを露出するレジストマスクPR22を形成し、チャネルストップ領域25形成用のP⁺イオンを加速エネルギー240keV、ドーズ量 $5.0 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR22は除去する。

【0113】

FIG. 8Gに示すように、フラッシュメモリセルFMを露出するレジストマスクPR31を形成し、閾値調整用領域36を形成するB⁺イオンを加速エネルギー40keV、ドーズ量 $6 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR31は除去する。

【0114】

FIG. 8Hに示すように、半導体基板表面の酸化シリコン膜13をHF溶液により除去する。活性領域のシリコン表面が露出する。

【0115】

FIG. 8Iに示すように、半導体基板表面を熱酸化し、厚さ約10nmのトンネル酸化膜を成長する。トンネル酸化膜上に、厚さ約90nmの燐(P)をドーブしたアモルファスシリコン膜をCVDにより堆積し、フローティングゲート31の形状にパターニングする。なお、アモルファスシリコン膜は、その後の熱処理によりポリシリコン膜に変換される。

【0116】

フローティングゲート31を覆うように酸化シリコン膜及び窒化シリコン膜をそれぞれ5nm、10nm、CVDで堆積する。窒化シリコン膜表面を約5nm厚熱酸化して約10nm厚の酸化シリコン膜とし、全体として厚さ20nm程度のONO膜32を成長する

10

20

30

40

50

。

【0117】

FIG. 8Jに示すように、中電圧nチャネルMOSトランジスタN-MVを露出するレジストマスクPR32を形成し、閾値調整用領域37を形成する B^+ イオンを加速エネルギー30keV、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR32は除去する。

【0118】

FIG. 8Kに示すように、中電圧pチャネルMOSトランジスタP-MVを露出するレジストマスクPR33を形成し、閾値調整用領域38を形成する As^+ イオンを加速エネルギー150keV、ドーズ量 $3 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR33は除去する。

10

【0119】

FIG. 8Lに示すように、低電圧、高閾値nチャネルトランジスタN-LV-HVt領域を露出するレジストマスクPR13を形成し、閾値調整用領域16を形成する B^+ イオンを加速エネルギー10keV、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR13は除去する。

【0120】

FIG. 8Mに示すように、低電圧、高閾値pチャネルMOSトランジスタP-LV-HVtを露出するレジストマスクPR23を形成し、閾値調整用領域26を形成する As^+ イオンを加速エネルギー100keV、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR23は除去する。

20

【0121】

なお、低電圧トランジスタには、エクステンション形成用マスクを用いてポケット形成用イオン注入も行う。この条件によっても閾値は制御される。ここで、低電圧低閾値トランジスタには、閾値制御用イオン注入がされていないが、ポケット注入により0.1V程度の閾値になる。同様、低電圧、高閾値トランジスタの閾値は、0.2V程度になる。

FIG. 8Nに示すように、フラッシュメモリセルFMを覆うレジストマスクPR34を形成し、FM以外の領域のONO膜32を除去する。その後、レジストマスクPR34は除去する。

【0122】

30

FIG. 8O示すように、基板表面を熱酸化し、厚さ13nmの酸化シリコン膜41を形成する。

【0123】

FIG. 8Pに示すように、フラッシュメモリセル及び高電圧トランジスタを覆うレジストマスクPR41を形成し、露出した領域上の酸化シリコン膜41を除去する。その後レジストマスクPR41は除去する。

【0124】

FIG. 8Qに示すように、露出した基板表面に例えば厚さ4.5nmの酸化シリコン膜42を熱酸化法により形成し、レジストマスクPR42を用いて低電圧トランジスタ領域の熱酸化膜42を除去する。

40

【0125】

FIG. 8Rに示すように、さらに露出した基板表面に例えば厚さ2.2nmの酸化シリコン膜43を熱酸化法により形成する。

【0126】

FIG. 8Sに示すように、3種類のゲート絶縁膜を形成した基板表面上に、厚さ180nmのポリシリコン膜をCVDにより形成し、その上に厚さ30nmの窒化シリコン膜をプラズマCVDにより形成する。窒化シリコン膜は、反射防止膜として機能し、さらにエッチングマスクとして用いることができる。ホトリソグラフィとパターニングによりフラッシュメモリセルのゲート電極44Fをパターニングする。

【0127】

50

FIG. 8 Tに示すように、フラッシュメモリセルのゲート電極側面を熱酸化し、ソース/ドレイン領域のイオン注入を行なう。さらにフラッシュメモリセルのゲート電極を覆う窒化シリコン膜等の絶縁膜を熱CVD法により形成し、リアクティブイオンエッチング(RIE)を行なってゲート電極側壁上に窒化シリコン膜のサイドウォールスペース46を形成する。ポリシリコン膜上の窒化シリコン膜はRIEと同時に除去する。その後、論理回路領域のトランジスタに対し、ゲート電極44Lをパターニングする。

【0128】

FIG. 8 Uに示すように、低電圧pチャネルMOSトランジスタを露出するレジストマスクPR43を形成し、ソース/ドレインのエクステンションを形成するB⁺イオンを加速エネルギー0.5 keV、ドーズ量 $3.6 \times 10^{14} \text{ cm}^{-2}$ でイオン注入する。さらに同一マスクを用いて、ポケットを形成するAs⁺イオンを加速エネルギー80 keV、ドーズ量各 $6.5 \times 10^{12} \text{ cm}^{-2}$ で、法線から28度傾いた4方向からイオン注入する。

10

【0129】

ポケット付エクステンション47が形成される。エクステンションとポケットはどちらを先に作成してもよい。その後レジストマスクPR43は除去する。

【0130】

FIG. 9 A、9 Bを参照し、ポケット領域形成工程をより詳細に説明する。レジストマスクPR43は、低電圧トランジスタ領域に開口を有する。この基板表面に対し、法線方向から所定角度傾いた方向から、不純物イオンをイオン注入する。このようにして、ポケット領域47Pが形成される。ポケット領域47Pは、ソース/ドレイン領域とは逆導電型の領域である。

20

【0131】

FIG. 9 Bに示すように、基板法線方向に沿って、高濃度ソース/ドレインと同導電型のエクステンション47E形成用のイオン注入を行なう。エクステンション部47Eは、少なくともその先端がポケット領域47Pに囲まれた形状となる。逆導電型のポケット領域を形成することにより、パンチスルーが防止されると共に、トランジスタの閾値電圧も調整される。

【0132】

FIG. 8 Vに示すように、低電圧nチャネルMOSトランジスタを露出するレジストマスクPR44を形成し、低電圧nチャネルMOSトランジスタ領域にエクステンション領域及びポケット領域形成用のイオン注入を行なう。

30

【0133】

例えば、エクステンション領域形成のため、As⁺イオンを加速エネルギー3 keV、ドーズ $1.1 \times 10^{15} \text{ cm}^{-2}$ でイオン注入し、ポケット領域形成用にBF₂⁺イオンを加速エネルギー35 keV、ドーズ量各 $9.5 \times 10^{12} \text{ cm}^{-2}$ で法線方向より28度傾いた4方向からイオン注入する。このようにして、ポケット領域を備えたエクステンション48が形成される。その後レジストマスクPR44は除去する。

【0134】

FIG. 8 Wに示すように、中電圧pチャネルMOSトランジスタP-MVを露出するレジストマスクPR45を形成し、エクステンション49を形成するBF₂⁺を加速エネルギー10 keV、ドーズ量 $7.0 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR45は除去する。

40

【0135】

FIG. 8 Xに示すように、中電圧nチャネルMOSトランジスタN-MVを露出するレジストマスクPR46を形成し、エクステンション50形成用のP⁺イオンを加速エネルギー10 keV、ドーズ量 $3.0 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。さらに、As⁺イオンを加速エネルギー10 keV、ドーズ量 $2.0 \times 10^{13} \text{ cm}^{-2}$ イオン注入する。Asは、ソースドレイン電流Idsを大きくするために追加注入されている。Pは、ホットキャリア耐性を高める機能も有する。Asイオン注入を除くと、寄生抵抗が増し、Ids

50

s は 10 % 程度減少する。その後レジストマスク PR 46 は除去する。

【0136】

FIG. 8Y に示すように、高電圧 p チャンネル MOS トランジスタ P - HV を露出するレジストマスク PR 47 を形成し、エクステンション部 51 を形成する BF_2^+ イオンを加速エネルギー 80 keV、ドーズ量 $4.5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスク PR 47 は除去する。

【0137】

FIG. 8Z に示すように、高電圧 n チャンネル MOS トランジスタ N - HV を露出するレジストマスク PR 48 を形成し、エクステンション 52 を形成する P^+ イオンを加速エネルギー 35 keV、ドーズ量 $4.0 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスク PR 48 は除去する。

10

【0138】

FIG. 8ZA に示すように、基板全面に酸化シリコン膜を形成し、リアクティブイオンエッチングを行なってサイドウォールスペース 54 を形成する。n チャンネル MOS トランジスタを露出するレジストマスク PR 49 を形成し、ソース/ドレイン領域 55 形成用の P^+ イオンを加速エネルギー 10 keV、ドーズ量 $6.0 \times 10^{15} \text{ cm}^{-2}$ でイオン注入する。なお、n 型ソース/ドレイン領域 55 が形成されると共に、ゲート電極が n 型にドーピングされる。その後レジストマスク PR 49 は除去する。

【0139】

FIG. 8ZB に示すように、p チャンネル MOS トランジスタを露出するレジストマスク PR 50 を形成し、ソース/ドレイン領域 56 形成用の B^+ イオンを加速エネルギー 5 keV、ドーズ量 $4.0 \times 10^{15} \text{ cm}^{-2}$ でイオン注入する。p 型ソース/ドレイン領域 56 が形成されると共に、ゲート電極が p 型にドーピングされる。その後レジストマスク PR 50 は除去する。

20

FIG. 8ZC に示すように、ゲート電極を覆う層間絶縁膜 60 を形成し、コンタクトホールを形成する。コンタクトホールを埋め込む導電性プラグ 61 を形成し、さらに表面に配線 62 を形成する。その後、必要に応じて絶縁膜、配線を形成し、多層配線を形成して半導体装置を完成する。

【0140】

FIG. 10A ~ 10J は、さらに工程数を減少することのできる CMOS 半導体装置の製造方法を示す。

30

【0141】

FIG. 10A に示すように、n チャンネルトランジスタ領域を露出するレジストマスク PR 11 を形成し、ウェル領域 14 を形成する B^+ イオンを加速エネルギー 400 keV、ドーズ量 $1.5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入し、さらにチャンネルストップ領域 15 を形成する B^+ イオンを加速エネルギー 100 keV、ドーズ量 $8 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスク PR 11 は除去する。

【0142】

ドーズ量 $8 \times 10^{12} \text{ cm}^{-2}$ は、Figs. 5A, 5B の 2 回のイオン注入のドーズ量の和に等しい。全 n チャンネルトランジスタ領域に同ドーズ量のチャンネルストップ領域を形成したため、高電圧、低閾値 n チャンネル MOS トランジスタ N - HV - LVt においては閾値が所望の値よりも大きくなってしまう。

40

【0143】

FIG. 10B に示すように、p チャンネル MOS トランジスタ領域を露出するレジストマスク PR 21 を形成し、n 型ウェル領域 24 を形成する P^+ イオンを加速エネルギー 600 keV、ドーズ量 $3.0 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスク PR 21 は除去する。

【0144】

FIG. 10C に示すように、高電圧、高閾値 p チャンネルトランジスタ P - HV - HVt 及び低電圧 p チャンネルトランジスタ P - LV を露出するレジストマスク PR 22 を形成

50

し、 n 型チャネルストップ領域25を形成する P^+ イオンを加速エネルギー240 keV、ドーズ量 $5.0 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR22は除去する。

【0145】

FIG. 10Dに示すように、低電圧及び高電圧、低閾値 n チャネルトランジスタN-LV、N-HV-LVtを露出するレジストマスクPR51を形成し、閾値調整領域16を形成する B^+ イオンを加速エネルギー10 keV、ドーズ量 $2.5 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。このドーズ量は、例えばFIG. 5Eのイオン注入のドーズ量 $4 \times 10^{12} \text{ cm}^{-2}$ より少ない。その後レジストマスクPR51は除去する。

【0146】

FIG 10Eに示すように、高電圧、低閾値 n チャネルトランジスタN-HV-LVt及び低電圧 p チャネルトランジスタP-LVを露出するレジストマスクPR52を形成し、低電圧 p チャネルMOSトランジスタの閾値調整領域26を形成する As^+ イオンを加速エネルギー100 keV、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。このドーズ量は、FIG. 5Fのイオン注入のドーズ量と同一である。

【0147】

高電圧、低閾値 n チャネルトランジスタN-HV-LVtにおいては、閾値調整用にボロン(B)と砒素(As)とがイオン注入されるが、分布が異なるため閾値は所望の値0.2 Vとなる。その後レジストマスクPR52は除去する。

【0148】

その後、公知の方法により2種類の厚さを有するゲート絶縁膜を成長し、ゲート電極をその上に形成する。なお、低電圧 n チャネルトランジスタN-LVにおいては、閾値調整領域16のドーズ量が不足して閾値が低くなっている。

【0149】

FIG. 10Fに示すように、低電圧 p チャネルトランジスタP-LVを露出するレジストマスクPR23を形成し、エクステンション及びポケットのイオン注入を行なう。エクステンションは、 B^+ イオンを加速エネルギー0.5 keV、ドーズ量 $3.6 \times 10^{14} \text{ cm}^{-2}$ でイオン注入する。ポケットは、 As^+ イオンを加速エネルギー80 keV、ドーズ量各 $6.5 \times 10^{12} \text{ cm}^{-2}$ で法線方向から28度傾いた4方向からイオン注入する。このイオン注入条件は、FIG. 8Uのイオン注入条件と同一である。その後レジストマスクPR23は除去する。

【0150】

FIG. 10Gに示すように、低電圧 n チャネルトランジスタN-LVを露出するレジストマスクPR13を形成し、 As^+ イオンを加速エネルギー3 keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ でイオン注入し、エクステンションを形成する。 BF_2^+ イオンを加速エネルギー35 keV、ドーズ量各 $1.2 \times 10^{13} \text{ cm}^{-2}$ で法線方向から28度傾いた4方向からイオン注入し、ポケットを形成する。ポケットのドーズ量 $1.2 \times 10^{13} \text{ cm}^{-2}$ は、前述の実施例のFIG. 8Vでポケットを形成する BF_2 のドーズ量 $9.5 \times 10^{12} \text{ cm}^{-2}$ よりも増加しており、結果として閾値を高める効果を有する。このようにして、低電圧 n チャネルトランジスタの閾値が適正な値に調整される。その後レジストマスクPR13は除去する。

【0151】

FIG. 10Hに示すように、高電圧 p チャネルトランジスタ領域を露出するレジストマスクPR24を形成し、エクステンションを形成するイオン注入を行なう。例えば BF_2^+ イオンを加速エネルギー80 keV、ドーズ量 $4.5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。FIG. 8Yのイオン注入と同一条件である。その後レジストマスクPR24は除去する。

【0152】

FIG. 10Iに示すように、高電圧 n チャネルMOSトランジスタを露出するレジストマスクPR14を形成し、エクステンションを形成するイオン注入を行なう。例えばP

10

20

30

40

50

* イオンを加速エネルギー 35 keV 、ドーズ量 $4.0 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。FIG. 8Zのイオン注入条件と同一条件である。その後、サイドウォールスペーサの形成及び高濃度ソース/ドレイン領域のイオン注入を行なう。

【0153】

FIG. 10Jがこのようにして形成された半導体装置の構成を概略的に示す。ポケットを備えたトランジスタにおいては、ポケットの不純物濃度によっても閾値を調整できる。

【0154】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、イオン注入する不純物の加速エネルギー、ドーズ量等は設計に合わせて変更する。ハードマスク層として種々の絶縁物を用いることができる。その他種々の変更、改良、組み合わせが可能なのは当業者に自明であろう。

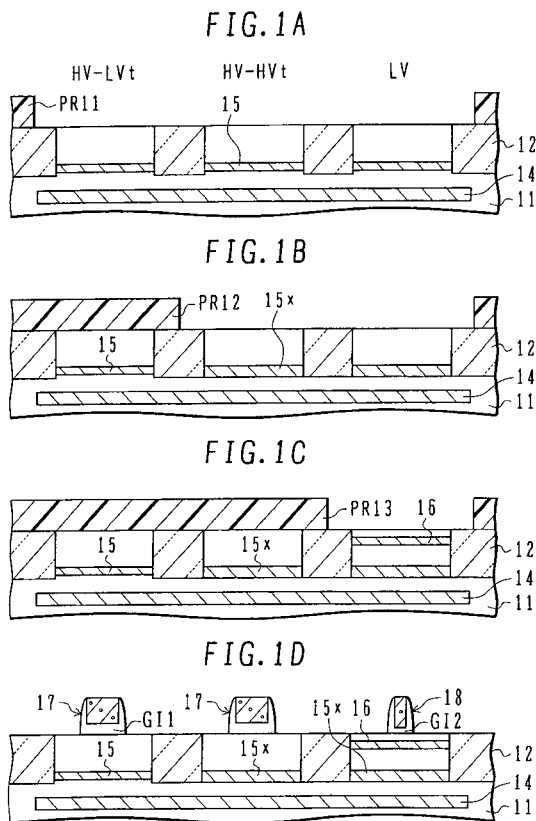
【産業上の利用可能性】

【0155】

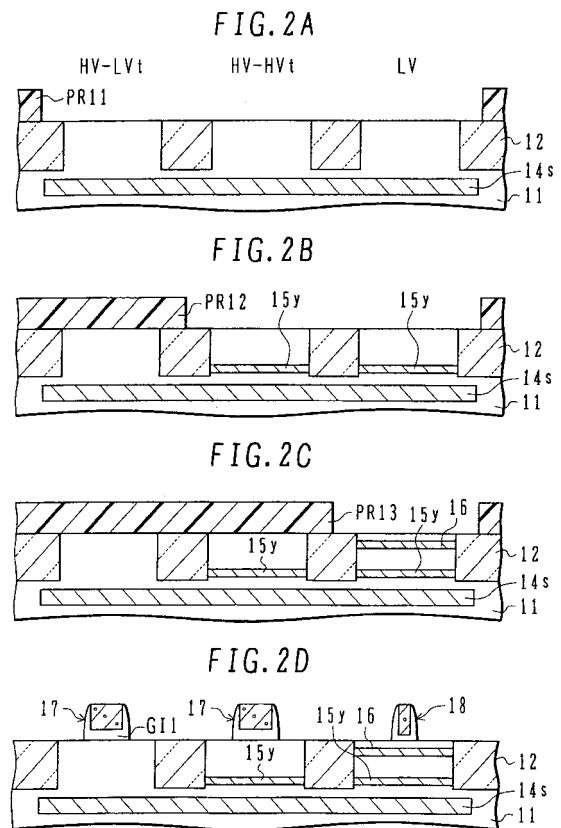
システムオンチップ等複数種類の半導体回路を混載した半導体装置に広く用いることができる。

10

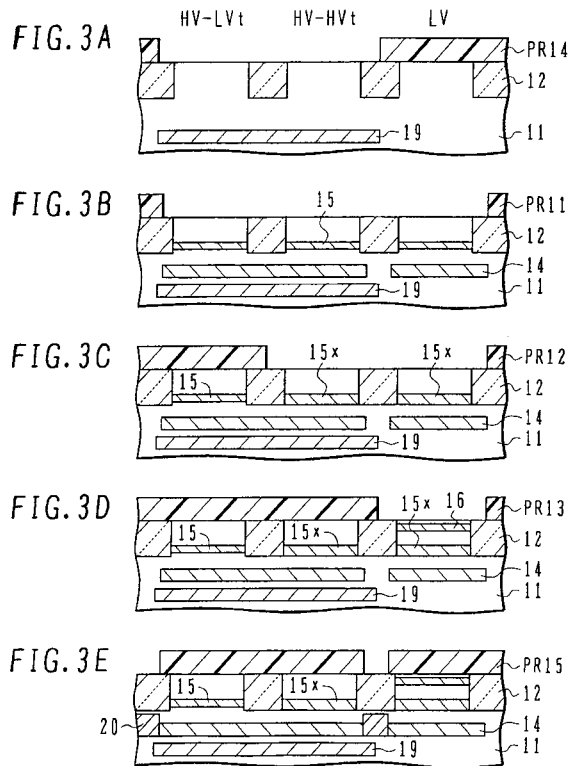
【図 1】



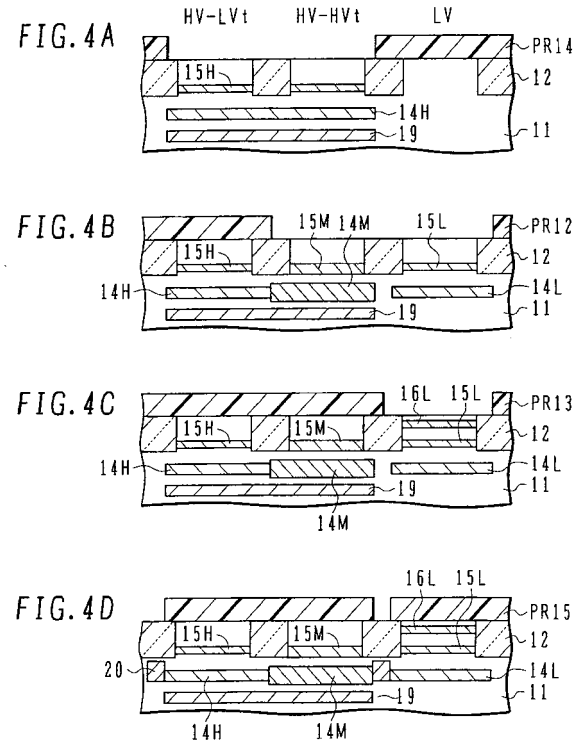
【図 2】



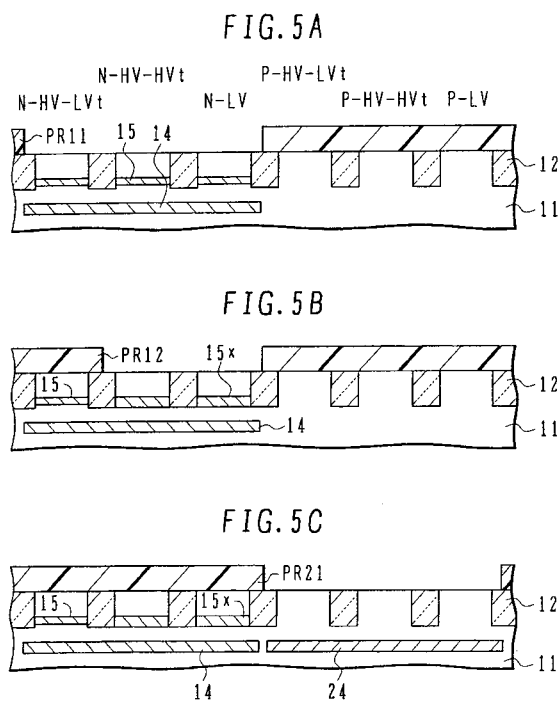
【図 3】



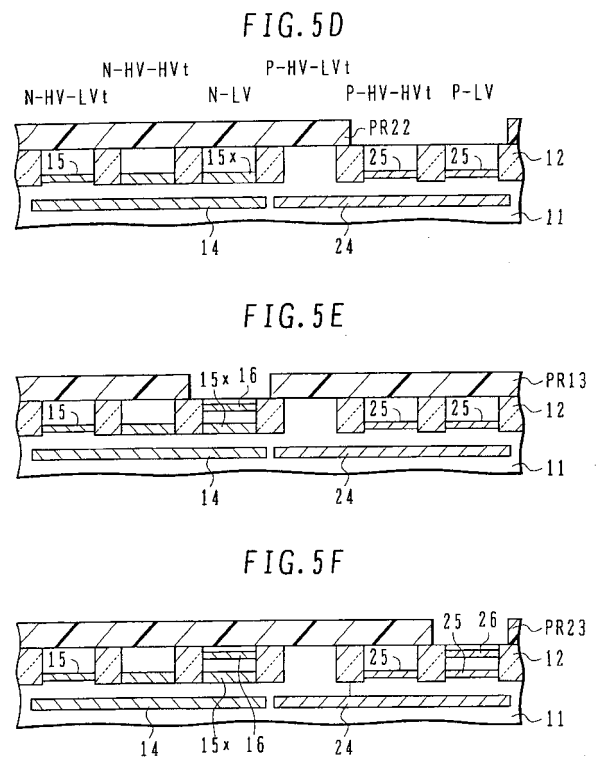
【図 4】



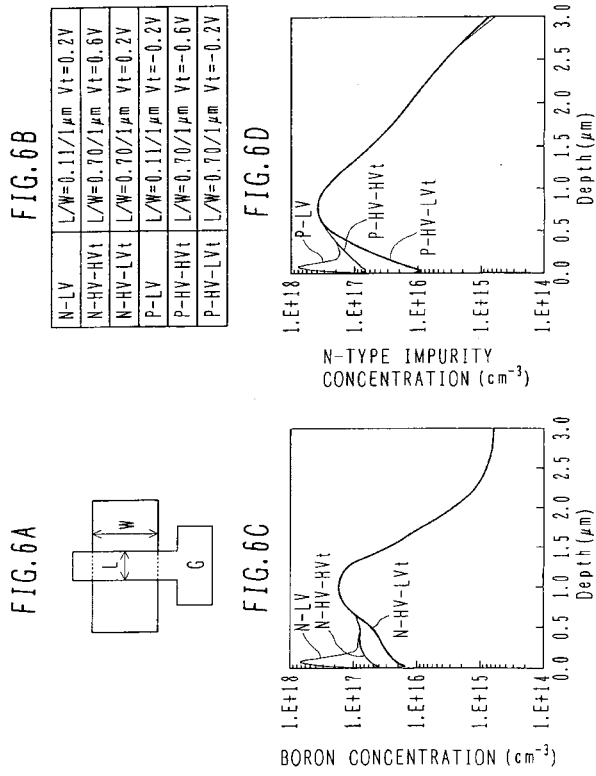
【図 5 - 1】



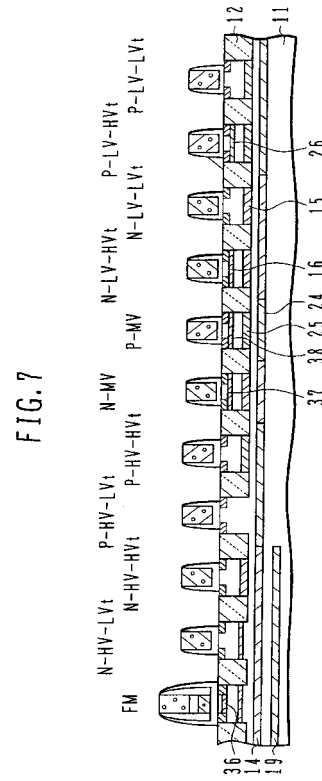
【図 5 - 2】



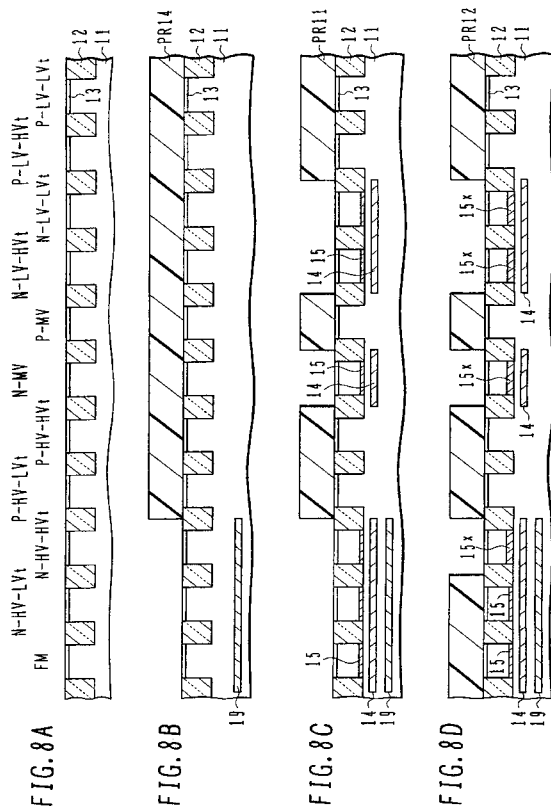
【 図 6 】



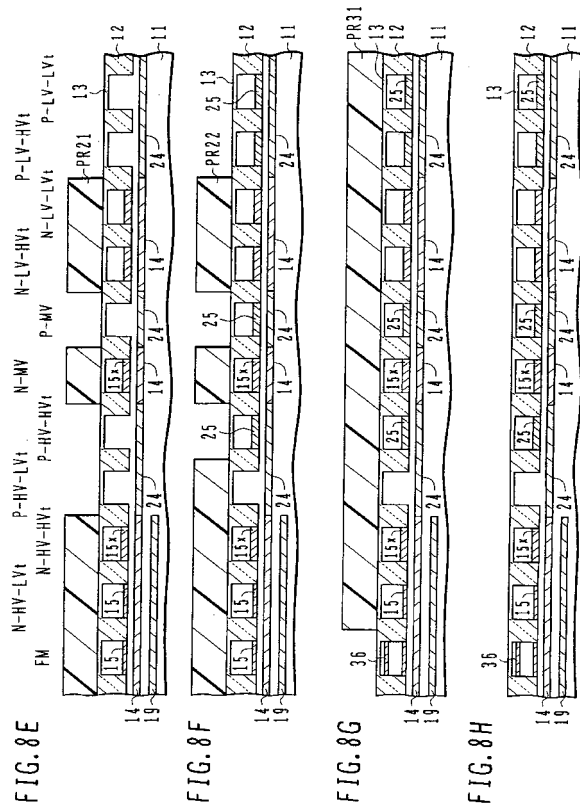
【 図 7 】



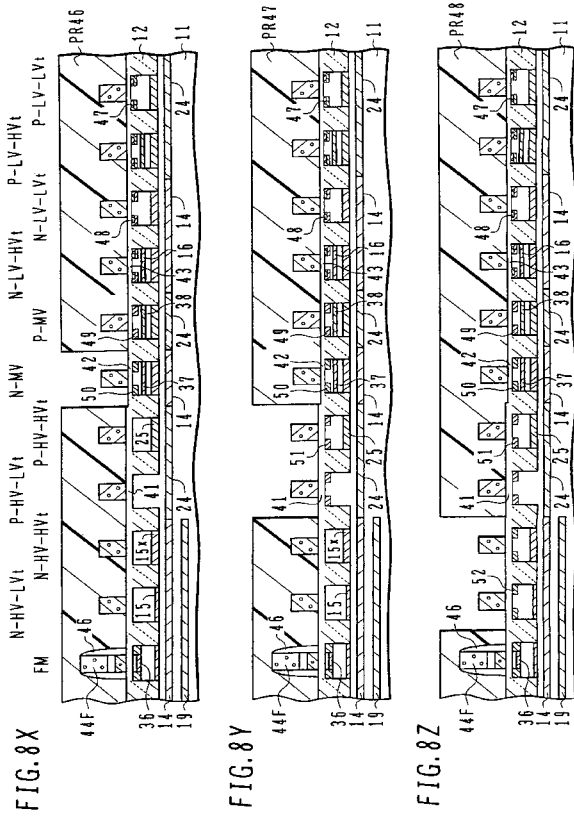
【 図 8 - 1 】



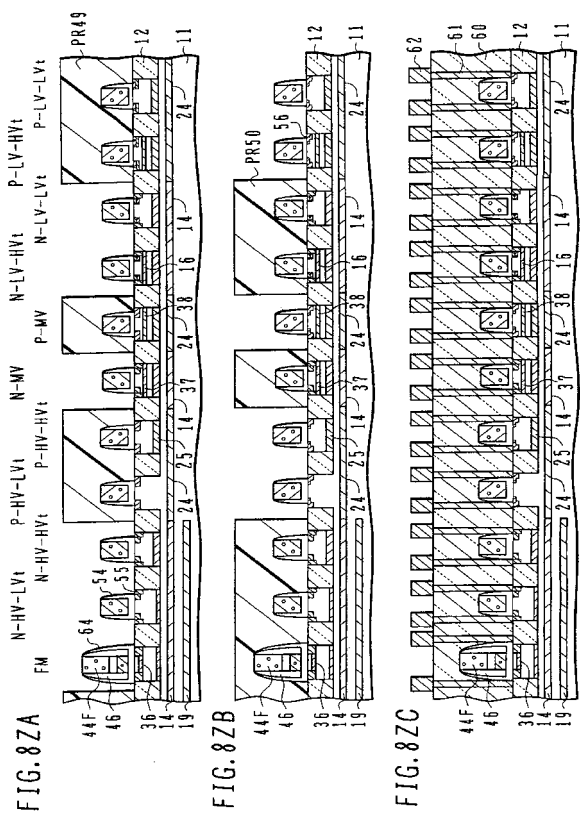
【 図 8 - 2 】



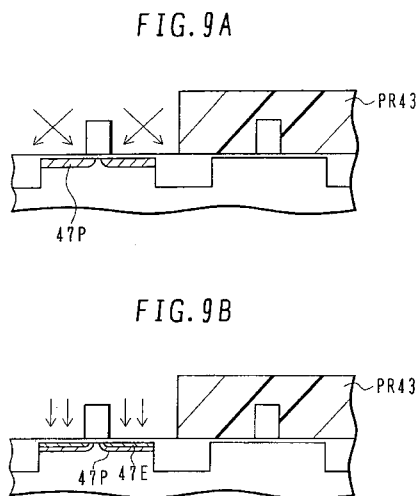
【 図 8 - 7 】



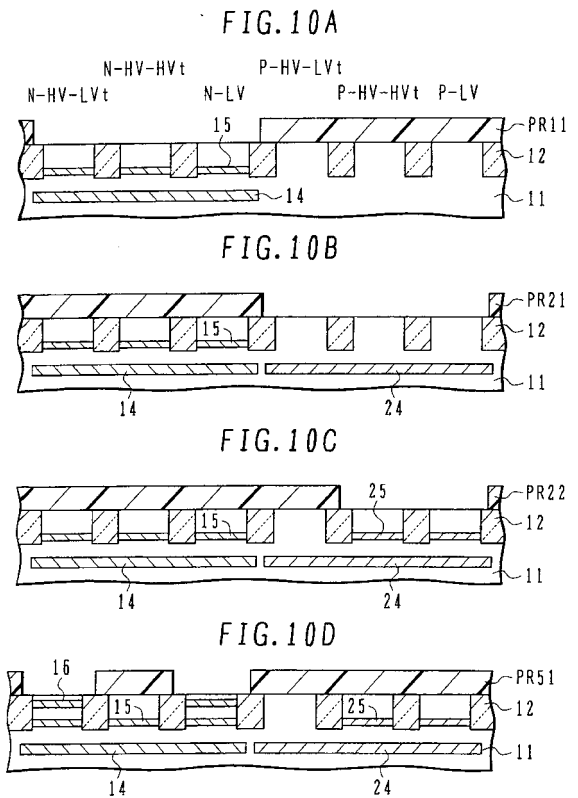
【 図 8 - 8 】



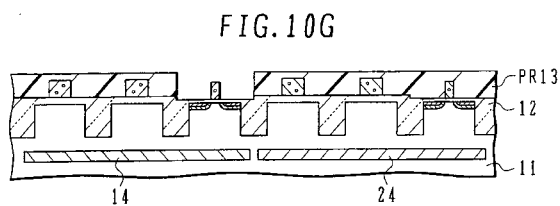
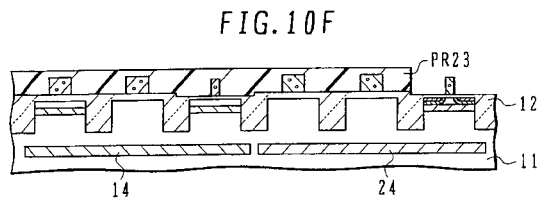
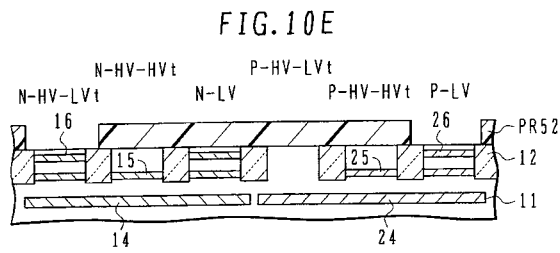
【 図 9 】



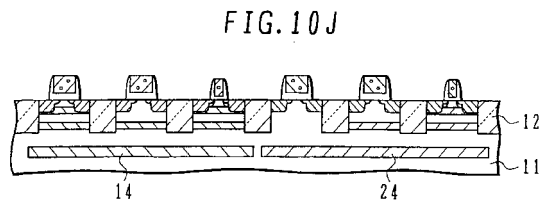
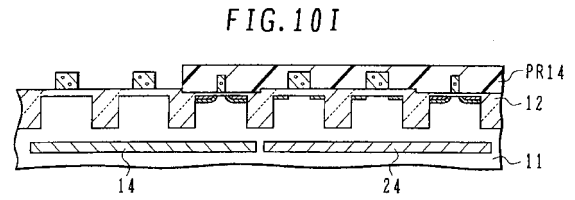
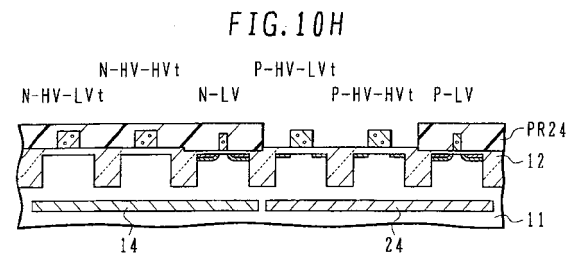
【 図 1 0 - 1 】



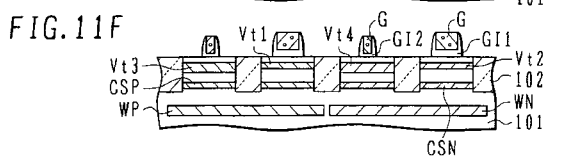
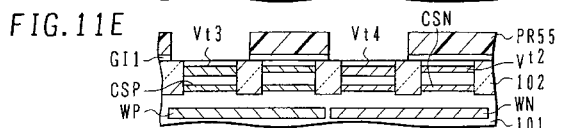
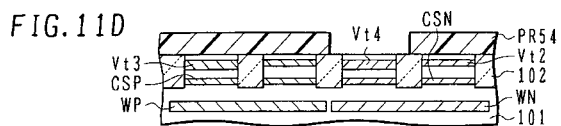
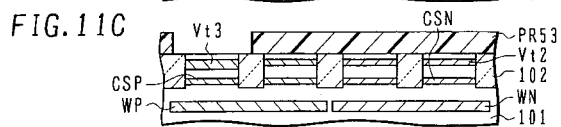
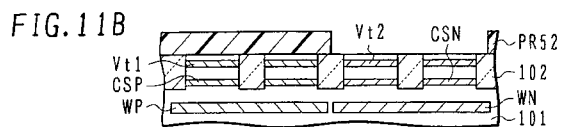
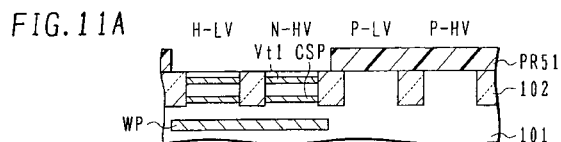
【図 10 - 2】



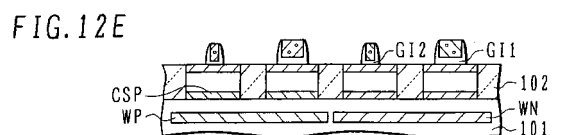
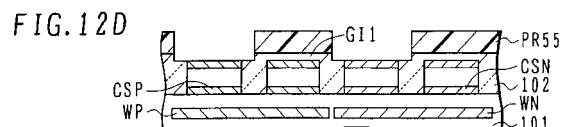
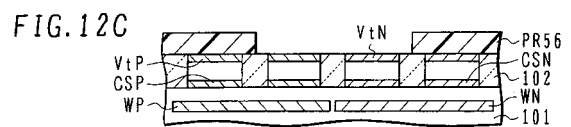
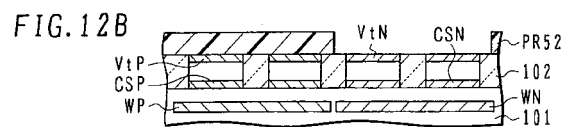
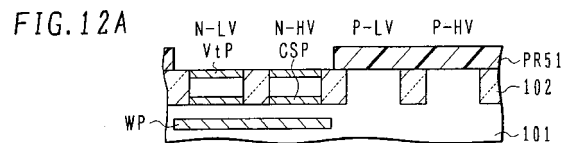
【図 10 - 3】



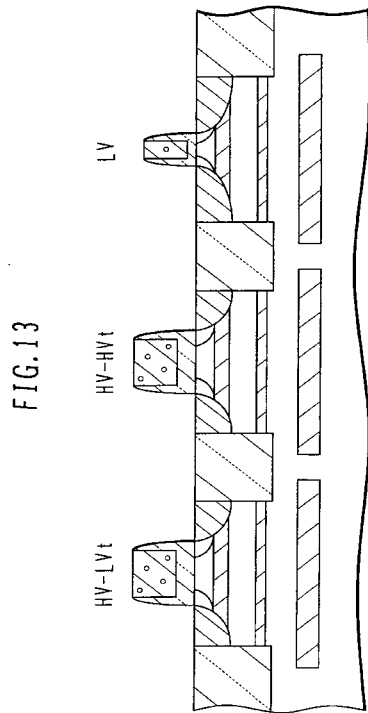
【図 11】



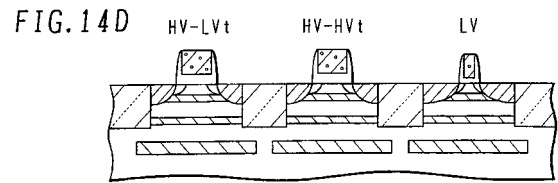
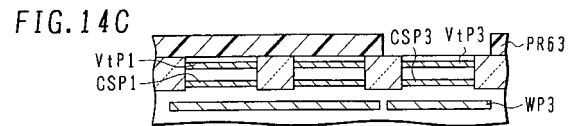
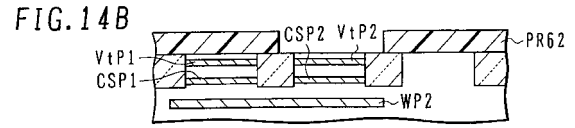
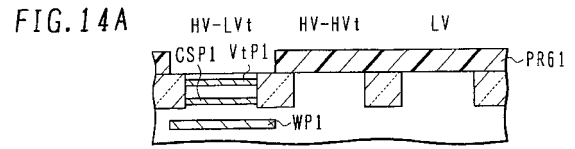
【図 12】



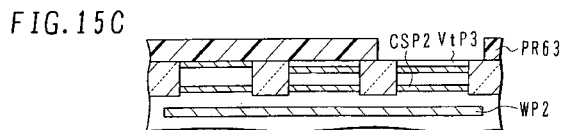
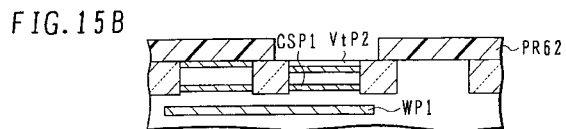
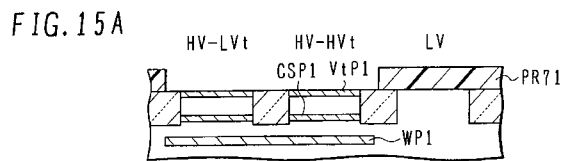
【図 13】



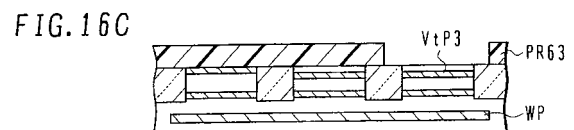
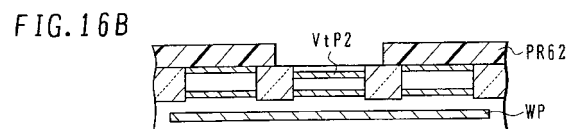
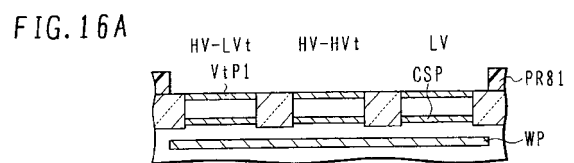
【図 14】



【図 15】



【図 16】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/792 (2006.01)

(72)発明者 姉崎 徹

東京都新宿区西新宿二丁目7番1号 富士通マイクロエレクトロニクス株式会社内

Fターム(参考) 5F048 AA09 AB01 AB03 AB06 AB07 AC01 AC03 BA01 BA12 BB03
BB05 BB16 BB18 BC05 BD02 BD04 BE01 BE02 BE03 BE04
BE05 BE06 BF11 BF16 BG13 DA03 DA05
5F083 EP02 EP22 NA01 PR36 PR43 PR46 PR53 PR56 ZA08
5F101 BA01 BB02 BD02 BD36 BH09 BH21