

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 2 区分  
 【発行日】平成22年12月9日 (2010.12.9)

【公開番号】特開2008-135729(P2008-135729A)  
 【公開日】平成20年6月12日 (2008.6.12)  
 【年通号数】公開・登録公報2008-023  
 【出願番号】特願2007-276352(P2007-276352)  
 【国際特許分類】

H 0 1 L 27/10 (2006.01)  
 H 0 1 L 27/04 (2006.01)  
 H 0 1 L 21/822 (2006.01)  
 G 1 1 C 17/06 (2006.01)  
 G 1 1 C 13/00 (2006.01)

【F I】

H 0 1 L 27/10 4 3 1  
 H 0 1 L 27/10 4 6 1  
 H 0 1 L 27/04 L  
 G 1 1 C 17/06 Z  
 G 1 1 C 13/00 A

【手続補正書】  
 【提出日】平成22年10月21日 (2010.10.21)

【手続補正 1】  
 【補正対象書類名】明細書  
 【補正対象項目名】発明の名称  
 【補正方法】変更

【補正の内容】  
 【発明の名称】記憶装置の駆動方法

【手続補正 2】  
 【補正対象書類名】特許請求の範囲  
 【補正対象項目名】全文  
 【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

シリコンとシリサイド反応する材料を用いて形成された第 1 の導電層と、前記第 1 の導電層より仕事関数の小さい第 2 の導電層との間にシリコンを含む膜が形成されたメモリ素子を有する記憶装置の駆動方法であって、  
 前記メモリ素子にデータを書き込む際に、前記第 1 の導電層にハイレベルの電圧値を印加し、前記第 2 の導電層にロウレベルの電圧値を印加し、  
 前記メモリ素子のデータを読み出す際に、前記第 2 の導電層にハイレベルの電圧値を印加し、前記第 1 の導電層にロウレベルの電圧値を印加し、前記第 1 の導電層の電位を読み出すことを特徴とする記憶装置の駆動方法。

【請求項 2】

シリコンとシリサイド反応する材料を用いて形成された第 1 の導電層と、前記第 1 の導電層より仕事関数の小さい第 2 の導電層との間にシリコンを含む膜が形成されたメモリ素子と、  
第 1 の電極、第 2 の電極及びゲート電極を有する第 1 のトランジスタと、  
第 1 の電極、第 2 の電極及びゲート電極を有する第 2 のトランジスタと、を有し

前記第 1 のトランジスタの第 1 の電極が前記第 1 の導電層と電氣的に接続され、  
前記第 2 のトランジスタの第 1 の電極が前記第 1 の導電層と電氣的に接続され、前記第 2  
のトランジスタの第 2 の電極が接地される記憶装置の駆動方法であって、  
前記メモリ素子にデータを書き込む際に、前記第 1 のトランジスタをオンにし、前記第 1  
のトランジスタの第 2 の電極にハイレベルの電圧値を印加することによって前記第 1 の導  
電層にハイレベルの電圧値を印加し、かつ前記第 2 のトランジスタをオフにするとともに  
前記第 2 の導電層にロウレベルの電圧値を印加し、  
前記メモリ素子に書き込まれたデータを読み出す際に、前記第 1 のトランジスタ及び前記  
第 2 のトランジスタをオンにして、前記第 1 の導電層にロウレベルの電圧値を印加すると  
ともに、前記第 2 の導電層にハイレベルの電圧値を印加して、前記第 1 のトランジスタの  
第 2 の電極から前記第 1 の導電層の電位を読み出すことを特徴とする記憶装置の駆動方法  
。

【請求項 3】

シリコンとシリサイド反応する材料を用いて形成された第 1 の導電層と、前記第 1 の導電  
層より仕事関数の小さい第 2 の導電層との間にシリコンを含む膜が形成されたメモリ素子  
と、  
第 1 の電極、第 2 の電極及びゲート電極を有する第 1 のトランジスタと、  
第 1 の電極、第 2 の電極及びゲート電極を有する第 2 のトランジスタと、  
第 1 の電極、第 2 の電極及びゲート電極を有する第 3 のトランジスタと、を有し  
前記第 1 のトランジスタの第 1 の電極が前記第 1 の導電層と電氣的に接続され、  
前記第 2 のトランジスタの第 1 の電極が前記第 1 の導電層と電氣的に接続され、前記第 2  
のトランジスタの第 2 の電極が接地され、  
前記第 3 のトランジスタの第 1 の電極が前記第 2 の導電層と電氣的に接続され、前記第 3  
のトランジスタの第 2 の電極が前記第 2 のトランジスタのゲート電極と電氣的に接続され  
、前記第 3 のトランジスタのゲート電極が前記第 1 のトランジスタのゲート電極と電氣的  
に接続される記憶装置の駆動方法であって、  
前記メモリ素子にデータを書き込む際に、前記第 1 のトランジスタをオンにし、前記第 1  
のトランジスタの第 2 の電極にハイレベルの電圧値を印加することによって、前記第 1 の  
導電層にハイレベルの電圧値を印加し、かつ前記第 3 のトランジスタをオンにし、前記第  
2 のトランジスタをオフにすることによって前記第 2 の導電層にロウレベルの電圧値を印  
加し、  
前記メモリ素子のデータを読み出す際に、前記第 1 のトランジスタをオンにし、前記第 3  
のトランジスタをオンにし、前記第 2 のトランジスタをオンにして、前記第 1 の導電層に  
ロウレベルの電圧値を印加するとともに、前記第 2 の導電層にハイレベルの電圧値を印加  
し、前記第 1 のトランジスタの第 2 の電極から前記第 1 の導電層の電位を読み出すことを  
特徴とする記憶装置の駆動方法。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、前記メモリ素子にデータを書き込む際に  
前記第 1 の導電層に印加する前記ハイレベルの電圧値と、前記メモリ素子のデータを読み  
出す際に前記第 2 の導電層に印加する前記ハイレベルの電圧値が同一であることを特徴と  
する記憶装置の駆動方法。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、前記シリコンを含む膜は、アモルファス  
シリコン膜、微結晶シリコン膜、又は多結晶シリコン膜であることを特徴とする記憶装置  
の駆動方法。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正の内容】

## 【 0 0 3 5 】

以下に、回路の動作方法について具体的に説明する。本実施の形態において、メモリ素子の A 点側（第 1 の電極側）に例えば W などの金属からなる電極が設けられ、B 点側（第 2 の電極側）に例えば T i などのシリサイド化しやすい金属からなる電極が設けられており、メモリ素子の A 点側に H I G H レベル、B 点側に L O W レベルの電圧値が印加された場合に、シリコン膜がシリサイド化するものとする。