

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成22年12月9日(2010.12.9)

【公開番号】特開2008-135729(P2008-135729A)

【公開日】平成20年6月12日(2008.6.12)

【年通号数】公開・登録公報2008-023

【出願番号】特願2007-276352(P2007-276352)

【国際特許分類】

H 01 L 27/10 (2006.01)

H 01 L 27/04 (2006.01)

H 01 L 21/822 (2006.01)

G 11 C 17/06 (2006.01)

G 11 C 13/00 (2006.01)

【F I】

H 01 L 27/10 4 3 1

H 01 L 27/10 4 6 1

H 01 L 27/04 L

G 11 C 17/06 Z

G 11 C 13/00 A

【手続補正書】

【提出日】平成22年10月21日(2010.10.21)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】記憶装置の駆動方法

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

シリコンとシリサイド反応する材料を用いて形成された第1の導電層と、前記第1の導電層より仕事関数の小さい第2の導電層との間にシリコンを含む膜が形成されたメモリ素子を有する記憶装置の駆動方法であって、

前記メモリ素子にデータを書き込む際に、前記第1の導電層にハイレベルの電圧値を印加し、前記第2の導電層にロウレベルの電圧値を印加し、

前記メモリ素子のデータを読み出す際に、前記第2の導電層にハイレベルの電圧値を印加し、前記第1の導電層にロウレベルの電圧値を印加し、前記第1の導電層の電位を読み出すことを特徴とする記憶装置の駆動方法。

【請求項2】

シリコンとシリサイド反応する材料を用いて形成された第1の導電層と、前記第1の導電層より仕事関数の小さい第2の導電層との間にシリコンを含む膜が形成されたメモリ素子と、

第1の電極、第2の電極及びゲート電極を有する第1のトランジスタと、

第1の電極、第2の電極及びゲート電極を有する第2のトランジスタと、を有し

前記第1のトランジスタの第1の電極が前記第1の導電層と電気的に接続され、
前記第2のトランジスタの第1の電極が前記第1の導電層と電気的に接続され、前記第2
のトランジスタの第2の電極が接地される記憶装置の駆動方法であって、
前記メモリ素子にデータを書き込む際に、前記第1のトランジスタをオンにし、前記第1
のトランジスタの第2の電極にハイレベルの電圧値を印加することによって前記第1の導
電層にハイレベルの電圧値を印加し、かつ前記第2のトランジスタをオフにするとともに
前記第2の導電層にロウレベルの電圧値を印加し、
前記メモリ素子に書き込まれたデータを読み出す際に、前記第1のトランジスタ及び前記
第2のトランジスタをオンにして、前記第1の導電層にロウレベルの電圧値を印加すると
ともに、前記第2の導電層にハイレベルの電圧値を印加して、前記第1のトランジスタの
第2の電極から前記第1の導電層の電位を読み出すことを特徴とする記憶装置の駆動方法
。

【請求項3】

シリコンとシリサイド反応する材料を用いて形成された第1の導電層と、前記第1の導電
層より仕事関数の小さい第2の導電層との間にシリコンを含む膜が形成されたメモリ素子
と、

第1の電極、第2の電極及びゲート電極を有する第1のトランジスタと、
第1の電極、第2の電極及びゲート電極を有する第2のトランジスタと、
第1の電極、第2の電極及びゲート電極を有する第3のトランジスタと、を有し
前記第1のトランジスタの第1の電極が前記第1の導電層と電気的に接続され、
前記第2のトランジスタの第1の電極が前記第1の導電層と電気的に接続され、前記第2
のトランジスタの第2の電極が接地され、
前記第3のトランジスタの第1の電極が前記第2の導電層と電気的に接続され、前記第3
のトランジスタの第2の電極が前記第2のトランジスタのゲート電極と電気的に接続され
、前記第3のトランジスタのゲート電極が前記第1のトランジスタのゲート電極と電気的に
接続される記憶装置の駆動方法であって、

前記メモリ素子にデータを書き込む際に、前記第1のトランジスタをオンにし、前記第1
のトランジスタの第2の電極にハイレベルの電圧値を印加することによって、前記第1の導
電層にハイレベルの電圧値を印加し、かつ前記第3のトランジスタをオンにし、前記第
2のトランジスタをオフにすることによって前記第2の導電層にロウレベルの電圧値を印
加し、

前記メモリ素子のデータを読み出す際に、前記第1のトランジスタをオンにし、前記第3
のトランジスタをオンにし、前記第2のトランジスタをオンにして、前記第1の導電層に
ロウレベルの電圧値を印加するとともに、前記第2の導電層にハイレベルの電圧値を印加
し、前記第1のトランジスタの第2の電極から前記第1の導電層の電位を読み出すことを
特徴とする記憶装置の駆動方法。

【請求項4】

請求項1乃至請求項3のいずれか一項において、前記メモリ素子にデータを書き込む際に
前記第1の導電層に印加する前記ハイレベルの電圧値と、前記メモリ素子のデータを読み
出す際に前記第2の導電層に印加する前記ハイレベルの電圧値が同一であることを特徴と
する記憶装置の駆動方法。

【請求項5】

請求項1乃至請求項4のいずれか一項において、前記シリコンを含む膜は、アモルファス
シリコン膜、微結晶シリコン膜、又は多結晶シリコン膜であることを特徴とする記憶装置
の駆動方法。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正の内容】

【0035】

以下に、回路の動作方法について具体的に説明する。本実施の形態において、メモリ素子のA点側（第1の電極側）に例えばWなどの金属からなる電極が設けられ、B点側（第2の電極側）に例えばTiなどのシリサイド化しやすい金属からなる電極が設けられており、メモリ素子のA点側にHIGHレベル、B点側にLOWレベルの電圧値が印加された場合に、シリコン膜がシリサイド化するものとする。