(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년02월11일
(11) 등록번호 10-2059746
(24) 등록일자 2019년12월19일

(51) 국제특허분류(Int. Cl.)
H03F 3/08 (2006.01) *H03F 1/02* (2006.01)
H03F 1/22 (2006.01)
(52) CPC특허분류
H03F 3/082 (2013.01)
H03F 1/0211 (2013.01)
(21) 출원번호 10-2018-0070501
(22) 출원일자 2018년06월19일
심사청구일자 2018년06월19일
(56) 선행기술조사문헌
KR101694075 B1*
C. Hoyle 외, "Bootstrapping Techniques to Improve the Bandwidth of Transimpedance Amplifiers," IEE Colloquium on Analog Signal Processing, 1998. 10.*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
이화여자대학교 산학협력단
서울특별시 서대문구 이화여대길 52 (대현동, 이화여자대학교)
(72) 발명자
박성민
경기도 성남시 분당구 미금로 114, 206동 102호(구미동, 하얀마을그랜드빌라)
박윤지
서울특별시 광진구 뚝섬로34길 9, 201동 1610호(자양동, 자양2차현대아파트)
(74) 대리인
특허법인(유한)아이시스

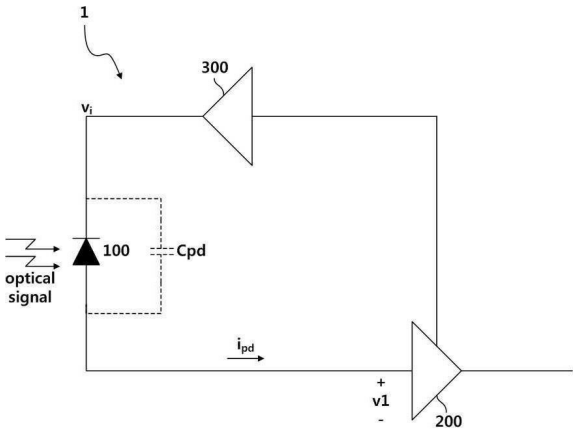
전체 청구항 수 : 총 6 항 심사관 : 신우열

(54) 발명의 명칭 **부트스트랩 회로를 포함하는 전달 임피던스 증폭기**

(57) 요 약

본 실시예에 의한 전달 임피던스 증폭기는: 광신호에 상응하는 전류 신호를 일단을 통하여 제공하는 광 소자와, 전류 신호에 상응하는 전압 신호를 복제하여 출력하는 증폭 회로 및 복제된 전압 신호를 제공받고, 레벨 시프팅하여 광 소자의 타단에 제공하는 부트스트랩 회로를 포함한다.

대 표 도



(52) CPC특허분류
H03F 1/223 (2013.01)

공지예외적용 : 있음

명 세 서

청구범위

청구항 1

광신호에 상응하는 전류 신호를 일단을 통하여 제공하는 광 소자;

상기 전류 신호에 상응하는 전압 신호를 형성하여 상기 광 소자의 일단에 형성하고, 상기 전압 신호를 복제하여 출력하는 증폭 회로 및

복제된 전압 신호를 제공받고, 레벨 시프팅하여 상기 광 소자의 타단에 제공하는 부트스트랩 회로를 포함하며,

상기 부트스트랩 회로는

캐스케이드로 연결된 비반전 레벨 시프터인 소스 팔로워(source follower)와, 반전 레벨 시프터인 공통 소스 증폭기를 포함하며,

상기 비반전 레벨 시프터인 소스 팔로워와 상기 반전 레벨 시프터인 공통 소스 증폭기는 상기 복제된 전압 신호를 제공받아 직류 레벨을 시프트 업하여 상기 광소자의 타단에 출력하여 상기 광소자를 역바이어스 하는 전달 임피던스 증폭기.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 증폭 회로는 캐스코드 증폭기 회로를 포함하며,

상기 캐스코드 증폭기 회로가 복제하여 출력하는 입력 신호는 반전되어 복제된 입력 신호인 전달 임피던스 증폭기.

청구항 5

제4항에 있어서,

상기 부트스트랩 회로는 상기 반전되어 복제된 입력 신호를 제공받고, 반전하여 상기 타단에 제공하는 전달 임피던스 증폭기.

청구항 6

제1항에 있어서,

상기 증폭 회로는 캐스코드 증폭기 회로를 포함하며,

상기 캐스코드 증폭기 회로가 복제하여 출력하는 입력 신호는 상기 입력 신호와 동일한 위상으로 복제된 입력 신호인 전달 임피던스 증폭기.

청구항 7

제6항에 있어서,

상기 부트스트랩 회로는 상기 입력 신호와 동일한 위상으로 복제된 입력 신호를 제공받고, 상기 타단에 제공하는 전달 임피던스 증폭기.

청구항 8

제1항에 있어서,

상기 부트스트랩 회로는, 적어도 두 개의 스테이지를 포함하며,

최초 스테이지에 제공되는 구동 전압에 비하여 최후 스테이지에 제공되는 구동 전압이 더 큰 전달 임피던스 증폭기.

청구항 9

삭제

발명의 설명

기 술 분 야

[0001] 본 기술은 부트스트랩 회로를 포함하는 전달 임피던스 증폭기와 관련된다.

배 경 기 술

[0002] 광을 수신하고, 상응하는 신호를 형성하는 프론트 엔드(front-end) 회로에는 역방향 바이어스된 포토 다이오드를 이용하는 것이 일반적이다. 포토 다이오드의 공핍층(depletion region)에 광이 제공되면 EHP(전자-정공 쌍, electron-hole pair)가 생성되어 광 신호에 상응하는 전류가 형성된다. 포토 다이오드에서 형성된 전류 신호는 전달 임피던스 증폭기(TIA, trans-impedance amplifier)에 의하여 상응하는 전압 신호로 변환될 수 있다.

[0003] 전달 임피던스 증폭기의 노이즈 특성과 대역폭 특성은 포토 다이오드를 모델링한 커패시터의 커패시턴스에 의존하나, 커패시턴스가 작은 경우에는 제공된 광 신호의 손실(loss)이 발생할 수 있다. 즉, 노이즈 특성과 대역폭 특성을 유지하기 위하여 커패시턴스를 감소시키면 광 신호의 손실이 발생할 수 있으며, 반대로, 광 신호에 대한 민감도를 향상시키기 위하여 커패시턴스를 증가시키면 노이즈 특성과 대역폭 특성이 열화될 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 실시예는 광 신호 민감도 열화없이 전달 임피던스 증폭기의 노이즈 특성과 대역폭 특성을 유지할 수 있는 전달 임피던스 증폭기를 제공하는 것이 주된 목표 중 하나이다.

과제의 해결 수단

[0005] 본 실시예에 의한 전달 임피던스 증폭기는: 광신호에 상응하는 전류 신호를 일단을 통하여 제공하는 광 소자와, 전류 신호에 상응하는 전압 신호를 복제하여 출력하는 증폭 회로 및 복제된 전압 신호를 제공받고, 레벨 시프팅하여 광 소자의 타단에 제공하는 부트스트랩 회로를 포함한다.

발명의 효과

[0006] 본 실시예의 전달 임피던스 증폭기에 의하면, 직류적으로 광소자에 역 바이어스(reverse bias)를 가한 채로 부트스트랩에 의하여 광소자 양단에 교류적으로 동일한 전압을 제공한다. 따라서, 신호 측면에서 커패시터에 의한 노이즈 특성 열화, 광신호 민감도 열화 현상을 감소시킬 수 있으며, 대역폭 특성을 유지할 수 있다는 효과가 제공된다.

도면의 간단한 설명

[0007] 도 1은 본 실시예에 의한 전달 임피던스 증폭기의 개요를 도시한 블록도이다.

도 2는 증폭 회로 일 실시예의 개요적 회로도이다.

도 3은 부트스트랩 회로 실시예의 개요를 도시한 회로도이다.

도 4는 본 실시예에 의한 부트스트랩 회로를 포함하는 전달 임피던스 증폭기의 시뮬레이션 결과이다.

발명을 실시하기 위한 구체적인 내용

[0008] 도 1은 본 실시예에 의한 전달 임피던스 증폭기(1)의 개요를 도시한 블록도이다. 도 1을 참조하면, 본 실시예에 의한 전달 임피던스 증폭기(1)는 제공된 광신호(optical signal)에 상응하는 전류 신호(i_{pd})를 일단을 통하여 제공하는 광 소자(100)와, 전류 신호에 상응하는 전압 신호(v_1)를 복제하여 출력하는 증폭 회로(200) 및 복제된 전압 신호(v_1)를 제공받고, 레벨 시프팅하여 광 소자의 타단에 제공하는 부트스트랩 회로(300)를 포함한다.

[0009] 광소자(100)는 광 신호(optical signal)를 제공받고, 상응하는 전류 신호(i_{pd})를 출력하는 포토 다이오드(photo diode)일 수 있다. 포토 다이오드는 동작을 위하여 역방향 바이어스가 제공될 수 있으며, 그에 따라 형성된 공핍층(depletion region)에 광 신호가 제공되면 광 신호에 상응하는 전류(i_{pd})가 형성된다. 공핍층은 도시된 바와 같이 커패시턴스(Cpd)의 커패시터로 모델링 가능하다.

수학식 1

[0010] $$BW=\frac{1}{(2\pi R_{in}(C_{in}+C_{pd}))}$$

[0011] (Rin: 증폭 회로의 입력 저항, Cin, 증폭 회로의 입력 커패시턴스, Cpd:광소자의 등가 커패시턴스)

수학식 2

[0012] $$\overline{i_{eq}^2}\cong\alpha\omega^2\left(C_{pd}+C_{in}\right)^2$$

[0013] ($\overline{i_{eq}}$: 평균 노이즈 전류, α: 상수, ω: 신호의 각주파수, Cin, 증폭 회로의 입력 커패시턴스, Cpd:광소자의 등가 커패시턴스)

[0014] 광소자(100)의 대역폭(BW)는 위의 수학식 1로 표시될 수 있으며, 광소자(100)의 노이즈 스펙트럼 밀도는 수학식 2로 표시될 수 있다. 수학식 1과 수학식 2로 표시된 바와 같이 광 소자(100)의 등가 커패시턴스(Cpd)가 증가할수록 대역폭(BW)은 감소하며, 평균 노이즈 전류는 증가한다. 광 소자(100)의 사이즈를 감소시키면 등가 커패시턴스(Cpd)는 감소한다. 그러나, 그에 따라 광소자(100)에 대한 손실(loss)가 발생하여 광 신호(optical signal)에 대한 민감도가 감소한다. 따라서, 광 신호(optcal signal)의 민감도를 유지하되, 노이즈 특성과 대역폭 특성을 유지하는 것이 필요하다.

[0015] 도 2는 증폭 회로(200) 일 실시예의 개요적 회로도이다. 도 2를 참조하면, 증폭 회로(200)는 제공된 전류 신호(i_{pd})에 상응하는 전압 신호를 제공하는 캐스코드 증폭기(210a, 210b)를 포함할 수 있다. 일 실시예로, 증폭회로(200)는 공통 소스 증폭기(M_1), 공통 게이트 증폭기(M_3), 부하 저항(RD_1) 및 피드백 저항(RF_1)을 포함하는 캐스코드 회로(210a)를 포함할 수 있다. 또한, 증폭 회로(200)는 공통 소스 증폭기(M_2), 공통 게이트 증폭기(M_4), 부하 저항(RD_2) 및 피드백 저항(RF_2)을 포함하는 캐스코드 회로(210b)를 포함할 수 있다. 또한, 증폭 회로(200)는 서로 반전된 관계의 출력 신호(V_{on}, V_{op})를 출력하는 두 개의 캐스코드 증폭기 쌍(210a, 210b)을 포함할 수 있다.

[0016] 전류 신호(i_{pd})가 제공됨에 따라 캐스코드 증폭기(210a)의 입력 저항(Rin)과의 관계에서 전압 신호(v_1)가 형성된다. 공통 소스 증폭기(M1)의 이득은 트랜지스터 M1의 전달 컨덕턴스인 gm1과 부하저항 값의 곱으로 표현된다. M1의 출력에서 형성되는 부하 저항의 값은 M1의 출력 저항 ro1과 공통 게이트 증폭기(M3)의 입력 저항의 병렬 저항으로 연산될 수 있다. 제1 공통 게이트 증폭기(M3)의 입력 저항은 1/gm3, (gm3: M3의 전달 컨덕턴스)로 표현될 수 있다. 이를 수학식으로 정리하면 수학식 3과 같다.

수학식 3

[0017]
$$R = -gm_1 \cdot \left(\frac{1}{gm3} \parallel ro1 \right)$$

[0018] (gm_1: M1의 전달 컨덕턴스, gm_3: M3의 전달 컨덕턴스)

[0019] 수학식 3에서, 공통 게이트 증폭기(M3)의 입력 저항값인 1/gm3의 값은 공통 소스 증폭기(M1)의 출력 저항인 ro1에 비하여 작은 값을 가지므로, 출력 저항값은 더 작은 값을 가지는 1/gm3로 근사된다. 또한, 공통 소스 증폭기(M1)를 형성하는 트랜지스터 M1과 공통 게이트 증폭기(M3)를 형성하는 트랜지스터 M2의 사이즈가 같으면 두 트랜지스터의 전달 컨덕턴스는 서로 같다. 따라서, 수학식 3은 아래의 수학식 4와 같이 근사될 수 있다.

수학식 4

[0020]
$$A \simeq -gm_1 \cdot \left(\frac{1}{gm3} \right) = -1$$

[0021] 수학식 4에서 보여지는 바와 같이 공통 소스 증폭기(M1)의 이득은 -1로 근사될 수 있다. 그에 따라 입력에 형성되는 전압(v1)은 출력 노드(X)에서 반전되어 동일한 진폭을 가지도록 복제되어 나타난다. 후술할 바와 같이 반전되어 복제된 전압(v1')은 부트스트랩 회로(300)에 제공될 수 있다.

[0022] 반전되어 복제된 전압(v1')은 커플링 커패시터(Cc)를 통하여 직류 성분은 차단되고 교류 성분이 공통 소스 증폭기(M2)의 입력으로 제공된다. 캐스코드 증폭기(210b)에 포함된 공통 소스 증폭기(M2)와 공통 게이트 증폭기(M4)의 크기가 동일하다면, 위에서 설명된 바와 같이 공통 소스 증폭기(M4)의 출력 노드(Y)에는 반전되어 복제된 전압(v1')이 다시 반전된 v1 전압이 형성된다. 일 예로, 캐스코드 증폭기(210b)에 형성된 전압(v1)은 부트스트랩 회로(300)에 제공될 수 있다.

[0023] 따라서, 공통 소스 증폭기(M1)와 공통 소스 증폭기(M2)는 서로 반전된 위상을 가지는 입력 신호를 제공 받고, 서로 반전된 위상을 가지는 출력 신호를 제공하는 차동 증폭기로 동작할 수 있다. 또한, 커플링 커패시터(Cc)에 의하여 직류 성분이 블록(block)되므로, 제2 공통 소스 증폭기(M3)의 바이어스 전압을 제1 공통 소스 증폭기(M1)의 바이어스 전압과 동일하게 유지할 수 있다.

[0024] 제1 캐스코드 증폭기(210a)와 제2 캐스코드 증폭기(210b)의 이득은 공통 소스 증폭기의 전달 컨덕턴스와 공통 게이트 증폭기에서 보이는 부하 저항 값의 곱으로 표시될 수 있다. 공통 게이트 증폭기(M3)에서 보이는 부하 저항은 M3의 출력 저항과 부하저항(RD1)의 병렬 저항이다.

[0025] 제1 공통 게이트 증폭기(M3)의 출력 저항은 M3의 전달 컨덕턴스 gm3, M3의 출력 저항 ro3 및 M1의 출력 저항인 ro1의 곱으로 표시될 수 있다. 병렬 저항 값은 병렬 연결된 저항 중 작은 저항값을 가지는 저항값보다 작아지며, 병렬 연결된 저항의 저항값이 크면 클수록 병렬 연결된 저항 중 작은 저항값으로 근사되므로, 공통 게이트 증폭기에서 보이는 부하 저항 값은 부하 저항인 RD1 값으로 근사된다. 따라서, 캐스코드 증폭기의 이득은 아래의 수학식 3과 같이 정리될 수 있다.

수학식 5

$$A = -gm1 \cdot Ro$$
$$= -gm1\{gm2 \cdot ro1 \cdot ro2 \parallel (R_{D1})\}$$
$$\simeq -gm1 \cdot R_{D1}$$

[0026]

[0027] 즉, 캐스코드 증폭기의 이득은 제1 공통 소스 증폭기(M1)의 전달 컨덕턴스와 제1 부하저항(RD1)의 곱으로 근사된다.

[0028] 제1 저항(Rfa)와 제2 저항(Rfb)는 각각 제1 캐스코드 증폭기 및 제2 캐스코드 증폭기의 입력 노드와 출력 노드 사이에 연결되어 피드백 경로를 형성하며, 각각 제1 캐스코드 증폭기(210a)과 제2 캐스코드 증폭기(210b)의 전달 컨덕턴스를 결정한다.

[0029] 도 3은 부트스트랩 회로(300)와 광소자의 연결 실시예의 개요를 도시한 회로도이다. 도 3을 참조하면, 부트스트랩 회로(300)는 버퍼 스테이지인 PMOS의 소스 팔로워(source follower, M5)와 증폭 스테이지인 NMOS 공통 소스 증폭기(M6)를 포함할 수 있다. 버퍼 스테이지와 증폭 스테이지에 제공되는 구동 전압들(VDD1, VDD2)은 서로 다를 수 있다. 일 예로, 증폭 스테이지에 포함된 NMOS 공통 소스 증폭기(M6)에 제공되는 구동 전압(VDD2)은 버퍼 스테이지에 포함된 PMOS 소스 팔로워(M5)에 제공되는 구동 전압(VDD1)에 비하여 클 수 있다. 일 예로, VDD1이 1.2V 이면, VDD2는 3.3V일 수 있다.

[0030] 증폭 스테이지에 포함된 트랜지스터(M6)는 고전압에도 파괴되지 않는 큰 사이즈를 가지는 소자로 형성될 수 있으며, 일 예로, 증폭 스테이지에 포함된 트랜지스터(M6)는 두꺼운 게이트(thick gate)를 가지는 트랜지스터로 형성될 수 있다.

[0031] 부트스트랩 회로(300)에 입력으로 제공된 복제되어 반전된 신호(v1')는 소스 팔로워(M5)에 제공된다. 소스 팔로워(M5)는 제공된 신호(v1')를 버퍼(buffer)하여 출력한다. 비록 소스 팔로워(M5)가 버퍼이나, 그 이득은 1보다 낮으므로, 소스 팔로워(M5)에서 출력되어 공통 소스 증폭기(M6)에 입력된 신호는 증폭 회로(200)에 형성된 신호(v1)의 진폭보다 작다. 즉, 공통 소스 증폭기(M6)의 이득은 부트스트랩 회로(300)의 이득의 절대값이 1이 되도록 제어된다.

[0032] 공통 소스 증폭기(M6)는 입력된 신호를 증폭하여 광 소자(100)의 일단에 출력하며, 공통 소스 증폭기(M6)의 이득은 그 출력신호가 증폭 회로(200)에 형성된 신호(v1)의 진폭과 동일하도록 제어된다.

[0033] 광 소자(100)의 일단과 타단에는 교류적으로 서로 동일한 신호가 제공된다. 즉, 광 소자를 모델링한 커패시터의 양단에는 교류적으로 서로 동일한 전압이 제공되므로, 교류 신호의 측면에서 커패시터는 제거된 것과 등가이다. 따라서, 수학식 1과 수학식 2에서 Cpd 항이 0으로 수렴하므로, 대역폭이 광소자의 등가 커패시터에 의하여 감소하지 않으며, 노이즈 특성도 광소자의 등가 커패시터에 의하여 열화되지 않는다.

[0034] 직류적으로 살펴보면, 부트스트랩 회로(300)에 제공되는 신호(v1')는 PMOS 소스 팔로워(M5)에 의하여 그 소스-게이트 전압만큼 승압되어 출력된다. 공통 소스 회로(M6)에 제공된 신호는 그 게이트-소스 전압만큼 승압되어 광 소자(100)의 타단에 제공된다. 공통 소스 증폭기(M1)에서 출력된 v1'신호의 직류 전압이 M1의 게이트-소스 전압에 상응하고, 트랜지스터 M1, M5의 게이트-소스간 전압이 동일하다면 트랜지스터 M6의 게이트에는 게이트-소스간 전압의 두배에 상응하는 전압이 형성되어 큰 사이즈를 가지는 M6 트랜지스터를 구동할 수 있다.

[0035] 일 예로, VDD(도 2 참조)와 VDD1(도 3)이 모두 1.2V이고, 트랜지스터 M1, M5의 게이트-소스간 전압이 모두 0.6V이고, VDD2가 3.3V 이면, 광 소자(100)의 타단에는 3V에 가까운 전압이 제공된다.

[0036] 따라서, 광소자(100)의 일단에 제공되는 직류 전압은 타단에 제공되는 직류 전압에 비하여 크므로, 광소자(100)에 충분한 역 방향 바이어스(reverse bias)를 제공할 수 있다.

[0037] 또한, 도시된 도 3에는 반전되어 복제된 v1'이 하나의 PMOS 소스 팔로워(M5)와 하나의 NMOS 공통 소스 증폭기(M6)를 포함하는 증폭스테이지에 제공되어 증폭되는 구성을 개시하고 있다. 그러나, 도시되지 않는 실시예에 의하면, 복제된 v1이 하나의 PMOS 소스 팔로워와 짝수개의 NMOS 공통 소스 증폭기를 포함하는 증폭스테이지에 제공되어 증폭된다. 증폭 스테이지의 출력 신호는 광 소자(100)의 타단에 제공될 수 있다. 이 경우에도 부트스트

랩 회로 이득의 절대값은 1이 되도록 제어되어 광 소자(100)의 타 단에는 v1 신호가 제공된다.

[0038] **모의실험 결과**

[0039] 도 4는 도 3으로 예시된 부트스트랩 회로를 포함하는 전달 임피던스 증폭기의 시뮬레이션 결과이다. 증폭 회로(200)에 제공되는 구동 전압과, PMOS 소스 팔로워에는 구동 전압(VDD1)으로 1.2V를 제공하였고, 공통 소스 증폭기(M6)에는 구동 전압(VDD2)으로 3.3V를 제공하였다.

[0040] 검정색 실선은 반전된 부트스트랩 회로(300)의 입력신호(v1')를 나타내며, 청색 실선은 부트스트랩 회로(300)의 출력신호 파형이다. 도 4에서 확인할 수 있는 바와 같이 두 파형의 진폭은 유사하며, 두 파형 사이의 지연에 따란 부정합(delay mismatch)는 0.613 fs 이하이다. 또한, 부트스트랩 회로의 입력 전압의 공통전압(DC 전압)은 약 0.6 V인 반면에 bootstrap 회로의 출력 DC전압은 3.09 V로써, 광소자의 타단에 역 방향 바이어스를 제공하는 것을 확인하였다.

[0041] 본 발명에 대한 이해를 돕기 위하여 도면에 도시된 실시 예를 참고로 설명되었으나, 이는 실시를 위한 실시예로, 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위에 의해 정해져야 할 것이다.

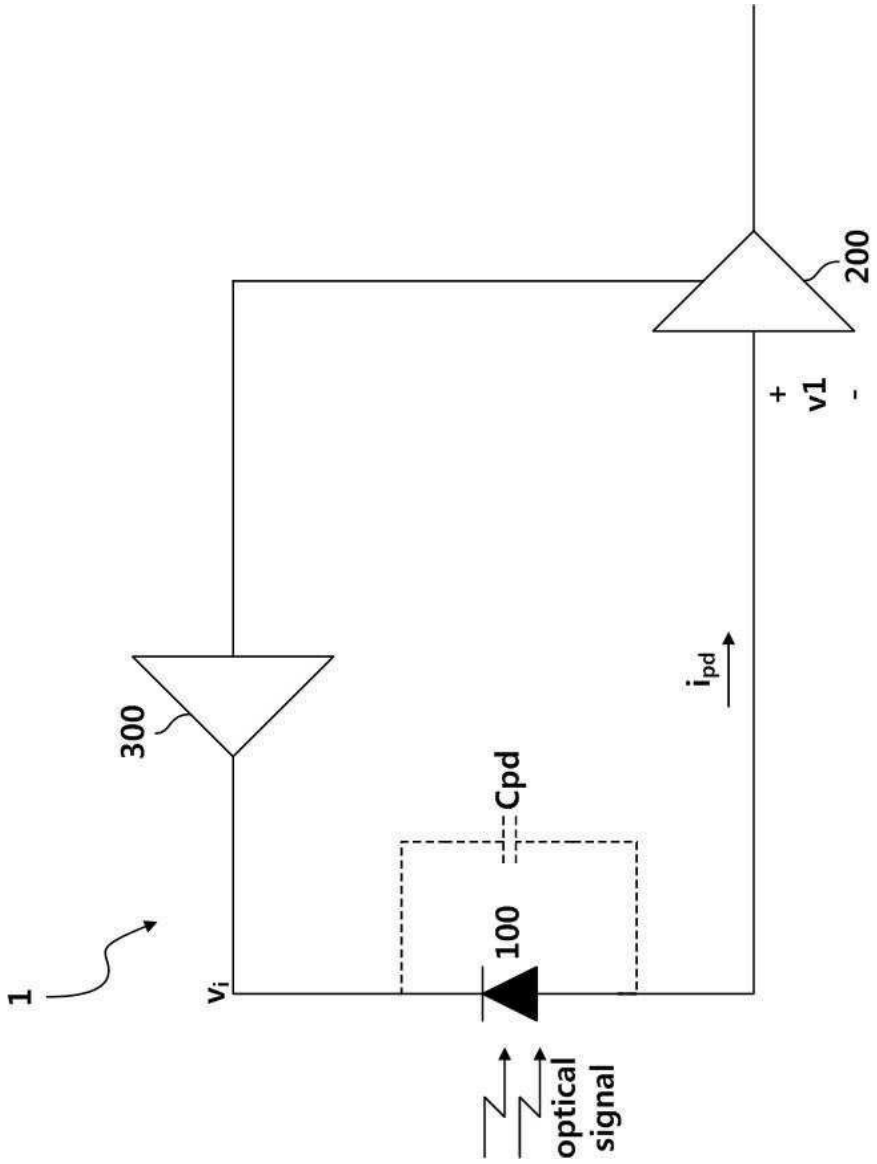
부호의 설명

[0042] 100: 광소자 200: 증폭 회로

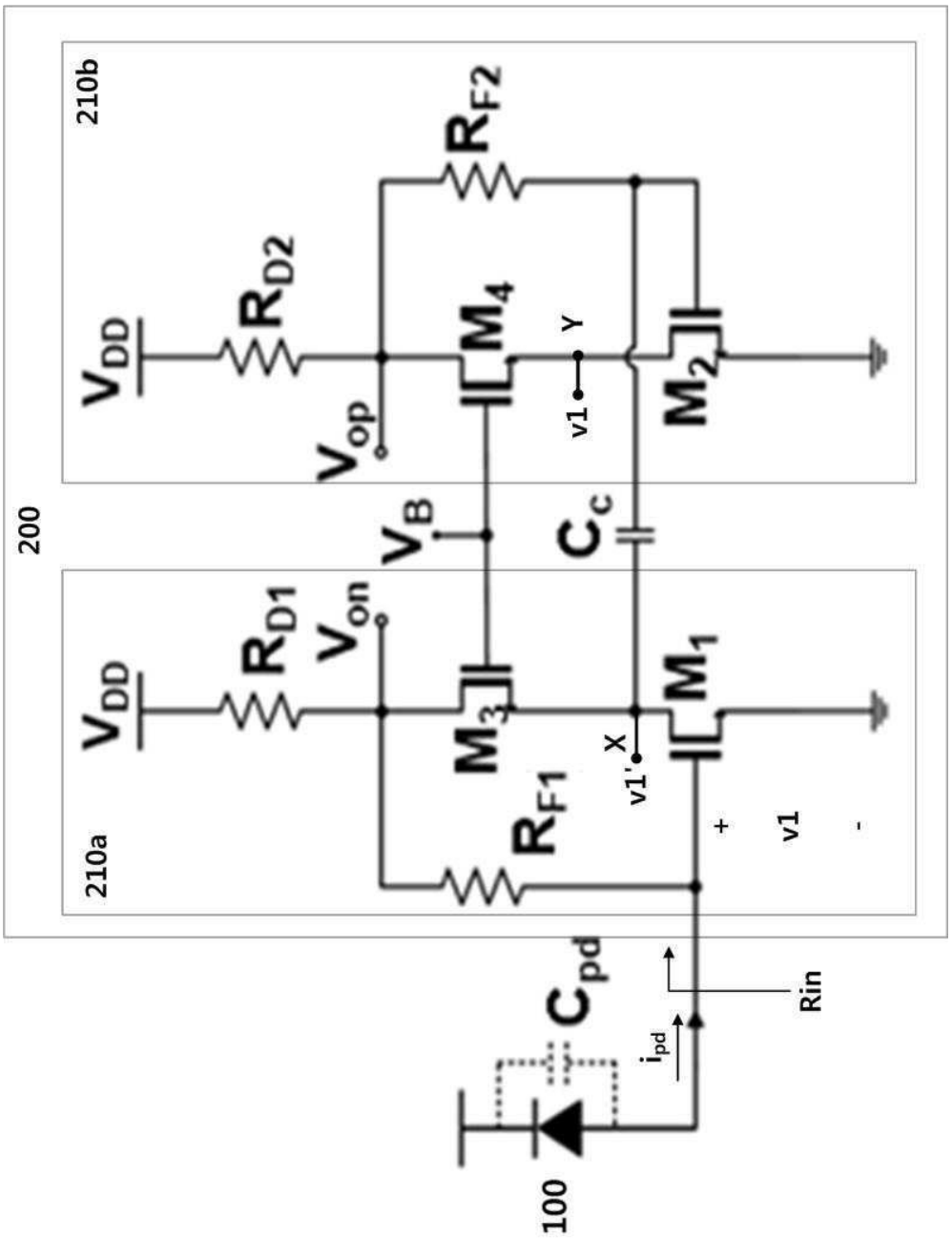
210a, 210b: 캐스코드 증폭기 300: 부트스트랩 회로

도면

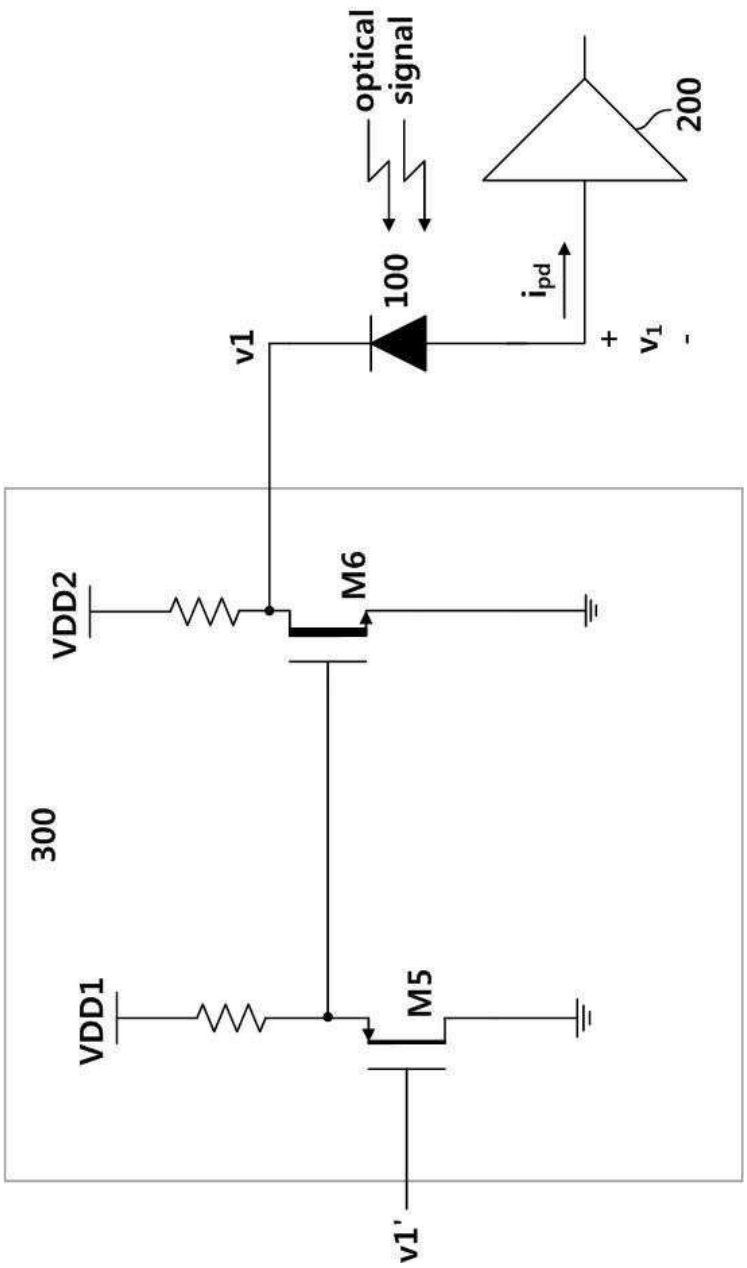
도면1



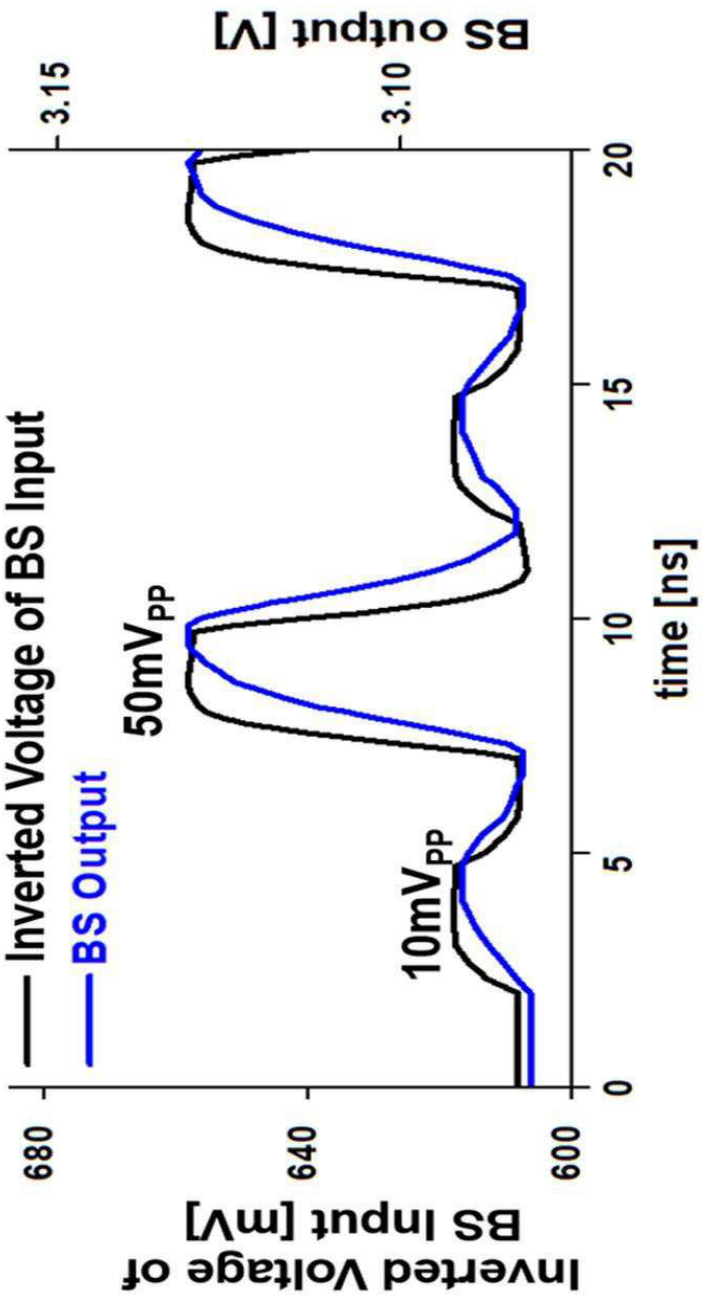
도면2


200
210b
210a
R_{F2}
R_{D2}
V_{DD}
M_4
Y
V_{op}
v1
M_2
V_B
C_c
R_{D1}
V_{on}
V_{DD}
M_3
M_1
X
v1'
R_{F1}
+
v1
-
C_{pd}
Rin
i_{pd}
100

도면3



도면4



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 6항

【변경전】

상기 입력 신호는

【변경후】

입력 신호는

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 4항

【변경전】

상기 입력 신호는

【변경후】

입력 신호는