

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5103502号  
(P5103502)

(45) 発行日 平成24年12月19日 (2012.12.19)

(24) 登録日 平成24年10月5日 (2012.10.5)

(51) Int. Cl.	F I
<b>H O 1 L 33/00 (2010.01)</b>	H O 1 L 33/00 J
<b>B 4 1 J 2/44 (2006.01)</b>	B 4 1 J 3/21 L
<b>B 4 1 J 2/45 (2006.01)</b>	
<b>B 4 1 J 2/455 (2006.01)</b>	

請求項の数 6 (全 35 頁)

(21) 出願番号	特願2010-117106 (P2010-117106)	(73) 特許権者	591044164
(22) 出願日	平成22年5月21日 (2010.5.21)		株式会社沖データ
(65) 公開番号	特開2011-243910 (P2011-243910A)		東京都港区芝浦四丁目1番22号
(43) 公開日	平成23年12月1日 (2011.12.1)	(73) 特許権者	500002571
審査請求日	平成24年3月22日 (2012.3.22)		株式会社沖デジタルイメージング
			群馬県高崎市西横手町1番地1
		(74) 代理人	100086807
			弁理士 柿本 恭成
		(74) 代理人	100155321
			弁理士 綾木 健一郎
		(74) 代理人	100091362
			弁理士 阿仁屋 節雄
		(74) 代理人	100145872
			弁理士 福岡 昌浩

最終頁に続く

(54) 【発明の名称】 駆動装置、プリントヘッド及び画像形成装置

(57) 【特許請求の範囲】

【請求項1】

第1端子と、第2端子と、前記第1端子及び前記第2端子間をオン/オフ制御する第1制御端子と、をそれぞれ有する複数段の発光サイリスタにおける前記第1端子が電源に共通接続されると共に前記第2端子が共通端子に共通接続された発光サイリスタアレイを駆動する駆動装置であって、

前記電源により動作して前記共通端子を高/低論理レベルに駆動する第1駆動回路と、第3端子と、第4端子と、前記第3端子及び前記第4端子間をそれぞれオン/オフ制御する第2制御端子及び第3制御端子と、をそれぞれ有する複数段の走査サイリスタにおける各段の前記第3端子が前記電源に共通接続されると共に、各段の前記第2制御端子が各段の前記発光サイリスタにおける前記第1制御端子にそれぞれ接続され、前記各段の発光サイリスタを順に走査する走査回路部と、

前記電源により動作して前記走査回路部を駆動するための第1クロック信号及び第2クロック信号を生成し、第1クロック端子及び第2クロック端子からそれぞれ出力する第2駆動回路とを備え、

奇数段の前記走査サイリスタにおける前記第4端子は、前記第1クロック端子に共通接続され、偶数段の前記走査サイリスタにおける前記第4端子は、前記第2クロック端子に共通接続され、初段の前記走査サイリスタにおける前記第2制御端子は、前記第2クロック端子に接続され、前段の前記走査サイリスタにおける前記第3制御端子は、電気的接続手段を介して後段の前記走査サイリスタにおける前記第2制御端子にそれぞれ接続されてい

10

20

ることを特徴とする駆動装置。

【請求項 2】

第 1 端子と、第 2 端子と、前記第 1 端子及び前記第 2 端子間をオン / オフ制御する第 1 制御端子と、をそれぞれ有する複数段の発光サイリスタにおける前記第 1 端子が共通端子に共通接続されると共に前記第 2 端子がグランドに共通接続された発光サイリスタアレイを駆動する駆動装置であって、

電源により動作して前記共通端子を高 / 低論理レベルに駆動する第 1 駆動回路と、

第 3 端子と、第 4 端子と、前記第 3 端子及び前記第 4 端子間をそれぞれオン / オフ制御する第 2 制御端子及び第 3 制御端子と、をそれぞれ有する複数段の走査サイリスタにおける各段の前記第 4 端子が前記グランドに共通接続されると共に、各段の前記第 2 制御端子が各段の前記発光サイリスタにおける前記第 1 制御端子にそれぞれ接続され、前記各段の発光サイリスタを順に走査する走査回路部と、

前記電源により動作して前記走査回路部を駆動するための第 1 クロック信号及び第 2 クロック信号を生成し、第 1 クロック端子及び第 2 クロック端子からそれぞれ出力する第 2 駆動回路とを備え、

奇数段の前記走査サイリスタにおける前記第 3 端子は、前記第 1 クロック端子に共通接続され、偶数段の前記走査サイリスタにおける前記第 3 端子は、前記第 2 クロック端子に共通接続され、初段の前記走査サイリスタにおける前記第 2 制御端子は、前記第 2 クック端子に接続され、前段の前記走査サイリスタにおける前記第 3 制御端子は、電氣的接続手段を介して後段の前記走査サイリスタにおける前記第 2 制御端子にそれぞれ接続されていることを特徴とする駆動装置。

【請求項 3】

前記走査サイリスタは、PNPNPN の 6 層の半導体層により構成されていることを特徴とする請求項 1 又は 2 記載の駆動装置。

【請求項 4】

前記電氣的接続手段は、抵抗により構成されていることを特徴とする請求項 1 又は 2 記載の駆動装置。

【請求項 5】

第 1 端子と、第 2 端子と、前記第 1 端子及び前記第 2 端子間をオン / オフ制御する第 1 制御端子と、をそれぞれ有する複数段の発光サイリスタにおける前記第 1 端子が電源に共通接続されると共に前記第 2 端子が共通端子に共通接続された発光サイリスタアレイと、前記発光サイリスタアレイを駆動する駆動装置と、を備えたプリントヘッドであって、前記駆動装置は、

前記電源により動作して前記共通端子を高 / 低論理レベルに駆動する第 1 駆動回路と、

第 3 端子と、第 4 端子と、前記第 3 端子及び前記第 4 端子間をそれぞれオン / オフ制御する第 2 制御端子及び第 3 制御端子と、をそれぞれ有する複数段の走査サイリスタにおける各段の前記第 3 端子が前記電源に共通接続されると共に、各段の前記第 2 制御端子が各段の前記発光サイリスタにおける前記第 1 制御端子にそれぞれ接続され、前記各段の発光サイリスタを順に走査する走査回路部と、

前記電源により動作して前記走査回路部を駆動するための第 1 クロック信号及び第 2 クロック信号を生成し、第 1 クロック端子及び第 2 クロック端子からそれぞれ出力する第 2 駆動回路と、を備え、

奇数段の前記走査サイリスタにおける前記第 4 端子は、前記第 1 クロック端子に共通接続され、偶数段の前記走査サイリスタにおける前記第 4 端子は、前記第 2 クロック端子に共通接続され、初段の前記走査サイリスタにおける前記第 2 制御端子は、前記第 2 クック端子に接続され、前段の前記走査サイリスタにおける前記第 3 制御端子は、電氣的接続手段を介して後段の前記走査サイリスタにおける前記第 2 制御端子にそれぞれ接続されていることを特徴とするプリントヘッド。

【請求項 6】

第 1 端子と、第 2 端子と、前記第 1 端子及び前記第 2 端子間をオン / オフ制御する第 1

制御端子と、をそれぞれ有する複数段の発光サイリスタにおける前記第 1 端子が電源に共通接続されると共に前記第 2 端子が共通端子に共通接続された発光サイリスタアレイと、  
前記発光サイリスタアレイを駆動する駆動装置と、  
を有するプリントヘッドを備え、  
前記プリントヘッドにより露光されて記録媒体に画像を形成する画像形成装置であって

前記駆動装置は、  
前記電源により動作して前記共通端子を高 / 低論理レベルに駆動する第 1 駆動回路と、  
第 3 端子と、第 4 端子と、前記第 3 端子及び前記第 4 端子間をそれぞれオン / オフ制御する第 2 制御端子及び第 3 制御端子と、をそれぞれ有する複数段の走査サイリスタにおける各段の前記第 3 端子が前記電源に共通接続されると共に、各段の前記第 2 制御端子が各段の前記発光サイリスタにおける前記第 1 制御端子にそれぞれ接続され、前記各段の発光サイリスタを順に走査する走査回路部と、

前記電源により動作して前記走査回路部を駆動するための第 1 クロック信号及び第 2 クロック信号を生成し、第 1 クロック端子及び第 2 クロック端子からそれぞれ出力する第 2 駆動回路と、を備え、

奇数段の前記走査サイリスタにおける前記第 4 端子は、前記第 1 クロック端子に共通接続され、偶数段の前記走査サイリスタにおける前記第 4 端子は、前記第 2 クロック端子に共通接続され、初段の前記走査サイリスタにおける前記第 2 制御端子は、前記第 2 クック端子に接続され、前段の前記走査サイリスタにおける前記第 3 制御端子は、電気的接続手段を介して後段の前記走査サイリスタにおける前記第 2 制御端子にそれぞれ接続されていることを特徴とする画像形成装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の発光サイリスタからなる発光サイリスタアレイを駆動する駆動装置、この駆動装置を有するプリントヘッド、及び画像形成装置に関するものである。

【背景技術】

【0002】

従来、電子写真方式を用いたプリンタ等の画像形成装置には、発光素子として発光サイリスタを多数配列させて露光部を形成したのものがある。発光サイリスタを用いたものでは、駆動回路と発光サイリスタとが 1 対 N に対応 ( $N > 1$ ) するように設けられ、その発光サイリスタのゲートを用いて発光させるべき発光サイリスタ位置を指定し、アノード及びカソード間に流す電流値により、発光パワーを制御している。

【0003】

発光サイリスタを用いるプリントヘッドとして、自己走査型と呼ばれる構成のものが公知である。従来の自己走査型のプリントヘッドを例えば 3 . 3 V の電源電圧のもとで駆動しようとする時、電源電圧 3 . 3 V ではゲートトリガ電流を生じさせることができないので、これを補う目的で、転送クロック信号 (以下「クロック信号」を単に「クロック」という。) の波形にアンダシュート電圧を生じさせ、これと電源電圧 3 . 3 V との加算値をもってゲートトリガ電流を生成する構成が公知である。

【0004】

例えば、下記の特許文献 1 の技術では、転送クロック波形を生成するために、クロック駆動回路における 2 つの第 1 出力端子及び第 2 出力端子の内の第 1 出力端子から出力される転送クロックを C R 微分回路に伝達してアンダシュート波形を生じさせ、第 2 出力端子を介して直流成分を伝達するようにしている。なお、クロック駆動回路における出力端子を転送クロック当たり 2 個設けているのは、C R 微分回路においては直流成分を伝達することができず、発光サイリスタ点灯電流を継続させるための電流経路を別途設ける必要があるためである。

【先行技術文献】

10

20

30

40

50

## 【特許文献】

【 0 0 0 5 】

【特許文献 1】特開 2 0 0 4 - 1 9 5 7 9 6 号公報

## 【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 6 】

しかしながら、従来の自己走査型のプリントヘッドでは、クロック駆動回路における出力端子数が転送クロック当たり 2 個要するため、以下のような課題があった。

【 0 0 0 7 】

プリントヘッドにおいては、動作の高速化を目的として、多数の自己走査型のサイリスタアレイチップを設け、同時並列して動作するようにしている。サイリスタアレイチップへのデータ転送クロックとして 2 相クロックが用いられ、サイリスタアレイチップ毎に 2 つのクロックが入力される。このため、自己走査型のプリントヘッドのクロック駆動回路においては、サイリスタアレイチップ 1 個を駆動するために 4 個の出力端子を要することになる。

【 0 0 0 8 】

プリントヘッドには多数の自己走査型のサイリスタアレイチップを配列しているので、クロック駆動回路に備えるべき出力端子の総数が膨大となってしまう、大規模集積回路（以下「LSI」という。）パッケージに収容可能な端子数に抑えようとすると、クロック駆動回路に並列接続して駆動するチップ数が多数必要となってしまう、波形なまりを生じる。この結果、プリントヘッドの動作を高速化できないという課題があった。更に、前記 LSI には、CR 微分回路用にコンデンサ等の外付け部品を多数要し、コストアップになるという課題があった。

【 0 0 0 9 】

このように、プリントヘッドを駆動する LSI のパッケージに収容可能な端子数を増大させず、外付け部品の点数を削減して、例えば、3 . 3 V 電源で動作するバッファ回路集積回路（以下「集積回路」を「IC」という。）を用いて自己走査型のサイリスタアレイチップを駆動する経済性に優れた回路構成が切望されていた。

【課題を解決するための手段】

【 0 0 1 0 】

本発明の内の第 1 の発明の駆動装置は、第 1 端子と、第 2 端子と、前記第 1 端子及び前記第 2 端子間をオン / オフ制御する第 1 制御端子と、をそれぞれ有する複数段の発光サイリスタにおける前記第 1 端子が電源に共通接続されると共に前記第 2 端子が共通端子に共通接続された発光サイリスタアレイを駆動する駆動装置であって、第 1 駆動回路と、走査回路部と、第 2 駆動回路とを備えている。

【 0 0 1 1 】

前記第 1 駆動回路は、前記電源により動作して前記共通端子を高 / 低論理レベルに駆動する回路である。前記走査回路部は、第 3 端子と、第 4 端子と、前記第 3 端子及び前記第 4 端子間をそれぞれオン / オフ制御する第 2 制御端子及び第 3 制御端子と、をそれぞれ有する複数段の走査サイリスタにおける各段の前記第 3 端子が前記電源に共通接続されると共に、各段の前記第 2 制御端子が各段の前記発光サイリスタにおける前記第 1 制御端子にそれぞれ接続され、前記各段の発光サイリスタを順に走査する回路である。前記第 2 駆動回路は、前記電源により動作して前記走査回路部を駆動するための第 1 クロック及び第 2 クロックを生成し、第 1 クロック端子及び第 2 クロック端子からそれぞれ出力する回路である。

【 0 0 1 2 】

更に、奇数段の前記走査サイリスタにおける前記第 4 端子は、前記第 1 クロック端子に共通接続され、偶数段の前記走査サイリスタにおける前記第 4 端子は、前記第 2 クロック端子に共通接続され、初段の前記走査サイリスタにおける前記第 2 制御端子は、前記第 2 クロック端子に接続され、前段の前記走査サイリスタにおける前記第 3 制御端子は、電氣的

10

20

30

40

50

接続手段を介して後段の前記走査サイリスタにおける前記第 2 制御端子にそれぞれ接続されている。

【 0 0 1 3 】

第 2 の発明の駆動装置は、第 1 端子と、第 2 端子と、前記第 1 端子及び前記第 2 端子間をオン / オフ制御する第 1 制御端子と、をそれぞれ有する複数段の発光サイリスタにおける前記第 1 端子が共通端子に共通接続されると共に前記第 2 端子がグランドに共通接続された発光サイリスタアレイを駆動する駆動装置であって、第 1 駆動回路と、走査回路部と、第 2 駆動回路とを備えている。

【 0 0 1 4 】

前記第 1 駆動回路は、電源により動作して前記共通端子を高 / 低論理レベルに駆動する回路である。前記走査回路部は、第 3 端子と、第 4 端子と、前記第 3 端子及び前記第 4 端子間をそれぞれオン / オフ制御する第 2 制御端子及び第 3 制御端子と、をそれぞれ有する複数段の走査サイリスタにおける各段の前記第 4 端子が前記グランドに共通接続されると共に、各段の前記第 2 制御端子が各段の前記発光サイリスタにおける前記第 1 制御端子にそれぞれ接続され、前記各段の発光サイリスタを順に走査する回路である。前記第 2 駆動回路は、前記電源により動作して前記走査回路部を駆動するための第 1 クロック及び第 2 クロックを生成し、第 1 クロック端子及び第 2 クロック端子からそれぞれ出力する回路である。

【 0 0 1 5 】

更に、奇数段の前記走査サイリスタにおける前記第 3 端子は、前記第 1 クロック端子に共通接続され、偶数段の前記走査サイリスタにおける前記第 3 端子は、前記第 2 クロック端子に共通接続され、初段の前記走査サイリスタにおける前記第 2 制御端子は、前記第 2 クック端子に接続され、前段の前記走査サイリスタにおける前記第 3 制御端子は、電氣的接続手段を介して後段の前記走査サイリスタにおける前記第 2 制御端子にそれぞれ接続されている。

【 0 0 1 6 】

例えば、前記走査サイリスタは、P N P N P N の 6 層の半導体層により構成されている。又、前記電氣的接続手段は、抵抗により構成されている。

【 0 0 1 7 】

第 3 の発明のプリントヘッドは、前記第 1 の発明の発光サイリスタアレイと駆動装置とを備えている。

【 0 0 1 8 】

第 4 の発明の画像形成装置は、前記第 3 の発明のプリントヘッドを備え、前記プリントヘッドにより露光されて記録媒体に画像を形成する構成になっている。

【発明の効果】

【 0 0 1 9 】

本発明の内の第 1、第 2 の発明の駆動装置及び第 3 の発明のプリントヘッドによれば、第 2 駆動回路におけるクロック端子数が転送クロック当たり 1 個で良く、従来構成と比べて所要端子の数を半減することができる。しかも、従来構成の駆動回路に備えていたキャパシタ等の外付け部品が不要になる。これにより、プリントヘッドにおけるデータ転送速度を向上できることは勿論のこと、第 2 駆動回路のクロック端子数の減少によって、回路規模の削減と、これによる低コスト化も期待できる。

【 0 0 2 0 】

更に、初段の走査サイリスタにおける第 2 制御端子は、第 2 クック端子に接続されているので、スタート信号が不要になる。その上、前段の走査サイリスタにおける第 3 制御端子は、電氣的接続手段（例えば、抵抗）を介して後段の走査サイリスタにおける第 2 制御端子にそれぞれ接続されているので、2 相の第 1 及び第 2 クロックの基でも走査回路部の走査方向を定めることができ、走査回路部の誤動作を防止できる。しかも、電源電圧として一般的な例えば 3 . 3 V の電源によりプリントヘッド駆動を行うことができ、省電力化が可能になる。

10

20

30

40

50

## 【 0 0 2 1 】

第4の発明の画像形成装置によれば、前記第3の発明のプリントヘッドを採用しているので、スペース効率及び光取り出し効率に優れた高品質の画像形成装置を提供することができる。

## 【図面の簡単な説明】

## 【 0 0 2 2 】

【図1】図1は本発明の実施例1における図6のプリントヘッド13の構成を示す回路図である。

【図2】図2は本発明の実施例1における画像形成装置を示す概略の構成図である。

【図3】図3は図2中のプリントヘッド13の構成を示す概略の断面図である。

【図4】図4は図3中の基板ユニットを示す斜視図である。

【図5】図5は図2の画像形成装置1におけるプリンタ制御回路の概略の構成を示すブロック図である。

【図6】図6は本発明の実施例1における図5中のプリントヘッド13の構成を示す概略のブロック図である。

【図7】図7は図1中の走査サイリスタ110を示す構成図である。

【図8】図8は図1の動作を示すタイミングチャートである。

【図9】図9は図1中の走査回路部100における走査サイリスタ110-1～110-3の詳細な動作を説明するための要部の回路図である。

【図10】図10は本発明の実施例2におけるプリントヘッド13Aの構成を示す回路図である。

【図11】図11は図10中の走査サイリスタ110Aを示す構成図である。

【図12】図12は図10の動作を示すタイミングチャートである。

【図13】図13は図10中の走査回路部100Aにおける走査サイリスタ110A-1～110A-3の詳細な動作を説明するための要部の回路図である。

## 【発明を実施するための形態】

## 【 0 0 2 3 】

本発明を実施するための形態は、以下の好ましい実施例の説明を添付図面と照らし合わせて読むと、明らかになるであろう。但し、図面はもっぱら解説のためのものであって、本発明の範囲を限定するものではない。

## 【実施例1】

## 【 0 0 2 4 】

(実施例1の画像形成装置)

図2は、本発明の実施例1における画像形成装置を示す概略の構成図である。

## 【 0 0 2 5 】

この画像形成装置1は、被駆動素子(例えば、発光素子として3端子発光サイリスタ)を用いた発光サイリスタアレイを有する半導体複合装置を備えた露光装置(例えば、プリントヘッド)が搭載されたタンデム型電子写真カラープリンタにより構成されており、ブラック(K)、イエロー(Y)、マゼンタ(M)及びシアン(C)の各色の画像を各々に形成する4つのプロセスユニット10-1～10-4を有し、これらが記録媒体(例えば、用紙)20の搬送経路の上流側から順に配置されている。各プロセスユニット10-1～10-4の内部構成は共通しているため、例えば、マゼンタのプロセスユニット10-3を例にとり、これらの内部構成を説明する。

## 【 0 0 2 6 】

プロセスユニット10-3には、像担持体としての感光体(例えば、感光体ドラム)11が図2中の矢印方向に回転可能に配置されている。感光体ドラム11の周囲には、この回転方向上流側から順に、感光体ドラム11の表面に電荷を供給して帯電させる帯電装置12と、帯電された感光体ドラム11の表面に選択的に光を照射して静電潜像を形成する露光装置としてのプリントヘッド13が配設されている。更に、静電潜像が形成された感光体ドラム11の表面に、マゼンタ(所定色)のトナーを付着させて顕像を発生させる現

10

20

30

40

50

像器 14 と、感光体ドラム 11 上のトナーの顕像を転写した際に残留したトナーを除去するクリーニング装置 15 が配設されている。なお、これら各装置に用いられているドラム又はローラは、図示しない駆動源からギア等を経由して動力が伝達され回転する。

【0027】

画像形成装置 1 の下部には、用紙 20 を堆積した状態で収納する用紙カセット 21 が装着され、その上方に、用紙 20 を 1 枚ずつ分離させて搬送するためのホッピングローラ 22 が配設されている。用紙 20 の搬送方向におけるホッピングローラ 22 の下流側には、ピンチローラ 23, 24 と共に用紙 20 を挟持することによってこの用紙 20 を搬送する搬送ローラ 25 と、用紙 20 の斜行を修正し、プロセスユニット 10 - 1 に搬送するレジストローラ 26 とが配設されている。これらのホッピングローラ 22、搬送ローラ 25 及びレジストローラ 26 は、図示しない駆動源からギア等を経由して動力が伝達され回転する。

10

【0028】

プロセスユニット 10 - 1 ~ 10 - 4 の各感光体ドラム 11 に対向する位置には、それぞれ半導電性のゴム等によって形成された転写ローラ 27 が配設されている。各転写ローラ 27 には、感光体ドラム 11 上に付着されたトナーによる顕像を用紙 20 に転写する転写時に、各感光体ドラム 11 の表面電位とこれら各転写ローラ 27 の表面電位に電位差を持たせるための電位が印加されている。

【0029】

プロセスユニット 10 - 4 の下流には、定着器 28 が配設されている。定着器 28 は、加熱ローラとバックアップローラとを有し、用紙 20 上に転写されたトナーを加圧・加熱することによって定着する装置であり、この下流に、排出口ローラ 29, 30、排出部のピンチローラ 31, 32、及び用紙スタッカ部 33 が設けられている。排出口ローラ 29, 30 は、定着器 28 から排出された用紙 20 を、排出部のピンチローラ 31, 32 と共に挟持し、用紙スタッカ部 33 に搬送する。これらの定着器 28 及び排出口ローラ 29 等は、図示しない駆動源からギア等を経由して動力が伝達されて回転する。

20

【0030】

このように構成される画像記録装置 1 は、次のように動作する。

まず、用紙カセット 21 に堆積した状態で収納されている用紙 20 が、ホッピングローラ 22 によって、上から 1 枚ずつ分離されて搬送される。続いて、この用紙 20 は、搬送ローラ 25、レジストローラ 26 及びピンチローラ 23, 24 に挟持されて、プロセスユニット 10 - 1 の感光体ドラム 11 と転写ローラ 27 の間に搬送される。その後、用紙 20 は、感光体ドラム 11 及び転写ローラ 27 に挟持され、その記録面にトナー像が転写されると同時に感光体ドラム 10 - 1 の回転によって搬送される。同様にして、用紙 20 は、順次プロセスユニット 10 - 2 ~ 10 - 4 を通過し、その通過過程で、各プリントヘッド 13 により形成された静電潜像を各現像器 14 によって現像した各色のトナー像が、その記録面に順次転写されて重ね合わされる。

30

【0031】

このようにして記録面上に各色のトナー像が重ね合わされた後、定着器 28 によってトナー像が定着された用紙 20 は、排出口ローラ 29, 30 及びピンチローラ 31, 32 に挟持されて、画像形成装置 1 の外部の用紙スタッカ部 33 に排出される。以上の過程を経て、カラー画像が用紙 20 上に形成される。

40

【0032】

(実施例 1 のプリントヘッド)

図 3 は、図 2 中のプリントヘッド 13 の構成を示す概略の断面図である。図 4 は、図 3 中の基板ユニットを示す斜視図である。

【0033】

図 3 に示すプリントヘッド 13 は、ベース部材 13a を有し、このベース部材 13a 上に、図 4 に示す基板ユニットが固定されている。基板ユニットは、ベース部材 13a 上に固定されるプリント配線板 13b と、このプリント配線板 13b 上に接着剤等で固定され

50

た複数のＩＣチップ１３ｃとにより構成されている。各ＩＣチップ１３ｃには、自己走査部としての走査回路部１００が集積され、更にこの上に、主発光部としての発光素子列（例えば、発光サイリスタ列）が略直線状に配列された発光サイリスタアレイ２００が配置されている。各ＩＣチップ１３ｃにおける図示しない複数の端子と、プリント配線板１３ｂ上の図示しない配線パッドとは、ボンディングワイヤ１３ｈにより電氣的に接続されている。

#### 【００３４】

複数のＩＣチップ１３ｃにおける発光サイリスタアレイ２００上には、柱状の光学素子を多数配列してなるレンズアレイ（例えば、ロッドレンズアレイ）１３ｄが配置され、このロッドレンズアレイ１３ｄがホルダ１３ｅにより固定されている。ベース部材１３ａ、プリント配線板１３ｂ及びホルダ１３ｅは、クランプ部材１３ｆ、１３ｇにより固定されている。

10

#### 【００３５】

（実施例１のプリンタ制御回路）

図５は、図２の画像形成装置１におけるプリンタ制御回路の概略の構成を示すブロック図である。この図５では、説明を簡単にするために、１つのプロセスユニット（例えば、マゼンタのプロセスユニット）１０－３を制御するための構成が示されている。

#### 【００３６】

図５に示すプリンタ制御回路は、画像形成装置１における印刷部の内部に配設された印刷制御部４０を有している。印刷制御部４０は、マイクロプロセッサ、読み出し専用メモリ（ＲＯＭ）、随時読み書き可能なメモリ（ＲＡＭ）、信号の入出力を行う入出力ポート、タイマ等によって構成され、図示しない上位コントローラからの制御信号ＳＧ１、及びビデオ信号（ドットマップデータを一次元的に配列したもの）ＳＧ２等によってプリンタ全体をシーケンス制御して印刷動作を行う機能を有している。印刷制御部４０には、各プロセスユニット１０－１～１０－４のプリントヘッド１３、定着器２８のヒータ２８ａ、ドライバ４１、４３、用紙吸引センサ４５、用紙排出センサ４６、用紙残量センサ４７、用紙サイズセンサ４８、定着器用温度センサ４９、帯電用高压電源５０、及び転写用高压電源５１等が接続されている。ドライバ４１には現像・転写プロセス用モータ（ＰＭ）４２が、ドライバ４３には用紙送りモータ（ＰＭ）４４が、帯電用高压電源５０には現像器１４が、転写用高压電源５１には転写ローラ２７が、それぞれ接続されている。

20

30

#### 【００３７】

このような構成のプリンタ制御回路では、次のような動作を行う。

印刷制御部４０は、上位コントローラからの制御信号ＳＧ１によって印刷指示を受信すると、まず、温度センサ４９によって定着器２８内のヒータ２８ａが使用可能な温度範囲にあるか否かを検出し、この温度範囲になればヒータ２８ａに通電し、使用可能な温度まで定着器２８を加熱する。次に、ドライバ４１を介して現像・転写プロセス用モータ４２を回転させ、同時にチャージ信号ＳＧＣによって帯電用高压電源５０をオン状態にし、現像器１４の帯電を行う。

#### 【００３８】

そして、セットされている図２中の用紙２０の有無及び種類が用紙残量センサ４７及び用紙サイズセンサ４８によって検出され、その用紙２０に合った用紙送りが開始される。ここで、用紙送りモータ４４はドライバ４３を介して双方向に回転させることが可能であり、最初に逆転させて、用紙吸引センサ４５が検知するまで、セットされた用紙２０を予め設定された量だけ送る。続いて、正回転させて用紙２０をプリンタ内部の印刷機構内に搬送する。

40

#### 【００３９】

印刷制御部４０は、用紙２０が印刷可能な位置まで到達した時点において、図示しない画像処理部に対してタイミング信号ＳＧ３（主走査同期信号、副走査同期信号を含む）を送信し、ビデオ信号ＳＧ２を受信する。画像処理部においてページ毎に編集され、印刷制御部４０に受信されたビデオ信号ＳＧ２は、印刷データとして各プリントヘッド１３に転

50



送される。各プリントヘッド 13 は、それぞれ 1 ドット（ピクセル）の印刷のために設けられた走査回路部 100 及び発光サイリスタアレイ 200 を有している。

【0040】

ビデオ信号 SG2 の送受信は、印刷ライン毎に行われる。各プリントヘッド 13 によって印刷される情報は、負電位に帯電された図示しない各感光体ドラム 11 上において電位の上昇したドットとして潜像化される。そして、現像器 14 において、負電位に帯電された画像形成用のトナーが、電気的な吸引力によって各ドットに吸引され、トナー像が形成される。

【0041】

その後、トナー像は転写ローラ 27 へ送られ、一方、転写信号 SG4 によって正電位に転写用高圧電源 51 がオン状態になり、転写ローラ 27 は感光体ドラム 11 と転写ローラ 27 との間隔を通過する用紙 20 上にトナー像を転写する。転写されたトナー像を有する用紙 20 は、ヒータ 28a を内蔵する定着器 28 に当接して搬送され、この定着器 28 の熱によって用紙 20 に定着される。この定着された画像を有する用紙 20 は、更に搬送されてプリンタの印刷機構から用紙排出センサ 46 を通過してプリンタ外部へ排出される。

【0042】

印刷制御部 40 は、用紙サイズセンサ 48、及び用紙吸引センサ 45 の検知に対応して、用紙 20 が転写ローラ 27 を通過している間だけ転写用高圧電源 51 からの電圧を転写ローラ 27 に印加する。印刷が終了し、用紙 20 が用紙排出センサ 46 を通過すると、帯電用高圧電源 50 による現像器 14 への電圧の印加を終了し、同時に現像・転写プロセス用モータ 42 の回転を停止させる。以後、上記の動作を繰り返す。

【0043】

（実施例 1 のプリントヘッド）

図 6 は、本発明の実施例 1 における図 5 中のプリントヘッド 13 の概略の構成を示すブロック図である。

【0044】

プリントヘッド 13 は、図 4 中の IC チップ 13c に形成された発光サイリスタアレイ 200 と、この発光サイリスタアレイ 200 を駆動する駆動装置 52 とを備えている。駆動装置 52 は、図 4 中の IC チップ 13c に形成され、2 相の第 1 クロック及び第 2 クロックに基づき発光サイリスタアレイ 200 を走査するための信号を複数の出力端子 Q1 ~ Qn から出力する走査回路部 100 と、発光サイリスタアレイ 200 の共通端子 IN を高論理レベル（以下「H レベル」という。）又は低論理レベル（以下「L レベル」という。）に駆動するための第 1 駆動回路（例えば、データ駆動回路）60 と、走査回路部 100 を駆動するための第 1 クロック及び第 2 クロックを生成して第 1 クロック端子 CK1 及び第 2 クロック端子 CK2 からそれぞれ出力する第 2 駆動回路（例えば、クロック駆動回路）70 とを有している。

【0045】

走査回路部 100 により走査される発光サイリスタアレイ 200 は、発光素子としての例えば 3 端子サイリスタである複数段の P ゲート型発光サイリスタ 210（= 210 - 1 ~ 210 - n, ...）により構成されている。各発光サイリスタ 210 は、第 1 端子（例えば、アノード）、第 2 端子（例えば、カソード）、及び第 1 制御端子（例えば、ゲート）を有し、アノードが電源（例えば、3.3V の電源電圧 VDD を出力する VDD 電源）に接続され、カソードがデータ信号（以下単に「データ」という。）としての駆動電流 Iout を流す共通端子 IN を介してデータ駆動回路 60 に接続され、ゲートが走査回路部 100 の各出力端子 Q1 ~ Qn に接続されている。各発光サイリスタ 210 は、アノード・カソード間に電源電圧 VDD が印加された状態で、ゲートにトリガ信号（例えば、トリガ電流）が流れると、アノード・カソード間がオン状態になってカソード電流が流れ、発光する素子である。

【0046】

図 1 は、本発明の実施例 1 における図 6 のプリントヘッド 13 の構成を示す回路図であ

10

20

30

40

50

る。

この図1のプリントヘッド13では、駆動装置52を構成するデータ駆動回路60、クロック駆動回路70及び走査回路部100の内、走査回路部100がプリントヘッド13内に配置されているが、データ駆動回路60及びクロック駆動回路70が印刷制御部40内に配置された構成例が示されている。なお、データ駆動回路60及びクロック駆動回路70は、図6に示すように、プリントヘッド13の内部に配置しても良い。

#### 【0047】

図1に示すプリントヘッド13は、図4中のICチップ13cに形成された走査回路部100及び発光サイリスタアレイ200を有し、これらが複数の接続ケーブル80(=80-1~80-3)及び複数の接続コネクタ90(=90-1~90-6)を介して、複

10

#### 【0048】

発光サイリスタアレイ200を構成する複数段の発光サイリスタ210(=210-1~210-n)は、アノードがVDD電源に接続され、カソードが共通端子INを介して接続コネクタ90-4に接続され、ゲートが走査回路部100の各出力端子Q1~Qnに接続されている。発光サイリスタ210-1~210-n、...の総数は、例えば、A4サイズ用の紙に1インチ当たり600ドットの解像度で印刷可能なプリントヘッド13の場合、4992個であり、これらが配列されることになる。

#### 【0049】

走査回路部100は、クロック駆動回路70から第1、第2クロック端子CK1, CK2、接続コネクタ90-2, 90-3、接続ケーブル80-2, 80-3、及び接続コネクタ90-5, 90-6を介して供給される2相の第1及び第2クロックにより駆動され、発光サイリスタアレイ200にトリガ電流を流してオン/オフ動作させる回路であり、複数段の4端子サイリスタ(例えば、PNPNPNの6層からなるPゲート型の走査サイリスタ)110(=110-1~110-n、例えばn=4992)と、複数の電気的接続手段(例えば、抵抗)120(=120-2~120-n)と、複数の抵抗130(=130-2~130-n)及び140(=140-1~140-n)と、抵抗151, 152とを有し、自己走査型シフトレジスタにより構成されている。

20

#### 【0050】

各段の走査サイリスタ110(=110-1~110-n)は、第3端子(例えば、アノード)、第4端子(例えば、カソード)、第2制御端子(例えば、第1ゲート)GP1、及び第3制御端子(例えば、第2ゲート)GP2を有し、アノードが、VDD電源に接続され、第1ゲートGP1が、各出力端子Q1~Qnを介して各段の発光サイリスタ210のゲートに接続されると共に、各抵抗130(=130-2~130-n)を介してグラウンドGNDに接続され、第2ゲートGP2が、各抵抗140(=140-1~140-n)を介してVDD電源に接続されている。但し、初段の走査サイリスタ110-1の第1ゲートGP1とグラウンドGNDとの間には、抵抗130が設けられていない。

30

#### 【0051】

奇数段の走査サイリスタ110-1, 110-3, ..., 110-(n-1)のカソードは、抵抗151を介して接続コネクタ90-5に接続されている。偶数段の走査サイリスタ110-2, 110-4, ..., 110-nのカソードは、抵抗152を介して接続コネクタ90-6に接続されている。

40

#### 【0052】

初段の走査サイリスタ110-1の第1ゲートGP1は、抵抗152を介して接続コネクタ90-6に接続されている。初段から最終段までの走査サイリスタ110-1~110-nにおいて、前段の走査サイリスタ110の第2ゲートGP2と、後段の走査サイリスタ110の第1ゲートGP1との間には、各抵抗120(=120-2~120-n)を介してそれぞれ接続されている。各抵抗120は、走査サイリスタ110-1~110-nが順次点灯する時の走査方向(例えば、図1において右方向)を決定するために設けられている。

50

## 【 0 0 5 3 】

各段の走査サイリスタ 1 1 0 と各段の発光サイリスタ 2 1 0 とは、半導体素子として同様なレイヤ構造を有し、且つ同様な回路動作を行うものであるが、各段の発光サイリスタ 2 1 0 は、主として発光機能を用いるものであるのに対して、各段の走査サイリスタ 1 1 0 においては、発光機能を必要とされないので、その上層をメタル膜等の非透光性材料で覆うことで遮光して用いられる。

## 【 0 0 5 4 】

走査回路部 1 0 0 では、クロック駆動回路 7 0 の第 1 及び第 2 クロック端子 C K 1 , C K 2 から供給される 2 相の第 1 及び第 2 クロックに基づき、走査サイリスタ 1 1 0 - 1 ~ 1 1 0 - n が択一的にオン状態となり、このオン状態が発光サイリスタアレイ 2 0 0 に伝達され、発光サイリスタ 2 1 0 - 1 ~ 2 1 0 - n の内から発光すべき発光サイリスタ 2 1 0 - 1 ~ 2 1 0 - n を指令する働きをする。この走査回路部 1 0 0 において、オン状態となる各段の走査サイリスタ 1 1 0 のオン状態が、2 相の第 1 及び第 2 クロック毎に隣接の走査サイリスタ 1 1 0 に伝達され、シフトレジスタと同様の回路動作が行われる構成になっている。

10

## 【 0 0 5 5 】

なお、2 段目から終段の走査サイリスタ 1 1 0 - 2 ~ 1 1 0 - n における各第 1 ゲート G P 1 は、各抵抗 1 3 0 - 2 ~ 1 3 0 - n を介してそれぞれグランド G N D に接続されているが、初段の走査サイリスタ 1 1 0 - 1 における第 1 ゲート G P 1 とグランド G N D との間の抵抗 1 3 0 は削除されている。これは部品点数を削減するための工夫であって、低コスト化への配慮が不要である場合には、初段の走査サイリスタ 1 1 0 - 1 における第 1 ゲート G P 1 とグランド G N D との間に抵抗 1 3 0 を設ける構成とすることもできる。

20

## 【 0 0 5 6 】

初段の走査サイリスタ 1 1 0 - 1 における第 1 ゲート G P 1 とグランド G N D との間を接続する抵抗 1 3 0 を設けないことで、以下のような効果が得られる。

## 【 0 0 5 7 】

画像形成装置 1 において印刷動作を停止している待機状態においては、第 1、第 2 クロック端子 C K 1 , C K 2 から供給される第 1、第 2 クロックが H レベルとされるが、走査サイリスタ 1 1 0 - 1 の第 1 ゲート G P 1 とグランド G N D との間に抵抗 1 3 0 を設ける場合には、H レベルであるクロック端子 C K 2 から抵抗 1 5 2、及び走査サイリスタ 1 1 0 - 1 の第 1 ゲート G P 1、及び抵抗 1 3 0 を介してグランド G N D に電流が流れ続けてしまう。待機時における前記電流は、無駄な電力消費を引き起こし、画像形成装置 1 の待機時消費電力を増大させることとなって望ましくない。それに加えて、走査サイリスタ 1 1 0 - 1 の第 1 ゲート G P 1 及びグランド G N D 間の抵抗 1 3 0 を介して流れる電流は、サイリスタチップやプリントヘッド 1 3 の製造後に行われる検査工程におけるリーク電流測定を困難なものとする。

30

## 【 0 0 5 8 】

半導体製造プロセスの欠陥に起因して走査サイリスタ 1 1 0 - 1 ~ 1 1 0 - n 等に不具合がある場合、マイクロアンペア以下の僅かなリーク電流を生じることがある。これを測定及び検出することで不良品を取り除くことが行われるが、前述したような待機状態における消費電流を生じる場合には、前記リーク電流による僅かな電流増加を検出することが困難である。

40

## 【 0 0 5 9 】

これに対し、図 1 の構成においては、走査サイリスタ 1 1 0 - 1 の第 1 ゲート G P 1 とグランド G N D との間に抵抗 1 3 0 を設けていないので、この抵抗 1 3 0 を介して定常的に流れる電流を無くすることが可能となり、待機時消費電力を略ゼロとすることができて省エネルギー効果に優れたものとして行うことができる。その上、検査工程におけるリーク電流起因の潜在的な不良品を効果的に取り除くことができ、その品質を飛躍的に向上させることができる。

## 【 0 0 6 0 】

50

前記各走査サイリスタ 110 - 1 ~ 110 - n の第 2 ゲート GP2 は、各抵抗 140 - 1 ~ 140 - n を介して VDD 電源にそれぞれ接続されている。これらの抵抗 140 - 1 ~ 140 - n や抵抗 130 - 2 ~ 130 - n は、走査回路部 100 の動作を確実にする目的で設けるものであるが、走査サイリスタ 110 (= 110 - 1 ~ 110 - n) の特性によっては、そのいずれか一方又はその全部を省略することもできる。

#### 【0061】

発光サイリスタアレイ 200 に接続された複数のデータ駆動回路 60 は、駆動指令信号である第 1 制御信号 DRVON を生成し、複数の発光サイリスタアレイ 200 を時分割駆動するためのデータとしての駆動電流 Iout を共通端子 IN に流す回路である。走査回路部 100 に接続されたクロック駆動回路 70 は、第 2 及び第 3 の制御信号 C1, C2 を生成し、走査回路部 100 に供給するための 2 相の第 1 及び第 2 クロックを出力する回路である。

10

#### 【0062】

図 1 においては、説明を簡略化するために 1 個のデータ駆動回路 60 のみが図示されている。複数の発光サイリスタアレイ 200 は、例えば、総数 4992 個の発光サイリスタ 210 - 1 ~ 210 - n, ... を有し、これらの発光サイリスタ 210 - 1 ~ 210 - n, ... が複数の発光サイリスタ 210 - 1 ~ 210 - n の組にグループ化され、各グループ毎に設けられたデータ駆動回路 60 によって、それらが同時並行的に分割駆動が行われる構成になっている。

#### 【0063】

20

一例として典型的な設計例を挙げると、発光サイリスタ 210 (= 210 - 1 ~ 210 - n) を 192 個配列してアレイ化した発光サイリスタアレイ 200 のチップを図 4 中のプリント配線板 13b 上に 26 個整列する。これにより、プリントヘッド 13 に必要な総数 4992 個の発光サイリスタ 210 - 1 ~ 210 - n, ... を構成している。この際、データ駆動回路 60 は前記 26 個の発光サイリスタアレイ 200 に対応して設けられ、これらのデータ駆動回路 60 における出力端子の総数は 26 である。

#### 【0064】

一方、クロック駆動回路 70 は、アレイ化した走査回路部 100 のチップを駆動するものであるが、単にクロックを生成するのみならず、後述する走査サイリスタ 110 の点灯エネルギーを制御する必要があり、プリントヘッド 13 の高速動作のためには、走査回路部 100 毎に設けることが好ましい。しかし、プリントヘッド 13 のデータ転送が低速で良い場合には、クロック駆動回路 70 の出力端子であるクロック端子 CK1, CK2 と複数の走査回路部 100 とを並列に接続することで、その回路を共用することができる。

30

#### 【0065】

データ駆動回路 60 は、制御信号 DRVON を生成するデータ制御回路 61 と、VDD 電源で動作してその制御信号 DRVON を駆動する相補形 MOS トランジスタ (以下「CMOS」という。) バッファ (例えば、CMOS インバータ) 62 と、この CMOS インバータ 62 とデータ端子 DA との間に接続された抵抗 63 とを有している。

#### 【0066】

CMOS インバータ 62 は、P チャネル MOS トランジスタ、以下「PMOS」という。) 62a と、N チャネル MOS トランジスタ (以下「NMOS」という。) 62b とを有し、これらが VDD 電源 (例えば、3.3V 電源) とグランド GND との間に直列に接続されている。ここで、PMOS 62a は、ソースが VDD 電源に接続され、ゲートに制御信号 DRVON が入力され、ドレーンが抵抗 63 の一端及び NMOS 62b のドレーンに接続されている。NMOS 62b は、ゲートに制御信号 DRVON が入力され、ソースがグランド GND に接続されている。

40

#### 【0067】

例えば、データ制御回路 61 から出力される制御信号 DRVON が L レベルの場合、PMOS 62a がオン状態、NMOS 62b がオフ状態となり、抵抗 63 を介してデータ端子 DA が電源電圧 VDD と略等しい H レベルとなる。そのため、接続コネクタ 90 - 1、

50

接続ケーブル 80 - 1、接続コネクタ 90 - 4、及び共通端子 IN を介して、発光サイリスタ 210 - 1 ~ 210 - n のアノード・カソード間電圧が略ゼロとなり、この発光サイリスタ 210 - 1 ~ 210 - n を全て非発光状態にできる。

#### 【0068】

これに対し、制御信号 DRVON が H レベルの場合、PMOS 62a がオフ状態、NMOS 62b がオン状態となり、抵抗 63 を介してデータ端子 DA が L レベルとなる。そのため、接続コネクタ 90 - 1、接続ケーブル 80 - 1、接続コネクタ 90 - 4、及び共通端子 IN を介して、発光サイリスタ 210 - 1 ~ 210 - n のカソード電位が L レベルになる。これにより、発光サイリスタ 210 - 1 ~ 210 - n のアノード・カソード間には、電源電圧 VDD と略等しい電圧が印加される。

10

#### 【0069】

クロック駆動回路 70 は、第 2、第 3 制御信号 C1, C2 を生成するクロック制御回路 71 と、VDD 電源により動作し、第 2 制御信号 C1 の論理を反転して第 1 クロック端子 CK1 へ第 1 クロックを出力する CMOS バッファ（例えば、CMOS インバータ）72 と、VDD 電源により動作し、第 3 制御信号 C2 の論理を反転して第 2 クロック端子 CK2 へ第 2 クロックを出力する CMOS バッファ（例えば、CMOS インバータ）73 とを有している。各 CMOS インバータ 72, 73 は、CMOS インバータ 62 と同様の回路構成である。

#### 【0070】

これらのデータ駆動回路 60 及びクロック駆動回路 70 に使用される VDD 電源は、発光サイリスタ 210 及び走査回路部 100 で使用される VDD 電源と同一である。

20

#### 【0071】

典型的な設計例を挙げると、電源電圧 VDD は 3.3 V である。これは電子回路において標準的に用いられる電源電圧であるが、データ駆動回路 60 やクロック駆動回路 70 を含む印刷制御部 40 においては、大規模集積化された LSI 等の素子を含み、半導体微細加工製造プロセスを駆使して製造されるものであって、半導体のスケーリングルールに伴い、その電源電圧値は低くならざるを得ない。

#### 【0072】

ところが、後述するように、発光サイリスタ 210 - 1 ~ 210 - n や走査サイリスタ 110 - 1 ~ 110 - n は、化合物半導体を用いて構成されるものであって、その PN 接合の順電圧は 1.6 V といった値となり、シリコン基材からなる半導体における値（約 0.6 V）と比べ大きな値とならざるを得ない。この結果、発光サイリスタ 210 - 1 ~ 210 - n や走査サイリスタ 110 - 1 ~ 110 - n を用いて構成されるプリントヘッド 13、とりわけ走査サイリスタ 110 - 1 ~ 110 - n を用いて構成される走査回路部 100 の動作電源電圧が前記電源電圧 VDD の 3.3 V に対して不足して、技術課題を生じていたのである。これを解決するために、本実施例 1 では、各段の走査サイリスタ 110 における第 2 ゲート GP2 及び第 1 ゲート GP1 間を抵抗 120 によりそれぞれ接続し、プリントヘッド 13 を 3.3 V 電源の基でも動作可能にしている。

30

#### 【0073】

（実施例 1 の走査サイリスタ）

40

図 7 (a) ~ (c) は、図 1 中の走査サイリスタ 110 を示す構成図である。

#### 【0074】

図 7 (a) は、走査サイリスタ 110 の回路シンボルを示し、アノード A、カソード K、第 1 ゲート GP1、及び第 2 ゲート GP2 の 4 つの端子を有している。

#### 【0075】

図 7 (b) は、走査サイリスタ 110 の断面構造を示す図である。走査サイリスタ 110 は、例えば、公知の MO-CVD (Metal Organic-Chemical Vapor Deposition) 法により、P 型 GaAs ウェハ基材 110a の上層に、所定の結晶をエピタキシャル成長させることで製造される。

#### 【0076】

50

即ち、P型GaAsウェハ基材110aの上層に、AlGaAs材料にP型不純物を含ませたP型層110bと、N型不純物を含ませ成層したN型層110cと、P型不純物を含ませたP型層110dと、N型不純物を含ませ成層したN型層110eと、P型不純物を含ませたP型層110fと、N型不純物を含ませ成層したN型層110gとを順に積層させたPNPNPNの6層構造のウェハを形成する。次に、公知のエッチング法を用いて溝部を形成することで、素子分離を行う。

#### 【0077】

前記エッチングの過程で、P型層110dの一部の領域を露出させ、この領域に金属配線を形成して第2ゲートGP2を形成する。同様に、前記エッチングの過程でP型層110fの一部の領域を露出させ、この領域に金属配線を形成して第1ゲートGP1を形成する。更に、最上層となるN型層110gの一部の領域を露出させ、この領域の一部に金属配線を形成してカソードKを形成する。その後、P型GaAsウェハ基材110aの底面に金属電極を形成して、アノードAを形成する。

#### 【0078】

なお、図7(b)に示す構成は、P型GaAsウェハ基材110aを用いているが、これは一構成例であって、P型層110b上層の一部を露出させてこれに金属電極を形成してアノードAとすることも可能である。あるいは、P型GaAsウェハ基材110aに代えて、半絶縁性GaAs基板やシリコンウェハ基板等を用いることも可能である。

#### 【0079】

図7(c)は、図7(b)と対比させて描いた走査サイリスタ110の等価回路図である。走査サイリスタ110は、PNPトランジスタ(以下「PNPTR」という。)111, 113と、NPNTトランジスタ(以下「NPNTR」という。)112, 114とにより構成されている。PNPTR111のエミッタが走査サイリスタ110のアノードAに相当し、NPNTR112のベースが走査サイリスタ110の第2ゲートGP2に相当し、NPNTR114のベースが走査サイリスタ110の第1ゲートGP1に相当し、NPNTR114のエミッタが走査サイリスタ110のカソードKに相当している。

#### 【0080】

PNPTR111のコレクタは、NPNTR112のベース及びPNPTR113のエミッタに接続され、PNPTR111のベースがNPNTR112のコレクタに接続されている。NPNTR112のエミッタは、PNPTR113のベース及びNPNTR114のコレクタに接続され、PNPTR113のコレクタがNPNTR114のベースに接続されている。

#### 【0081】

なお、図7に示した走査サイリスタ110では、GaAsウェハ基材110a上にAlGaAs層を構成したものであるが、これに限定されるものではなく、GaP、GaAsP、AlGaInP、InGaAsP等といった材料を用いるものであっても良く、あるいは、サファイヤ基板上にGaNやAlGaN、InGaN等といった材料を成膜したものであっても良い。

#### 【0082】

(実施例1の発光サイリスタ)

図1中の発光サイリスタ210としては、図7に示したPNPNPNの6層からなる4端子サイリスタを用いることもできるが、図7に示したPNPNPNの6層構造のウェハを元に、図1に示したような3端子発光サイリスタとして構成することもできる。

#### 【0083】

これについて説明すると、図7に示したN型層110g及びP型層110fをエッチング法により選択的に除去することで、P型GaAsウェハ基材110a、P型層110b、N型層110c、P型層110d、及びN型層110eからなるPNPNの4層を得ることができる。次いで、N型層110eの一部の領域を除去してP型層110dを露出させ、これに金属電極を形成してゲートとする。更に、N型層110eの一部の領域を除去すると共に、このN型層110eの上部に金属電極を形成してカソードとする。このよう

にして発光サイリスタ 210 を形成することができる。

#### 【0084】

(実施例 1 のプリントヘッドの概略動作)

図 1 のプリントヘッド 13 において、クロック制御回路 71 から出力される制御信号 C1, C2 の内、制御信号 C1 が H レベルになると、これがインバータ 72 で反転され、L レベルの第 1 クロックがクロック端子 CK1 から出力される。この第 1 クロックは、接続コネクタ 90 - 2、接続ケーブル 80 - 2、接続コネクタ 90 - 5、及び抵抗 151 を介して、走査サイリスタ 110 - 1 のカソードへ供給されるので、このカソードが L レベルになる。制御信号 C2 が L レベルになると、これがインバータ 73 で反転され、H レベルの第 2 クロックがクロック端子 CK2 から出力される。この第 2 クロックは、接続コネクタ 90 - 3、接続ケーブル 80 - 3、接続コネクタ 90 - 6、及び抵抗 152 を介して走査サイリスタ 110 - 1 の第 1 ゲート GP1 へ供給されるので、この第 1 ゲート GP1 が H レベルになる。これにより、走査サイリスタ 110 - 1 がオン状態になって走査回路部 100 がシフト動作を開始し、次段以降の走査サイリスタ 110 - 2 ~ 110 - n の第 1 ゲート GP1 が順に H レベルになって順次オンして行く。

#### 【0085】

発光サイリスタ 210 - 1 ~ 210 - n の動作を考えるにあたり、走査サイリスタ 110 - 1 ~ 110 - n のオンしている走査サイリスタ (例えば、110 - 2) に着目すると、その第 1 ゲート GP1 が電源電圧 VDD (例えば、3.3V) に略等しい H レベルになっている。発光サイリスタ 210 - 2 のアノードは VDD 電源に接続されており、そのカソードが L レベルにされると、発光サイリスタ 210 - 2 のアノード・カソード間には電圧が印加される。

#### 【0086】

一方、走査サイリスタ 110 - 2 の第 1 ゲート GP1 と、発光サイリスタ 210 - 2 のゲートとは、それぞれ接続されているため、走査サイリスタ 110 - 2 の第 1 ゲート GP1 と発光サイリスタ 210 - 2 のゲートとが同電位となる。この時、発光指令されている発光サイリスタ 210 - 2 のゲートのみが選択的に H レベルにされるので、発光サイリスタ 210 - 2 のゲートからカソード間にトリガ電流を生じ、この発光サイリスタ 210 - 2 がターンオンすることになる。この際、発光サイリスタ 210 - 2 のカソードに流れる電流は、データ端子 DA に流入する電流 (即ち、駆動電流 Iout) であって、その発光サイリスタ 210 - 2 が発光状態となって駆動電流 Iout の値に応じた光出力を生じる。

#### 【0087】

(実施例 1 のプリントヘッドの詳細動作)

図 8 は、図 1 のプリントヘッド 13 の詳細な動作を示すタイミングチャートである。

#### 【0088】

この図 8 では、図 2 の画像形成装置 1 での印刷動作時における 1 ライン走査において、図 1 の発光サイリスタ 210 - 1 ~ 210 - n (例えば、n = 6) を順次点灯させる場合の動作波形が示されている。

#### 【0089】

本実施例 1 のように、走査サイリスタ 110 を用いた走査回路部 100 の場合、クロック端子 CK1, CK2 から供給される 2 相のクロックが用いられ、この 2 相のクロックは、クロック駆動回路 70 から出力される。

#### 【0090】

図 8 のタイミングチャートにおいて、左端部に示す時刻 t1 の状態においては、クロック駆動回路 70 内のクロック制御回路 71 から出力される制御信号 C1, C2 が L レベルになる。L レベルの制御信号 C1 は、インバータ 72 で反転され、クロック端子 CK1 から出力される第 1 クロックが H レベルになる。この H レベルは、走査回路部 100 側の抵抗 151 を介して、奇数段の走査サイリスタ 110 - 1, 110 - 3, ..., 110 - (n - 1) のカソードへ送られる。これにより、奇数段の走査サイリスタ 110 - 1, 1

10

20

30

40

50

110-3, ..., 110-(n-1)の組のアノード・カソード間電圧は略ゼロとなり、そのカソード電流が遮断されて奇数段の走査サイリスタ110-1, 110-3, ..., 110-(n-1)の組がオフ状態になる。

#### 【0091】

この時、Lレベルの制御信号C2もインバータ73で反転され、クロック端子CK2から出力される第2クロックが、a部に示すように、Hレベルになる。このHレベルは、抵抗152を介して、偶数段の走査サイリスタ110-2, 110-4, ..., 110-nのカソードへ送られる。これにより、偶数段の走査サイリスタ110-2, 110-4, ..., 110-nの組のアノード・カソード間電圧は略ゼロとなり、そのカソード電流が遮断されて偶数段の走査サイリスタ110-2, 110-4, ..., 110-nの組もまたオフ状態になる。

10

#### 【0092】

又、時刻t1では、データ制御回路61から出力される制御信号DRVONは、Lレベルであり、これがインバータ62で反転され、抵抗63を介してデータ端子DAがHレベルになる。そのため、共通端子INを介して発光サイリスタ210(=210-1~210-n)のカソードがHレベルであり、アノード・カソード間電圧は略ゼロとなってそのカソード電流が遮断され、発光サイリスタ210-1~210-nもまたオフ状態になる。以下、

#### 【0093】

- (1) 初段(1段目)走査サイリスタ110-1のターンオン過程
- (2) 2段目走査サイリスタ110-2のターンオン過程
- (3) ゲート電流の経路

20

について説明する。

#### 【0094】

- (1) 初段(1段目)走査サイリスタ110-1のターンオン過程

図8の時刻t2において、制御信号C1がHレベルとなり、これがインバータ72で反転され、クロック端子CK1から出力される第1クロックが、b部に示すように、Lレベルに立ち下がる。この時、制御信号C2はLレベルであり、これがインバータ73で反転され、クロック端子CK2から出力される第2クロックがHレベルのままである。このHレベルは、抵抗152、走査サイリスタ110-1の第1ゲートGP1及びカソード間を通り、抵抗151を介してクロック端子CK1に至る経路に電流を生じ、この電流をトリガ電流として走査サイリスタ110-1がターンオンすることになる。

30

#### 【0095】

典型的な設計例では、発光サイリスタ110-1をオンさせようとする時、この第1ゲートGP1及びカソード間電圧が略1.6Vである。又、電源電圧VDDは3.3Vであって、前記クロック端子CK2のHレベル電圧が電源電圧VDDと略等しく、発光サイリスタ110-1にゲート電流を生じさせるのに十分な値となっている。

#### 【0096】

そのため、発光サイリスタ110-1をターンオンさせようとするとき、このカソードには従来技術のようなアンダシュート波形を与える必要はない。それ故、図1のクロック駆動回路70には、従来技術で用いられている微分回路からなるアンダシュート発生回路を設ける必要がなく、それを構成するためにクロック端子当たり2個の出力端子を設ける必要もなく、経済性に優れた構成が実現されている。

40

#### 【0097】

前記時刻t2の直後に走査サイリスタ110-1がオンすると、この第1ゲートGP1の電位がアノード電位に略等しいものとなる。

#### 【0098】

時刻t3において、データ駆動回路60内のデータ制御回路61から出力される制御信号DRVONがHレベルに立ち上がり、これがインバータ62で反転され、抵抗63を介してデータ端子DAがLレベルに遷移する。この時、走査サイリスタ110-1はオンし

50



ているので、この第1ゲートGP1に対してゲート電位を共有している発光サイリスタ210-1のゲート電位がHレベルである。これにより、発光サイリスタ210-1のアノード・カソード間には電源電圧VDDと略等しい電圧が印加される。従って、発光サイリスタ210-1のゲートにはゲート電流を生じてこの発光サイリスタ210-1がオンし、このカソードには、c部に示すように、駆動電流Ioutを生じ、この駆動電流Ioの値に応じた発光出力を生じる。

#### 【0099】

時刻t4において、制御信号DRVONがLレベルに立ち下がり、これがインバータ62で反転され、抵抗63を介してデータ端子DAがHレベルに遷移する。これにより、共通端子INを介して、発光サイリスタ210-1のアノード・カソード間電圧は略ゼロとなつてオフし、d部に示すように、駆動電流Ioutが略ゼロとなる。

10

#### 【0100】

本実施例1では、発光サイリスタ210-1を発光させて、図2中の感光体ドラム11上に潜像を形成することができる。この時の露光エネルギー量は、前記駆動電流Ioutの値に応じて定まる発光パワーと露光時間(=t4-t3)との積であり、発光サイリスタ210-1等に製造ばらつきに起因する発光効率の差があったとしても、前記露光時間を素子毎に調整することで、露光エネルギー量のばらつきを補正することができる。又、発光サイリスタ210-1を発光させる必要のない場合には、時刻t3から時刻t4の間の制御信号DRVONをLレベルのままとする。このように、制御信号DRVONによって発光サイリスタ210の発光の有無もまた制御することができる。

20

#### 【0101】

(2) 2段目走査サイリスタ110-2のターンオン過程

時刻t5において、制御信号C2がHレベルに立ち上がり、これがインバータ73で反転され、e部に示すように、クロック端子CK2から出力される第2クロックがLレベルに立ち下がる。

#### 【0102】

時刻t5の直前において、クロック端子CK1から出力される第1クロックはLレベルとなり、走査サイリスタ110-1がオン状態である。そのため、クロック端子CK2がLレベルとなることで、走査サイリスタ110-1の第2ゲートGP2から抵抗120-2、発光サイリスタ210-2の第1ゲートGP1・カソード間、及び抵抗152を経由してクロック端子CK2に至る経路に電流が流れ、発光サイリスタ210-2がターンオンする。

30

#### 【0103】

前述したように、典型的な設計例では、発光サイリスタ210-2の第1ゲートGP1及びカソード間電圧が略1.6Vである。又、電源電圧VDDは3.3Vであり、前記走査サイリスタ110-1における第2ゲートGP2のHレベル電圧は電源電圧VDDと略等しく、発光サイリスタ210-2にゲート電流を生じさせるのに十分な値となっている。そのため、発光サイリスタ210-2をターンオンさせようとする時、従来のようにそのカソードにアンダシュート波形を与える必要はない。

#### 【0104】

時刻t6において、制御信号C1がLレベルに立ち下がり、これがインバータ72で反転され、f部に示すように、クロック端子CK1から出力される第1パルスがHレベルに立ち上がる。これにより、抵抗151を介して走査サイリスタ110-1のカソード電位が上昇し、アノード・カソード間電圧が急激に減少して、この走査サイリスタ110-1はターンオフする。

40

#### 【0105】

時刻t7において、制御信号DRVONがHレベルに立ち上がり、これがインバータ62で反転され、抵抗63を介してデータ端子DAがLレベルに遷移する。データ端子DAがLレベルに遷移すると、共通端子INを介して発光サイリスタ210-2のアノード・カソード間には、電源電圧VDDと略等しい電圧が印加される。

50

## 【 0 1 0 6 】

前述したように、時刻  $t_5$  においては走査サイリスタ 110 - 2 がオン状態にあり、走査サイリスタ 110 - 1 がオフ状態になっている。このように、走査サイリスタ 110 - 2 はオンしているので、この走査サイリスタ 110 - 2 の第 1 ゲート GP 1 に対してゲート電位を共有している発光サイリスタ 210 - 2 がオンし、このカソードには、g 部に示すように、駆動電流  $I_{out}$  を生じてこの駆動電流  $I_{out}$  の値に応じた発光出力を生じる。

## 【 0 1 0 7 】

時刻  $t_8$  において、制御信号 DRVON が L レベルに立ち下がり、これがインバータ 62 で反転され、抵抗 63 を介してデータ端子 DA が H レベルに遷移する。これにより、発光サイリスタ 210 - 2 のアノード・カソード間電圧が略ゼロとなってこの発光サイリスタ 210 - 2 はオフし、h 部に示すように、駆動電流  $I_{out}$  が略ゼロとなる。

## 【 0 1 0 8 】

時刻  $t_9$  において、制御信号 C1 が H レベルになり、これがインバータ 72 で反転され、クロック端子 CK1 から出力される第 1 クロックが、i 部に示すように、L レベルに立ち下がる。これにより、走査サイリスタ 110 - 3 はターンオンする。

## 【 0 1 0 9 】

以下同様に、第 1、第 2 クロック端子 CK1, CK2 から出力される第 1、第 2 クロックの遷移と制御信号 DRVON のオン、オフとが順に発生して、発光サイリスタ 210 - 3 ~ 210 - n を順次点灯することができる。

## 【 0 1 1 0 】

## ( 3 ) ゲート電流の経路

図 9 は、図 1 中の走査回路部 100 における走査サイリスタ 110 - 1 ~ 110 - 3 の詳細動作を説明するための要部の回路図である。

## 【 0 1 1 1 】

図 9 において、 $V_{ce1}$  は PNPTR111 - 2 のコレクタ・エミッタ間電圧、 $V_{ce2}$  は PNPTR113 - 2 のコレクタ・エミッタ間電圧、及び、 $V_{be}$  は NPNTR114 - 3 のベース・エミッタ間電圧である。

## 【 0 1 1 2 】

初段の走査サイリスタ 110 - 1 は、図 7 ( c ) と同様に、2 つの PNPTR111 - 1, 113 - 1 及び 2 つの NPNTR112 - 1, 114 - 1 により構成されている。同様に、2 段目の走査サイリスタ 110 - 2 は、2 つの PNPTR111 - 2, 113 - 2 及び 2 つの NPNTR112 - 2, 114 - 2 により構成され、3 段目の走査サイリスタ 110 - 3 は、2 つの PNPTR111 - 3, 113 - 3 及び 2 つの NPNTR112 - 3, 114 - 3 により構成されている。

## 【 0 1 1 3 】

なお、図 9 の回路図では、図示を簡略化する目的で、走査サイリスタ 110 - 1 ~ 110 - 3 における第 2 ゲート GP2 と VDD 電源との間の図 1 中の抵抗 140 - 1 ~ 140 - 3 の図示を省略している。更に、走査サイリスタ 110 - 2, 110 - 3 における第 1 ゲート GP1 とグランド GND との間の抵抗 130 - 2, 130 - 3 の図示を省略している。

## 【 0 1 1 4 】

前述したように、走査サイリスタ 110 - 1 のターンオン過程において、第 1 ゲート GP1 は電源電圧 VDD と略等しい H レベルとなり、クロック端子 CK1 を L レベルにすることで、走査サイリスタ 110 - 1 にゲート電流を生じさせてこの走査サイリスタ 110 - 1 をターンオンする。

## 【 0 1 1 5 】

次いで、走査サイリスタ 110 - 2 のターンオン過程に移るのであるが、説明を簡略化するために、走査サイリスタ 110 - 3 のターンオン過程について取り上げる。この時、走査サイリスタ 110 - 2 はオンしており、目標とすべき走査サイリスタ 110 - 3 のタ

10

20

30

40

50

ーンオン過程において、誤ってその前段である走査サイリスタ 110 - 1 が再びオンしないことを説明する。これにより、一般性を失うことなく、前段から後段の走査サイリスタ 110 にオン状態が引き継がれることを説明することができる。

#### 【0116】

走査サイリスタ 110 - 2 が単独でオンとなる状態は、クロック端子 CK1 が L レベルで、且つクロック端子 CK2 が H レベルとなる間（即ち、図 8 における時刻  $t_6 \sim t_9$  間）に相当するものである。次いで、走査サイリスタ 110 - 3 をターンオンするために、図 8 の i 部に示すように、クロック端子 CK1 を L レベルに立ち下げる。

#### 【0117】

この時、走査サイリスタ 110 - 2 はオンしているので、PNPTR111 - 2 もまたオンしており、このエミッタ・コレクタ間電圧  $V_{ce1}$  が小さく、理想的には略 0 V となっている。そのため、走査サイリスタ 110 - 2 における第 2 ゲート GP2 の電位は、電源電圧 VDD に略等しい。

#### 【0118】

その結果、図 9 の破線矢印で示すように、VDD 電源に接続されている走査サイリスタ 110 - 2 のアノード A から第 2 ゲート GP2、抵抗 120 - 3、走査サイリスタ 110 - 3 の第 1 ゲート GP1、及び NPNTR114 - 3 のベース・エミッタ間を通り、抵抗 151 を経由してクロック端子 CK1 に至る経路に電流  $I_1$  が流れる。

#### 【0119】

NPNTR114 - 3 のベース・エミッタ間に電流  $I_1$  が流れることで、この NPNTR114 - 3 がオンすることになり、PNPTR113 - 3 のベース電位を降下させる。走査サイリスタ 110 - 3 の第 2 ゲート GP2 と VDD 電源との間は、抵抗 140 - 3 により接続されており、その第 2 ゲート GP2 が H レベルになっている。そのため、PNPTR113 - 3 のベース電位が降下することで、このベース・エミッタ間には電圧を生じ、PNPTR113 - 3 がオンすることになる。NPNTR112 - 3 のベース・エミッタ間においても同様であり、NPNTR112 - 3 もまたオンする。NPNTR112 - 3 がオンすると、この NPNTR112 - 3 のコレクタ電位、即ち PNPTR111 - 3 のベース電位が降下してこの PNPTR111 - 3 のベース・エミッタ間に電圧を生じ、PNPTR111 - 3 もまたオンする。このような過程を経て、走査サイリスタ 110 - 3 がターンオンする。

#### 【0120】

この時の走査サイリスタ 110 - 1 における挙動を考察してみる。

前述した走査サイリスタ 110 - 3 のターンオン過程の始まる前において、走査サイリスタ 110 - 1 はオフしている。走査サイリスタ 110 - 3 をターンオンさせるために、クロック端子 CK1 が L レベルになる。この時、走査サイリスタ 110 - 1 と走査サイリスタ 110 - 2 との間は、抵抗 120 - 2 を介して接続され、抵抗 120 - 2 の一端が走査サイリスタ 110 - 1 の第 2 ゲート GP2 に接続され、抵抗 120 - 2 の他端が走査サイリスタ 110 - 2 の第 1 ゲート GP1 に接続されている。

#### 【0121】

前述したように、走査サイリスタ 110 - 2 のオン状態においては、PNPTR111 - 2 がオン状態であり、このコレクタ・エミッタ間電圧  $V_{ce1}$  は小さく、走査サイリスタ 110 - 2 の第 2 ゲート GP2 が H レベルとなっている。又、PNPTR113 - 2 はオン状態であり、このコレクタ・エミッタ間電圧  $V_{ce2}$  もまた小さい状態にある。この結果、走査サイリスタ 110 - 2 の第 1 ゲート GP1 は H レベルになっている。この時、抵抗 120 - 2 を経由して走査サイリスタ 110 - 2 から走査サイリスタ 110 - 1 に流れるはずの電流  $I_2$  の経路として、図 9 に一点鎖線で示す電流経路が考えられる。

#### 【0122】

前記電流  $I_2$  の経路は、VDD 電源から PNPTR111 - 2 のエミッタ・コレクタ間、PNPTR113 - 2 のエミッタ・コレクタ間、走査サイリスタ 110 - 2 の第 1 ゲート GP1、抵抗 120 - 2、走査サイリスタ 110 - 1 の第 2 ゲート GP2、PNPTR

10

20

30

40

50

113-1のエミッタ・ベース間、NPNTR114-1のコレクタ・エミッタ間、及び、抵抗151を経由してクロック端子CK1に至る経路である。ところが、走査サイリスタ110-1はオフ状態にあるので、NPNTR114-1もまたオフ状態になっていて、このNPNTR114-1のコレクタ・エミッタ間には電流が流れず、前述した一点鎖線の電流I2は生じないことが判る。

【0123】

このように、走査サイリスタ110-2のオン状態において、クロック端子CK1をLレベルに遷移させた時、この後段の走査サイリスタ110-3はターンオンするが、前段の走査サイリスタ110-1はオンしない。

【0124】

従来の走査回路部においては、走査方向を定める目的で各走査サイリスタのゲート間をダイオードを用いて接続している。そのため、着目している走査サイリスタの後段回路にはゲートトリガ電流が伝達されるものの、前段の走査サイリスタにはゲートトリガ電流が伝達されないことになり、前述した走査方向を定めることができる。しかし、その半面、前記ダイオードの順電圧分だけ動作電源電圧が増加してしまい、そのままでは3.3Vといった標準的な回路電圧の基で動作しえない特性になっている。

【0125】

このような不具合を解消する目的で、従来技術では、走査サイリスタのカソードにアンダシュート電圧を発生させることで、前記電源電圧の不足を補うようにしていたのであるが、そのためには多数の回路要素を追加しなければならず、プリントヘッドがコストアップしてしまうという別の課題を招来してしまっていたのである。

【0126】

そこで、本実施例1では、着目している走査サイリスタ110と後段の走査サイリスタ110との間を抵抗120により接続することにより、前述したダイオードの順電圧分だけ電源電圧が不足するという不具合を解消している。更に、着目の走査サイリスタ110の第2ゲートGP2と後段の走査サイリスタ110の第1ゲートGP1とを接続した構成にしているので、着目の走査サイリスタ110の後段側にはゲートトリガ電流を流すことができる一方で、着目の走査サイリスタ110から前段の走査サイリスタ110の側にはゲートトリガ電流を生じることは無く、走査方向を一方方向に定めることができる。

【0127】

(実施例1の効果)

本実施例1によれば、次の(a)~(c)のような効果がある。

【0128】

(a) 従来構成の走査回路部の駆動においては、例えば、図1のクロック駆動回路70の出力側にCR微分回路をそれぞれ設けてアンダシュート波形を生成し、2個のクロック端子CK1, CK2から2相のクロックを出力している。この際、CR微分回路においては、直流成分を伝達することができないので、2個のクロック端子CK1, CK2に対して各2個の出力端子(=合計4個の出力端子)、即ち、転送クロック当たり2個で合計4個の出力端子が必要であった。

【0129】

これに対し、本実施例1によれば、図1のような回路構成にすることにより、クロック駆動回路70におけるクロック端子数が転送クロック当たり1個で良く、従来構成と比べて所要端子の数を半減することができる。更に、従来構成のクロック駆動回路に備えていたキャパシタ等の外付け部品が不要になる。これにより、プリントヘッド13におけるデータ転送速度を向上できることは勿論のこと、クロック駆動回路70のクロック端子数の減少によって、回路規模の削減と、これによる低コスト化も期待できる。

【0130】

(b) 初段の走査サイリスタ110-1の第1ゲートGP1は、第2クロック端子CK2に接続されているので、走査回路部100用のスタート信号が不要になる。更に、前段の走査サイリスタ110における第2ゲートGP2は、電氣的接続手段としての抵抗1

10

20

30

40

50

20を介して後段の走査サイリスタ110における第1ゲートGP1にそれぞれ接続されているので、2相の第1及び第2クロックの基でも走査回路部100の走査方向を定めることができ、走査回路部100の誤動作を防止できる。しかも、電源電圧VDDとして一般的な例えば3.3Vの電源によりプリントヘッド駆動を行うことができ、省電力化が可能になる。

#### 【0131】

(c) 本実施例1の画像形成装置1によれば、プリントヘッド13を採用しているので、スペース効率及び光取り出し効率に優れた高品質の画像形成装置1を提供することができる。即ち、プリントヘッド13を用いることにより、本実施例1のフルカラーの画像形成装置1に限らず、モノクロ、マルチカラーの画像形成装置においても効果が得られるが、特に、露光装置としてのプリントヘッド13を数多く必要とするフルカラーの画像形成装置1において一層大きな効果が得られる。

10

#### 【実施例2】

#### 【0132】

本発明の実施例2における画像形成装置1では、実施例1のプリントヘッド13における回路構成の極性(即ち、P、Nの接続)を逆にした変形例を示すプリントヘッド13Aを採用している。以下、実施例1と異なる部分について説明する。

#### 【0133】

(実施例2のプリントヘッド)

図10は、本発明の実施例2におけるプリントヘッド13Aの構成を示す回路図であり、実施例1を示す図1中の要素と共通の要素には共通の符号が付されている。

20

#### 【0134】

本実施例2のプリントヘッド13Aは、実施例1の走査回路部100及び発光サイリスタアレイ200とは異なる極性の走査回路部100A及び発光サイリスタアレイ200Aを有し、これらが実施例1と同様の複数の接続ケーブル80(=80-1~80-3)及び複数の接続コネクタ90(=90-1~90-6)を介して、実施例1の印刷制御部40とは異なる構成の印刷制御部40Aに接続されている。走査回路部100A及び発光サイリスタアレイ200Aは、実施例1と同様に、VDD電源(例えば、3.3V)により動作する構成になっている。

#### 【0135】

印刷制御部40Aは、実施例1のデータ駆動回路60とは異なる構成の第1駆動回路(例えば、データ駆動回路)60Aと、実施例1と同様の第2駆動回路(例えば、クロック駆動回路)70とを有している。データ駆動回路60Aは、VDD電源により動作して発光サイリスタアレイ200A側の共通端子INをH/Lレベルに駆動する回路である。クロック駆動回路70は、実施例1と同様に、VDD電源により動作して走査回路部100Aを駆動するための2相の第1及び第2クロックを出力する回路である。

30

#### 【0136】

本実施例2において、発光サイリスタアレイ200Aを駆動する駆動装置は、実施例1と同様に、走査回路部100A、データ駆動回路60A、及びクロック駆動回路70を有している。図10では、データ駆動回路60A及びクロック駆動回路70が印刷制御部40A内に配置された構成例が示されているが、実施例1の図6と同様に、データ駆動回路60A及びクロック駆動回路70をプリントヘッド13A内に配置しても良い。

40

#### 【0137】

走査回路部100Aにより走査される発光サイリスタアレイ200Aは、実施例1とは異なる極性の3端子発光素子としての例えば複数段のNゲート型発光サイリスタ210A(=210A-1~210A-n, ...)を有し、これらの各発光サイリスタ210Aの第1端子(例えば、アノード)が駆動電流I<sub>out</sub>を流す共通端子INを介して接続コネクタ90-4に接続され、第2端子(例えば、カソード)がグランドGNDに接続され、第1制御端子(例えば、ゲート)が走査回路部100Aの各出力端子Q1~Qnに接続されている。発光サイリスタ210A-1~210A-n, ...の総数は、実施例1と

50

同様に、例えば、A4サイズ用の紙に1インチ当たり600ドットの解像度で印刷可能なプリントヘッド13Aの場合、4992個であり、これらが配列されることになる。

#### 【0138】

走査回路部100Aは、クロック駆動回路70から第1、第2クロック端子CK1、CK2、接続コネクタ90-2、90-3、接続ケーブル80-2、80-3、及び接続コネクタ90-5、90-6を介して供給される2相の第1及び第2クロックにより駆動され、発光サイリスタアレイ200Aにトリガ電流を流してオン/オフ動作させる回路である。この走査回路部100Aは、実施例1とは異なる極性の複数段の4端子スイッチ素子（例えば、PNPNPNの6層からなり、N型層に接続されたNゲートの2つの制御端子を有する4端子走査サイリスタ）110A（=110A-1~110A-n、例えばn=4992）と、走査方向決定用の複数の電氣的接続手段（例えば、実施例1と同様の抵抗）120（=120-2~120-n）と、実施例1と同様の複数の抵抗130（=130-2~130-n）と、実施例1と同様の複数の抵抗140（=140-1~140-n）とを有し、自己走査型シフトレジスタにより構成されている。

10

#### 【0139】

各段の走査サイリスタ110A（=110A-1~110A-n）は、第3端子（例えば、アノード）、第4端子（例えば、カソード）、第2制御端子（例えば、第1ゲート）GN1、及び第3制御端子（例えば、第2ゲート）GN2を有し、カソードが、グランドGNDに接続され、第1ゲートGN1が、各出力端子Q1~Qnを介して各段の発光サイリスタ210Aのゲートに接続されると共に、各抵抗130（=130-2~130-n）を介してVDD電源に接続され、第2ゲートGN2が、各抵抗140（=140-1~140-n）を介してグランドGNDに接続されている。但し、初段の走査サイリスタ110-1の第1ゲートGN1とVDD電源との間には、実施例1と同様に抵抗130が設けられていない。

20

#### 【0140】

奇数段の走査サイリスタ110A-1、110A-3、・・・、110A-(n-1)のアノードは、抵抗151を介して接続コネクタ90-5に接続されている。偶数段の走査サイリスタ110A-2、110A-4、・・・、110A-nのアノードは、抵抗152を介して接続コネクタ90-6に接続されている。

#### 【0141】

初段の走査サイリスタ110A-1の第1ゲートGN1は、抵抗152を介して接続コネクタ90-6に接続されている。初段から最終段までの走査サイリスタ110A-1~110A-nにおいて、前段の走査サイリスタ110Aの第2ゲートGN2と、後段の走査サイリスタ110Aの第1ゲートGN1との間には、実施例1と同様に、各抵抗120（=120-2~120-n）を介してそれぞれ接続されている。各抵抗120は、実施例1と同様に、走査サイリスタ110A-1~110A-nが順次点灯する時の走査方向（例えば、図10において右方向）を決定するために設けられている。

30

#### 【0142】

各段の走査サイリスタ110Aと各段の発光サイリスタ210Aとは、半導体素子として同様なレイヤ構造を有し、且つ同様な回路動作を行うものであるが、各段の発光サイリスタ210Aは、主として発光機能を用いるものであるのに対して、各段の走査サイリスタ110Aにおいては、発光機能を必要とされないもので、その上層をメタル膜等の非透光性材料で覆うことで遮光して用いられる。

40

#### 【0143】

走査回路部100Aでは、実施例1と同様に、クロック駆動回路70の第1及び第2クロック端子CK1、CK2から供給される2相の第1及び第2クロックに基づき、走査サイリスタ110A-1~110A-nが択一的にオン状態となり、このオン状態が発光サイリスタアレイ200Aに伝達され、発光サイリスタ210A-1~210A-nの中から発光すべき発光サイリスタ210A-1~210A-nを指令する働きをする。この走査回路部100Aにおいて、オン状態となる各段の走査サイリスタ110Aのオン状態が

50

、2相の第1及び第2クロック毎に隣接の走査サイリスタ110Aに伝達され、シフトレジスタと同様の回路動作が行われる構成になっている。

【0144】

なお、2段目～最終段の走査サイリスタ110A-2～110A-nにおける各第1ゲートGN1は、各抵抗130-2～130-nを介してそれぞれVDD電源に接続されているが、初段の走査サイリスタ110A-1における第1ゲートGN1とVDD電源との間の抵抗130は削除されている。これは実施例1と同様に、部品点数を削減するための工夫であって、低コスト化への配慮が不要である場合には、初段の走査サイリスタ110A-1における第1ゲートGN1とVDD電源との間に抵抗130を設ける構成とすることもできる。

10

【0145】

又、実施例1と同様に、各段の抵抗130(=130-2～130-n)や抵抗140(=140-1～140-n)は、走査回路部100Aの動作を確実にする目的で設けるものであるが、走査サイリスタ110A(=110A-1～110A-n)の特性によっては、そのいずれか一方、もしくは全部を省略することもできる。

【0146】

前記発光サイリスタアレイ200Aに接続された複数のデータ駆動回路60Aは、実施例1とは異なる負論理の駆動指令信号である第1制御信号DRVON-Nを生成し、複数の発光サイリスタアレイ200Aを時分割駆動するためのデータとしての駆動電流Ioutを共通端子INに流す回路である。図10においては、実施例1の図1と同様に、説明を簡略化するために1個のデータ駆動回路60Aのみが図示されている。

20

【0147】

データ駆動回路60Aは、実施例1とは異なる制御信号DRVON-Nを生成するデータ制御回路61Aと、制御信号DRVON-Nを反転する実施例1と同様のインバータ62と、実施例1と同様に、インバータ62とデータ端子DAとの間に接続された抵抗63とを有している。

【0148】

例えば、データ制御回路61Aから出力される制御信号DRVON-NがHレベルの場合、PMOS66aがオフ状態、NMOS66bがオン状態になり、抵抗63、データ端子DA及び共通端子INを介して発光サイリスタ210AのアノードがLレベルになる。そのため、発光サイリスタ210Aのアノード・カソード間電圧が略ゼロとなって、共通端子INに流れる駆動電流Ioutがゼロとなり、発光サイリスタ210A-1～210A-nを全て非発光状態にできる。

30

【0149】

これに対し、制御信号DRVON-NがLレベルの場合、PMOS66aがオン状態、NMOS66bがオフ状態になり、抵抗63、データ端子DA及び共通端子INを介して発光サイリスタ210AのアノードがHレベルになる。これにより、発光サイリスタ210A-1～210A-nのアノード・カソード間には、電源電圧VDDと略等しい電圧が印加されることになる。この時、発光サイリスタ210A-1～210A-n内の1つの発光サイリスタ210Aに対して点灯指令がされると、VDD電源からPMOS62a、抵抗63、データ端子DA、共通端子IN、及び発光サイリスタ210Aのアノード・カソード端子間を経由してグランドGNDに至る経路に駆動電流Ioutが流れ、その発光サイリスタ210Aが点灯する。

40

【0150】

(実施例2の走査サイリスタ)

図11(a)～(c)は、図10中の走査サイリスタ110Aを示す構成図である。

【0151】

図11(a)は、走査サイリスタ110Aの回路シンボルを示し、アノードA、カソードK、第1ゲートGN1、及び第2ゲートGN2の4つの端子を有している。

【0152】

50

図 1 1 ( b ) は、走査サイリスタ 1 1 0 A の断面構造を示す図である。走査サイリスタ 1 1 0 A は、例えば、公知の M O - C V D 法により、N 型 G a A s ウェハ基材 1 1 5 a の上層に、所定の結晶をエピタキシャル成長させることで製造される。

【 0 1 5 3 】

即ち、N 型 G a A s ウェハ基材 1 1 5 a の上層に、A l G a A s 材料に N 型不純物を含ませた N 型層 1 1 5 b と、P 型不純物を含ませ成層した P 型層 1 1 5 c と、N 型不純物を含ませた N 型層 1 1 5 d と、P 型不純物を含ませ成層した P 型層 1 1 5 e と、N 型不純物を含ませた N 型層 1 1 5 f と、P 型不純物を含ませ成層した P 型層 1 1 5 g とを順に積層させた P N P N P N の 6 層構造のウェハを形成する。次に、公知のエッチング法を用いて溝部を形成することで、素子分離を行う。

10

【 0 1 5 4 】

前記エッチングの過程で、N 型層 1 1 5 d の一部の領域を露出させ、この領域に金属配線を形成して第 2 ゲート G N 2 を形成する。同様に、前記エッチングの過程で N 型層 1 1 5 f の一部の領域を露出させ、この領域に金属配線を形成して第 1 ゲート G N 1 を形成する。更に、最上層となる P 型層 1 1 5 g の一部の領域を露出させ、この領域の一部に金属配線を形成してアノード A を形成する。その後、N 型 G a A s ウェハ基材 1 1 5 a の底面に金属電極を形成して、カソード K を形成する。

【 0 1 5 5 】

なお、図 1 1 ( b ) に示す構成は、N 型 G a A s ウェハ基材 1 1 5 a を用いているが、これは一構成例であって、N 型層 1 1 5 b 上層の一部を露出させてこれに金属電極を形成してカソード K とすることも可能である。あるいは、N 型 G a A s ウェハ基材 1 1 5 a に代えて、半絶縁性 G a A s 基板やシリコンウェハ基板等を用いることも可能である。

20

【 0 1 5 6 】

図 1 1 ( c ) は、図 1 1 ( b ) と対比させて描いた走査サイリスタ 1 1 0 A の等価回路図である。走査サイリスタ 1 1 0 A は、2 つの N P N T R 1 1 6 , 1 1 8 と、2 つの P N P T R 1 1 7 , 1 1 9 とにより構成されている。P N P T R 1 1 9 のエミッタが走査サイリスタ 1 1 0 A のアノード A に相当し、P N P T R 1 1 9 のベースが走査サイリスタ 1 1 0 A の第 1 ゲート G N 1 に相当し、P N P T R 1 1 7 のベースが走査サイリスタ 1 1 0 A の第 2 ゲート G N 2 に相当し、N P N T R 1 1 6 のエミッタが走査サイリスタ 1 1 0 A のカソード K に相当している。

30

【 0 1 5 7 】

又、P N P T R 1 1 9 のコレクタが、N P N T R 1 1 8 のベースと N P N T R 1 1 7 のエミッタに接続され、P N P T R 1 1 9 のベースが、N P N T R 1 1 8 のコレクタに接続され、P N P T R 1 1 7 のベースが、N P N T R 1 1 8 のエミッタと N P N T R 1 1 6 のコレクタに接続され、P N P T R 1 1 7 のコレクタが、N P N T R 1 1 6 のベースに接続されている。

【 0 1 5 8 】

なお、図 1 1 に示した走査サイリスタ 1 1 0 A では、G a A s ウェハ基材 1 1 5 a 上に A l G a A s 層を構成したものであるが、これに限定されるものではなく、G a P、G a A s P、A l G a I n P、I n G a A s P 等といった材料を用いるものであっても良く、あるいは、サファイヤ基板上に G a N や A l G a N、I n G a N 等といった材料を成膜したものであっても良い。

40

【 0 1 5 9 】

( 実施例 2 の発光サイリスタ )

図 1 0 中の発光サイリスタ 2 1 0 A としては、図 1 1 に示した P N P N P N の 6 層からなる 4 端子サイリスタを用いることもできるが、図 1 1 に示した P N P N P N の 6 層構造のウェハを元に、図 1 0 に示したような 3 端子サイリスタとして構成することもできる。

【 0 1 6 0 】

これについて説明すると、図 1 1 に示した P 型層 1 1 5 g 及び N 型層 1 1 5 f をエッチング法により選択的に除去することで、N 型層 1 1 5 b、P 型層 1 1 5 c、N 型層 1 1 5

50



d、及びP型層115eからなるPNPNの4層を得ることができる。次いで、P型層115eの一部の領域を除去してN型層115dを露出させ、これに金属電極を形成してゲートとする。更に、P型層115eの一部の領域を除去すると共に、このP型層115eの上部に金属電極を形成してアノードとする。このようにして発光サイリスタ210Aを形成することができる。

#### 【0161】

(実施例2のプリントヘッドの概略動作)

図10のプリントヘッド13Aにおいて、クロック制御回路71から出力される制御信号C1、C2の内、制御信号C1がLレベルになると、これがインバータ72で反転され、Hレベルの第1クロックがクロック端子CK1から出力される。この第1クロックは、接続コネクタ90-2、接続ケーブル80-2、接続コネクタ90-5、及び抵抗151を介して、走査サイリスタ110A-1のアノードへ供給されるので、このアノードがHレベルになる。制御信号C2がLレベルになると、これがインバータ73で反転され、Hレベルの第2クロックがクロック端子CK2から出力される。この第2クロックは、接続コネクタ90-3、接続ケーブル80-3、接続コネクタ90-6、及び抵抗152を介して走査サイリスタ110A-1の第1ゲートGN1へ供給されるので、この第1ゲートGN1がHレベルになる。これにより、走査サイリスタ110A-1がオン状態になって走査回路部100Aがシフト動作を開始し、次段以降の走査サイリスタ110A-2~110A-nの第1ゲートGN1が順にHレベルになって順次オンして行く。

#### 【0162】

発光サイリスタ210A-1~210A-nの動作を考えるにあたり、走査サイリスタ110A-1~110A-nのオンしている走査サイリスタ(例えば、110A-2)に着目すると、その第1ゲートGN1がグランド電位に略等しいLレベルになっている。一方、走査サイリスタ110A-2の第1ゲートGN1と、発光サイリスタ210A-2のゲートとは、それぞれ接続されているため、走査サイリスタ110A-2の第1ゲートGN1と発光サイリスタ210A-2のゲートとが同電位となる。

#### 【0163】

発光サイリスタ210A-2のカソードは、グランドGNDに接続されており、そのアノードがHレベルにされると、この発光サイリスタ210A-2のアノード・カソード間に電圧が印加される。この時、発光指令されている発光サイリスタ210A-2のゲートのみが選択的にLレベルにされるので、この発光サイリスタ210A-2のアノードからゲート間にトリガ電流を生じ、この発光サイリスタ210A-2がターンオンすることになる。この際、発光サイリスタ210A-2のカソードに流れる電流は、データ端子DAから流出する電流(即ち、駆動電流Iout)であって、その発光サイリスタ210A-2が発光状態となって駆動電流Ioutの値に応じた光出力を生じる。

#### 【0164】

(実施例2のプリントヘッドの詳細動作)

図12は、図10のプリントヘッド13Aの詳細な動作を示すタイミングチャートである。

#### 【0165】

この図12では、実施例1と同様に、図2の画像形成装置1での印刷動作時における1ライン走査において、図10の発光サイリスタ210A-1~210A-n(例えば、n=6)を順次点灯させる場合の動作波形が示されている。

#### 【0166】

本実施例2のように、走査サイリスタ110Aを用いた走査回路部100Aの場合、実施例1と同様に、クロック端子CK1、CK2から供給される2相のクロックが用いられ、この2相のクロックは、クロック駆動回路70Aから出力される。

#### 【0167】

図10のタイミングチャートにおいて、左端部に示す時刻t1の状態においては、クロック駆動回路70A内のクロック制御回路71から出力される制御信号C1、C2がHレ

10

20

30

40

50

ベルになる。Hレベルの制御信号C 1は、インバータ7 2で反転され、クロック端子C K 1から出力される第1クロックがLレベルになる。このLレベルは、走査回路部1 0 0 A側の抵抗1 5 1を介して、奇数段の走査サイリスタ1 1 0 A - 1, 1 1 0 A - 3, ..., 1 1 0 A - (n - 1)のアノードへ送られる。これにより、奇数段の走査サイリスタ1 1 0 A - 1, 1 1 0 A - 3, ..., 1 1 0 A - (n - 1)の組のアノード・カソード間電圧は略ゼロとなり、そのカソード電流が遮断されて奇数段の走査サイリスタ1 1 0 A - 1, 1 1 0 A - 3, ..., 1 1 0 A - (n - 1)の組がオフ状態になる。

#### 【0 1 6 8】

この時、Hレベルの制御信号C 2もインバータ7 3で反転され、クロック端子C K 2から出力される第2クロックが、a部に示すように、Lレベルになる。このLレベルは、抵抗1 5 2を介して、偶数段の走査サイリスタ1 1 0 A - 2, 1 1 0 A - 4, ..., 1 1 0 A - nのアノードへ送られる。これにより、偶数段の走査サイリスタ1 1 0 A - 2, 1 1 0 A - 4, ..., 1 1 0 A - nの組のアノード・カソード間電圧は略ゼロとなり、そのカソード電流が遮断されて偶数段の走査サイリスタ1 1 0 A - 2, 1 1 0 A - 4, ..., 1 1 0 A - nの組もまたオフ状態になる。

#### 【0 1 6 9】

又、時刻t 1では、データ制御回路6 1 Aから出力される制御信号DRV ON - Nは、Hレベルであり、これがインバータ6 2で反転され、抵抗6 3を介してデータ端子D AがLレベルになる。そのため、共通端子I Nを介して発光サイリスタ2 1 0 A (= 2 1 0 A - 1 ~ 2 1 0 A - n)のアノードがLレベルであり、アノード・カソード間電圧は略ゼロとなってそのカソード電流が遮断され、発光サイリスタ2 1 0 A - 1 ~ 2 1 0 A - nもまたオフ状態になる。以下、

#### 【0 1 7 0】

- (1) 初段(1段目)走査サイリスタ1 1 0 A - 1のターンオン過程
- (2) 2段目走査サイリスタ1 1 0 A - 2のターンオン過程
- (3) ゲート電流の経路

について説明する。

#### 【0 1 7 1】

- (1) 初段(1段目)走査サイリスタ1 1 0 A - 1のターンオン過程

図1 2に時刻t 2において、制御信号C 1がLレベルとなり、これがインバータ7 2で反転され、クロック端子C K 1から出力される第1クロックが、b部に示すように、Hレベルに立ち上がる。この時、制御信号C 2はHレベルであり、これがインバータ7 3で反転され、クロック端子C K 2から出力される第2クロックがLレベルのままである。Hレベルのクロック端子C K 1から抵抗1 5 1、及び走査サイリスタ1 1 0 A - 1のアノード・第1ゲートG N 1間を通り、抵抗1 5 2を介してクロック端子C K 2に至る経路に電流を生じ、この電流をトリガ電流として走査サイリスタ1 1 0 A - 1がターンオンすることになる。

#### 【0 1 7 2】

典型的な設計例では、発光サイリスタ1 1 0 A - 1をオンさせようとする時、このアノード・第1ゲートG N 1間電圧が略1 . 6 Vである。又、電源電圧V D Dは3 . 3 Vであって、前記クロック端子C K 1のHレベル電圧が電源電圧V D Dと略等しく、発光サイリスタ1 1 0 A - 1にゲート電流を生じさせるのに十分な値となっている。

#### 【0 1 7 3】

そのため、実施例1と同様に、発光サイリスタ1 1 0 A - 1をターンオンさせようとするとき、このカソードには従来技術のようなアンダシュート波形を与える必要はない。それ故、図1 0のクロック駆動回路7 0には、従来技術で用いられている微分回路からなるアンダシュート発生回路を設ける必要がなく、それを構成するためにクロック端子当たり2個の出力端子を設ける必要もなく、経済性に優れた構成が実現されている。

#### 【0 1 7 4】

前記時刻t 2の直後に走査サイリスタ1 1 0 A - 1がオンすると、この第1ゲートG N

10

20

30

40

50

1の電位がカソード電位に略等しいものとなる。

【0175】

時刻  $t_3$  において、データ駆動回路 60A 内のデータ制御回路 61A から出力される制御信号  $DRVON - N$  が L レベルに立ち下がり、これがインバータ 62 で反転され、抵抗 63 を介してデータ端子 DA が H レベルに遷移する。この時、走査サイリスタ 110A - 1 はオンしているので、この第 1 ゲート GN1 に対してゲート電位を共有している発光サイリスタ 210A - 1 のゲート電位が L レベルである。そのため、発光サイリスタ 210A - 1 のアノードからゲートに向けてゲート電流が流れる。これにより、発光サイリスタ 210A - 1 がオンし、このアノードには、c 部に示すように、駆動電流  $I_{out}$  を生じ、この駆動電流  $I_{out}$  の値に応じた発光出力を生じる。

10

【0176】

時刻  $t_4$  において、制御信号  $DRVON - N$  が H レベルに立ち上がり、これがインバータ 62 で反転され、抵抗 63 を介してデータ端子 DA が L レベルに遷移する。これにより、共通端子 IN を介して、発光サイリスタ 210A - 1 のアノード・カソード間電圧は略ゼロとなってオフし、d 部に示すように、駆動電流  $I_{out}$  が略ゼロとなる。

【0177】

本実施例 2 では、実施例 1 と同様に、発光サイリスタ 210A - 1 を発光させて、図 2 中の感光体ドラム 11 上に潜像を形成することができる。この時の露光エネルギー量は、前記駆動電流  $I_{out}$  の値に応じて定まる発光パワーと露光時間 ( $= t_4 - t_3$ ) との積であり、発光サイリスタ 210A - 1 等に製造ばらつきに起因する発光効率の差があったとしても、前記露光時間を素子毎に調整することで、露光エネルギー量のばらつきを補正することができる。又、発光サイリスタ 210A - 1 を発光させる必要のない場合には、時刻  $t_3$  から時刻  $t_4$  の間の制御信号  $DRVON - N$  を H レベルのままとする。このように、制御信号  $DRVON - N$  によって発光サイリスタ 210A の発光の有無もまた制御することができる。

20

【0178】

(2) 2 段目走査サイリスタ 110A - 2 のターンオン過程

時刻  $t_5$  において、制御信号 C2 が L レベルに立ち下がり、これがインバータ 73 で反転され、e 部に示すように、クロック端子 CK2 から出力される第 2 クロックが H レベルに立ち上がる。

30

【0179】

時刻  $t_5$  の直前において、クロック端子 CK1 から出力される第 1 クロックは H レベルとなり、走査サイリスタ 110A - 1 がオン状態である。そのため、クロック端子 CK2 が H レベルとなることで、走査サイリスタ 110A - 2 のアノード・第 1 ゲート GN1 間から抵抗 120 - 2、及び発光サイリスタ 110A - 1 の第 2 ゲート GN2・カソード間を経由してグラウンド GND に至る経路にトリガ電流が流れ、発光サイリスタ 210A - 2 がターンオンする。

【0180】

時刻  $t_6$  において、制御信号 C1 が H レベルに立ち上がり、これがインバータ 72 で反転され、f 部に示すように、クロック端子 CK1 から出力される第 1 パルスが L レベルに立ち下がる。これにより、抵抗 151 を介して走査サイリスタ 110A - 1 のアノード電位が低下し、アノード・カソード間電圧が急激に減少して、この走査サイリスタ 110A - 1 はターンオフする。

40

【0181】

時刻  $t_7$  において、制御信号  $DRVON - N$  が L レベルに立ち下がり、これがインバータ 62 で反転され、抵抗 63 を介してデータ端子 DA が H レベルに遷移する。データ端子 DA が H レベルに遷移すると、共通端子 IN を介して発光サイリスタ 210A - 2 のアノード・カソード間には、電源電圧 VDD と略等しい電圧が印加される。

【0182】

前述したように、時刻  $t_5$  においては走査サイリスタ 110A - 2 がオン状態にあり、

50

走査サイリスタ 110A-1 がオフ状態になっている。このように、走査サイリスタ 110A-2 はオンしているので、この走査サイリスタ 110A-2 の第 1 ゲート GN1 に対してゲート電位を共有している発光サイリスタ 210A-2 がオンし、このカソードには、g 部に示すように、駆動電流  $I_{out}$  を生じてこの駆動電流  $I_{out}$  の値に応じた発光出力を生じる。

【0183】

時刻  $t_8$  において、制御信号 DRVON-N が H レベルに立ち上がり、これがインバータ 62 で反転され、抵抗 63 を介してデータ端子 DA が L レベルに遷移する。これにより、発光サイリスタ 210A-2 のアノード・カソード間電圧が略ゼロとなってこの発光サイリスタ 210A-2 はオフし、h 部に示すように、駆動電流  $I_{out}$  が略ゼロとなる。

10

【0184】

時刻  $t_9$  において、制御信号 C1 が L レベルになり、これがインバータ 72 で反転され、クロック端子 CK1 から出力される第 1 クロックが、i 部に示すように、H レベルに立ち上がる。これにより、走査サイリスタ 110A-3 はターンオンする。

【0185】

以下同様に、第 1、第 2 クロック端子 CK1, CK2 から出力される第 1、第 2 クロックの遷移と制御信号 DRVON-N のオン、オフとが順に発生して、発光サイリスタ 210A-3 ~ 210A-n を順次点灯することができる。

【0186】

(3) ゲート電流の経路

20

図 13 は、図 10 中の走査回路部 100A における走査サイリスタ 110A-1 ~ 110A-3 の詳細動作を説明するための要部の回路図である。

【0187】

図 13 において、 $V_{ce11}$  は NPNTR118-2 のコレクタ・エミッタ間電圧、 $V_{ce12}$  は NPNTR116-2 のコレクタ・エミッタ間電圧、及び、 $V_{be10}$  は PNPTR119-3 のベース・エミッタ間電圧である。

【0188】

初段の走査サイリスタ 110A-1 は、図 11(c) と同様に、2 つの NPNTR116-1, 118-1 及び 2 つの PNPTR117-1, 119-1 により構成されている。同様に、2 段目の走査サイリスタ 110A-2 は、2 つの NPNTR116-2, 118-2 及び 2 つの PNPTR117-2, 119-2 により構成され、3 段目の走査サイリスタ 110A-3 は、2 つの NPNTR116-3, 118-3 及び 2 つの PNPTR117-3, 119-3 により構成されている。

30

【0189】

なお、図 13 の回路図では、図示を簡略化する目的で、走査サイリスタ 110A-1 ~ 110A-3 における第 2 ゲート GN2 とグラウンド GND との間の図 10 中の抵抗 140-1 ~ 140-3 の図示を省略している。更に、走査サイリスタ 110A-2, 110A-3 における第 1 ゲート GN1 と VDD 電源との間の抵抗 130-2, 130-3 の図示を省略している。

【0190】

40

前述したように、走査サイリスタ 110A-1 のターンオン過程において、第 1 ゲート GN1 はグラウンド電位と略等しい L レベルとなり、クロック端子 CK1 を H レベルにすることで、走査サイリスタ 110A-1 にゲート電流を生じさせてこの走査サイリスタ 110A-1 をターンオンする。

【0191】

次いで、走査サイリスタ 110A-2 のターンオン過程に移るのであるが、説明を簡略化するために、走査サイリスタ 110A-3 のターンオン過程について取り上げる。この時、走査サイリスタ 110A-2 はオンしており、目標とすべき走査サイリスタ 110A-3 のターンオン過程において、誤ってその前段である走査サイリスタ 110A-1 が再びオンしないことを説明する。これにより、一般性を失うことなく、前段から後段の走査

50

サイリスタ 110A にオン状態が引き継がれることを説明することができる。

【0192】

走査サイリスタ 110A - 2 が単独でオンとなる状態は、図 12 における時刻  $t_6$  から時刻  $t_9$  の状態に相当するものであって、制御信号 C1 が H レベル、クロック端子 CK1 が L レベルになっている。次いで、走査サイリスタ 110A - 3 をターンオンするために、図 12 の i 部に示すように、制御信号 C1 を L レベルとし、クロック端子 CK1 を H レベルに立ち上げる。

【0193】

この時、走査サイリスタ 110A - 2 はオンしているので、NPNTTR 116 - 2 もまたオンしており、このエミッタ・コレクタ間電圧  $V_{ce12}$  が小さく、理想的には略 0V となっている。そのため、走査サイリスタ 110A - 2 における第 2 ゲート GN2 の電位は、グランド電位に略等しい。

10

【0194】

その結果、図 13 の破線矢印で示すように、H レベルであるクロック端子 CK1 から、抵抗 151 を通り、走査サイリスタ 110A - 3 のアノードから PNPTR 119 - 3 のエミッタ・ベース間を通り、第 1 ゲート GN1、抵抗 120 - 3、走査サイリスタ 110A - 2 の第 2 ゲート GN2、及び NPNTTR 116 - 2 のコレクタ・エミッタ間を経由して、グランド GND に至る経路に電流  $I_{11}$  が流れる。

【0195】

PNPTR 119 - 3 のエミッタ・ベース間に電流  $I_{11}$  が流れることで、この PNPTR 119 - 3 がオンすることになり、PNPTR 119 - 3 にコレクタ電流を生じる。このコレクタ電流の一部は、NPNTTR 118 - 3 のベースにも流入して、走査サイリスタ 110A - 3 の第 2 ゲート GN2 に至る。図 13 においては図示を省略しているが、図 10 に示すように、走査サイリスタ 110A - 3 の第 2 ゲート GN2 は抵抗 140 - 3 を介してグランド GND に接続されているので、この走査サイリスタ 110A - 3 の第 2 ゲート GN2 に到達した電流の一部がグランド GND に流れる。

20

【0196】

このように、NPNTTR 118 - 3 のベースに電流が流れることで、この NPNTTR 118 - 3 がオン状態になる。これと同時に、PNPTR 119 - 3 のコレクタ電流の一部は、PNPTR 117 - 3 のエミッタに至り、この PNPTR 117 - 3 のベースを経由して、図示しない抵抗 140 - 3 を介してグランド GND に至る。この結果、PNPTR 117 - 3 もまたオン状態になる。更に、PNPTR 117 - 3 がオンすることで、このコレクタ電流が NPNTTR 116 - 3 のベースに流入して、NPNTTR 116 - 3 をオンさせる。このような過程を経て、走査サイリスタ 110A - 3 がターンオンする。

30

【0197】

この時の走査サイリスタ 110A - 1 における挙動を考察してみる。

前述した走査サイリスタ 110A - 3 のターンオン過程の始まる前において、走査サイリスタ 110A - 1 はオフしている。走査サイリスタ 110A - 3 をターンオンさせるために、クロック端子 CK1 が H レベルにされる。この時、走査サイリスタ 110A - 1 と走査サイリスタ 110A - 2 の間は、抵抗 120 - 2 を介して接続されており、抵抗 120 - 2 の一端が走査サイリスタ 110A - 1 の第 2 ゲート端子 GN2 に接続され、抵抗 120 - 2 の他端が走査サイリスタ 110A - 2 の第 1 ゲート GN1 に接続されている。

40

【0198】

前述したように、走査サイリスタ 110A - 2 のオン状態においては、NPNTTR 118 - 2 がオン状態であり、このコレクタ・エミッタ間電圧  $V_{ce11}$  が小さく、又、NPNTTR 116 - 2 がオン状態であり、このコレクタ・エミッタ間電圧  $V_{ce12}$  もまた小さく、走査サイリスタ 110A - 2 の第 1 ゲート GN1 は L レベルとなっている。

【0199】

この時、抵抗 120 - 2 を経由して走査サイリスタ 110A - 1 から走査サイリスタ 110A - 2 に流れるはずの電流経路として、図 13 に一点鎖線で示す電流  $I_{12}$  の経路が

50

考えられる。

【0200】

電流  $I_{12}$  は、Hレベルであるクロック端子  $CK_1$  から抵抗  $151$  を経由して、走査サイリスタ  $110A-1$  の  $PNPTR_{119-1}$  のエミッタ・ベース間、 $NPNT_{118-1}$  のコレクタ・エミッタ間、走査サイリスタ  $110A-1$  の第2ゲート  $GN_2$ 、抵抗  $120-2$ 、走査サイリスタ  $110A-2$  の第1ゲート  $GN_1$ 、 $NPNT_{118-2}$  のコレクタ・エミッタ間、及び  $NPNT_{116-2}$  のコレクタ・エミッタ間を経由して、グランド  $GND$  に至る経路を通る。ところが、走査サイリスタ  $110A-1$  はオフ状態であるので、 $NPNT_{118-1}$  もまたオフ状態になっていて、この  $NPNT_{118-1}$  のコレクタ・エミッタ間には電流が流れず、前述した一点鎖線の電流  $I_{12}$  が生じないことが判る。

10

【0201】

このように、走査サイリスタ  $110A-2$  のオン状態において、クロック端子  $CK_1$  をHレベルに遷移させた時、その後段に位置する走査サイリスタ  $110A-3$  はターンオンするが、その前段に位置する走査サイリスタ  $110A-1$  はオンしない。

【0202】

従来の走査回路部においては、走査方向を定める目的で各走査サイリスタのゲート間をダイオードを用いて接続している。そのため、着目している走査サイリスタの後段回路にはゲートトリガ電流が伝達されるものの、前段の走査サイリスタにはゲートトリガ電流が伝達されないことになり、前述した走査方向を定めることができる。しかし、その半面、前記ダイオードの順電圧分だけ動作電源電圧が増加してしまい、そのままでは  $3.3V$  と

20

【0203】

このような不具合を解消する目的で、従来技術では、走査サイリスタのカソードにアンダシュート電圧を発生させることで、前記電源電圧の不足を補うようにしていたのであるが、そのためには多数の回路要素を追加しなければならず、プリントヘッドがコストアップしてしまうという別の課題を招来してしまっていたのである。

【0204】

そこで、本実施例2では、実施例1と同様に、着目している走査サイリスタ  $110A$  と後段の走査サイリスタ  $110A$  との間を抵抗  $120$  により接続することにより、前述したダイオードの順電圧分だけ電源電圧が不足するという不具合を解消している。更に、着目の走査サイリスタ  $110A$  の第2ゲート  $GN_2$  と後段の走査サイリスタ  $110A$  の第1ゲート  $GN_1$  とを接続した構成にしているので、着目の走査サイリスタ  $110A$  の後段側にはゲートトリガ電流を流すことができる一方で、着目の走査サイリスタ  $110A$  から前段の走査サイリスタ  $110A$  の側にはゲートトリガ電流を生じること無く、走査方向を一方に定めることができる。

30

【0205】

(実施例2の効果)の説明

本実施例2によれば、次の(A)~(C)のような効果がある。

【0206】

(A) 本実施例2によれば、図10のような回路構成にすることにより、実施例1の効果(a)と同様に、クロック駆動回路70におけるクロック端子数が転送クロック当たり1個で良く、従来構成と比べて所要端子の数を半減することができる。更に、従来構成のクロック駆動回路に備えていたキャパシタ等の外付け部品が不要になる。これにより、プリントヘッド13Aにおけるデータ転送速度を向上できることは勿論のこと、クロック駆動回路70のクロック端子数の減少によって、回路規模の削減と、これによる低コスト化も期待できる。

40

【0207】

(B) 本実施例2によれば、実施例1の効果(b)と同様に、初段の走査サイリスタ  $110A-1$  の第1ゲート  $GN_1$  は、第2クロック端子  $CK_2$  に接続されているので、走

50

査回路部 1 0 0 A 用のスタート信号が不要になる。更に、前段の走査サイリスタ 1 1 0 A における第 2 ゲート G N 2 は、電氣的接続手段としての抵抗 1 2 0 を介して後段の走査サイリスタ 1 1 0 A における第 1 ゲート G N 1 にそれぞれ接続されているので、2 相の第 1 及び第 2 クロックの基でも走査回路部 1 0 0 A の走査方向を定めることができ、走査回路部 1 0 0 A の誤動作を防止できる。しかも、電源電圧 V D D として一般的な例えば 3 . 3 V の電源によりプリントヘッド駆動を行うことができ、省電力化が可能になる。

#### 【 0 2 0 8 】

( C ) 本実施例 2 の画像形成装置 1 によれば、プリントヘッド 1 3 A を採用しているので、実施例 1 の効果 ( c ) と同様の効果がある。

#### 【 0 2 0 9 】

10

( 実施例 1 、 2 の変形例 )

本発明は、上記実施例 1 、 2 に限定されず、種々の利用形態や変形が可能である。この利用形態や変形例としては、例えば、次の ( I ) 、 ( I I ) のようなものがある。

#### 【 0 2 1 0 】

( I ) 実施例 1 、 2 において、光源として用いられる発光サイリスタ 2 1 0 , 2 1 0 A に適用した場合について説明したが、本発明は、サイリスタをスイッチング素子として用い、このスイッチング素子に例えば直列に接続された他の素子 ( 例えば、有機エレクトロルミネセンス素子 ( 以下「有機 E L 素子」という。 ) 、表示素子等 ) への電圧印加制御を行う場合にも適用可能である。例えば、有機 E L 素子のアレイで構成される有機 E L プリントヘッドを備えたプリンタ、表示素子の列を有する表示装置等において利用することができる。

20

#### 【 0 2 1 1 】

( I I ) 表示素子 ( 例えば、列状あるいはマトリクス状に配列された表示素子 ) の駆動 ( 即ち、電圧印加の制御 ) のためスイッチング素子としても用いられるサイリスタにも適用可能である。

#### 【 符号の説明 】

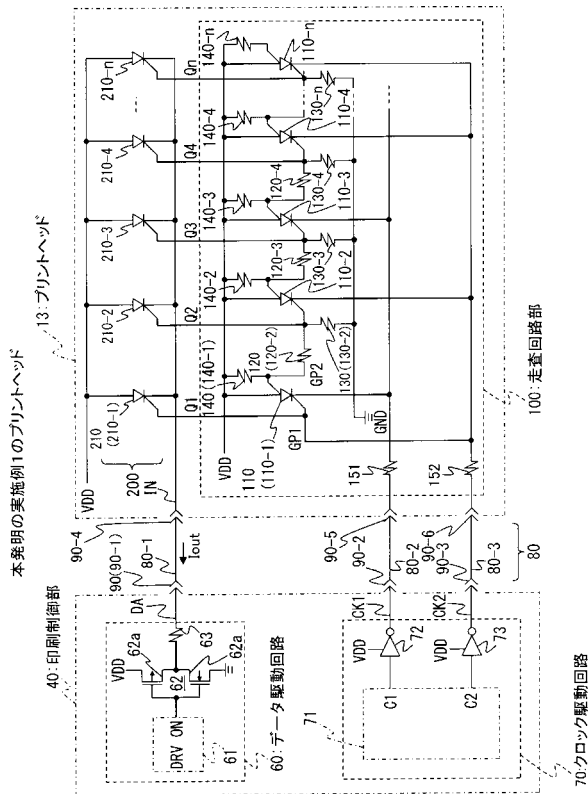
#### 【 0 2 1 2 】

1	画像形成装置	
1 3 , 1 3 A	プリントヘッド	
4 0 , 4 0 A	印刷制御部	
6 0 , 6 0 A	データ駆動回路	
5 2	駆動装置	
6 2 , 7 2 , 7 3	インバータ	
7 0	クロック駆動回路	
1 0 0 , 1 0 0 A	走査回路部	
1 1 0 , 1 1 0 - 1 ~ 1 1 0 - n , 1 1 0 A , 1 1 0 A - 1 ~ 1 1 0 A - n	走査	
サイリスタ		
1 2 0 , 1 2 0 - 2 ~ 1 2 0 - n	抵抗	
2 0 0 , 2 0 0 A	発光サイリスタアレイ	
2 1 0 , 2 1 0 - 1 ~ 2 1 0 - n , 2 1 0 A , 2 1 0 A - 1 ~ 2 1 0 A - n	発光	
サイリスタ		

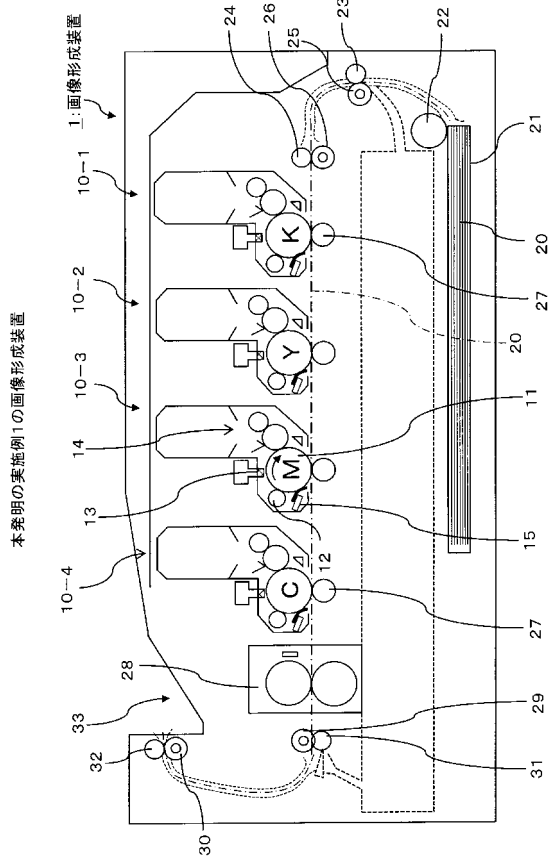
30

40

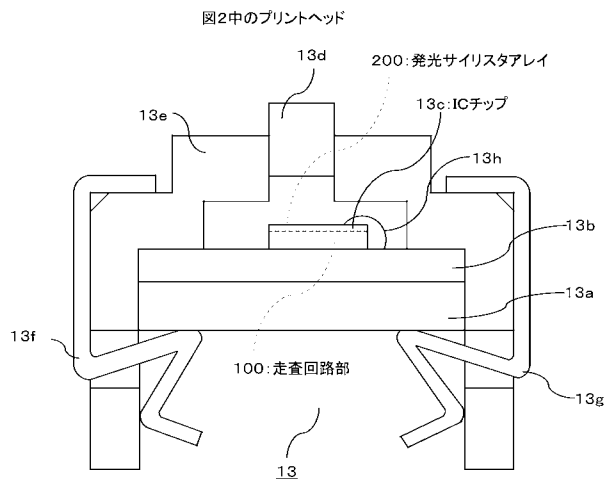
【 図 1 】



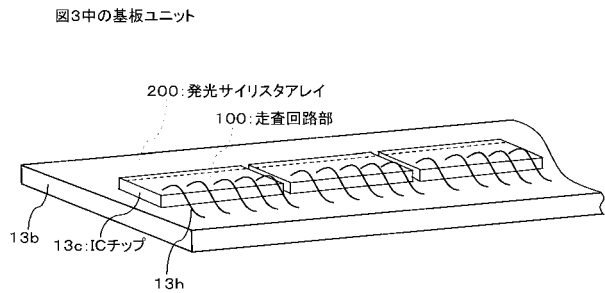
【 図 2 】



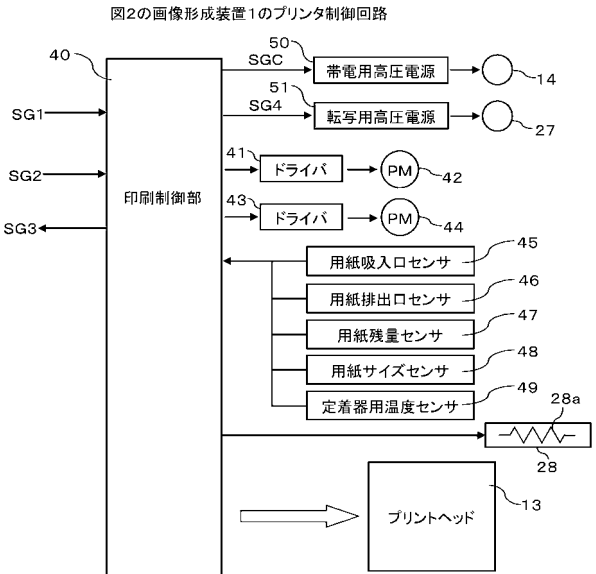
【 図 3 】



【 図 4 】

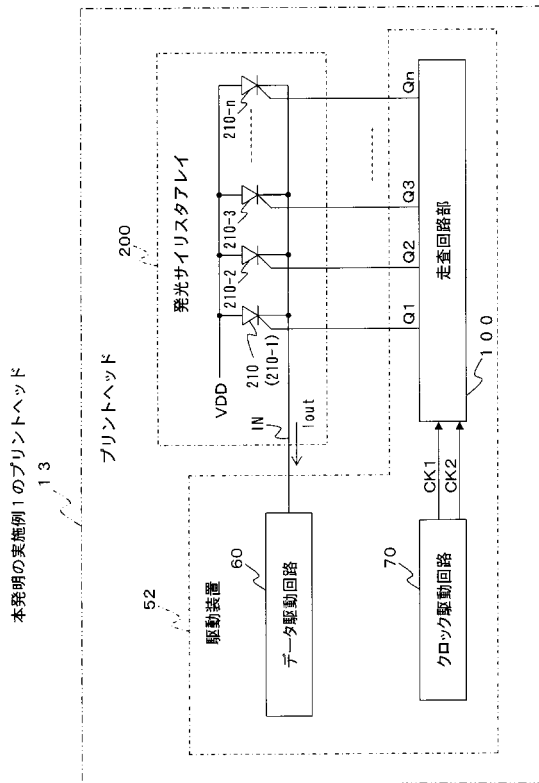


【 図 5 】

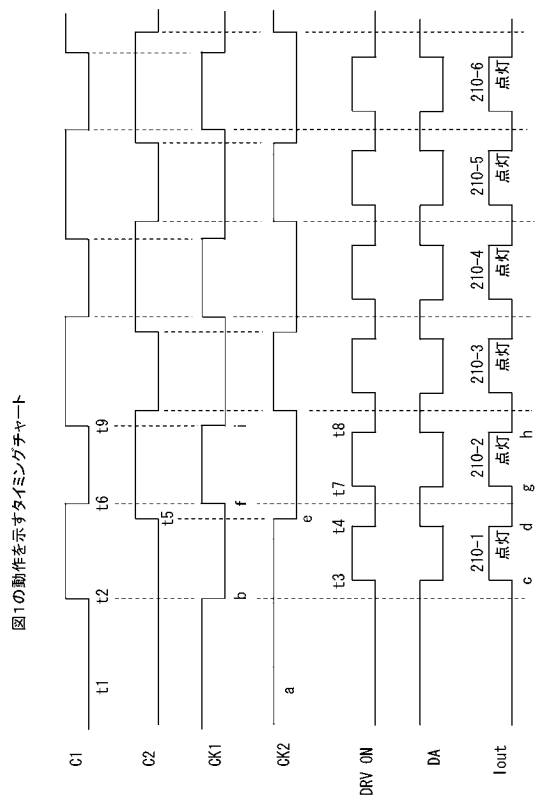




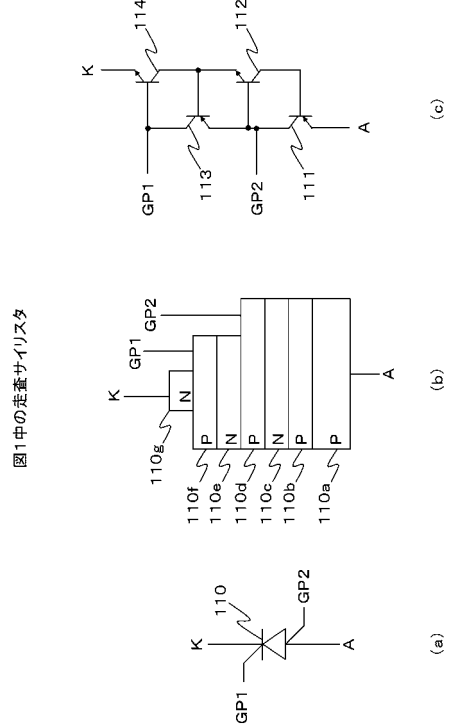
【図 6】



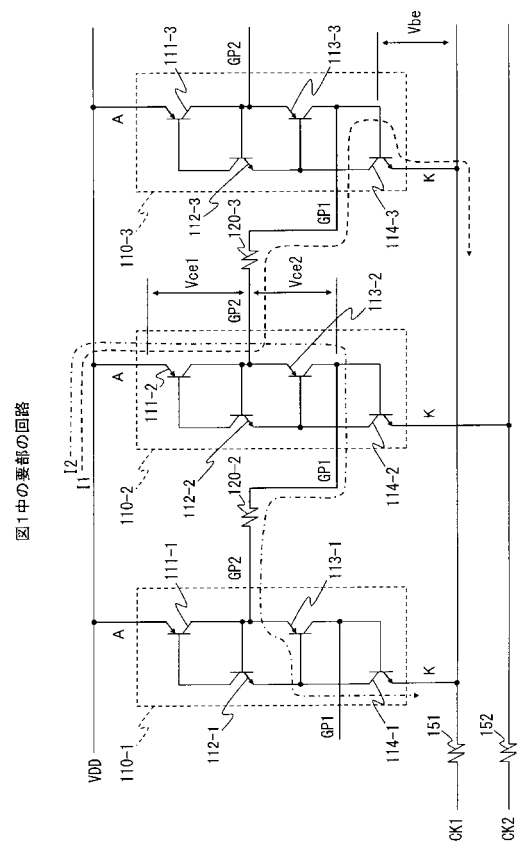
【図 8】



【図 7】

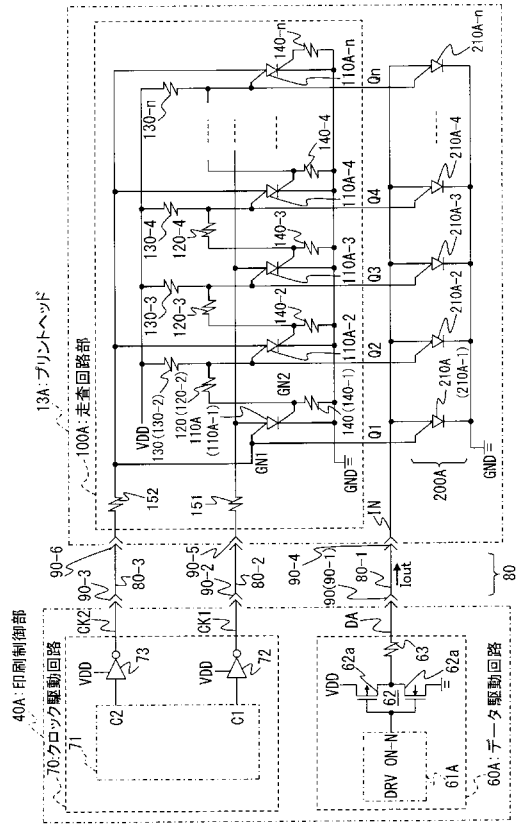


【図 9】



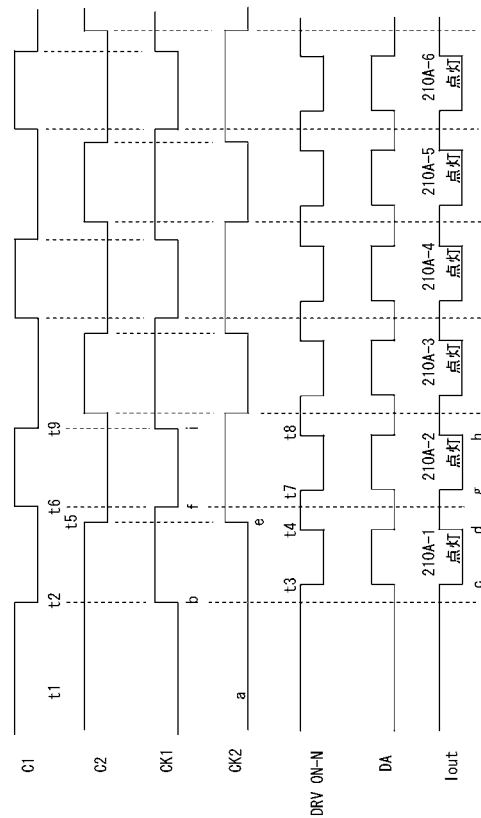
【図10】

本発明の実施例2のプリントヘッド



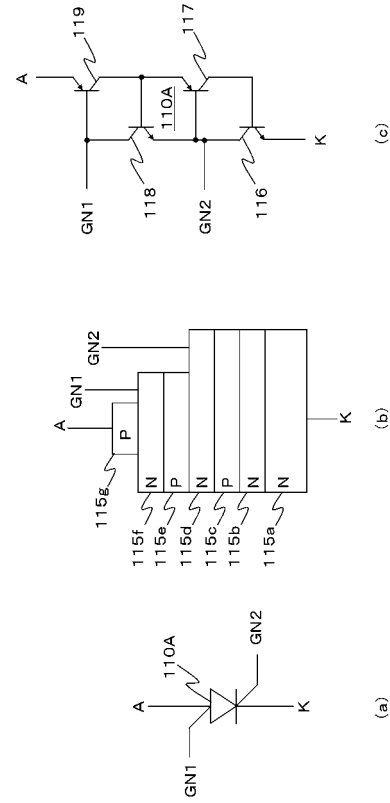
【図12】

図10の動作を示すタイミングチャート



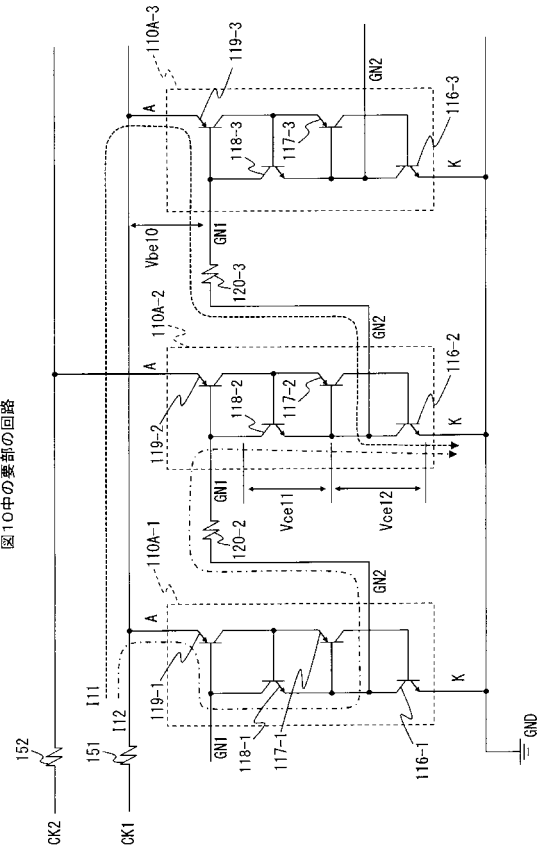
【図11】

図10中の走査サイリスタ



【図13】

図10中の要部の回路



---

フロントページの続き

(72)発明者 南雲 章

群馬県高崎市西横手町1番地1 株式会社沖デジタルイメージング内

審査官 道祖土 新吾

(56)参考文献 特開2004-195796(JP,A)

特開2002-079704(JP,A)

特開2011-194856(JP,A)

特開2006-150598(JP,A)

特開2008-182168(JP,A)

特開2001-308385(JP,A)

実開昭60-125751(JP,U)

特開平02-092651(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 33/00 - 33/64

B41J 2/44

B41J 2/45

B41J 2/455