

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5244352号  
(P5244352)

(45) 発行日 平成25年7月24日(2013.7.24)

(24) 登録日 平成25年4月12日(2013.4.12)

(51) Int.Cl.	F I
<b>G09G 3/36 (2006.01)</b>	G09G 3/36
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 624A
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 641C
	G09G 3/20 621B
	G09G 3/20 624D
	請求項の数 10 (全 12 頁) 最終頁に続く

(21) 出願番号	特願2007-238058 (P2007-238058)	(73) 特許権者	512187343
(22) 出願日	平成19年9月13日(2007.9.13)		三星ディスプレイ株式会社
(65) 公開番号	特開2008-70880 (P2008-70880A)		Samsung Display Co., Ltd.
(43) 公開日	平成20年3月27日(2008.3.27)		大韓民国京畿道龍仁市器興区三星二路95
審査請求日	平成22年9月8日(2010.9.8)		95, Samsung 2 Ro, Gih eung-Gu, Yongin-City
(31) 優先権主張番号	10-2006-0089004		, Gyeonggi-Do, Korea
(32) 優先日	平成18年9月14日(2006.9.14)	(74) 代理人	110000408
(33) 優先権主張国	韓国 (KR)		特許業務法人高橋・林アンドパートナーズ
		(72) 発明者	李 白 雲
			大韓民国京畿道龍仁市水枝区新鳳洞 LG 新鳳ザイ1次アパートメント104棟902号
			最終頁に続く

(54) 【発明の名称】 表示装置及びそのストレージ駆動回路

(57) 【特許請求の範囲】

【請求項1】

フレーム毎に所定の電圧が複数の画素部に印加されることにより所望の画像を表示する表示装置において、

前記表示装置は、

複数のゲート配線及び前記複数のゲート配線と交差する複数のデータ配線と、

前記複数のゲート配線と前記複数のゲート配線との交差点の各々に形成される前記複数の画素部と、

前記複数のゲート配線と平行に延長される、複数のストレージ配線と、

前記複数のゲート配線の各々にゲート信号を出力するゲート駆動回路と、

前記複数のデータ配線の各々にデータ電圧を出力するデータ駆動回路と、

前記複数のストレージ配線に所定の電圧を印加するストレージ駆動回路と、

を含み、

前記複数のストレージ配線の各々は、前記複数のゲート配線の各々と平行な水平方向に配列された画素部とオーバーラップするよう配置され、

前記ストレージ駆動回路は、前記複数のストレージ配線の各々にそれぞれ対応する複数のステージを含み、

前記複数のステージのうちの第kステージは(kは自然数)、1フレーム内における第kゲート信号に応答して、第kストレージ配線に第2レベルの第1駆動電圧を出力するカウンタチャージング部と、

第  $k + 2$  ゲート信号に応答して、前記第  $k$  ストレージ配線に前記第 2 レベルとは異なる第 1 レベルの電圧である第 2 駆動電圧を出力するブースト部と、  
第  $k + 1$  ゲート信号に応答して印加される、第 1 スイッチング電圧または第 2 スイッチング電圧のいずれかに応じて、前記第  $k$  ストレージ配線に前記第 1 レベルの電圧に対応するレベルの第 1 ストレージ電圧又は第 2 ストレージ電圧を出力する電圧ストレージ部と、を  
含み、  
前記電圧ストレージ部は前記第 1 スイッチング電圧または前記第 2 スイッチング電圧のいずれかの電圧を保持するキャパシタを有し、  
前記第 1 レベルと前記第 2 レベルとは、前記画素部に含まれる画素電極の電位をブーストする電位差を有していることを特徴とする表示装置。

10

## 【請求項 2】

前記データ電圧は、水平画素列ごとに反転し、さらにフレームごとに反転することを特徴とする請求項 1 に記載の表示装置。

## 【請求項 3】

前記第 1 駆動電圧及び前記第 2 駆動電圧は、フレームごとに反転することを特徴とする請求項 2 に記載の表示装置。

## 【請求項 4】

前記電圧ストレージ部は、  
 前記第  $k + 1$  ゲート信号に応答して、前記第 1 スイッチング電圧を出力する第 1 スイッチング素子と、  
 前記第  $k + 1$  ゲート信号に応答して、前記第 2 スイッチング電圧を出力する第 2 スイッチング素子と、  
 前記第 1 スイッチング電圧に応答して、前記第  $k$  ストレージ配線に前記第 1 ストレージ電圧を出力する第 3 スイッチング素子と、  
 前記第 2 スイッチング電圧に応答して、前記第  $k$  ストレージ配線に前記第 2 ストレージ電圧を出力する第 4 スイッチング素子と、  
を含み、

20

前記キャパシタは、

前記第 1 スイッチング電圧が充電され、前記第 3 スイッチング素子のオン/オフ状態を所定期間維持する第 1 キャパシタと、  
 前記第 2 スイッチング電圧が充電され、前記第 4 スイッチング素子のオン/オフ状態を所定期間維持する第 2 キャパシタと、を含むことを特徴とする請求項 3 に記載の表示装置。

30

## 【請求項 5】

前記第 1 ストレージ電圧及び第 2 ストレージ電圧は、それぞれ一定の電圧であることを特徴とする請求項 4 に記載の表示装置。

## 【請求項 6】

前記第 1 スイッチング電圧及び第 2 スイッチング電圧は、フレームごとに反転することを特徴とする請求項 5 に記載の表示装置。

## 【請求項 7】

前記第 2 駆動電圧が前記第 1 レベルを有し、前記第 1 駆動電圧が前記第 2 レベルを有し、  
 前記第 1 ストレージ電圧が前記第 1 レベルを有し、前記第 2 ストレージ電圧が前記第 2 レベルを有する場合、  
 前記第 1 スイッチング電圧はターンオンレベルを有し、前記第 2 スイッチング電圧は前記ターンオンレベルが反転したターンオフレベルを有することを特徴とする請求項 6 に記載の表示装置。

40

## 【請求項 8】

前記カウンターチャージ部は、前記  $k$  ゲート信号に応答して、前記第  $k$  ストレージ配線に前記第 1 駆動電圧を出力するスイッチング素子を含み、  
前記ブースト部は、前記第  $k + 2$  ゲート信号に応答して、前記第  $k$  ストレージ配線に前記第 2 駆動電圧を出力するスイッチング素子を含み、

50

前記第 3 及び第 4 スイッチング素子のチャンネル領域の幅 / 長さの比は、前記カウンタチャージング部に含まれたスイッチング素子及び前記ブースト部に含まれたスイッチング素子におけるチャンネル領域の幅 / 長さの比の  $1 / 10$  以下であることを特徴とする請求項 4 に記載の表示装置。

【請求項 9】

前記ストレージ駆動回路は、

前記第 1 駆動電圧及び第 2 駆動電圧がそれぞれ印加される第 1 電圧配線及び第 2 電圧配線と、

前記第 1 ストレージ電圧及び第 2 ストレージ電圧がそれぞれ印加される第 1 ストレージ配線及び第 2 ストレージ配線と、

前記第 1 スイッチング電圧及び第 2 スイッチング電圧がそれぞれ印加される第 1 スイッチング配線及び第 2 スイッチング配線と

を含むことを特徴とする請求項 4 に記載の表示装置。

【請求項 10】

前記ストレージ駆動回路は、前記表示パネルに集積回路の形態で集積されることを特徴とする請求項 1 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置に係わり、より詳細には消費電力を節減し、応答速度を向上させるための表示装置及びそのストレージ駆動回路に関する。

【背景技術】

【0002】

一般的に、液晶表示パネルは画素電極が形成されたアレイ基板と、共通電極が形成された対向基板と、二枚の基板の間に介在された誘電異方性を有する液晶層とで構成される。このような液晶表示装置は、二枚の基板の間に人為的に電界を形成し、その電界の強さによって変わる液晶の光透過率を調節して所望の画像を表示するフラットパネル表示装置である。

【0003】

このような液晶表示装置は、スリムなデザイン、低消費電力、高解像度などの長所に基づいて、ノートブックコンピュータ用、モニター用などの各種応用製品に広く用いられている。最近では、モバイル (mobile) 機器が注目を浴びており、これらモバイル機器に用いられる液晶表示装置は単純な情報表示のみならず、写真、動画像、放送などを十分に表示可能な性能が要求されている。

【0004】

しかし、液晶表示装置が次第に高解像度化することに応じて、消費電力の増加が問題になっている。また、動画像を表示するための速い応答速度への要求が問題点として台頭しつつある。

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明の技術的な課題は、このような従来の問題点を解決するためのものであって、本発明の目的は消費電力を低減し、応答速度を向上させるための表示装置を提供することにある。

【0006】

本発明の他の目的は、前記表示装置用ストレージ駆動回路を提供することにある。

【課題を解決するための手段】

【0007】

前記本発明の目的を具現するための一実施形態による表示装置は、表示パネル、ゲート駆動回路、データ駆動回路、及びストレージ駆動回路を含む。表示パネルは、ゲート配線

10

20

30

40

50

及びデータ配線によって複数の画素部が形成され、ゲート配線と平行に延長されたストレージ配線が形成される。駆動回路は、ゲート配線にゲート信号を出力し、データ駆動回路は、データ配線にデータ電圧を出力する。ストレージ駆動回路は、複数のステージで構成され、フレームごとに反転するストレージ電圧をストレージ配線に出力する。ここで、ストレージ駆動回路の第  $k$  ( $k$  は自然数) ステージは、カウンタチャージング部、ブースト部、及び電圧ストレージ部を含む。カウンタチャージング部は、第  $k$  ゲート信号にตอบสนองして、 $k$  ステージ配線に第 1 駆動電圧を出力する。ブースト部は、第  $k + 2$  ゲート信号にตอบสนองして、第  $k$  ストレージ配線に第 2 駆動電圧を出力する。電圧ストレージ部は、第  $k + 1$  ゲート信号にตอบสนองして、第  $k$  ストレージ配線に第 2 駆動電圧に対応するレベルのストレージ電圧を 1 フレーム期間に出力する。

10

【0008】

前記本発明の目的を実現するための一実施形態によるストレージ駆動回路は、ゲート信号が印加されるゲート配線及びデータ配線によって複数の画素部が形成され、ゲート配線と並んでストレージ配線が形成された表示パネルに集積回路の形態で集積され、複数のステージで構成され、フレームごとに反転されるストレージ電圧を前記ストレージ配線に出力する。第  $k$  ステージは、第  $k$  ゲート信号にตอบสนองして、第  $k$  ストレージ配線に第 1 駆動電圧を出力するカウンタチャージング部と、第  $k + 2$  ゲート信号にตอบสนองして、第  $k$  ストレージ配線に第 2 駆動電圧を出力するブースト部と、及び第  $k + 1$  ゲート信号にตอบสนองして、第  $k$  ストレージ配線に第 2 駆動電圧に対応するレベルのストレージ電圧を 1 フレーム期間に出力する電圧ストレージ部と、を含む。

20

【発明の効果】

【0009】

このような表示装置及びストレージ駆動回路によると、応答速度を改善することができ、階調電圧の範囲が拡張されて輝度を向上させることができる。また、ストレージキャパシタの電圧が安定的に維持され、水平クロストークを改善することができる。

【発明を実施するための最良の形態】

【0010】

以下、図面を参照して、本発明をより詳細に説明する。

【0011】

図 1 は、本発明の実施形態による表示装置を概略図である。図 1 を参照すると、本発明の実施形態による表示装置は、フレキシブル回路基板 500、表示パネル 100、駆動部 400、ゲート駆動回路 300、及びストレージ駆動回路 200 を含む。

30

【0012】

フレキシブル回路基板 500 は、外部のグラフィック機器から垂直同期信号 ( $V_{sync}$ )、水平同期信号 ( $H_{sync}$ )、メインクロック信号 ( $MCLK$ )、データインパルス信号 ( $DE$ ) を含む同期信号と画像データ信号とを受信して、駆動部 400 に伝送する。

【0013】

表示パネル 100 は、アレイ基板 110、対向基板 120 (例えば、カラーフィルタ基板)、及びアレイ基板 110 と対向基板 120 との間に介在された液晶層 (図示せず) を含み、表示パネル 100 は、表示領域 ( $DA$ ) と表示領域 ( $DA$ ) を囲む第 1、第 2、及び第 3 周辺領域 ( $PA1$ 、 $PA2$ 、 $PA3$ ) に区分される。

40

【0014】

表示領域 ( $DA$ ) には、ゲート配線 ( $GL1 \sim GLn$ ) 及びゲート配線 ( $GL1 \sim GLn$ ) と交差するデータ配線 ( $DL1 \sim DLm$ ) によって複数の画素部が形成される。また、表示領域 ( $DA$ ) には、ゲート配線 ( $GL1 \sim GLn$ ) と並んでストレージ配線 ( $SL1 \sim SLn$ ) が形成され、ストレージ配線 ( $SL1 \sim SLn$ ) は、ゲート配線 ( $GL$ ) に平行な水平方向に配列された画素部 (以下、水平画素列) とオーバーラップする。各画素部には、スイッチング素子である薄膜トランジスタ ( $TFT$ ) と、液晶キャパシタ ( $CLC$ ) と、ストレージキャパシタ ( $CST$ ) とが形成される。

50

## 【 0 0 1 5 】

具体的に、薄膜トランジスタ ( T F T ) は、アレイ基板 1 1 0 に形成され、薄膜トランジスタ ( T F T ) のゲート電極及びソース電極がそれぞれゲート配線 ( G L ) 及びデータ配線 ( D L ) にそれぞれ接続される。液晶キャパシタ ( C L C ) は、アレイ基板 1 1 0 に形成され、薄膜トランジスタ ( T F T ) のドレイン電極に接続される画素電極と、対向基板 1 2 0 に形成され、画素電極とオーバーラップする共通電極とによって形成される。ストレージキャパシタ ( C S T ) は、ストレージ配線 ( S L ) と画素電極とのオーバーラップによって形成される。

## 【 0 0 1 6 】

駆動部 4 0 0 は、駆動チップを含み、データ配線 ( D L 1 ~ D L m ) の一端部に位置する第 1 周辺領域 ( P A 1 ) に実装され、表示領域 ( D A ) に形成された各データ配線 ( D L 1 ~ D L m ) に画像データ信号 ( D A T A ) に対応するデータ電圧を出力する。なお、駆動部 4 0 0 は、ゲート駆動回路 3 0 0 を駆動させるゲート制御信号及びゲート駆動電圧を印加し、ストレージ駆動回路 2 0 0 を駆動させるストレージ駆動電圧を印加する。

10

## 【 0 0 1 7 】

ゲート駆動回路 3 0 0 は、ゲート配線 ( G L 1 ~ G L n ) の一端部に位置する第 2 周辺領域 ( P A 2 ) に形成される。ゲート駆動回路 3 0 0 は、アレイ基板 1 1 0 上に集積回路の形態で直接集積されてもよい。ゲート駆動回路 3 0 0 は、駆動部 4 0 0 から提供されるゲート制御信号及びゲート駆動電圧に基づいて、ゲート配線 ( G L 1 ~ G L n ) にゲート信号を順次出力する。ここで、ゲート制御信号は、垂直開始信号 ( S T V ) 、第 1 クロック信号 ( C K ) 及び第 2 クロック信号 ( C K B ) を含み、ゲート駆動電圧は、ゲートオン電圧 ( V D D ) 及びゲートオフ電圧 ( V S S ) を含む。

20

## 【 0 0 1 8 】

ストレージ駆動回路 2 0 0 は、ゲート配線 ( G L 1 ~ G L n ) の他端部に位置する第 3 周辺領域 ( P A 3 ) に形成される。ストレージ駆動回路 2 0 0 は、アレイ基板上に集積回路の形態で直接集積されてもよい。ストレージ駆動回路 2 0 0 は、駆動部 4 0 0 から提供されるストレージ駆動電圧に基づいて、ストレージ配線 ( S L 1 ~ S L n ) にフレームごとにレベルが反転するストレージ電圧を出力する。ストレージ配線 ( S L 1 ~ S L n ) に出力されるストレージ電圧のレベルは、データ電圧の極性に対応し、各画素部においてデータ電圧の充電が完了した後に、レベルが反転する。一例として、ある画素部においてデータ電圧の極性が正極性 ( + ) である場合に、ストレージ電圧は、画素部のデータ充電期間には相対的に低いレベルを有し、画素部の充電が完了した後には相対的に高いレベルに反転する。

30

## 【 0 0 1 9 】

図 2 は、図 1 に示した駆動部の詳細なブロック図である。図 1 及び図 2 を参照すると、駆動部 4 0 0 は、制御部 4 1 0 、ゲート制御部 4 2 0 、データ駆動回路 4 3 0 、電源部 4 4 0 、及びメモリ 4 5 0 を含む。

## 【 0 0 2 0 】

制御部 4 1 0 は、フレキシブル回路基板 5 0 0 を通じて外部から垂直同期信号 ( V s y n c ) 、水平同期信号 ( H s y n c ) 、メインクロック信号 ( M C L K ) 、データインテリジェント信号 ( D E ) を含む同期信号 ( C O N T ) 及びデータ信号 ( D A T A ) を受信する。制御部 4 1 0 は、受信した同期信号 ( C O N T ) に基づいて、データ信号 ( D A T A ) をメモリ 4 5 0 に保存し、ゲート制御信号 4 1 0 a を生成してゲート制御部 4 2 0 に提供し、データ制御信号 4 1 0 c を生成してデータ駆動回路 4 3 0 に提供する。ここで、ゲート制御信号 4 1 0 a は、垂直開始信号 ( S T V ) 、第 1 クロック信号 ( C K ) 及び第 2 クロック信号 ( C K B ) を含み、データ制御信号 4 1 0 c は、水平開始信号 ( S T H ) 、ロード信号 ( L O A D ) 及び反転信号 ( P O L ) を含む。

40

## 【 0 0 2 1 】

なお、制御部 4 1 0 は、メモリ 4 5 0 に保存されたデータ信号 ( D A T A ) を読み出してデータ駆動回路 4 3 0 に出力し、メインクロック信号 ( M C L K ) 及び反転信号 ( P O

50

L)を含む電圧制御信号410bを電源部440に提供する。

【0022】

メモリ450は、データ信号(DATA)を一時的に保存するためのメモリ素子であって、データ信号(DATA)をフレーム(frame)単位またはライン(line)単位で保存する。このメモリ450は、制御部410の制御によってデータ信号(DATA)を記憶または読み出す。

【0023】

ゲート制御部420は、制御部410から提供を受けたゲート制御信号410aと電源部440から提供を受けたゲート駆動電圧440aとをゲート駆動回路300に提供する。

10

【0024】

データ駆動回路430は、電源部440から基準ガンマ電圧440bを受信し、制御部410からデータ制御信号410c、及びデータ信号410dを受信する。データ駆動回路430は、受信した基準ガンマ電圧440bに基づいて、データ信号410dを対応するアナログ形態のデータ電圧に転換して、データ配線(DL1~DLm)にそれぞれ出力する。ここで、データ駆動回路430は、液晶画素の劣化を防止するために、データ電圧の極性を共通電圧(Vcom)に対して極性反転させる反転駆動法を用いてもよい。例えば、データ電圧の極性を水平画素列共通電圧(Vcom)に対して正極性及び負極性に反転して出力し、これをフレーム単位で反転させるライン反転駆動法を用いてもよい。

【0025】

電源部440は、制御部410からの電圧制御信号410bに基づいて、外部電源を用いて表示パネル100を駆動するための駆動電圧を生成する。具体的に、電源部440は、ゲートオン電圧(VDD)及びゲートオフ電圧(VSS)を含むゲート駆動電圧440aを生成してゲート制御部420に提供し、データ電圧の選択に用いられる基準ガンマ電圧440bを生成してデータを駆動回路430に提供する。また、電源部440は、共通電圧(Vcom)を生成して対向基板120に形成された共通電極に提供し、ストレージ駆動電圧440cを生成してストレージ駆動回路200に提供する。

20

【0026】

ストレージ駆動電圧440cは、ストレージ駆動回路200を駆動させるための電圧であり、第1駆動電圧及び第2駆動電圧と、第1ストレージ電圧及び第2ストレージ電圧と、第1スイッチング電圧及び第2スイッチング電圧とを含む。

30

【0027】

以下、本発明の実施形態によるストレージ駆動回路200について図面を参照して詳細に説明する。

【0028】

図3は、本発明の実施形態によるストレージ駆動回路のブロック図であり、図4は、図3に示したステージの詳細な回路図である。

【0029】

図3及び図4を参照すると、本発明の実施形態によるストレージ駆動回路200は、ストレージ配線(SL1~SLn)に一対一対応する複数のステージ(SRV)を含み、複数のステージ(SRV)にストレージ駆動電圧440cを提供する電圧配線(VL1~VL6)を更に含んでもよい。

40

【0030】

電圧配線(VL1~VL6)は、第1駆動電圧及び第2駆動電圧がそれぞれ印加される第1電圧配線(VL1)及び第2電圧配線(VL2)と、第1ストレージ電圧及び第2ストレージ電圧がそれぞれ印加される第3電圧配線(VL3)及び第4電圧配線(VL4)と、第1スイッチング電圧及び第2スイッチング電圧がそれぞれ印加される第5電圧配線(VL5)及び第6電圧配線(VL6)とを含む。

【0031】

各ステージ(SRV)の構成はほぼ同一であってもよい。以下、一例として第kステー

50

ジ ( $SRV_k$ 、 $k$  は  $n$  より小さい自然数) について説明する。

【0032】

第  $k$  ステージ ( $SRV_k$ ) は、第  $k$  ゲート配線 ( $GL_k$ )、第  $k+1$  ゲート配線 ( $GL_{k+1}$ ) 及び第  $k+2$  ゲート配線 ( $GL_{k+2}$ ) からのゲート信号を受信し、電圧配線 ( $VL_1 \sim VL_6$ ) からのストレージ駆動電圧  $440c$  を受信し、第  $k$  ストレージ配線 ( $SL_k$ ) にストレージ電圧を出力する。例えば、第  $k$  ステージ ( $SRV_k$ ) は、第  $k$  ゲート信号、第  $k+1$  ゲート信号、及び第  $k+2$  ゲート信号に同期して、第 1 及び第 2 駆動電圧と、第 1 及び第 2 ストレージ電圧と、第 1 及び第 2 スwitching 電圧とに対応するストレージ電圧を第  $k$  ストレージ配線 ( $SL_k$ ) に出力する。

【0033】

例えば、第  $k$  ステージ ( $SRV_k$ ) は、図 4 のように、カウンタチャージング部 210、ブースト部 220、及び電圧ストレージ部 230 を含む。

【0034】

カウンタチャージング部 210 は、入力端子が第 1 電圧配線 ( $VL_1$ ) に接続され、制御端子が第  $k$  ゲート配線 ( $GL_k$ ) に接続され、出力端子は第  $k$  ストレージ配線 ( $SL_k$ ) に接続された第 5 スwitching 素子 ( $T_5$ ) で構成される。カウンタチャージング部 210 は、第  $k$  ゲート信号に応答して、第 1 電圧配線 ( $VL_1$ ) から印加される第 1 駆動電圧を第  $k$  ストレージ配線 ( $SL_k$ ) に出力する。

【0035】

ブースト部 220 は、入力端子が第 2 電圧配線 ( $VL_2$ ) に接続され、制御端子が第  $k+2$  ゲート配線 ( $GL_{k+2}$ ) に接続され、出力端子が第 5 スwitching 素子 ( $T_5$ ) の出力端子と共通して第  $k$  ストレージ配線 ( $SL_k$ ) に接続された第 6 スwitching 素子 ( $T_6$ ) で構成される。ブースト部 220 は、第  $k+2$  ゲート信号に応答して、第 1 駆動電圧と異なるレベルを有する第 2 駆動電圧を第  $k$  ストレージ配線 ( $SL_k$ ) に出力する。

【0036】

電圧ストレージ部 230 は、第 1 スwitching 素子 ( $T_1$ )、第 2 スwitching 素子 ( $T_2$ )、第 3 スwitching 素子 ( $T_3$ )、第 4 スwitching 素子 ( $T_4$ )、第 1 キャパシタ ( $C_1$ )、及び第 2 キャパシタ ( $C_2$ ) を含む。第 1 スwitching 素子 ( $T_1$ ) は、入力端子が第 5 電圧配線 ( $VL_5$ ) と接続され、制御端子は第  $k+1$  ゲート配線 ( $GL_{k+1}$ ) に接続される。第 2 スwitching 素子 ( $T_2$ ) は、入力端子が第 6 電圧配線 ( $VL_6$ ) に接続され、制御端子が第 1 スwitching 素子 ( $T_1$ ) の制御端子と共通して第  $k+1$  ゲート配線 ( $GL_{k+1}$ ) に接続される。第 3 スwitching 素子 ( $T_3$ ) は、入力端子が第 3 電圧配線 ( $VL_3$ ) に接続され、制御端子が第 1 スwitching 素子 ( $T_1$ ) の出力端子に接続され、出力端子が第  $k$  ストレージ配線 ( $SL_k$ ) に接続される。第 4 スwitching 素子 ( $T_4$ ) は、入力端子が第 4 電圧配線 ( $VL_4$ ) に接続され、制御端子が第 2 スwitching 素子 ( $T_2$ ) の出力端子に接続され、出力端子が第 3 スwitching 素子 ( $T_3$ ) の出力端子と共通して第  $k$  ストレージ配線 ( $SL_k$ ) に接続される。第 1 キャパシタ ( $C_1$ ) 及び第 2 キャパシタ ( $C_2$ ) は、それぞれ第 3 スwitching 素子 ( $T_3$ ) 及び第 4 スwitching 素子 ( $T_4$ ) の制御端子と入力端子との間に形成される。

【0037】

このような電圧ストレージ部 230 は、第  $k+1$  ゲート信号に応答して、ブースト部 220 を通じて出力される第 2 駆動電圧に対応するレベルのストレージ電圧 (例えば、第 1 ストレージ電圧または第 2 ストレージ電圧) を第  $k$  ストレージ配線 ( $SL_k$ ) に第 1 フレーム期間に出力する。

【0038】

一方、データ電圧の極性が水平画素列の単位で反転されるので、これに対応するために、第 3 及び第 4 スwitching 素子 ( $T_3$ 、 $T_4$ ) の入力端子は、第 3 及び第 4 電圧配線 ( $VL_3$ 、 $VL_4$ ) に水平画素列単位で交互に接続され、第 1 及び第 2 スwitching 素子 ( $T_1$ 、 $T_2$ ) の入力端子は、第 5 及び第 6 電圧配線 ( $VL_5$ 、 $VL_6$ ) に水平画素列単位で交互に接続される。例えば、奇数番目のステージの第 3 及び第 4 スwitching 素子 ( $T$

10

20

30

40

50

3、T4)の入力端子がそれぞれ第3及び第4電圧配線(VL3、VL4)に接続されると、偶数番目のステージの第3及び第4スイッチング素子(T3、T4)の入力端子は、奇数番目のステージとは反対に第4及び第3電圧配線(VL4、VL3)に接続される。これは第1及び第2スイッチング素子(T1、T2)の入力端子の場合も同様である。

【0039】

図5は、図4に示したステージの動作を説明するための駆動波形図である。ここで、説明の便宜のために正極性(+)のデータ電圧が印加される場合を説明する。

【0040】

図4及び図5を参照すると、第1駆動電圧及び第2駆動電圧は、フレームごとに反転する。例えば、第1駆動電圧及び第2駆動電圧は、それぞれ第1レベル(VH、例えば、ハイレベル)と第1レベル(VH)より低い第2レベル(VL、例えば、ロウレベル)の間でフレームごとに反転され、第1駆動電圧と第2駆動電圧とは互いに逆位相である。一例として、正極性(+)のデータ電圧が印加されるフレームの場合、第1駆動電圧は第1レベル(VH)を有し、第2駆動電圧は第2レベル(VL)を有する。

10

【0041】

第1ストレージ電圧及び第2ストレージ電圧は反転せず、一定のレベルを有してもよい、例えば、第1ストレージ電圧は第1レベル(VH)を維持してもよく、第2ストレージ電圧は第2レベル(VL)を維持してもよい。

【0042】

第1スイッチング電圧及び第2スイッチング電圧はフレームごとに反転する。例えば、第1スイッチング電圧及び第2スイッチング電圧は、それぞれターンオンレベル(VON)及びターンオフレベル(VOFF)にフレームごとに反転され、第1スイッチング電圧と第2スイッチング電圧とは互いに逆位相である。一例として、正極性(+)のデータ電圧が印加されるフレームの場合、第1スイッチング電圧はターンオンレベル(VON)を有し、第2スイッチング電圧はターンオフレベル(VOFF)を有する。ここで、ターンオンレベル(VON)及びターンオフレベル(VOFF)は、第3及び第4スイッチング素子(T3、T4)をオン/オフさせるための電圧レベルとして定義される。

20

【0043】

第1駆動電圧及び第2駆動電圧と、第1スイッチング電圧及び第2スイッチング電圧とが反転される時点は、第kゲート配線(GLk)に第kゲート信号が印加される前であるデータ電圧のブランク区間に反転されることが望ましい。

30

【0044】

図5の駆動波形図を参照して第kステージ(SRVk)の動作を簡略に説明する。まず、第kゲート信号がハイレベルになると、第5スイッチング素子(T5)がオンし、第kストレージ配線(SLk)に第2レベル(VL)の第1駆動電圧が出力される。ここで、第kゲート信号がハイレベルである場合、第kゲート配線(GLk)に接続された薄膜トランジスタ(TFT)がオンし、各画素電極には正極性(+)のデータ電圧が充電される。例えば、画素電極にデータ電圧の充電が行われる期間、第kストレージ配線(SLk)は第2レベル(VL)を有する。

40

【0045】

続いて、第k+1ゲート信号がハイレベルになると、第1及び第2スイッチング素子(T1、T2)がともにオンし、第1スイッチング素子(T1)を通じてターンオンレベル(VON)の第1スイッチング電圧が第3スイッチング素子(T3)の制御端子に提供され、第2スイッチング素子を通じてターンオフレベル(VOFF)の第2スイッチング電圧が第4スイッチング素子(T4)の制御端子に提供される。したがって、第4スイッチング素子(T4)はオフし、第3スイッチング素子(T3)はオンするため、第1レベル(VH)の第1ストレージ電圧が第kストレージ配線(SLk)に提供され、第kストレージ配線(SLk)は次第に第1レベル(VH)に転換される。

【0046】

50

ここで、第1キャパシタ(C1)及び第2キャパシタ(C2)には、それぞれ第3スイッチング素子(T3)及び第4スイッチング素子(T4)の制御端子に提供される第1スイッチング電圧及び第2スイッチング電圧が充電され、次のフレームまで第3及び第4スイッチング素子(T3、T4)のオン/オフ状態が維持される。例えば、第3スイッチング素子(T3)は、第1スイッチング電圧が充電された第1キャパシタ(C1)によってオン状態を維持し、1フレーム期間中第kストレージ配線(SLk)に第1ストレージ電圧の出力を維持する。

【0047】

その後、第k+2ゲート信号がハイレベルになると、第6スイッチング素子(T6)がオンし、第kストレージ配線(SLk)に第1レベル(V<sub>H</sub>)の第2駆動電圧が出力される。

10

【0048】

その後、第3スイッチング素子(T3)を除いた全てのスイッチング素子がオフ状態になり、第1キャパシタ(C1)によって第3スイッチング素子(T3)のみターンオン状態を維持する。したがって、第kストレージ配線(SLk)への第1レベル(V<sub>H</sub>)の第1ストレージ電圧出力は維持される。このため、第kストレージ配線(SLk)は、外部からの影響にかかわらず第1レベル(V<sub>H</sub>)に維持される。

【0049】

一方、多量の電流を受けるカウンタチャージング部210及びブースト部220の動作は、第5及び第6スイッチング素子がそれぞれ制御するので、電圧ストレージ部230を構成するスイッチング素子(T1、T2、T3、T4)は、第5及び第6スイッチング素子(T5、T6)より1/10以上小さく形成しても電圧ストレージ部230の動作に影響はない。

20

【0050】

これによって、第3スイッチング素子(T3)に第1レベル(V<sub>H</sub>)の第1ストレージ電圧が提供される場合、第kストレージ配線(SLk)に印可される電圧のレベルは第1レベル(V<sub>H</sub>)に徐々に転換して、第6スイッチング素子(T6)を通じて第2駆動電圧が印加された後に第1レベル(V<sub>H</sub>)に完全に転換される。なお、長時間オン動作する第3スイッチング素子(T3)の幅/長さの比を減らすことで、ストレージ駆動回路の消費電力を低減することができる。

30

【0051】

次のフレームでは、データ電圧の極性が負極性(-)に反転し、第1及び第2駆動電圧のレベルと、第1及び第2スイッチング電圧のレベルとが反転するので、第kストレージ配線(SLk)の電位は図面とは逆電位を有する。即ち、第kストレージ配線の電位は、第kゲート信号に同期して第1レベル(V<sub>H</sub>)になり、その後、第k+1ゲート信号に同期して第2レベル(V<sub>L</sub>)に徐々に転換し、更にその後、第k+2ゲート信号に同期して第2レベル(V<sub>L</sub>)に完全に転換する。第4スイッチング素子を通じて提供される第2ストレージ電圧が第kストレージ配線(SLk)のレベルを維持する。

【0052】

このように、正極性(+)のデータ電圧が印加される場合、データ電圧が充電される期間は、ストレージ配線(SL)に相対的に低いレベルのストレージ電圧が出力され、データ電圧の充電が完了した後に相対的に高いレベルのストレージ電圧が出力される。これにより、画素電極のレベルをブーストさせることで、応答速度を向上させることができる。なお、画素電極のブーストによって画素電極と共通電極との電位差が増加し、階調電圧の範囲が拡大するため輝度を改善することができる。

40

【0053】

以上説明したように、本発明によると、ストレージ配線の電圧レベルをデータ電圧が充電された後に反転させることで、画素電極の電圧レベルがブーストされて応答速度を改善することができ、階調電圧の範囲が拡大して輝度を改善することができる。また、ストレージ配線は、反転後にもフローティングされず電圧レベルを一定に維持するため、液晶キ

50

ャパシタンスの変化などによって電圧レベルが変動して発生する水平クロストークを改善することができる。

【0054】

以上、本発明の実施形態を詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離脱することなく、本発明を修正または変更できる。

【図面の簡単な説明】

【0055】

【図1】本発明の実施形態による表示装置の概略図である。

【図2】図1に示した駆動部の詳細なブロック図である。

10

【図3】本発明の実施形態によるストレージ駆動回路のブロック図である。

【図4】図3に示したステージの詳細な回路図である。

【図5】図4に示したステージの動作を説明するための駆動波形図である。

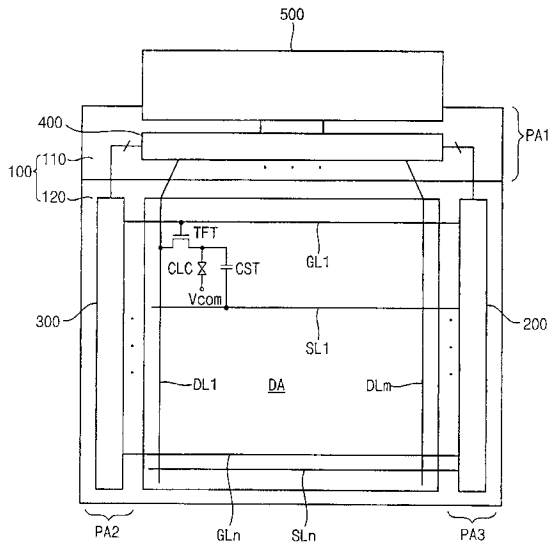
【符号の説明】

【0056】

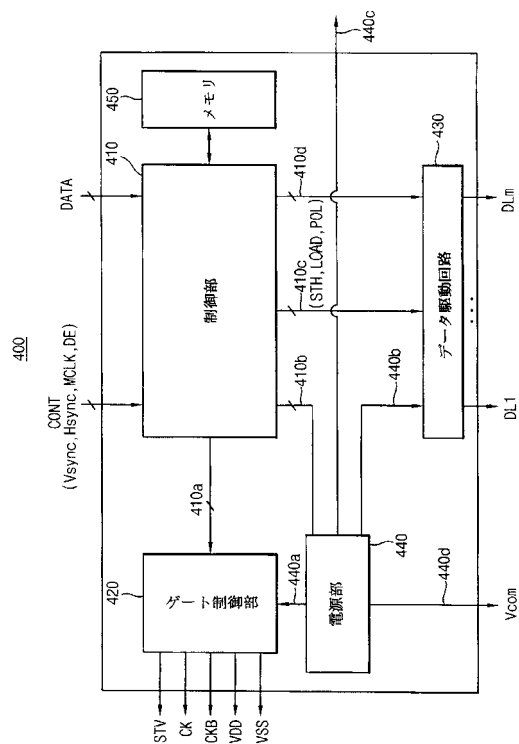
- 100 表示パネル
- 200 ストレージ駆動回路
- 210 カウンタチャージング部
- 220 ブースト部
- 230 電圧ストレージ部
- 300 ゲート駆動回路
- 400 駆動部
- 500 フレキシブル回路基板

20

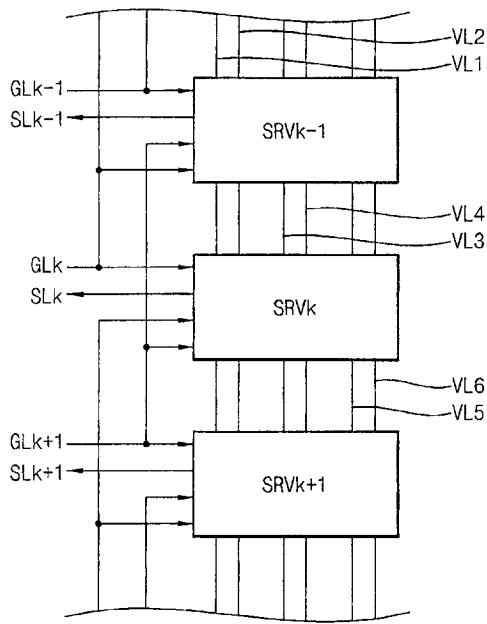
【図1】



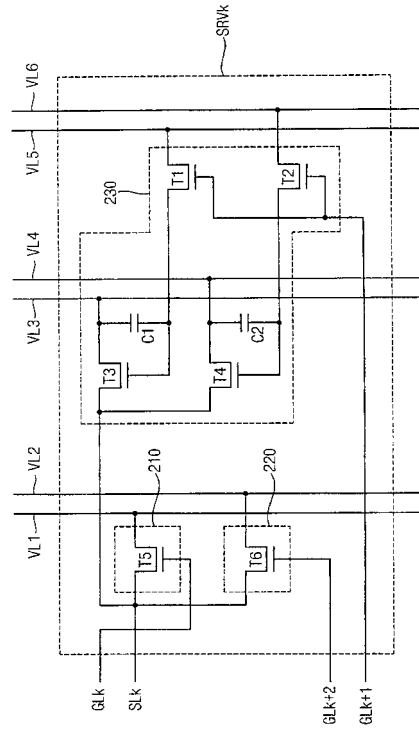
【図2】



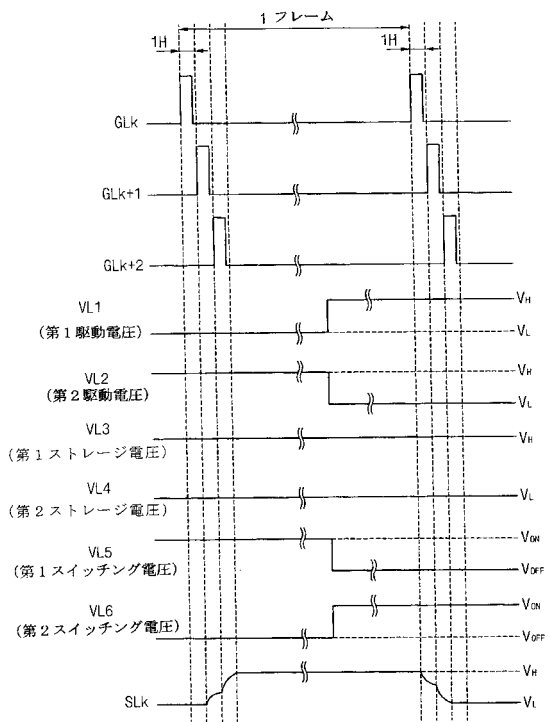
【図3】



【図4】



【図5】



---

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 4 E
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 2 1 F
G 0 9 G	3/20	6 1 1 D
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 7 0
G 0 2 F	1/133	5 2 5

審査官 山崎 仁之

(56)参考文献 特開2006-220947(JP,A)  
特開2002-202762(JP,A)  
特開2006-078588(JP,A)  
特開2001-083943(JP,A)  
特開平07-104246(JP,A)  
特開2003-114651(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G	3 / 3 6
G 0 2 F	1 / 1 3 3
G 0 9 G	3 / 2 0