

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4909737号
(P4909737)

(45) 発行日 平成24年4月4日(2012.4.4)

(24) 登録日 平成24年1月20日(2012.1.20)

(51) Int.Cl.

F 1

H01L 21/8247 (2006.01)
H01L 29/788 (2006.01)
H01L 29/792 (2006.01)
H01L 27/115 (2006.01)

H01L 29/78 371
H01L 27/10 434

請求項の数 4 (全 17 頁)

(21) 出願番号 特願2006-532423 (P2006-532423)
(86) (22) 出願日 平成16年4月16日 (2004.4.16)
(65) 公表番号 特表2007-500949 (P2007-500949A)
(43) 公表日 平成19年1月18日 (2007.1.18)
(86) 國際出願番号 PCT/US2004/011868
(87) 國際公開番号 WO2004/107351
(87) 國際公開日 平成16年12月9日 (2004.12.9)
審査請求日 平成19年4月13日 (2007.4.13)
(31) 優先権主張番号 10/443,908
(32) 優先日 平成15年5月22日 (2003.5.22)
(33) 優先権主張国 米国(US)

(73) 特許権者 504199127
フリースケール セミコンダクター イン
コーポレイテッド
アメリカ合衆国 テキサス州 78735
オースティン ウィリアム キャノン
ドライブ ウエスト 6501
(74) 代理人 100116322
弁理士 桑垣 衡
(72) 発明者 マシュー、レオ
アメリカ合衆国 78717 テキサス州
オースティン ガリソン サークル 1
5844

最終頁に続く

(54) 【発明の名称】電荷蓄積場所を有するメモリ

(57) 【特許請求の範囲】

【請求項 1】

フィン型トランジスタからなるメモリデバイスであって、
基板と、

該基板上に設けられ、第1の電流領域と、第2の電流領域と、前記基板に沿った方向で該第1及び第2の電流領域の間にあるチャネル領域とからなるとともに、前記チャネル領域の一方の外側面である第1の側壁と、他方の外側面に、前記第1の側壁に対向している第2の側壁とを備える半導体構造と、

前記第1の側壁に隣接し、第1及び第2の電荷蓄積場所を備える第1の電荷蓄積構造と

、

前記第1の電荷蓄積構造の近傍に設けられるゲート構造とを備え、
前記基板と平行の、ある一定の面で切り取ったときに、前記チャネル領域と前記第1及び第2の電荷蓄積場所は前記一定の面上に配置されている、メモリデバイス。

【請求項 2】

前記電荷蓄積場所は、離散した電荷蓄積材料を含む構造内に実装される、請求項1に記載のメモリデバイス。

【請求項 3】

基板上に設けられ、第1の電流領域と、第2の電流領域と、前記基板に沿った方向で該第1及び第2の電流領域の間にあるチャネル領域とからなるとともに、前記チャネル領域の一方の外側面である第1の側壁と、他方の外側面に、前記第1の側壁に対向している第

2の側壁とを備える半導体構造と、

前記第1の側壁に隣接し、第1及び第2の電荷蓄積場所を備える第1の電荷蓄積構造と、

前記第2の側壁に隣接し、第3及び第4の電荷蓄積場所を備える第2の電荷蓄積構造と、

前記第1の電荷蓄積構造の近傍に設けられる第1のゲート構造及び前記第2の電荷蓄積構造の近傍に設けられる第2のゲート構造とを備え、

前記基板と平行の、ある一定の面で切り取ったときに、前記チャネル領域と前記第1、第2、第3及び第4の電荷蓄積場所は前記一定の面上に配置されている、Fin型トランジスタのメモリセルを複数備えているメモリにおいて、

第1のワード線に結合される前記第1のゲート構造と、第2のワード線に結合される前記第2のゲート構造とを有する前記複数のメモリセルから成る第1の行と、

第3のワード線に結合される前記第1のゲート構造と、第4のワード線に結合される前記第2のゲート構造とを有する前記複数のメモリセルから成る第2の行と、

前記第1の行及び前記第2の行の第1の部分を含み、第1のビット線に結合される前記第1の電流領域と、第2のビット線に結合される前記第2の電流領域とを有する、前記複数のメモリセルから成る第1の列と、

前記第1の行及び前記第2の行の第2の部分を含み、前記第2のビット線に結合される前記第1の電流領域と、第3のビット線に結合される前記第2の電流領域とを有する、前記複数のメモリセルから成る第2の列とを備える、メモリ。

【請求項4】

第1の電流領域と、第2の電流領域と、前記基板に沿った方向で該第1及び第2の電流領域の間にあるチャネル領域とからなるとともに、前記チャネル領域の一方の外側面である第1の側壁と、他方の外側面に、前記第1の側壁に対向している第2の側壁とを備える半導体構造を基板上に形成するステップと、

前記第1及び第2の側壁の上に電荷蓄積構造を形成するステップと、

前記電荷蓄積構造の上にゲート材料からなる層を形成するステップと、

前記ゲート材料からなる層をエッチングすることによって、前記第1の側壁の上方には第1のゲート構造を、前記第2の側壁の上方には第2のゲート構造を形成する、ゲート材料層をエッチングするステップとを備え、

前記基板と平行の、ある一定の面で切り取ったときに、前記チャネル領域と前記第1及び第2の電荷蓄積場所は前記一定の面上に配置されるとともに、前記第1の電荷蓄積構造には第1及び第2の電荷蓄積場所が設けられる、Fin型半導体デバイスの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、包括的にはメモリに関し、より詳細には電荷蓄積場所を有するメモリに関する。

【背景技術】

【0002】

メモリの中には、データを記憶するためにトランジスタを電荷蓄積場所として利用するものがある（たとえば不揮発性メモリ）。そのようなメモリの例には、薄膜メモリ及びフローティングゲートメモリが含まれる。これらのタイプのメモリは、プレーナ型CMOSトランジスタを用いて実装することができる。プレーナトランジスタを実装するメモリ内の電荷蓄積場所の密度は、たとえばコンタクト面積要件のようなスケーラビリティの制約に起因して制限される場合がある。さらに、プレーナ型トランジスタを用いるメモリを、プレーナ型以外のトランジスタを用いる集積回路内に実装するのは困難な場合がある。上記の問題に対処するメモリが望まれている。

【発明を実施するための最良の形態】

【0003】

10

20

30

40

50

添付の図面を参照することにより、本発明の理解をさらに深めることができるとともに、本発明の数多くの目的、特徴及び利点が当業者には明らかになるであろう。

他に言及されない限り、種々の図面において同じ参照符号を用いて同一の物が指示される。

【0004】

[詳細な説明]

以下の説明は、本発明を実施するための1つの形態の詳細な説明を述べる。その説明は、本発明を例示することを目的としており、限定するものと解釈されるべきではない。

【0005】

図1は、本発明による、個別のゲート構造を有するトランジスタの1つの製造段階にある半導体ウェーハの一実施形態の部分側断面図を示す。ウェーハ101は絶縁層103を有する基板を含む。絶縁層103上に構造104が形成されている。構造104は、絶縁層103上に形成される半導体構造部分105と、半導体構造部分105及び層103上に形成される誘電体部分111(たとえば二酸化シリコン)と、部分111及び部分105上に配置される窒化物部分109とを含む。一実施形態では、構造104は、層103上に半導体材料の層を堆積し、半導体層上に誘電体層を形成し(たとえば、半導体層の熱酸化によるか、又は高K誘電体の原子層堆積による)、その後、誘電体上に窒化物の層を堆積することにより形成される。その後、半導体層、誘電体層及び窒化物層がパターニングされて、構造104が形成される。その後、半導体構造部分105の側壁上に誘電体層106が形成される。後に示されるように、構造104の半導体構造部分105内に、トランジスタのチャネル領域及び電流端子領域が形成される。一実施形態では、半導体構造部分105は、絶縁層103上に結合されるエピタキシャルシリコンから形成される。他の実施形態では、部分105は、ポリシリコン又は他の半導体材料から形成することができる。一実施形態では、構造104はFinFETのフィン構造である。他の実施形態では、部分109は、ハードエッチマスクとして利用することができる他の材料(たとえば他の誘電体)から形成することができる。

【0006】

図2を参照すると、構造104上を含む、ウェーハ101上にコンフォーマルなポリシリコン層203が堆積される。後に示されるように、ポリシリコン層203を用いて、FinFETトランジスタの個別のゲート構造が形成される。他の実施形態では、層203は、たとえば、タングステン、チタン、タンタル、窒化シリコン、ケイ化コバルト又はケイ化ニッケルのようなケイ化物、ゲルマニウム、シリコンゲルマニウム、他の金属又はその組み合わせのような他のゲート材料から形成することができる。図示される実施形態では、その後、層203上に、コンフォーマルな窒化物層205が堆積される。一実施形態では、層205は反射防止コーティングとして、及び層203をエッチングするためのハードマスクとして用いられる。実施形態によっては、層205は含まれない場合もある。実施形態によっては、層205を堆積する前に、層203にドープすることができる。これらの実施形態では、層205に種々のエネルギー、角度及び/又は化学種で1つ又は複数の移植材料をドープすることができる。たとえば、一実施形態では、層203の左側に、図2に示される図に対して第1の角度で第1のドーパントをドープして、その部分に第1の導電型を与えることができ、層203の右側に、図2に示される図に対して第2の角度でドープして、その部分に第2の導電型を与えることができる。

【0007】

図3は、層205及び層203がパターニングされてゲート構造301が形成された後のウェーハ101の部分等角図である。いくつかの実施形態では、層205及び203は、従来のフォトリソグラフィ技法を利用することによりパターニングされる。パターニング中に、窒化物部分109のうちの、構造104上に配置されるが、ゲート構造301の下に配置されない部分が除去される。他の実施形態では、窒化物部分109のこの部分は、製造中の後の段階において除去することもできる。

【0008】

10

20

30

40

50

構造 104 は、構造 104 の部分 105 の各端部に配置される電流端子領域 303 及び電流端子領域 305 を備える。結果として形成されるトランジスタ構造が電界効果トランジスタ (FET) である一実施形態では、領域 303 及び領域 305 はそれぞれソース領域及びドレイン領域としての役割を果たす。この時点で、領域 303 及び領域 305 に、たとえばイオン注入又はプラズマドーピングによってドープすることができる。

【0009】

図 4 は、ウェーハ 101 上に平坦層 403 を堆積した後のウェーハ 101 の部分断面図を示す。いくつかの実施形態では、層 403 は、たとえば、フォトレジスト、スピノン・オン・ガラス又は有機反射防止コーティング材料から形成することができる。層 403 は、スピノン・オン技法によって、又は化学気相成長技法と、それに続く化学機械研磨又はリフローによって形成することができる。10

【0010】

図 5 は、層 403 が構造 104 上に配置される窒化物層 203 の部分 505 の上面よりも低い高さまでエッチバックされ、部分 505 を露出させた後のウェーハ 101 を示す。一実施形態では、層 403 は、たとえば従来のドライエッチング技法又はウエットエッチング技法によってエッチバックすることができる。図示される実施形態では、エッチバックされた後に、層 403 は少なくとも、層 205 の部分 503 を覆うほど十分な厚みを有し、部分 503 を除去することなく、層 205 の部分 505 をエッチングにより除去できるようとする。

【0011】

他の実施形態では、図 5 に示されるような、層 403 の結果として形成される構造は、図 5 に示される高さまで、又は他の所望の高さまで、層 403 の材料を平坦に堆積することによって形成することができる。20

【0012】

図 6 は、構造 104 上に配置される窒化物層 205 の部分 505 がエッチングによって除去された後の、図 5 と同じ図を示す。層 403 は、図 6 に示されるように、層 205 の部分 503 が、部分 505 のエッチング中に除去されるのを防ぐ。

【0013】

図 7 を参照すると、層 205 の部分 505 が除去された後に、層 205 の除去された部分 505 の下に予め配置される層 203 の部分が、研削以外のエッチング（たとえばウエットエッチング又はドライエッチング）によって除去され、個別のゲート構造 701 及びゲート構造 703 が形成される。層 403 は（層 205 の残りの部分とともに）、層 203 の部分 707 及び 709 が、層 203 のエッチング中に除去されるのを防ぐ。ゲート構造 701 及びゲート構造 703 はそれぞれ、構造 104 の側壁に沿って配置される垂直な部分を有する。30

【0014】

個別のゲート構造を形成するために 1 つの平坦な層を用いることにより、余分なマスク形成ステップを用いることなく、ゲート材料の一部を除去して、1 つのトランジスタのための個別のゲート構造を形成できるようになる。いくつかの実施形態では、平坦な層は、個別のゲート構造を形成するために用いられるゲート構造の部分を除去することなく、構造 104 上に配置されるゲート構造の部分を除去できるようになる。いくつかの実施形態では、構造 104 上に配置されるゲート材料を含むコンフォーマル層の部分が平坦な層から露出するので、たとえば、余分なマスクステップを用いることなく、エッチングによってそれらの部分を除去して、ゲート構造を分離することができる。したがって、先に説明された個別のゲートを形成する際の位置合わせの問題を避けることができる。40

【0015】

図 8 は、層 403 及び層 205 の残りの部分を除去した後の図 7 と同じ図を示す。いくつかの実施形態では、これらの層はウエットエッチング又はドライエッチングによって除去することができる。他の実施形態では、層 403 及び層 205 の残りの部分は除去されない。50

【0016】

図9は、図8に示されるトランジスタの等角図を示す。後の処理段階において、トランジスタのスペーサ及びケイ化物層が従来の半導体技法によって形成される。領域903及び領域905は、電流端子コンタクト（たとえば、FETのためのソース／ドレインコンタクト）としての役割を果たす。また、領域907及び領域909はそれぞれゲート構造701及びゲート構造703のためのゲートコンタクトとしての役割を果たす。

【0017】

図10は、領域907及び領域909上にそれぞれゲートバイア1003及びゲートバイア1005が形成された後の図8と同じ図を示す。結果として形成されたトランジスタ構造上に堆積される低K誘電体材料1009が示される。本明細書において図示又は説明されない他の従来の処理段階がウェーハ101上で実行され、半導体デバイスの他の従来の構造（たとえば、配線及びパッシバーション層など）を形成することができる。その後、ウェーハは個別化され、ウェーハの集積回路が分離される。10

【0018】

本発明による個別のゲート構造を有するトランジスタは、他の工程によって形成することもできる。たとえば、平坦な層403の形成、及び構造104上に配置されるゲート材料（たとえば層203内）の部分の除去は、図10に関して先に説明されたようなスペーサ及び／又はケイ化物の形成後に実行することができる。また個別のゲート構造を有するトランジスタは、コンフォーマルな窒化物層205を用いることなく形成することができる。これらの実施形態の場合、平坦な層403は、構造104上に配置されるゲート材料（たとえば203）の層の上側部分がエッチングのために露出するように形成されるであろう。20

【0019】

いくつかの実施形態では、個別のゲート構造は、配線（たとえば、ゲート構造間に延在する導電性材料）によって、又はゲート構造を選択的に結合できるようにする他のトランジスタによって結合することができる。

【0020】

図11～図17は、本発明による個別のゲート構造を有するトランジスタの別の実施形態の種々の製造段階にある半導体ウェーハの図を示す。形成されるトランジスタも、ゲート間に配置される電荷蓄積場所と、トランジスタのチャネル領域とを含む。後に説明されるように、そのようなトランジスタは、電荷蓄積場所にデータを記憶するための不揮発性メモリデバイスとして用いることができる。30

【0021】

ウェーハ1101は絶縁層1103を有する基板を含む。構造1104が絶縁層1103上に形成されている。一実施形態では、構造1104は、電荷蓄積場所を有するFin FETトランジスタのための「フィン」構造である。構造1104は、絶縁層1103上に形成される半導体構造部分1105と、半導体構造部分1105及び層1103上に形成される誘電体部分1111（たとえば二酸化シリコン）と、部分1111及び部分1105上に配置される窒化物部分1109とを備える。一実施形態では、構造1104は、層1103上に半導体材料の層を堆積し、半導体材料層上に誘電体層を形成し（たとえば半導体層の熱酸化によるか、又は高K誘電体の原子層堆積による）、その後、誘電体上に窒化物層を堆積することにより形成される。その後、半導体層、誘電体層及び窒化物層はパターニングされて、半導体層、誘電体部分1111及び窒化物部分1109の側壁が互いに同一平面をなす構造が形成される。図示される実施形態では、その後、半導体層の残りの部分が除去されて（たとえば等方性成分を有するドライエッチング）、図11に示されるように、残りの半導体層の側壁を後退させ、部分1105が形成される。他の実施形態では、構造部分1105は除去されない。いくつかの実施形態では、従来の半導体処理技法によって半導体材料の層をパターニングする前に、構造部分1105がドープされ、特定の導電型を有する部分1105のチャネル領域が設けられる。40

【0022】

その後、半導体構造部分 1105 の側壁上に誘電体層 1107 が形成される。後に示されるように、チャネル領域及び電流端子領域が部分 1105 内に形成される。一実施形態では、半導体構造部分 1105 は、絶縁層 1103 上に結合されるエピタキシャルシリコンから形成される。他の実施形態では、部分 1105 はポリシリコン又は他の半導体材料から形成することができる。一実施形態では、構造 1104 は FinFET のフィン構造である。

【0023】

図 12 を参照すると、その後、電荷蓄積材料の層 1203 が、構造 1104 を含むウェーハ 1101 上に堆積される。一実施形態では、層 1203 は、ポリシリコンのような導電性材料の層を含む（たとえば、フローティングゲートトランジスタと同様）。他の実施形態では、層 1203 は、複数の電荷トラップ素子（たとえば、薄膜トランジスタの場合のような窒化シリコン）を有する材料を含む、他のタイプの電荷蓄積材料を含むことができる。さらに他の実施形態では、層 1203 は、離散した電荷蓄積材料（たとえば、誘電体層内に埋め込まれるシリコンナノ結晶）を含むことができる。いくつかの実施形態では、ナノ結晶は、直径が 2 ~ 10 nm であり、 $3 \cdot 10^{11} / \text{cm}^2$ の密度を有する。他の実施形態では、層 1203 は、たとえばシリコンナノ結晶の層と、そのシリコンナノ結晶の層上に堆積される窒化シリコンの層、又は誘電体材料の 2 つの層間に埋め込まれるシリコンナノ結晶の層のような複数の層から形成することができる。

【0024】

図 13 は、層 1203 をエッティングして、窒化物部分 1109 上に配置される層 1203 の部分、及び絶縁層 1103 上に配置される層 1203 の部分が除去された後のウェーハ 1101 の部分断面図を示す。層 1203 の残りの部分は後にエッティングされて、構造 1104 の対向する側壁上に配置される、分離された電荷蓄積構造 1307 及び電荷蓄積構造 1305 が形成されるであろう。一実施形態では、層 1203 は異方性ドライエッティングでエッティングされ、電荷構造 1307 及び電荷構造 1305 が形成される。漏れ電流がほとんど、又は全く生じないように、電荷蓄積材料が高い抵抗率の材料から形成されるいくつかの実施形態では、層 1203 はエッティングされない。そのような実施形態では、電荷蓄積場所を有する電荷蓄積構造は、連続した層 1203 の一部になるであろう。

【0025】

図 14 は、制御誘電体のコンフォーマル層 1403 がウェーハ 1101 上に堆積され、ゲート材料のコンフォーマル層 1407 が層 1403 上に堆積された後のウェーハ 1101 の部分断面図を示す。

【0026】

ゲート材料層 1407 を堆積した後に、そのウェーハはさらに処理されて、図 2 ~ 図 8 に関する先に説明されたのと類似の工程により 2 つのゲート構造が形成される。たとえば、図 2 の窒化物層 205 に類似の窒化物層（図示せず）が層 1407 上に堆積される。その後、窒化物層及び層 1407 はパターニングされて、図 3 に示されるゲート構造 301 に類似のゲート構造が形成される。いくつかの実施形態では、誘電体層 1107 の側面上に配置され、且つゲート構造の下にない電荷蓄積層 1203 の部分は、層 1407 がエッティングされた後にエッティングされる。ゲート構造が形成された後に、平坦な層（図 5 の層 403 に類似）が形成され、構造 1104 上に配置される窒化物層の部分が露出する（図 5 及びそれを説明する部分を参照されたい）。窒化物層の露出した部分を除去した後に、構造 1104 上に配置されるゲート材料がエッティングされて、図 6 ~ 図 8 及びその説明に示されるのと同じようにして、ゲート構造 1505 及びゲート構造 1503 が形成される（図 15 を参照）。

【0027】

図 15 は、ゲート構造 1505 及びゲート構造 1503 が形成された後のウェーハ 1101 の部分側面図を示す。図 16 は、図 15 に示されるトランジスタ構造の部分等角図である。領域 1607 及び領域 1605 は電流端子領域としての役割を果たし、1611 及び 1613 は、それらの領域のための電流端子コンタクト（FET のためのソース / ドレ

10

20

30

40

50

インコンタクトと同様)としての役割を果たす。また領域 1620 及び領域 1617 はそれぞれ、ゲート構造 1505 及びゲート構造 1503 のためのゲートコンタクトとしての役割を果たす。

【0028】

いくつかの実施形態では、ゲート構造 1503 及びゲート構造 1505 はドープされる。一実施形態では、これらのゲート構造の材料は、ゲート材料の層上に窒化物層(たとえば 205)を堆積する前にドープされる。またいくつかの実施形態では、電流端子領域 1607 及び電流端子領域 1605 は、ゲート構造 1505 及びゲート構造 1503 が形成された後にドープされ、半導体構造部分 1105 のチャネル領域の導電型とは異なる導電型が与えられる。

10

【0029】

後の処理段階において、従来の半導体技法によって、トランジスタ構造 1621 上に、ケイ化物層、スペーサ、ゲートバイア及び電流端子バイアが形成される。結果として形成されたトランジスタ構造 1621 上に、低 K 誘電体材料(たとえば 1009)を堆積することもできる。ここで図示又は説明されない他の従来の処理段階がウェーハ 1101 上で実行されて、集積回路の他の従来の構造(たとえば配線及びパッシバーション層など)を形成することができる。

【0030】

図 16 に示される、結果として形成されたトランジスタ構造 1621 は、それぞれ 1 ピットのデータを記憶することができる 4 つの分離された電荷蓄積場所(電荷蓄積構造 1305 及び電荷蓄積構造 1307 内にそれぞれ 2 つ)を有する不揮発性メモリセルとして利用することができる。

20

【0031】

図 17 は、図 16 に示されるトランジスタ構造 1621 の一部を切り取った平面図である。電荷蓄積構造 1305 は、2 つの電荷蓄積場所 1709 及び電荷蓄積場所 1711 を含み、電荷蓄積構造 1307 は、2 つの電荷蓄積場所 1713 及び電荷蓄積場所 1715 を含む。これら 4 つの電荷蓄積場所は、電流端子領域 1605 及び電流端子領域 1607 並びにゲート構造 1503 及びゲート構造 1505 に電圧を印加することにより、プログラミング、読み出し、及び消去の少なくとも 1 つを行うことができる。

【0032】

30

一実施形態では、トランジスタ構造 1621 は、ソース / ドレイン領域を共有し、且つそれが 2 つの電荷蓄積場所を有する 2 つの機能的な MOSFET トランジスタとして機能する。ゲート構造 1503 が機能トランジスタのうちの一方のためのゲートとしての役割を果たし、ゲート構造 1505 が他方の機能トランジスタのゲートとしての役割を果たす。電荷蓄積場所 1709 及び電荷蓄積場所 1711 は、そのゲートとしてゲート構造 1503 を有する機能トランジスタの電荷蓄積場所としての役割を果たす。電荷蓄積場所 1713 及び電荷蓄積場所 1715 は、そのゲートとしてゲート構造 1505 を有する機能トランジスタの電荷蓄積場所としての役割を果たす。

【0033】

図示される実施形態では、半導体構造部分 1105 は、電流端子領域 1605 と電流端子領域 1607 との間に配置されるチャネル領域 1725(破線によって概ね区別される)を含む。チャネル領域 1725 はドープされて第 1 の導電型が与えられ、電流端子領域 1605 及び電流端子領域 1607 はドープされて第 2 の導電型が与えられる。

40

【0034】

トランジスタ構造 1621 の動作中に、ゲート構造 1503 に関連付けられる機能トランジスタの電圧閾値よりも高い電圧がゲート構造 1503 に印加されるとき、ゲート構造 1503 に隣接するチャネル領域 1725 の側壁に沿って、反転領域が形成される。ゲート構造 1505 に関連付けられる機能トランジスタの電圧閾値よりも高い電圧がゲート構造 1505 に印加されるとき、ゲート構造 1505 に隣接するチャネル領域 1725 の側壁に沿って、反転層が形成される。部分 1105 がゲート構造 1503 とゲート構造 15

50

05との間で相対的に薄く形成された実施形態では、反転層が生じる領域は重なることができる。

【0035】

電荷を各電荷蓄積場所に注入して（たとえば、ホットキャリア注入による）、その電荷蓄積場所に関連する機能トランジスタの閾値電圧を高めることができる。たとえば、電荷蓄積場所1709に電荷を蓄積するために、ゲート構造1503に正の電圧(Vpp)が印加され、電流端子領域1605に1/2Vppが印加され、電流端子領域1607及びゲート構造1505にグランド電位が印加される。

【0036】

電荷蓄積場所はそれぞれ互いに個別に読み出すことができる。1つの電荷蓄積場所に隣接するゲート構造に正の電圧(Vdd)を印加し、その電荷蓄積場所の反対側にある電流端子に正の電圧(Vdd)を印加することにより、他方の電荷蓄積場所に蓄積される電荷によって影響を及ぼされることなく、その電荷蓄積場所に蓄積される電荷が実効的に読み出されるであろう。たとえば、電荷蓄積場所1709を読み出すために、ゲート構造1503及び電流端子領域1607に正の電荷が印加され、ゲート構造1505及び電流端子領域1605にグランド電位(Vss)が印加される。電流端子領域1607に印加される電圧は、電荷蓄積場所1711内に存在するあらゆる電荷を実効的にマスク又は隠すよう、十分に高い正の電圧である。このようにして、チャネル領域の中に流れる電流は主に、場所1709に蓄積される電荷によって影響を及ぼされ、任意の他の電荷蓄積場所に蓄積される電荷によって影響を及ぼされない。

10

20

【0037】

1つの電荷蓄積場所に蓄積される電荷を消去するために、ホットホール注入技法を用いることができる。たとえば、電荷蓄積場所1709に蓄積される電荷を消去するために、ゲート構造1503に負の電圧(-Vpp)が印加され、電流端子領域1605、電荷蓄積場所1709に隣接する電流端子に正の電圧(Vpp)が印加される。電流端子領域1605及びゲート構造1505にグランド電位(Vss)が印加される。

【0038】

別の実施形態では、構造1621の電荷蓄積場所は、ゲート構造1503及びゲート構造1505に負の電圧(-Vpp)を印加し、電流端子領域1605及び電流端子領域1607に正の電圧(Vpp)を印加することにより、同時に消去することができる。

30

【0039】

他の実施形態では、トランジスタ構造1621の電荷蓄積場所において電荷をプログラミングし、読み出し、且つ又は消去するために、他のプログラミング技法、読み出し技法及び/又は消去技法を利用することができます。たとえば、2つの記憶場所を有する不揮発性メモリセルを読み出すための他の従来の技法を用いることができる。

【0040】

他の実施形態では、2つの電荷蓄積場所だけを実装するようなトランジスタ構造1621を利用することができる。1つのそのような実施形態では、第1の電荷蓄積場所が電荷蓄積構造1305内に配置され、第2の電荷蓄積場所が電荷蓄積構造1307内に配置される。これらの実施形態の場合、トランジスタ構造1621は、2つの機能トランジスタとして利用され、各機能トランジスタが1つの電荷蓄積場所を含む。そのような実施形態の一例では、電荷蓄積層は、たとえばフローティングゲートトランジスタの場合のように、導電性材料（たとえばポリシリコン）から形成されるであろう。

40

【0041】

2つの電荷蓄積場所だけを有する他の実施形態では、各電荷蓄積構造(1305及び1307)が、1つの電荷を個別に蓄積することができるが、トランジスタ構造1621は、4つの電圧閾値レベルを有する単一の機能トランジスタとして読み出されるであろう。その電圧閾値は、両方の電荷蓄積構造に蓄積される電荷の関数になるであろう。この実施形態では、電荷蓄積構造は、異なる電圧をゲート構造に印加してプログラミングされるであろう。そのトランジスタ構造は、両方のゲート構造に1つの電圧を印加して読み出され

50

るであろう。これらの実施形態によっては、ゲート構造は、異なる導電型から成るか、又は異なる仕事関数を有することが好ましいであろう。

【0042】

他の実施形態では、チャネル領域の側壁に隣接するゲート構造を有するトランジスタ構造は他の構成を有することができる。たとえば、チャネル領域1725の幅、長さ及び／又は高さは他の寸法を有することができる。また他の実施形態では、複数のトランジスタ構造を結合することができ、各トランジスタ構造は、隣接するトランジスタ構造と電流端子領域（たとえば1607）を共有する。チャネル領域（たとえば1725）及びゲート構造（たとえば1503及び1505）は、共有される電流端子領域（たとえば1607及び1605）間に配置されるであろう。そのような実施態様の例は、図18に示される矢印によって表すことができ、1つのトランジスタ構造の電流端子領域が別のトランジスタ構造の電流端子としての役割を果たす。たとえば、図16を参照すると、第2の中間構造（図示せず）は、構造1104の中間構造1631が端部構造1630から延在するのとは反対の方向に（図17に示される図に対して左方向に）端部構造1630から延在するであろう。第3の中間構造（図示せず）は、中間構造1631が端部構造1629から延在するのとは反対の方向に（図17に示される図に対して右方向に）端部構造1629から延在するであろう。ゲート構造1503及びゲート構造1505に類似の一対のゲート構造は、中間構造1631に対するゲート構造1503及びゲート構造1505の位置と同じように、第2の中間構造及び第3の中間構造の各側壁に隣接して存在するであろう。

10

20

【0043】

他の実施形態では、ゲート構造1503及びゲート構造1505は、異なる導電型を有することができる。一実施形態では、これは、異なるドーパント種を、角度を付けて注入することにより達成することができる。たとえば、ゲート構造1505にはP+ドーパントを注入することができ、ゲート構造1503にはN+ドーパントを注入することができる。

【0044】

図18は、トランジスタ構造1621を、4つの蓄積場所（1713、1709、1715及び1711）を含むメモリセルとして実装する不揮発性メモリアレイの回路図である。一実施形態では、アレイ1801は集積回路デバイスの不揮発性メモリアレイである。アレイ1801は、複数のメモリセルを含み、各セル（たとえば1809、1805、1807）はトランジスタ構造1621に類似のトランジスタ構造を実装する。各セルは、蓄積場所1713、1709、1715及び1711に類似の4つの蓄積場所を含む。

30

【0045】

各セルのゲート構造（たとえば1505及び1503）はワード線に結合される。たとえば、ゲート構造1505はワード線WL0に結合され、ゲート構造1503はワード線WL1に結合される。メモリセルの各電流端子領域はビット線に結合される。たとえば、端子領域の端子コンタクト1611はビット線BL1に結合され、電流端子コンタクト1613はビット線BL2に結合される。アレイ1801のビット線（BL0、BL1、BL2及びBL3）及びワード線（WL0、WL1、WL2及びWL3）は、線の電圧を制御するための従来のメモリアレイ制御回路（図示せず）に結合される。それらのメモリセルはアレイ1801内に行及び列として配列される。図示される実施形態では、セル1809及びトランジスタ構造1621のセルは同じ行内にあり、セル1809及びセル1807は同じ列内にある。

40

【0046】

図19は、蓄積場所1713をプログラミングし、消去し、且つ読み出すために、図18に示されるビット線及びワード線に印加される電圧を示す。一実施形態では、 $V_{pp} = 8.0V$ 、 $V_{ss} = 0$ 及び $V_{dd} = 4.0$ である。蓄積場所1713を読み出すために、BL1が、図19の表において「SA」によって示されるようなセンス増幅器（図示せず）に結合され、トランジスタがオンしているか否かが判定される。トランジスタがオンし

50

ているか否かは、読み出される電荷蓄積場所（たとえば1713）に電荷が蓄積されているか否かによる。場所1713をプログラミングするために、ビット線BL1及びビット線BL1の前に配置される全てのビット線（たとえばBL0）にVPP/2の電圧が印加され、ビット線BL1の前に配置されるワード線WL0に結合されるゲートを有する場所（たとえば電荷蓄積場所1821）がプログラミングされないようにする。ビット線BL1の後に配置される全てのビット線（たとえばBL2及びBL3）にグランド電圧VSSが印加され、ビット線BL2の後に配置される電荷蓄積場所（たとえば1823）が誤ってプログラミングされないようにする。

【0047】

他の実施形態では、アレイ1801の電荷蓄積場所はロック消去機能で消去することができる。これらの実施形態では、全てのビット線に正の電圧が印加され、全てのワード線に負の電圧が印加される。

【0048】

図20は、蓄積場所1711をプログラミングし、消去し、且つ読み出すために、図18に示されるビット線及びワード線に印加される電圧を示す。

図19及び図20の表に示されるように、プログラミングされるか、消去されるか、又は読み出される電荷蓄積場所の対向するセルのゲートは、これらの動作中にグランド(VSS)にバイアスをかけられる。たとえば、ゲート構造1503は、電荷蓄積場所1713の反対側にあり、場所1713のプログラミング、消去及び読み出し動作中にVSSにバイアスをかけられる。

【0049】

図21及び図22は、1801の電荷蓄積場所をプログラミングし、消去し、且つ読み出すための別の実施形態におけるアレイ1801のビット線及びワード線に印加される電圧を示す。この実施形態では、プログラミングされるセルの電荷蓄積場所の対向するゲートは、その場所に関連するセルのゲートの逆の電圧にバイアスをかけられる。たとえば、図21を参照すると、場所1713をプログラミングするために、ゲート構造1505に結合され、電荷蓄積場所1713に関連付けられるワード線(WL0)に正の電圧VPPが印加され、ゲート構造1503に結合され、電荷蓄積場所1713の反対側にあるワード線WL1に-VPPが印加される。この実施形態では、トランジスタ構造のチャネル領域の幅及び導電率が、ゲート構造に隣接するチャネル領域の電位が対向するゲート構造によって影響を及ぼされるようになる。

【0050】

プログラミングされる電荷蓄積場所の対向するゲートに負のプログラミング電圧を印加することができるので、それに応じて、プログラミングされるセルに関連するゲートに印加される電圧を下げるができる。たとえば、一実施形態では、VPPは6.0ボルトにすることができる。したがって、この実施形態によれば、プログラミング電圧を下げることができるので、さらに低いプログラミング電圧を用いることができる。いくつかの実施形態では、プログラミング電圧を下げるにより、プログラミング電圧を与えるための回路に要求される面積を小さくできるようになる。

【0051】

メモリアレイ内の対向する側壁に隣接するゲート構造を有するトランジスタを用いることからもたらすことができる別の利点は、電荷蓄積場所の対向するゲートが、実効的にブレーナCMOSトランジスタのためのウエル電圧制御回路のような役割を果たす電圧制御回路を備える、たとえばFinFETのようなトランジスタを提供することができる。しかしながら、ブレーナCMOSトランジスタのためのウエル電圧制御回路とは異なり、対向するゲートの電圧は、そのアレイの他の行内のゲートとは個別に制御することができる。これにより、他のタイプの電荷蓄積トランジスタで実現できるものよりも進んだ、アレイのためのプログラミング技法及び消去技法を利用できるようになる。

【0052】

図18に示されるアレイによってもたらすことができる1つの利点は、所与の面積内に

10

20

30

40

50

、プレーナCMOS NVMセルの場合よりも多くの電荷蓄積場所を実装できることである。さらに、図18のアレイの場合、2つの電流端子コンタクトだけを利用して、4つの個別の蓄積場所をプログラミングすることができるので、アレイ内のトランジスタをより近づけて配置することができる。いくつかの実施形態では、トランジスタ構造1621に類似のトランジスタ構造は、FinFET技術又は他のタイプのシリコン・オン・インシユレータ技術を実装するデバイスを有する集積回路内に容易に実装することができる。

【0053】

別の実施形態では、トランジスタ構造1261は、ゲートとチャネル領域の側壁との間に1つのみの電荷蓄積構造を有するように変更することができる。そのようなトランジスタの1つの実施形態の場合、対向する側壁は、その側壁と対向するゲートとの間に電荷蓄積構造を持たないであろう。対向するゲートは、実効的なウエルバイアス電圧制御回路としての役割を果たすであろう。

10

【0054】

さらに、先に説明されたようなトランジスタ構造は、他の構成を有するメモリアレイ内に実装することができる。また他の実施形態では、半導体構造の対向する側壁に隣接する2つの個別のゲート構造を有し、ゲート構造と側壁との間に配置される電荷蓄積場所を有するメモリセルを、個別のゲート構造を形成するための他の従来の工程を含む、本明細書に述べられる工程以外の他の半導体工程によって形成することができる。

【0055】

本発明の一態様では、メモリデバイスが、基板と、基板上の半導体構造とを備える。半導体構造は、第1の電流領域と第2の電流領域との間にチャネル領域を含む。半導体構造は第1の側壁と第2の側壁とを有する。第2の側壁は第1の側壁に対向する。そのメモリデバイスは、第1の側壁に隣接するゲート構造も含む。チャネル領域は、ゲート構造に隣接する第1の側壁に沿って配置される部分を含む。そのメモリデバイスはさらに、第1の側壁とゲート構造との間に少なくともその一部が配置される、電荷蓄積場所を含む。

20

【0056】

本発明の別の態様では、メモリは、それぞれが第1のゲート構造と、第2のゲート構造と、第1のドープされた領域と、第2のドープされた領域と、第1のゲート構造及び第2のゲート構造に隣接し、第1のドープされた領域と第2のドープされた領域との間にあるチャネル領域とを有する、複数のメモリセルを含む。複数のメモリセルはそれぞれ4つの蓄積場所を含む。そのメモリは、第1のワード線に結合される第1のゲート構造及び第2のワード線に結合される第2のゲート構造を有する複数のメモリセルから成る第1の行を含む。またそのメモリは、第3のワード線に結合される第1のゲート構造及び第4のワード線に結合される第2のゲート構造を有する複数のメモリセルから成る第2の行を含む。そのメモリはさらに、第1の行及び第2の行の第1の部分を含み、第1のビット線に結合される第1のドープされた領域及び第2のビット線に結合される第2のドープされた領域を有する、複数のメモリセルから成る第1の列を含む。そのメモリはさらに、第1の行及び第2の行の第2の部分を含み、第2のビット線に結合される第1のドープされた領域及び第3のビット線に結合される第2のドープされた領域を有する、複数のメモリセルから成る第2の列を含む。

30

【0057】

本発明の他の態様では、半導体デバイスを形成する方法は、基板を配設すること、及び基板上に半導体構造を配設することを含む。その半導体構造は、第1の側壁、第2の側壁及び上側表面を有する。またその方法は、第1の導電型から成る半導体構造内の第1の領域を形成すること、第1の導電型から成る半導体構造内の第2の領域を形成すること、及び第1の領域と第2の領域との間に、第2の導電型から成る半導体構造内のチャネル領域を形成することを含む。その方法はさらに、第1の側壁に隣接する第1のゲート構造を形成すること、及び第1の側壁と第1のゲート構造との間に少なくともその一部が配置される、第1の電荷蓄積場所を形成することを含む。

【0058】

40

50

本発明の特定の実施形態が図示及び説明されてきたが、本明細書の教示に基づいて、本発明及びその広範な態様から逸脱することなく、さらに変形及び変更を行うことができ、それゆえ添付の特許請求の範囲は、本発明の真の精神及び範囲内に入るような全てのそのような変形及び変更をその範囲に含むことになることは、当業者には理解されよう。

【図面の簡単な説明】

【0059】

【図1】本発明によるトランジスタの1つの製造段階にある半導体ウェーハの一実施形態の部分側断面図。

【図2】本発明によるトランジスタの別の製造段階にある半導体ウェーハの一実施形態の部分側断面図。
10

【図3】本発明によるトランジスタの別の製造段階にある半導体ウェーハの一実施形態の部分等角図。

【図4】本発明によるトランジスタの別の製造段階にある半導体ウェーハの一実施形態の部分側断面図。

【図5】本発明によるトランジスタの別の製造段階にある半導体ウェーハの一実施形態の部分側断面図。

【図6】本発明によるトランジスタの別の製造段階にある半導体ウェーハの一実施形態の部分側断面図。

【図7】本発明によるトランジスタの別の製造段階にある半導体ウェーハの一実施形態の部分側断面図。
20

【図8】本発明によるトランジスタの別の製造段階にある半導体ウェーハの一実施形態の部分側断面図。

【図9】本発明によるトランジスタの別の製造段階にある半導体ウェーハの一実施形態の部分等角図。

【図10】本発明によるトランジスタの別の製造段階にある半導体ウェーハの一実施形態の部分側断面図。

【図11】本発明によるトランジスタの1つの製造段階にある半導体ウェーハの別の実施形態の部分側断面図。

【図12】本発明によるトランジスタの別の製造段階にある半導体ウェーハの別の実施形態の部分側断面図。
30

【図13】本発明によるトランジスタの別の製造段階にある半導体ウェーハの別の実施形態の部分側断面図。

【図14】本発明によるトランジスタの別の製造段階にある半導体ウェーハの別の実施形態の部分側断面図。

【図15】本発明によるトランジスタの別の製造段階にある半導体ウェーハの別の実施形態の部分側断面図。

【図16】本発明によるトランジスタの別の製造段階にある半導体ウェーハの別の実施形態の部分等角図。

【図17】本発明によるトランジスタの別の実施形態の一部を切り取った平面図。

【図18】本発明によるメモリアレイの一実施形態の回路図。
40

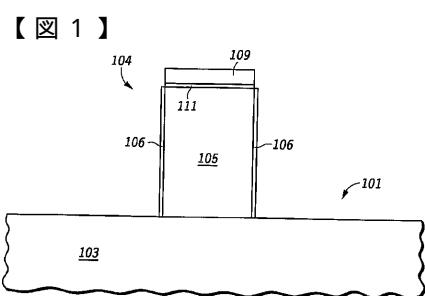
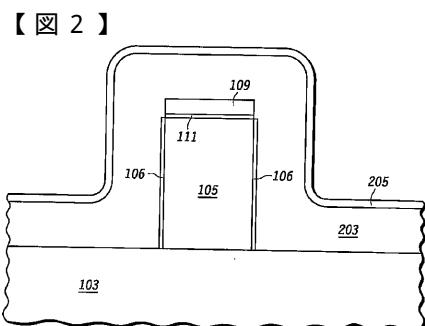
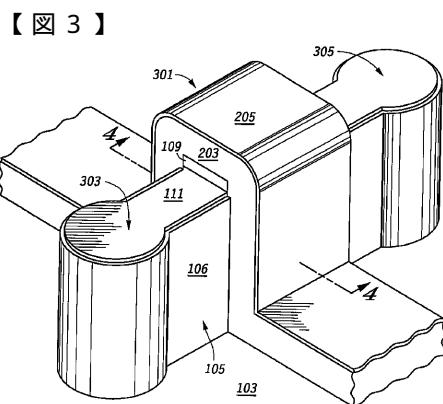
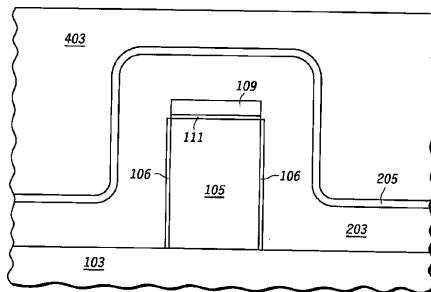
【図19】本発明によるメモリアレイの1つの電荷蓄積場所をプログラミングし、消去し、且つ読み出すために、メモリアレイのビット線及びワード線に印加される1組の電圧の一実施形態を示す表。

【図20】本発明によるメモリアレイの別の電荷蓄積場所をプログラミングし、消去し、且つ読み出すために、メモリアレイのビット線及びワード線に印加される1組の電圧の一実施形態を示す表。

【図21】本発明によるメモリアレイの1つの電荷蓄積場所をプログラミングし、消去し、且つ読み出すために、別のメモリアレイのビット線及びワード線に印加される1組の電圧の別の実施形態を示す表。

【図22】本発明によるメモリアレイの別の電荷蓄積場所をプログラミングし、消去し、
50

且つ読み出すために、別のメモリアレイのビット線及びワード線に印加される1組の電圧の別の実施形態を示す表。

***FIG. 1******FIG. 2******FIG. 3******FIG. 4******FIG. 4***

【図5】

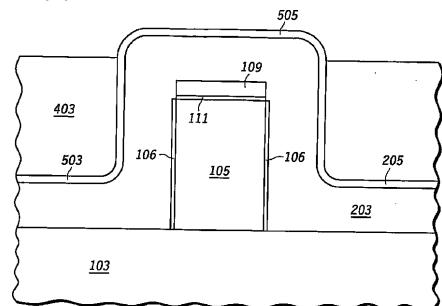


FIG.5

【図6】

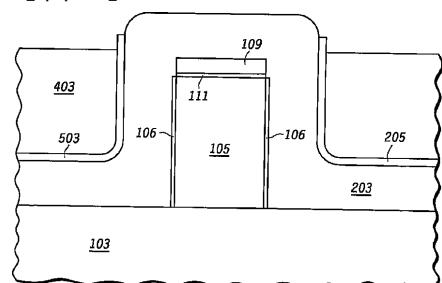


FIG.6

【図7】

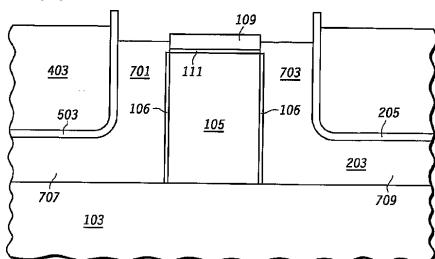


FIG.7

【図8】

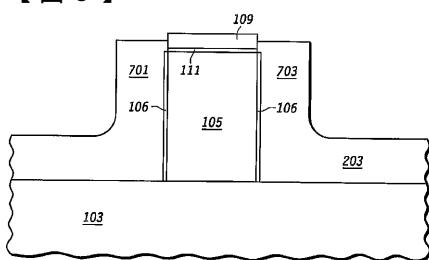


FIG.8

【図9】

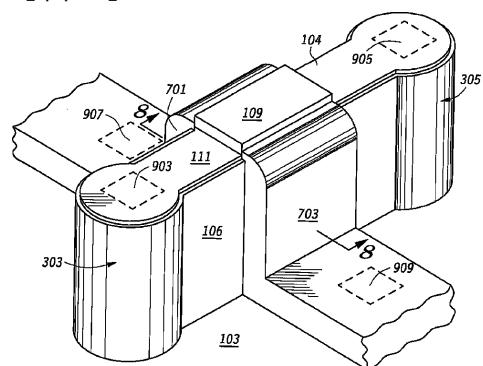


FIG.9

【図10】

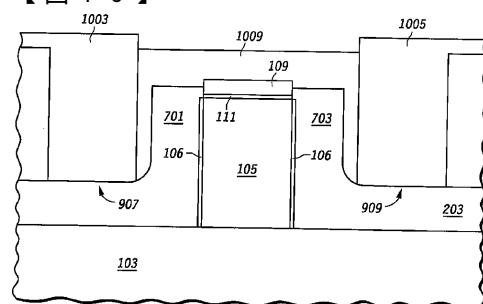


FIG.10

【図11】

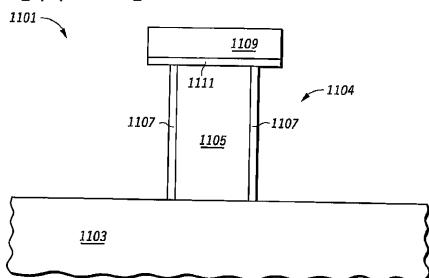


FIG.11

【図12】

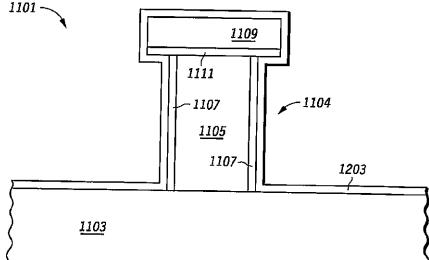


FIG.12

【図13】

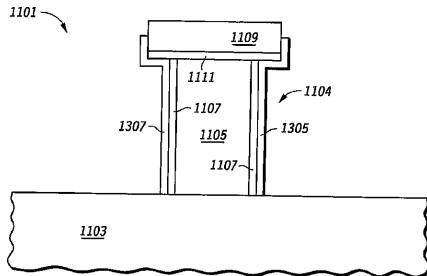
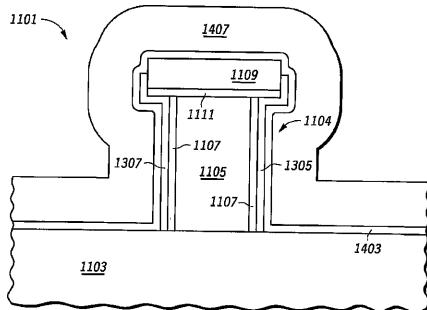
FIG.13
【図14】

FIG.14

【図15】

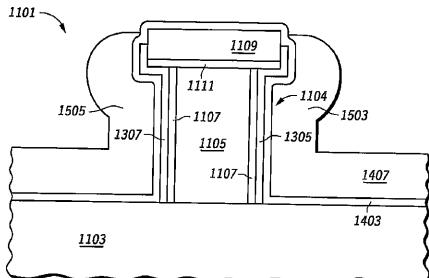


FIG.15

【図16】

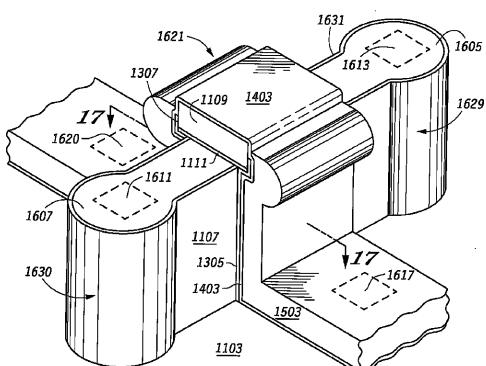


FIG.16

【図17】

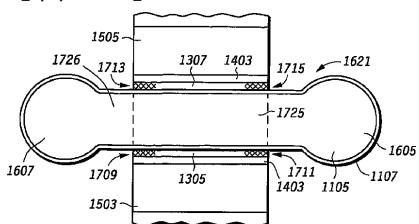


FIG.17

【図18】

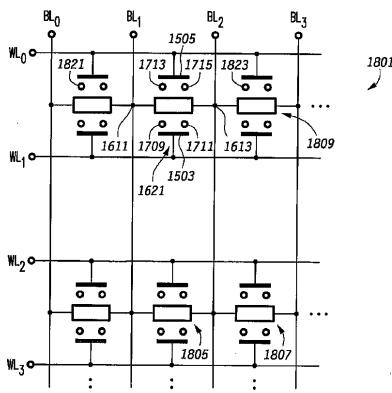


FIG.18

【図19】

ビット1713の条件								
プログラム	WL ₀	WL ₁	WL ₂	WL ₃	BL ₀	BL ₁	BL ₂	BL ₃
V _{PP}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{PP} /2	V _{PP} /2	V _{SS}	V _{SS}
-V _{PP}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{PP}	V _{PP}	V _{SS}	V _{SS}
読み出し	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	S _A	V _{DD}	V _{DD}

【図20】

ビット1711の条件								
プログラム	WL ₀	WL ₁	WL ₂	WL ₃	BL ₀	BL ₁	BL ₂	BL ₃
V _{SS}	V _{PP}	V _{SS}	V _{PP} /2	V _{PP} /2				
-V _{SS}	-V _{PP}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{PP}	V _{PP}	V _{SS}
読み出し	V _{SS}	V _{DD}	V _{SS}	V _{SS}	V _{DD}	V _{DD}	S _A	V _{SS}

【図21】

ビット1711の条件								
プログラム	WL ₀	WL ₁	WL ₂	WL ₃	BL ₀	BL ₁	BL ₂	BL ₃
V _{PP}	-V _{PP}	-V _{PP}	-V _{PP}	-V _{PP}	-V _{PP} /2	-V _{PP} /2	-V _{PP}	-V _{PP}
-V _{PP}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{PP}	V _{PP}	V _{SS}	V _{SS}
読み出し	V _{DD}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	S _A	V _{DD}	V _{DD}

【図22】

	WL ₀	WL ₁	WL ₂	WL ₃	BL ₀	BL ₁	BL ₂	BL ₃
プログラム	-V _{PP}	V _{PP}	V _{PP}	V _{PP}	-V _{PP}	-V _{PP}	-V _{PP} /2	-V _{PP} /2
消去	V _{SS}	-V _{PP}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{PP}	V _{SS}
読み出し	V _{SS}	V _{DD}	V _{SS}	V _{SS}	V _{DD}	V _{DD}	S _A	V _{SS}

フロントページの続き

(72)発明者 スタイムル、ロバート エフ .

アメリカ合衆国 78737 テキサス州 オースティン エルドラド ドライブ 7928

(72)発明者 ムラリダー、ラマチャンドラン

アメリカ合衆国 78750 テキサス州 オースティン ピックフェア ドライブ 10601

審査官 河合 俊英

(56)参考文献 特開平09-213822(JP, A)

国際公開第02/065522(WO, A1)

特表2004-527904(JP, A)

特開2001-237330(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247

H01L 27/115

H01L 29/788

H01L 29/792