



(21)申請案號：102139904

(22)申請日：中華民國 102 (2013) 年 11 月 04 日

(51)Int. Cl. : H01L21/8247(2006.01)

H01L27/115 (2006.01)

(30)優先權：2012/11/27 日本

2012-259128

2013/10/31 世界智慧財產權組織

PCT/JP2013/079512

(71)申請人：佛羅迪亞股份有限公司(日本) FLOADIA CORPORATION (JP)

日本

(72)發明人：谷口泰弘 TANIGUCHI, YASUHIRO (JP)；奧山幸祐 OKUYAMA, KOSUKE (JP)

(74)代理人：洪澄文

(56)參考文獻：

TW 200924171

US 2004/0012039A1

審查人員：黃鼎富

申請專利範圍項數：9 項 圖式數：11 共 51 頁

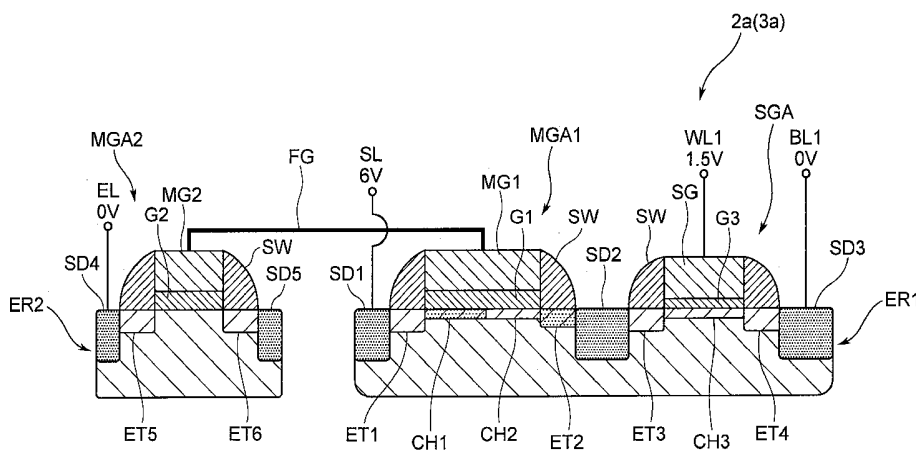
(54)名稱

非揮發性半導體記憶裝置

(57)摘要

提出一非揮發性半導體記憶裝置，即使單層閘極構造也能夠由源極側注入電荷至浮閘。非揮發性半導體記憶裝置(1)中，雖然記憶電晶體(MGA1)以及開關電晶體(SGA)全部為單層閘極構造，但資料寫入時，選擇記憶單元(3a)中，從源極線(SL)對記憶電晶體(MGA1)的一端施加高電壓，而且從位元線(BL1)對開關電晶體(SGA)的一端施加低電壓成為導通狀態，因此在源極線(SL)及位元線(BL1)間的記憶電晶體(MGA1)的低濃度不純物延伸區域(ET2)中使電壓下降並產生強電場，利用此強電場由源極側注入能夠注入電荷至浮閘(FG)。

指定代表圖：



第3圖

符號簡單說明：

2a . . . 記憶單元

3a . . . 選擇記憶單元

BL1 . . . 位元線

CH1 . . . 空乏型通道區域

CH2 . . . 通道區域

CH3 . . . 通道區域

EL . . . 拭除線

ER1 . . . 第 1 活性區域

ER2 . . . 第 2 活性
區域

ET1、ET3、ET4、
ET5、ET6 . . . 延伸
區域

ET2 . . . 低濃度不
純物延伸區域(高電阻
區域)

FG . . . 浮閘

G1、G2、G3 . . .
閘極氧化膜

MG1 . . . 閘極電極

MG2 . . . 拭除閘極
電極

MGA1 . . . 記憶電
晶體

MGA2 . . . 拭除電
晶體

SD1、SD2、SD3、
SD4、SD5 . . . 源
極汲極區域

SG . . . 開關閘極電
極

SGA . . . 開關電晶
體

SL . . . 源極線

SW . . . 側壁

WL1 . . . 字元線

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

非揮發性半導體記憶裝置

【技術領域】

【0001】本發明係關於非揮發性半導體記憶裝置，適於應用於例如寫入資料之際由源極側注入(SSI:源極側注入)注入電荷至浮閘之非揮發性半導體記憶裝置。

【先前技術】

【0002】近年來，盛行以標準 CMOS(互補金屬氧化半導體)製程可以輕易製造的非揮發性半導體記憶裝置的研究。如此的非揮發性半導體記憶裝置，可以根據寫入資料之際的寫入手法大致分類，主要為眾所周知的 FN (Fowler-Nordheim) 隧道注入、通道熱電子注入、與源極側注入。

【0003】這些寫入手法中，源極側注入係在通道的源極區域得到熱載子再注入載子至浮閘的方式，例如專利文件 1 中所示係眾所周知的。根據如此的源極側注入產生的資料寫入，已知可以以較低的電壓進行，寫入時的消耗電力也可以降低，期待 LSI 中混載產生的優點。

[先行技術文件]

[專利文件]

【0004】

[專利文件 1]日本平成 7 年第 60864 號公開公報

【發明內容】

[發明所欲解決的課題]

【0005】不過，以源極側注入寫入資料的非揮發性半導體記憶裝置，如專利文件 1 所示，成為閘極之多晶矽重疊兩層多晶矽構造係一般性的，關於例如以單層多晶矽構造進行源極側注入產生的資料寫入之非揮發性半導體記憶裝置還在研究階段。

【0006】於是，因為本發明考慮上述點而形成，以提出一非揮發性半導體記憶裝置為目的，即使單層閘極構造也能夠由源極側注入注入電荷至浮閘。

[用以解決課題的手段]

【0007】為了解決相關課題，本發明的非揮發性半導體記憶裝置的特徵為包括記憶單元，具有包括浮閘之單層閘極構造的記憶電晶體、以及包括開關電極之單層閘極構造的開關電晶體，上述記憶單元中，源極線連接至上述記憶電晶體的一端的同時，位元線連接至上述開關電晶體的一端，上述記憶電晶體的另一端與上述開關電晶體的另一端電氣連接，具有上述記憶電晶體以及上述開關電晶體串聯配置的構成，上述記憶電晶體，在上述浮閘的下部區域、與電氣連接至上述開關電晶體的另一端側的源極汲極區域之間，具有比上述浮閘的下部區域及上述一端側的源極汲極區域間的電阻值高的電阻值之高電阻區域。

[發明效果]

【0008】根據本發明，雖然記憶電晶體以及開關電晶體全部為單層閘極構造，但資料寫入時，從源極線對記憶電晶體的

一端施加高電壓，而且從位元線對開關電晶體的一端施加低電壓成爲導通狀態，因此在源極線及位元線間的記憶電晶體高電阻區域中使電壓下降並產生強電場，利用此強電場由源極側注入能夠注入電荷至浮閘。

【圖式簡單說明】

【0009】

[第 1 圖] 係顯示本發明的非揮發性半導體記憶裝置的電路構成之電路圖；

[第 2 圖] 係顯示第 1 圖所示的記憶單元的電路構成配置之概略圖；

[第 3 圖] 係顯示第 2 圖所示的 A-A'部分的剖面構造、B-B'部分的剖面構造之側剖面圖；

[第 4 圖] 係顯示資料讀出時各部位的電壓值之電路圖；

[第 5 圖] 係顯示資料消去時各部位的電壓值之電路圖；

[第 6 圖] 係顯示根據其他實施例的非揮發性半導體記憶裝置的電路構成之電路圖；

[第 7 圖] 係顯示第 6 圖所示的記憶單元的電路構成配置之概略圖；

[第 8 圖] 係顯示第 7 圖所示的 A-A'部分的剖面構造、C-C'部分的剖面構造之側剖面圖；

[第 9 圖] 係顯示具有 SRAM 單元的記憶單元的電路構成之電路圖；

[第 10 圖] 係顯示第 9 圖所示的記憶單元中，資料編程時、消去時、資料載入時、寫入時、讀出時及 V_{th} 監視載入時

各部位的電壓值表；以及

[第 11 圖] 係顯示根據其他實施例的非揮發性半導體記憶裝置的剖面構成之側剖面圖。

【實施方式】

【0010】根據以下圖面，詳述本發明的實施例。

【0011】(1)非揮發性半導體記憶裝置的電路構成

第 1 圖中，1 係表示例如 4 個記憶單元 2a、2b、2c、2d 配置成 2 行 2 列的非揮發性半導體記憶裝置，對這些記憶單元 2a、2b、2c、2d 中例如任意選擇的記憶單元 2a，形成由源極側注入能夠寫入資料。此時，非揮發性半導體記憶裝置 1，設置 2 條位元線 BL1、BL2 的同時，設置 2 條字元線 WL1、WL2，位元線 BL1、BL2 及字元線 WL1、WL2 交叉的位置上配置記憶單元 2a、2b、2c、2d。

【0012】又，非揮發性半導體記憶裝置 1，形成拭除線(消去線)EL 連接至記憶單元 2a、2b、2c、2d，由上述拭除線 EL 對各記憶單元 2a、2b、2c、2d 能夠一律施加既定的電壓。又，非揮發性半導體記憶裝置 1，形成源極線 SL 連接至記憶單元 2a、2b、2c、2d，由上述源極線 SL 對各記憶單元 2a、2b、2c、2d 能夠一律施加既定的電壓。

【0013】此實施例的情況下，因為這些記憶單元 2a、2b、2c、2d 全部具有相同的構成，為了避免重複說明，著眼於以下 1 個記憶單元 2a 說明。記憶單元 2a 包括 N 型 MOS 的記憶 MOS 電晶體(以下，稱作記憶電晶體)MGA1、P 型 MOS 的拭除(消去)MOS 電晶體(以下，稱作拭除電晶體)MGA2、以及 N 型 MOS

的開關 MOS 電晶體(以下，稱作開關電晶體)SGA，記憶電晶體 MGA1 及拭除電晶體 MGA2 共有 1 個浮閘 FG。

【0014】浮閘 FG，延伸至記憶電晶體 MGA1 及拭除電晶體 MGA2 的各活性區域(後述)，能夠成為記憶電晶體 MGA1 的閘極電極 MG1、以及拭除電晶體 MGA2 的拭除閘極電極 MG2。又，記憶單元 2a，連接也連接至其他記憶單元 2b、2c、2d 的源極線 SL 的記憶電晶體 MGA1 的一端的同时，同樣也連接至其他記憶單元 2b、2c、2d 的拭除線 EL 連接至拭除電晶體 MGA2 的一端。

【0015】開關電晶體 SGA 中，也連接往一方向並排的其他記憶單元 2c 的位元線 BL1 連接至一端，也連接往另一方向並排的其他記憶單元 2b 的字元線 WL1 連接至開關閘極電極 SG，根據位元線 BL1 及字元線 WL1 的電壓差形成能夠做通斷動作。又，開關電晶體 SGA 的另一端與記憶電晶體 MGA1 的另一端電氣連接，配置為與記憶電晶體 MGA1 串聯。

【0016】又，拭除電晶體 MGA2 的另一端與後述的第 2 活性區域短路(short)。又，第 1 圖中，記憶電晶體 MGA1 的閘極電極 MG1 的面積形成得比拭除電晶體 MGA2 的拭除閘極電極 MG2 的面積大，只有放大記憶電晶體 MGA1 的閘極電極 MG1 的面積的部分，容易從記憶電晶體 MGA1 傳送電位至浮閘 FG，寫入資料之際，使上述記憶電晶體 MGA1 中產生大量的電流，形成能夠從活性區域往浮閘 FG 注入很多的電荷。

【0017】在此，第 2 圖係顯示實現第 1 圖所示的記憶單元 2a 的電路構成配置的一範例之概略圖。在此情況下，記憶單元

2a 中，例如形成 P 型的第 1 活性區域 ER1，並在第 1 活性區域 ER1 中配置構成浮閘 FG 的記憶電晶體 MGA1 的閘極電極 MG1、與開關電晶體 SGA 的開關閘極電極 SG，這些記憶電晶體 MGA1 及開關電晶體 SGA 串聯配置。又，記憶單元 2a 中，例如形成 N 型的第 2 活性區域 ER2，並在第 2 活性區域 ER2 中配置連接至記憶電晶體 MGA1 的閘極電極 MG1 之拭除電晶體 MGA2 的拭除閘極電極 MG2。

【0018】在此，第 3 圖係顯示第 2 圖所示的 A-A' 部分(第 3 圖中，右側)以及 B-B' 部分(第 3 圖中，左側)的側剖面構成之剖面圖。開關電晶體 SGA 具有在第 1 活性區域 ER1 中空出間隔形成源極汲極區域 SD2、SD3 的構成，而位元線 BL1 連接至成為其中一端的源極汲極區域 SD3。又，源極汲極區域 SD2、SD3 間的第 1 活性區域 ER1 上面，形成延伸區域 ET3、ET4，與這些源極汲極區域 SD2、SD3 的側面相接，延伸區域 ET3、ET4 間形成通道區域 CH3。開關電晶體 SGA，在延伸區域 ET3、ET4 間的通道區域上，以閘極氧化膜 G3 介於其間，具有開關閘極電極 SG，並具有字元線 WL1 連接至上述開關閘極電極 SG 的構成。又，各延伸區域 ET3、ET4 的上面，形成覆蓋開關閘極電極 SG 的側面之側壁 SW。

【0019】另一方面，記憶電晶體 MGA1 與開關電晶體 SGA 共有源極汲極區域 SD2，並與鄰接的開關電晶體 SGA 串聯配置。又，記憶電晶體 MGA1 與此源極汲極區域 SD2 空出既定間隔具有在第 1 活性區域 ER1 中形成的源極汲極區域 SD1，並具有源極線 SL 連接至此一端的源極汲極區域 SD1 的構成，經

由上述源極線 SL 能夠施加寫入電壓至源極汲極區域 SD1。

【0020】除此之外，此記憶電晶體 MGA1 中，在第 1 活性區域 ER1 上面形成連接至一端的源極汲極區域 SD1 的側面之延伸區域 ET1、以及連接至另一端的源極汲極區域 SD2 的側面之延伸區域(以下，稱作低濃度不純物延伸區域)ET2。又，此記憶電晶體 MGA1 中，在延伸區域 ET1 以及低濃度不純物延伸區域 ET2 間的第 1 活性區域 ER1 上面，閘極氧化膜 G1 介於其間形成成為浮閘 FG 的閘極電極 MG1，並在延伸區域 ET1 及低濃度不純物延伸區域 ET2 的上面各形成覆蓋閘極電極 MG1 的兩側面之側壁 SW。

【0021】在此，本發明在記憶電晶體 MGA1 中，在開關電晶體 SGA 側的側壁下部區域(浮閘 FG 的下部區域、與另一端側的源極汲極區域 SD2 之間的區域)形成的低濃度不純物延伸區域 ET2，選定比浮閘 FG 的下部區域及一端側的源極汲極區域 SD1 之間的延伸區域 ET1 更低濃度的不純物濃度，具有低濃度不純物延伸區域 ET2 比源極線 SL 側的延伸區域 ET1 的電阻值高的電阻值的特徵點。此實施例的情況下，作為高電阻區域的低濃度不純物延伸區域 ET2，最好不純物摻雜量在 $1\text{E}18/\text{cm}^3$ 以下。

【0022】具有如此構成的記憶電晶體 MGA1，在後述的資料寫入時，源極線 SL 及位元線 BL1 間產生大電位差之際，提高電阻值的低濃度不純物延伸區域 ET2 中能夠產生最大的電位下降。

【0023】又，除此之外，在此實施例的情況下，延伸區域

ET1 及低濃度不純物延伸區域 ET2 間的第 1 活性區域 ER1 上面，也具有形成與延伸區域 ET1 的側面相接的空乏型通道區域 CH1、以及兩端連接此空乏型通道區域 CH1 與低濃度不純物延伸區域 ET2 的加強型通道區域 CH2 之特徵點。空乏型通道區域 CH1，摻雜例如砷或磷等的 not 純物成為空乏狀態。另一方面，與此空乏型通道區域 CH1 鄰接的通道區域 CH2 以硼等的 not 純物摻雜成為加強狀態。具有如此構成的記憶電晶體 MGA1，在後述的資料寫入時，從源極線 SL 施加寫入電壓至源極汲極區域 SD1 之際，空乏型通道區域 CH1 及閘極電極 MG1 的電壓相乘漸漸上升，施加至低濃度不純物延伸區域 ET2 的末端的電壓值最終能夠上升至施加至源極線 SL 的電壓值(詳情後述)。

【0024】附帶一提，拭除電晶體 MGA2，如第 3 圖所示，在與第 1 活性區域 ER1 分別形成的第 2 活性區域 ER2 中，具有源極汲極區域 SD4、SD5 空出間隔形成的構成，拭除線 EL 連接至其中至少一端側的源極汲極區域 SD4。源極汲極區域 SD4、SD5 間的第 2 活性區域 ER2 上面，形成延伸區域 ET5 連接上述源極汲極區域 SD4 的側面的同時，在另一端的源極汲極區域 SD5 也形成延伸區域 ET6 與側面相接。又，拭除電晶體 MGA2 中，延伸區域 ET5、ET6 間的通道區域上閘極氧化膜 G2 介於其間，形成成為浮閘 FG 的拭除閘極電極 MG2，上述拭除閘極電極 MG2 與記憶電晶體 MGA1 的閘極電極 MG1 連接。又，這些延伸區域 ET5、ET6 的上面，形成側壁 SW 覆蓋拭除閘極電極 MG2 的兩側面。

【0025】 (2)資料的寫入動作

其次，以說明關於本發明的非揮發性半導體裝置 1 中的資料寫入動作。第 1 圖係顯示複數的記憶單元 2a、2b、2c、2d 中，只寫入資料至第 1 行 1 列的記憶單元 2a 之際各部位的電壓值。又，在此，執行資料寫入的記憶單元 2a 稱作選擇記憶單元 3a，而不執行資料寫入的記憶單元 2b、2c、2d 稱作非選擇記憶單元 3b。

【0026】 在此情況下，如第 1 圖所示，非揮發性半導體裝置 1，在資料寫入時，對拭除線 EL 施加 0[V]的低電壓的同時，對源極線 SL 能夠施加高電壓的 6[V]的寫入電壓。因此，非揮發性半導體裝置 1 對記憶單元 2a、2b、2c、2d 的各拭除電晶體 MGA2 從源極線 SL 一律施加 0[V]的電壓的同時，記憶單元 2a、2b、2c、2d 的各記憶電晶體 MGA1 從源極線 SL 能夠一律施加 6[V]的寫入電壓。

【0027】 另一方面，選擇記憶單元 3a 的開關電晶體 SGA 中，從字元線 WL1 對開關閘極電極 SG 施加 1.5[V]的同時，從位元線 BL1 對一端施加 0[V]的寫入電壓能夠成為導通狀態。如第 3 圖所示，開關電晶體 SGA，成為導通狀態時，與記憶電晶體 MGA1 共有的源極汲極區域 SD2 成為與位元線 BL1 相同的 0[V]。此時，與開關電晶體 SGA 串聯配置的記憶電晶體 MGA1 中，從源極線 SL 對一端的源極汲極區域 SD1 施加 6[V]的寫入電壓，通道電位漸漸上升，通道區域 CH2 能夠上升至寫入電壓為止。

【0028】 實際上，此實施例的情況下，記憶電晶體 MGA1

中，因為形成空乏型通道區域 CH1 與延伸區域 ET1 的側面相接，資料寫入時，空乏型通道區域 CH1 中通道電壓能夠上升至空乏狀態的臨界電壓 $V_{th}(V_{th} < 0)$ 為止。例如，成為浮閘 FG 的閘極電極 MG1 中無電荷，空乏型通道區域 CH1 的濃度在臨界電壓 V_{th} 中為 $-2[V]$ 的情況下，資料寫入時，對源極線 SL 施加 $6[V]$ 的話，首先空乏型通道區域 CH1 能夠上升至 $2[V]$ 為止。此時，閘極電極 MG1 的電位，由於電容耦合與空乏型通道區域 CH1 的電位成正比上升。

● **【0029】** 例如，對閘極電極 MG1 的全電容的電容比(閘極電極 MG1 及空乏型通道區域 CH1 間的電容比)為 0.5 的情況下，閘極電極 MG1 由於空乏型通道區域 CH1 上升至 $2[V]$ 為止，此電位從 $0[V]$ 上升至 $1[V]$ 。又，此時，因為電容比愈大閘極電極 MG1 的電壓上升效率愈佳，記憶電晶體 MGA1 的閘極電極 MG1 的面積最好形成得比拭除電晶體 MGA2 的拭除閘極電極 MG2 大。

● **【0030】** 其次，記憶電晶體 MGA1 中，閘極電極 MG1 的電位上升為 $1[V]$ 時，對空乏型通道區域 CH1 可以施加的容許電位也上升，空乏型通道區域 CH1 的電位更上升 $1[V]$ 為 $3[V]$ 。因此，記憶電晶體 MGA1 的閘極電極 MG1 的電位，由於電容耦合與空乏型通道區域 CH1 的電位成正比變化，因為空乏型通道區域 CH1 成為電壓 $3[V]$ ，電位從 $1[V]$ 上升至 $1.5[V]$ 。

【0031】 記憶電晶體 MGA1 中，空乏型通道區域 CH1 與閘極電極 MG1 的電位相乘漸漸上升，還有通道區域 CH2 也成為導通狀態的話，其電位也貢獻電容耦合，閘極電極 MG1 的電

位更上升，最後通道區域 CH2 的電位能夠到達接近對源極線 SL 施加的 6[V] 之值。

【0032】 因此，低濃度不純物延伸區域 ET2 中，與通道區域 CH2 相接的端部成為寫入電壓的 6[V]的同時，與源極汲極區域 SD2 相接的端部為 0[V]，兩端產生 6[V]的高電壓差而發生強電場。因此，記憶電晶體 MGA1 中，低濃度不純物延伸區域 ET2 內發生的強電場使低濃度不純物延伸區域 ET2 內的電荷加速，從上述電荷產生的 2 次電荷的一部分能夠注入至成為浮閘 FG 的閘極電極 MG1。結果，選擇記憶單元 3a 中，在浮閘 FG 中累積電荷，能夠成為寫入資料的狀態。

【0033】 於是，選擇記憶單元 3a 中，記憶電晶體 MGA1 的閘極電極 MG1、拭除電晶體 MGA2 的拭除閘極電極 MG2、開關電晶體 SGA 的開關閘極電極 SG 成為全部以單層設置的單層閘極構造的同時，資料寫入時，因為低濃度不純物延伸區域 ET2 中發生強電場，由於此強電場能夠注入電荷至浮閘 FG，以單層閘極構造能夠實現由源極側注入產生的資料寫入。

【0034】 又，低濃度不純物延伸區域 ET2 中，不純物濃度為低濃度具有高電阻值，資料寫入時，雖然產生大的電壓下降，但可以抑制鄰接的源極汲極區域 SD2 至接近 0[V]，並能夠防止對開關電晶體 SGA 施加高電壓的寫入電壓。如此一來，開關電晶體 SGA 不必加厚閘極氧化膜 G3 的膜厚如記憶電晶體 MGA1 的閘極氧化膜 G1(膜厚 7[nm(毫微米)]左右)，例如膜厚能夠減薄形成 3~4[nm]，可以維持使用非揮發性記憶體中一般使用的閘氧化膜為薄的標準 MOS(core MOS)。

【0035】附帶一提，此時，如第 1 圖所示，非揮發性半導體裝置 1 中，對只連接非選擇記憶單元 3b 的位元線 BL2 施加 1.5[V] 的寫入禁止電壓的同時，對只連接非選擇記憶單元 3b 的字元線 WL2 施加 0[V] 的電壓。因此，連接至此位元線 BL2 的非選擇記憶單元 3b(記憶單元 2b、2d) 中，從字元線 WL1、WL2 對開關電晶體 SGA 的開關閘極電極 SG 施加 1.5[V] 或 0[V]，從位元線 BL2 對開關電晶體 SGA 的一端施加 1.5[V]，藉此上述開關電晶體 SGA 成為斷開狀態，記憶電晶體 MGA1 的低濃度不純物延伸區域 ET2 中不會使電荷加速，電荷不能注入至浮閘 FG。

【0036】又，連接至被施加 0[V] 寫入電壓的位元線 BL1 之非選擇記憶單元 3b(記憶單元 2c) 中，也因為從字元線 WL2 對開關電晶體 SGA 的開關閘極電極 SG 施加 0[V]，開關電晶體 SGA 成為斷開狀態，記憶電晶體 MGA1 的低濃度不純物延伸區域 ET2 中不會使電荷加速，電荷不能注入至浮閘 FG。

【0037】如此一來，此非揮發性半導體記憶裝置 1 中，藉由使非選擇記憶單元 3b 的開關電晶體 SGA 斷開，電荷不會注入至非選擇記憶單元 3b 的浮閘 FG，由於只有所希望的選擇記憶單元 3a 的浮閘 FG 以源極側注入電荷，可以寫入電荷。

【0038】在此，上述實施例中，雖然敘述關於記憶電晶體 MGA1 的通道層內，除了空乏型通道區域 CH1 以外，也形成加強型通道區域 CH2 之情況，但本發明不限於此，例如記憶電晶體 MGA1 的通道層全部以空乏型通道區域 CH1 形成也可以。但是，空乏型通道區域 CH1 在通道層全區形成時，考慮

短通道效果，必須加長閘極電極 MG1 的閘極長。

【0039】又，通道全體為空乏型的情況下，也可以改變靠近延伸區域 ET1 側的通道濃度、與靠近低濃度不純物延伸區域 ET2 側的通道濃度。

【0040】又，形成空乏型通道區域 CH1 與加強型通道區域 CH2 時，最好選定空乏型通道區域 CH1 在長度方向比加強型通道區域 CH2 長，例如閘極全長中空乏型通道區域 CH1：加強型通道區域 CH2 最好是 $X:1 (X>1)$ 。於是，選定空乏型通道區域 CH1 在長度方向比加強型通道區域 CH2 長的情況下，由於寫入動作時的浮閘電位更上升，通道區域中的源極電位下降減低，藉由更提高低濃度不純物延伸區域 ET2 中產生的電場，可以更提高注入的效率。

【0041】(3)資料的讀出動作

其次，非揮發性半導體記憶裝置 1 中，以下說明關於讀出資料之際的電壓施加。與第 1 圖的對應部分附上同一符號顯示的第 4 圖，在記憶單元 2a、2b、2c、2d 中，顯示讀出第 1 行的記憶單元 2a、2b 的資料之際各部位的電壓值。又，在此，讀出資料的記憶單元 2a、2b 稱作讀出記憶單元 6a，不讀出資料的記憶單元 2c、2d 稱作非讀出記憶單元 6b。又，此時，記憶單元 2a、2b、2c、2d 中，只對記憶單元 2b 寫入資料，對其他記憶單元 2b、2c、2d 未寫入資料。又，在此，浮閘 FG 內累積電荷的狀態(寫入資料時)例如為「0」，而浮閘 FG 內未累積電荷的狀態(未寫入資料時)例如為「1」。

【0042】此時，非揮發性半導體記憶裝置 1，對連接至讀出

記憶單元 6a 的位元線 BL1、BL2，施加例如 1.5[V]的讀出電壓預充電的同時，對連接至讀出記憶單元 6a 的字元線 WL1 施加 1.5[V]，使開關電晶體 SGA 成為導通狀態，根據這些位元線 BL1、BL2 的讀出電壓的變化，能夠判斷有無資料寫入。

【0043】例如，在浮閘 FG 累積電荷(寫入資料)的讀出記憶單元 6a(記憶單元 2b)中，記憶電晶體 MGA1 做斷開動作，位元線 BL2 中的讀出電壓維持在 1.5[V]。另一方面，浮閘 FG 中未累積電荷(未寫入資料)的另一讀出記憶單元 6a(記憶單元 2a)中，記憶電晶體 MGA 做導通動作，因此位元線 BL1 的讀出電壓變化，成為比 1.5[V]低的電壓值(例如 0 [V])。非揮發性半導體記憶裝置 1 檢出位元線 BL1、BL2 的讀出電壓的變化，以讀出電壓不變化的 1.5[V]的位元線 BL2 為[0]，以讀出電壓變化的另一位元線 BL1 為[1]，能夠確定讀出資訊。

【0044】(4)資料的消去動作

其次，此非揮發性半導體記憶裝置 1 中，說明關於消去記憶單元 2a、2b、2c、2d 的資料之際的電壓施加。非揮發性半導體記憶裝置 1 中的資料消去動作，例如可以使用起因於能帶間隧道電流之電洞注入的消去方法、使用成為浮閘 FG 的記憶電晶體 MGA1 的閘極電極 MG1 邊緣及源極汲極區域 SD1、SD2(第 3 圖)間之邊緣隧道放出的消去方法、使用利用通道層全面之 FN 隧道放出的消去方法等，以及如果從浮閘 FG 放出電子或對浮閘 FG 注入電洞(hole)的技術的話，使用種種的消去方法。

【0045】與第 1 圖對應的部分附上相同符號顯示的第 5

圖，顯示關於使用起因於其中能帶間隧道電流之電洞注入時各部位的電壓值，在此情況下，使用拭除電晶體 MGA2，對拭除線 EL 施加正電壓的消去電壓 7[V]，對源極線 SL 施加低電壓的 0[V]，還有開路(open)位元線 BL1、BL2。

【0046】於是，此非揮發性半導體記憶裝置 1 中，經由拭除線 EL 對記憶單元 2a、2b、2c、2d 的各拭除電晶體 MGA2 以墊總括施加消去電壓，例如在浮閘累積電荷的記憶單元 2b 中，從拭除電晶體 MGA2 的通道層對浮閘 FG 注入電洞，能夠以墊總括處理進行記憶單元 2a、2b、2c、2d 的資料消去。

【0047】又，此實施例的情況下，記憶電晶體 MGA1 的閘極電極 MG1、以及拭除電晶體 MGA2 的拭除閘極電極 MG2，雖然通常以多晶矽形成，本發明不限於此，例如記憶電晶體 MGA1 的閘極電極 MG1 中摻雜磷等的不純物，成為 N 型的閘極電極 MG1，另一方面，也可以對產生能帶間隧道的拭除電晶體 MGA2 的拭除閘極電極 MG2 摻雜硼等的不純物，成為 P 型的拭除閘極電極 MG2。

【0048】在此情況下，N 型的閘極電極 MG1 與 P 型的拭除閘極電極 MG2 中，因為功函數的差在 1[V] 以上，浮閘 FG 中 N 型的閘極電極 MG1 與 P 型的拭除閘極電極 MG2 之間可以產生約 1[V] 的電位下降，相較於只以 N 型的閘極電極構成浮閘的情況，拭除電晶體 MGA2 中提高能帶間隧道電流的發生效率，變得容易執行對浮閘 FG 注入電洞。

【0049】(5)動作及效果

以上的構成中，記憶單元 2a 內，具有包括浮閘 FG 的單

層閘極構造的記憶電晶體 MGA1、以及包括開關閘極電極 SG 的單層閘極構造的開關電晶體 SGA，記憶電晶體 MGA1 的一端連接源極線 SL，開關電晶體 SGA 的一端連接位元線 BL1，記憶電晶體 MGA1 的另一端與開關電晶體的另一端共有源極汲極區域 SD2，上述記憶電晶體 MGA1 與上述開關電晶體 SGA 串聯配置。又，記憶電晶體 MGA1 中，在一端的源極汲極區域 SD1 的側面形成延伸區域 ET1，在與開關電晶體 SGA 電氣連接的另一端側的源極汲極區域 SD2 的側面形成低濃度不純物延伸區域 ET2，此低濃度不純物延伸區域 ET2 的不純物濃度降得比延伸區域 ET1 低，而提高低濃度不純物延伸區域 ET2 的電阻值。

【0050】因此，選擇記憶單元 3a 中，寫入資料時，從源極線 SL 對記憶電晶體 MGA1 的一端施加 6[V]的寫入電壓，而且從位元線 BL1 對開關電晶體 SGA 的一端施加 0[V]成為導通狀態，因此在記憶電晶體 MGA1 中，與上述開關電晶體 SGA 鄰接側的低濃度不純物延伸區域 ET2 中產生 6[V]的電壓下降而產生強電場，由於此強電場電荷注入至浮閘 FG，根據所謂的源極側注入可以寫入資料。

【0051】特別在此實施例的情況下，記憶電晶體 MGA1 在延伸區域 ET1 及低濃度不純物延伸區域 ET2 間形成空乏型通道區域 CH1，寫入資料時，一端施加 6[V]的寫入電壓的話，成為浮閘 FG 的閘極電極 MG1、與空乏型通道區域 CH1 的電壓相乘漸漸上升，最終對於另一側的低濃度不純物延伸區域 ET2，可以施加與施加至源極線 SL 的寫入電壓相同的 6[V]，在低濃

度不純物延伸區域 ET2 可以產生源極側注入必需的高電壓下降。

【0052】於是，記憶單元 2a 中，只有低濃度不純物延伸區域 ET2 產生高電壓下降，可以抑制鄰接記憶電晶體 MGA1 的開關電晶體 SGA 至低電壓，如此一來，開關電晶體 SGA 的閘極氧化膜 G3 能夠減薄至膜厚 3~4[nm]左右，可以維持使用閘極氧化膜薄的一般的標準 MOS 構成。

【0053】又，此非揮發性半導體記憶裝置 1 中，寫入資料時，因為分別對位元線 BL1、BL2 及字元線 WL1、WL2 施加的電壓可以抑制在 1.5[V]以下，可以以低電壓為前提的標準 MOS(1.5-MOS)設計控制這些這些位元線 BL1、BL2 及字元線 WL1、WL2 的行選擇電路(未圖示)，還有開關電晶體 SGA 的閘極氧化膜 G3 也可以減薄的部分，促進高速動作，能夠縮小電路面積。

【0054】根據以上的構成，記憶單元 2a 中，記憶電晶體 MGA1 以及開關電晶體 SGA 全部為單層閘極構造的同時，資料寫入時，也從源極線 SL 對記憶電晶體 MGA1 的一端施加高電壓，而且從位元線 BL1 對開關電晶體 SGA 的一端施加低電壓成為導通狀態，因此在源極線 SL 及位元線 BL1 間的記憶電晶體 MGA1 的低濃度不純物延伸區域 ET2 中使電壓下降而產生強電場，利用此強電場由源極側注入能夠注入電荷至浮閘 FG。

【0055】(6)其他的實施例

又，上述的實施例中，雖然說明關於記憶電晶體 MGA1

的通道層中形成空乏型通道區域 CH1，由於浮閘 FG 及空乏型通道區域 CH1 間的相乘效果，使通道層的電壓逐漸上升的情況，但本發明不限於此，如同與第 1 圖對應的部分附以同一符號顯示的第 6 圖，設置浮閘 FG 延伸的耦合電容器 MGA3，由於耦合電容器 MGA3 為高電位，使浮閘 FG 的電位上升，因此使記憶電晶體 MGA1 的通道層導通也可以。在此情況下，記憶電晶體 MGA1 的通道層中不形成第 3 圖所示的空乏型通道區域 CH1，即使只有加強型的通道區域 CH4(第 8 圖中後述)，也由於來自耦合電容器 MGA3 的高電位，記憶電晶體 MGA1 的通道區域 CH4 能夠在導通狀態。

【0056】實際上，具有如此構成的非揮發性半導體記憶裝置 11，如第 6 圖所示，耦合閘極線 CG 連接至各記憶單元 12a、12b、12c、12d 的耦合電容器 MGA3 的一端，由上述耦合閘極線 CG 對各耦合電容器 MGA3 能夠一律施加既定的電壓。在此，與第 2 圖對應的部分附以同一符號顯示的第 7 圖，係顯示實現第 6 圖所示的記憶單元 12a 的電路構成之配置的一範例概略圖。在此情況下，記憶單元 12a 中，形成 N 型的第 3 活性區域 ER3，耦合電容器 MGA3 的耦合閘極電極 MG3 在第 3 活性區域 ER3 中形成的同時，上述耦合閘極電極 MG3 連接至拭除電晶體 MGA2 的拭除閘極電極 MG2，由閘極電極 MG1、拭除閘極電極 MG2、以及耦合閘極電極 MG3 形成浮閘 FG。

【0057】與第 3 圖對應的部分附以同一符號顯示的第 8 圖，係顯示第 7 圖的 A-A'部分(第 8 圖中，右側)以及 C-C'部分(第 8 圖中，左側)的側剖面構成之剖面圖。但是，此第 8 圖，

未符合第 7 圖的各部位的面積標記各部位(例如，雖然耦合電容器 MGA3 比閘極電極 MG1 大，但第 8 圖中標記得較小)，原則上概略顯示各部位的側剖面構成。

【0058】如第 8 圖所示，在此情況下，記憶電晶體 MGA1 中，與上述實施例不同，延伸區域 ET1 及低濃度不純物延伸區域 ET2 間，不形成空乏型通道區域 CH1(第 3 圖)，通道層全部只以加強型的通道區域 CH4 形成。又，耦合電容器 MGA3，例如在 N 型的第 3 活性區域 ER3 中空出間隔形成 P 型的源極汲極區域 SD7、SD8，耦合閘極線 CG 連接至一端的源極汲極區域 SD7。又，此耦合閘極線 CG，也連接至以元件分離層 15 介於其間形成的鄰接的其他耦合電容器(未圖示)的源極汲極區域 SD6。附帶一提，SD6 係 N 型，對井區的供電區域。

【0059】又，耦合電容器 MGA3，在源極汲極區域 SD7、SD8 間的第 3 活性區域 ER3 上面，形成與一端的源極汲極區域 SD7 的側面相接的延伸區域 ET8、以及與另一端的源極汲極區域 SD8 的側面相接的延伸區域 ET9。又，耦合電容器 MGA3 中，P 型的延伸區域 ET8、ET9 間的通道層上以閘極氧化膜 G4 介於其間形成構成浮閘 FG 的耦合電容器 MGA3，並在延伸區域 ET8、ET9 的上面，形成側壁 SW 覆蓋耦合電容器 MGA3 的兩側面。

【0060】其次，以下說明關於此非揮發性半導體記憶裝置 11 中資料的寫入動作。第 6 圖，顯示複數的記憶單元 12a、12b、12c、12d 中，只寫入資料至第 1 行 1 列的記憶單元 12a 之際各部位的電壓值。實際上，此非揮發性半導體記憶裝置 11，在資

料寫入時，由耦合閘極線 CG 對各記憶單元 12a、12b、12c、12d 的耦合電容器 MGA3 一律施加 8[V]的寫入電壓，拭除線 EL 為斷開。

【0061】因此，如第 8 圖所示，寫入資料的選擇記憶單元 13a，對耦合閘極線 CG 施加 8[V]的寫入電壓的話，根據耦合電容器 MGA3 及浮閘 FG 間產生的電容耦合，浮閘 FG 的電位只上升電容比部分，因此連接源極線 SL 的記憶電晶體 MGA1 成為導通狀態，源極線 SL 的電位傳導至記憶電晶體 MGA1 的通道區域 CH4。結果，從位元線 BL1 施加 0[V]的開關電晶體 SGA 所鄰接的記憶電晶體 MGA1 中，與上述實施例相同，低濃度不純物延伸區域 ET2 中產生源極側注入必需的強電場，由此強電場使電荷注入浮閘 FG，能夠執行資料的寫入。

【0062】又，耦合電容器 MGA3 的耦合閘極電極 MG3，如第 7 圖所示，由於形成比記憶電晶體 MGA1 的閘極電極 MG1 或拭除電晶體 MGA2 的拭除閘極電極 MG2 大的面積，可以提高電容比。因此記憶單元 12a 中，即使降低耦合閘極線 CG 的電位，記憶電晶體 MGA1 中與低濃度不純物延伸區域 ET2 相接的通道區域 CH4 端部的電位也變得可以提高至與源極線 SL 的電位相同程度。

【0063】以上的構成中，此記憶電晶體 MGA1 中，也在寫入資料時，從源極線 SL 對一端施加 6[V]的寫入電壓，而且從位元線 BL1 對開關電晶體 SGA 的一端施加 0[V]成為導通狀態，還有從耦合閘極線 CG 對耦合電容器 MGA3 施加 8[V]的寫入電壓，藉此源極線 SL 及位元線 BL1 間的記憶電晶體 MGA1

的低濃度不純物延伸區域 ET2 中產生 6[V]的電壓下降而產生強電場，利用此強電場以源極側注入電荷至浮閘 FG，可以寫入資料。

【0064】 (7)關於具有 SRAM 單元的非揮發性半導體記憶裝置

其次，以下說明關於組合 SRAM(靜態隨機存取記憶體)單元與記憶單元的非揮發性半導體記憶裝置。與第 1 圖對應的部分附以同一符號顯示的第 9 圖，係顯示根據本發明的非揮發性半導體記憶裝置 31，具有 SRAM 單元 32 連接至記憶單元 2a、2b 構成的非揮發記憶部 33 的特徵點。在此情況下，非揮發記憶部 33，由記憶單元 2a 及記憶單元 2b 構成 2 單元/1 位元的互補型單元。

【0065】 在此，SRAM 單元 32，包括 N 型 MOS 構成的存取電晶體 35a、35b、P 型 MOS 構成的載入電晶體 36a、36b、以及 N 型 MOS 構成的驅動電晶體 37a、37b，以合計 6 個 MOS 電晶體構成。載入電晶體 36a(36b) 的汲極連接至驅動電晶體 37a(37b)的汲極，源極連接至電源線 V_{pp} ，還有閘極連接至驅動電晶體 37a(37b)的閘極。又，驅動電晶體 37a(37b)的源極連接至接地線 GND。

【0066】 存取電晶體 35a 的汲極連接至互補型第 1 位元線 BLT，源極連接至載入電晶體 36a 及驅動電晶體 37a 間的儲存節點 Ca、與載入電晶體 36b 及驅動電晶體 37b 的閘極。另一方面，另一存取電晶體 35b 也同樣地汲極連接至互補型第 2 位元線 BLB，源極連接至載入電晶體 36b 及驅動電晶體 37b 間的

儲存節點 Cb、與載入電晶體 36a 及驅動電晶體 37a 的閘極。又，這些存取電晶體 35a、35b 的閘極連接至共同的字元線 WL，在互補型第 1 位元線 BLT 及互補型第 2 位元線 BLB 間連接未圖示的鎖存型的感應放大器。

【0067】除了相關的構成，SRAM 單元 32 中，一方的記憶單元 2a 的位元線 BL1 連接至一方的儲存節點 Ca 的同時，另一方的記憶單元 2b 的位元線 BL2 連接至另一方的儲存節點 Cb。又，在此非揮發記憶部 33，雖然具有與上述實施例中說明的第 1 圖所示的記憶單元 2a、2b 大致相同的構成，但在此每個開關電晶體 SGA、SGA_b 分別設置個別的開關閘極線 RG1、RG2，構成能夠分別通斷控制各開關電晶體 SGA、SGA_b。

【0068】非揮發性半導體記憶裝置 31 中，因為 SRAM 單元 32 與非揮發記憶部 33 間可以以開關電晶體 SGA、SGA_b 切斷，從外部對 SRAM 單元 32 的寫入動作時或讀出動作以開關電晶體 SGA、SGA_b 切斷非揮發記憶部 33，也可以用作一般的 SRAM 單元 32。又，此 SRAM 單元 32 只可以在 Vdd 動作，因為可以使用通常的標準 MOS 構築，可以高速動作。

【0069】具有如此構成的非揮發性半導體記憶裝置 31，以 SRAM 單元 32 執行來自外部的資料寫入或讀出。對非揮發記憶部 33 寫入資料時，因為寫入記憶單元 2a、2b 的資料收納在與上述寫入記憶單元 2a、2b 直接連接的 SRAM 單元 32，收納資料處不必以位址等選擇，又，因為非揮發記憶部 33 中執行的源極側注入消耗電力，寫入電位控制可以以墊總括執行。附帶一提，非揮發性半導體記憶裝置 31 中更降低消耗電力的情

況下，改變對開關閘極線 RG1、RG2 施加的電壓，藉由導通開關電晶體 SGA、SGA_b 任一方，可以降低消耗電力。又，非揮發性半導體記憶裝置 31 行列狀配置的記憶裝置中，只有選擇的行，必須根據開關閘極線 RG1 及開關閘極線 RG2、或是對開關閘極線 RG1 或開關閘極線 RG2 施加的電壓改變，減少成為導通狀態的導通開關電晶體 SGA、SGA_b 的數量，可以降低寫入時的消耗電力。

【0070】在此，第 10 圖，在非揮發性半導體記憶裝置 31 中，分別顯示從 SRAM 單元 32 取入資料到非揮發記憶部 33 的編程時(第 10 圖中，標記為「編程」)、非揮發記憶部 33 中的資料消去時(第 10 圖中，標示為「消去」)、再度從非揮發記憶部 33 取入資料到 SRAM 單元 32 的資料載入時(第 10 圖中，標記為「資料載入」)、對 SRAM 單元 32 寫入資料時(第 10 圖中，標記為「寫入」)、從 SRAM 單元 32 讀出資料時(第 10 圖中，標記為「讀出」)、記憶單元 2a 或記憶單元 2b 的 V_{th} 監視時(第 10 圖中，標記為「V_{th} 監視載入」)各部位的電壓值。又，第 10 圖中，可以設定為任意電壓值的部位中標示為「Don't care」。

【0071】附帶一提，記憶單元 2a 以及記憶單元 2b 中，由於以 2 單元/1 位元的互補型單元構成，使各開關電晶體 SGA、SGA_b 雙方都做導通動作時，根據互補側的單元的狀態，因為互補側的位元線的電位變化，根據未圖示的鎖存電路，例如更早電壓下降側的位元線 BL1 為「1」，結果另一方的位元線 BL2 側強制為「0」，具有不能執行正常監視記憶電晶體 MGA1、

MGA1_b 的 V_{th} 的問題。

【0072】於是，本發明中，如第 9 圖所示，構成互補型的記憶單元 2a、2b 中，每個開關電晶體 SGA、SGA_b 設置開關閘極線 RG1、RG2，使各開關電晶體 SGA、SGA_b 個別做通斷動作，構成能夠個別監視記憶單元 2a 及記憶單元 2b 的各記憶電晶體 MGA1、MGA1_b 的 V_{th} 。

【0073】(7-1)對 SRAM 單元寫入資料

在此情況下，對 SRAM 單元 32 寫入資料係對字元線 WL 施加 Vdd 的既定電壓，使連接至字元線 WL 的存取電晶體 35a、35b 雙方都做導通動作。又，此時，對電源線 Vpp 也能夠施加 Vdd 的既定電壓。SRAM 單元 32，例如對一方的互補型第 1 位元線 BLT 施加 Vdd 作為寫入電壓時，對另一方的互補型第 2 位元線 BLB 能夠施加 0[V]作為寫入禁止電壓。

【0074】因此，一方的載入電晶體 36a 及驅動電晶體 37a 中，經由另一方的存取電晶體 35b，互補型第 2 位元線 BLB 與閘極電氣連接，藉此對閘極施加 0[V]，結果，載入電晶體 36a 做導通動作的同時，驅動電晶體 37a 做斷開動作。如此一來，這些載入電晶體 36a 及驅動電晶體 37a 之間的儲存節點 Ca，經由載入電晶體 36a，與電源線 Vpp 電氣連接，電壓成為 High(高)(「1」)。

【0075】此時，另一方的載入電晶體 36b 及驅動電晶體 37b 中，經由一方的存取電晶體 35a，互補型第 1 位元線 BLT 與閘極電氣連接，藉此對閘極施加 Vdd，結果，載入電晶體 36b 做斷開動作的同時，驅動電晶體 37b 做導通動作。如此一來，這

些載入電晶體 36b 及驅動電晶體 37b 之間的儲存節點 Cb，經由驅動電晶體 37a，與接地線 GND 電氣連接，電壓成為 Low(低) (「0」)。根據上述，SRAM 單元 32 成為寫入資料的狀態。

【0076】 (7-2)從 SRAM 單元讀出資料

讀出 SRAM 單元 32 的資料之際，對字元線 WL 施加 Vdd 的既定電壓，連接至字元線 WL 的存取電晶體 35a、35b 雙方都做導通動作。因此非揮發性半導體記憶裝置 31 中，經由互補型第 1 位元線 BLT，讀出一方的儲存節點 Ca 的電位的同時，經由互補型第 2 位元線 BLB 讀出另一方的儲存節點 Cb 的電位，藉此以感應放大器能夠判定儲存節點 Ca、Cb 內記錄的資料為「0」「1」。

【0077】 (7-3)對非揮發記憶部的編程

本發明中，上述 SRAM 單元 32 內記錄的資料，根據上述「(2)資料的讀出動作」的原理，可以以墊總括處理取入至非揮發記憶部 33。又，在此的說明中，假設 SRAM 單元 32 中一方的儲存節點 Ca 的電位在高的 High 狀態，另一方的儲存節點 Cb 的電位在低的 Low 狀態。

【0078】在此情況下，非揮發記憶部 33 中，對拭除線 EL 施加 0[V]，對源極線 SL 施加 6[V]，還有對開關閘極線 RG1、RG2 分別施加 Vdd，各開關電晶體 SGA、SGAb 成為導通狀態。非揮發記憶部 33，因為寫入資料的一方的儲存節點 Ca 經由一方的位元線 BL1 電氣連接記憶單元 2a 的開關電晶體 SGA，開關電晶體 SGA 的一端與儲存節點 Ca 成為相同的 High 的電位。因此，記憶電晶體 MGA1 中，因為開關電晶體 SGA 側與源極

線 SL 側之間的電位差變小，不產生強電場，不能對浮閘 FG 注入電荷。

【0079】另一方面，此非揮發記憶部 33，因為經由另一方的位元線 BL2，另一方的記憶單元 2b 的開關電晶體 SGA_b 電氣連接至未寫入資料的另一方的儲存節點 Cb，開關電晶體 SGA_b 的一端成為與儲存節點 Cb 相同的 Low 的電位。因此，記憶電晶體 $MGA1_b$ 中，因為開關電晶體 SGA_b 側與源極線 SL 側之間的電位差變大，產生強電場，能夠注入電荷至浮閘 FG。

【0080】於是，非揮發性半導體記憶裝置 31 中，SRAM 單元 32 內記錄的資料，可以以墊總括處理取入至非揮發記憶部 33，如此一來，可簡化周邊電路的控制。

【0081】(7-4)從非揮發部載入資料

又，本發明中，如上述，非揮發記憶部 33 內暫時取入的資料，根據上述「(3)資料的讀出動作」的原理，可以以墊總括處理再次寫入 SRAM 單元 32。在此，非揮發記憶部 33 中記憶單元 2b 的浮閘 FG 內累積電荷成為寫入資料的狀態，記憶單元 2a 的浮閘 FG 內不累積電荷成為不寫入資料的狀態。又，此時，儲存節點 Ca、Cb 內為不寫入資料。

【0082】在此情況下，SRAM 單元 32 中，對字元線 WL 施加 0[V]，存取電晶體 35a、35b 成為斷開狀態。又，非揮發記憶部 33 中，對拭除線 EL 施加 0[V]，對源極線 SL 施加 3[V]，還有對開關閘極線 RG1、RG2 分別施加 Vdd，各開關電晶體 SGA 、 SGA_b 成為導通狀態。

【0083】因此，非揮發記憶部 33，在記憶電晶體 $MGA1$ 及

位元線 BL1 間電氣連接，隨著浮閘 FG 的高電位(不累積電子的狀態)，SRAM 單元 32 的一方的儲存節點 Ca 為高電位，能夠復原至寫入資料的狀態(「1」)。

【0084】又，非揮發記憶部 33，也電氣連接記憶電晶體 MGA1_b 及位元線 BL2 間，隨著浮閘 FG 的低電位(累積電子的狀態) SRAM 單元 32 的另一方的儲存節點 Cb 為低電位，能夠復原至不寫入資料的狀態(「0」)。又，此非揮發記憶部 33 中，因為對 SRAM 單元 32 的資料載入可以以墊總括處理執行，可以使周邊電路的控制簡化。

【0085】(7-5)非揮發記憶部中的資料消去

又，本發明中，根據上述的「(4)資料的消去動作」原理，可以使非揮發記憶部 33 中資料消去。此時，非揮發記憶部 33 中，對拭除線 EL 施加 7[V]的拭除電壓，對源極線 SL、開關閘極線 RG1、RG2 能夠施加 0[V]。非揮發記憶部 33，藉由只對連接至拭除線 EL 的拭除電晶體 MGA2、MGA2_b 的閘極電極加強電場，由拭除電晶體 MGA2、MGA2_b 的通道層抽出各浮閘 FG 中的電荷，以墊總括處理能夠執行非揮發記憶部 33 的資料消去。

【0086】(7-6)非揮發記憶部中只設置 1 個記憶單元的情況

附帶一提，上述的實施例中，雖然說明關於互補型的非揮發性半導體記憶裝置 31 中設置 2 個記憶單元 2a、2b 作為 2 單元/1 位元的互補型單元的情況，但本發明不限於此，互補型的非揮發性半導體記憶裝置中，也可以例如只設置 1 個記憶單元 2a。以下，第 9 圖中，說明不設置其他的記憶單元 2b，只

設置 1 個記憶單元 2a。

【0087】例如，SRAM 單元 32 中一方的儲存節點 Ca 在電位高的 High 狀態，另一方的儲存節點 Cb 在電位低的 Low 狀態的情況下，對非揮發記憶部 33 的編程執行如下。只設置 1 個記憶單元 2a 的非揮發記憶部 33 中，對拭除線 EL 施加 0「V」，對源極線 SL 施加 6「V」，還有對開關閘極線 RG1 施加 Vdd，開關電晶體 SGA 成為導通狀態。

【0088】非揮發記憶部 33，因為經由一方的位元線 BL1，記憶單元 2a 的開關電晶體 SGA 電氣連接至寫入資料的一方的儲存節點 Ca，開關電晶體 SGA 的一端成為與儲存節點 Ca 相同的 High 的電位。因此，記憶電晶體中，因為開關電晶體 SGA 側與源極線 SL 側之間的電位差變小，不產生強電場，不能注入電荷至浮閘 FG。因此，非揮發記憶部 33 中，只取入 SRAM 單元 32 內記錄的資料至 1 個記憶單元 2a。

【0089】其次，以下說明如此從取入資料的非揮發記憶部 33 到 SRAM 單元 32 的資料載入。此時，記憶單元 2a 中，浮閘 FG 內不累積電荷成為未寫入資料的狀態，又，儲存節點 Ca、Cb 內未寫入資料。

【0090】在此情況下，SRAM 單元 32 中，對字元線 WL 施加 0[V]，存取電晶體 35a、35b 成為斷開狀態。又，非揮發記憶部 33 中，對拭除線 EL 施加 0[V]，對源極線 SL 施加 3[V]，還有對開關閘極線 RG1 施加 Vdd，開關電晶體 SGA 成為導通狀態。

【0091】因此，記憶單元 2a，在記憶電晶體 MGA1 及位元

線 BL1 間電氣連接，隨著浮閘 FG 的高電位(不累積電子的狀態)，SRAM 單元 32 的一方的儲存節點 Ca 為高電位，能夠復原至寫入資料的狀態(「1」)。又，此時，SRAM 單元 32 中，因為儲存節點 Ca 係高電位，連接至此儲存節點 Ca 的載入電晶體 36a 成為斷開狀態，另一方面，由於驅動電晶體 37b 成為導通狀態，儲存節點 Ca 與接地線 GND 連接成為低電位，能夠復原儲存節點 Cb 至不寫入資料的狀態(「0」)。

【0092】於是，互補型的非揮發性半導體記憶裝置中，關於 SRAM 單元 32 的一方的儲存節點 Ca，資料的寫入狀態定下來的話，關於另一方的節點 Cb，因為資料寫入狀態也定下來，只有設置在非揮發記憶部 33 的 1 個記憶單元 2a，可以執行對 SRAM 單元 32 的資料下載，如此一來，不設置另一方的記憶單元 2b 的部分，可以使電路構成更簡化。

【0093】又，本發明不限定於本實施例，本發明的要點範圍內可以是各種的變形實施。例如，根據第 8 圖所示的其他實施例的記憶單元中，記憶電晶體 MGA1 的通道層內，也可以形成如第 3 圖所示的空乏型通道區域 CH1、與加強型通道區域 CH2。

【0094】又，第 9 圖所示的非揮發性半導體記憶裝置 31 中，雖然說明關於應用第 1 圖所示的記憶單元 2a、2b 的非揮發記憶部 33 之情況，但本發明不限於此，也可以設置非揮發記憶部，應用設置第 6 圖所示的耦合電容器 MGA3 的記憶單元 12a、12b。

【0095】又，第 1、3~6、8~10 圖中，雖然在資料寫入時、

資料消去時、資料讀出時等分別明確記載各電壓值，但本發明不限於此，也可以應用各種的電壓值。例如，上述的實施例中，爲了通斷控制開關電晶體 SGA，記述關於施加 1.5[V]的電壓至位元線 BL1、BL2 及字元線 WL1、WL2 之情況，但本發明不限於此，因爲只要可以通斷控制開關電晶體 SGA 即可，即使對位元線 BL1、BL2 及字元線 WL1、WL2 施加 1.2[V]，在此情況下，也可以使用 1.2[V]用的標準 MOS(1.2-MOS)作爲開關電晶體 SGA。

【0096】又，上述的實施例中，雖然記述在 P 型的第 2 活性區域中形成拭除電晶體 MGA2，並在 P 型的第 1 活性區域中形成記憶電晶體 MGA1 及開關電晶體 SGA 之情況，但本發明不限於此，也可以在 N 型的第 2 活性區域中形成拭除電晶體 MGA2，並在 N 型的第 1 活性區域中形成記憶電晶體 MGA1 及開關電晶體 SGA，又，也可以在 P 型的第 3 活性區域中形成第 7 圖所示的耦合電容器 MGA3。

【0097】又，上述的實施例中，雖然記述關於記憶單元 2a 具有拭除電晶體 MGA2，並可以消去記憶單元 2a 的資料的構成之情況，但本發明不限於此，例如記憶單元 2a 內不設置拭除電晶體 MGA2，只以開關電晶體 SGA 及記憶電晶體 MGA1 構成的記憶單元也可以。包括如此的記憶單元的非揮發性半導體記憶裝置，對於記憶電晶體 MGA1 能夠成爲可以只寫入一次的非揮發性元件。

【0098】(8)不設置低濃度不純物延伸區域而具有高電阻區域的記憶單元

上述實施例中，雖然記述浮閘 FG 的下部區域、與連氣連接至開關電晶體 SGA 的另一端側的源極汲極區域 SD2 之間設置低濃度不純物延伸區域 ET2 作為高電阻區域之情況，但本發明不限於此，記憶單元中可以做資料的讀出動作的話，如同與第 3 圖對應的部分附上同一符號的第 11 圖，在記憶單元 42a 中，浮閘 FG 的下部區域、與另一端側的源極汲極區域 SD2 之間不設置低濃度不純物延伸區域 ET2，維持形成加強型通道區域 CH2 到源極汲極區域 SD2 為止，並在浮閘 FG 的下部區域、與另一端側的源極汲極區域 SD2 之間的通道區域 CH2 的一部分作為高電阻區域 WA 也可以。

【0099】具有如此的構成的記憶單元 42a，也與上述實施例相同，寫入資料時，從源極線 SL 對記憶電晶體 MGA1 的一端施加 6[V]的寫入電壓，而且從位元線 BL1 對開關電晶體 SGA 的一端施加 0[V]成為導通狀態，藉此，在記憶電晶體 MGA1 中，鄰接上述開關電晶體 SGA 側的高電阻區域 WA 中產生 6[V]的電壓下降，發生強電場，由於此強電場電荷注入至浮閘 FG，根據所謂的源極側注入可以寫入資料。

【0100】又，設置延伸至側壁 SW 的下部區域為止的通道區域 CH2 的情況下，上述通道區域 CH2 的不純物濃度最好在 $1\text{E}18/\text{cm}^3$ 以下。

【0101】附帶一提，關於如此不設置低濃度不純物延伸區域 ET2 而形成通道區域至源極汲極區域 SD2 為止，且在側壁 SW 的下部區域之通道區域為高電阻區域 WA 的構成，也可以應用在第 8 圖所示的記憶電晶體 MGA1 中，此時，能夠成為通

道區域 CH4 維持延伸至源極汲極區域 SD2 為止的構成。

【0102】又，其他的記憶電晶體 MGA1，除了如上述從浮閘 FG 的下部區域至源極汲極區域 SD2 為止形成通道區域 CH2 的構成之外，與如此的另一端側相同，不設置一端側的延伸區域 ET1，維持形成空乏型通道區域 CH1 至源極汲極區域 SD1 為止的構成也可以。

【0103】又，假設通道區域 CH2 不是加強型而是空乏型的通道區域，維持形成此空乏型的通道區域至源極汲極區域 SD2 為止，浮閘 FG 的下部區域、與另一端側的源極汲極區域 SD2 之間的空乏型通道型區域的一部分假設為高電阻區域 WA 也可以。

【0104】此時，高電阻區域 WA 的電阻值，在形成一端側的延伸區域 ET1 的情況下，能夠形成得比上述延伸區域 ET1 的電阻值高。又，不設置一端側的延伸區域 ET1，而從浮閘 FG 的下部區域開始維持形成至源極汲極區域 SD1 為止的情況下，也能夠形成浮閘 FG 的下部區域及源極汲極區域 SD2 之間的空乏型通道型區域的電阻值比一端側的空乏型通道區域 CH1 的電阻值高。

【符號說明】

【0105】

1、11、31～非揮發性半導體記憶裝置；

2a、2b、2c、2d～記憶單元；

3a～選擇記憶單元；

12a、12b、12c、12d～記憶單元；

13a～選擇記憶單元；
15～元件分離層；
32～SRAM單元；
33～非揮發記憶部；
35a、35b～存取電晶體；
36a、36b～P型MOS構成的載入電晶體；
37a、37b～N型MOS構成的驅動電晶體；
42a～記憶單元；
BL1、BL2～位元線；
BLB～互補型第2位元線；
BLT～互補型第1位元線；
Ca～儲存節點；
Cb～儲存節點；
CH1～空乏型通道區域；
CH2～通道區域；
CH3～通道區域；
CH4～加強型通道區域；
EL～拭除線；
ER1～第1活性區域；
ER2～第2活性區域；
ER3～第3活性區域；
ET1、ET3、ET4、ET5、ET6～延伸區域；
ET2～低濃度不純物延伸區域(高電阻區域)；
ET8、ET9～延伸區域；

FG～浮閘；

G1、G2、G3、G4～閘極氧化膜；

GND～接地線；

MG1～閘極電極；

MG2～拭除閘極電極；

MG3～耦合閘極電極；

MGA1、MGA1_b～記憶電晶體；

MGA2、MGA2_b～拭除電晶體；

MGA3～耦合電容器；

RG1、RG2～開關閘極線；

SD1、SD2、SD3、SD4、SD5、SD6、SD7、SD8～源極汲

極區域；

SG～開關閘極電極；

SGA、SGA_b～開關電晶體；

SL～源極線；

SW～側壁；

V_{pp}～電源線；

WA～高電阻區域；

WL～字元線；以及

WL1、WL2～字元線。

發明摘要

公告本

※ 申請案號：102139904

※ 申請日：

102. 11. 4

※IPC 分類：

H01L27/0247 (2006.01)

H01L27/115 (2006.01)

【發明名稱】（中文/英文）

非揮發性半導體記憶裝置

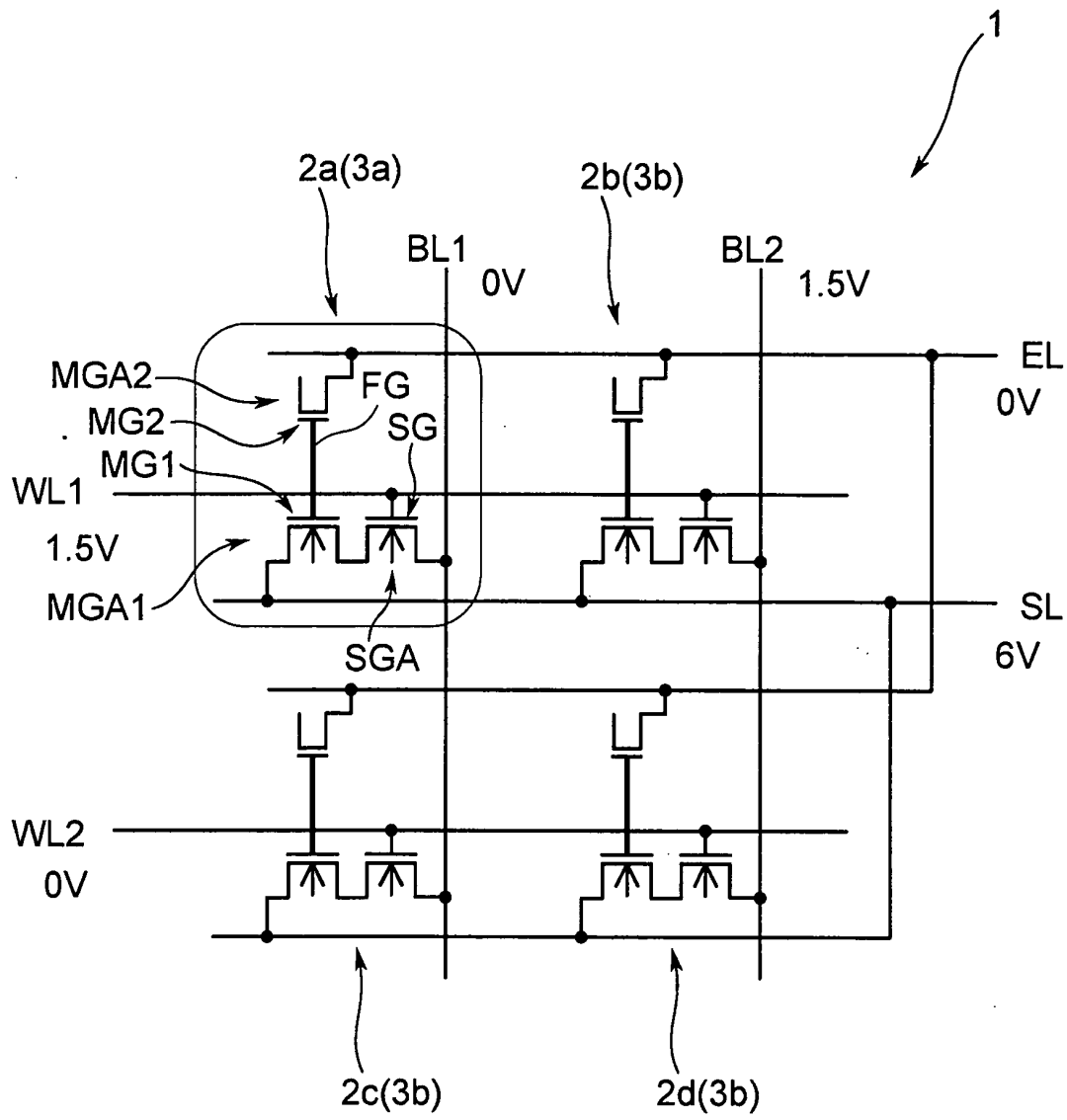
【中文】

提出一非揮發性半導體記憶裝置，即使單層閘極構造也能夠由源極側注入注入電荷至浮閘。非揮發性半導體記憶裝置(1)中，雖然記憶電晶體(MGA1)以及開關電晶體(SGA)全部為單層閘極構造，但資料寫入時，選擇記憶單元(3a)中，從源極線(SL)對記憶電晶體(MGA1)的一端施加高電壓，而且從位元線(BL1)對開關電晶體(SGA)的一端施加低電壓成為導通狀態，因此在源極線(SL)及位元線(BL1)間的記憶電晶體(MGA1)的低濃度不純物延伸區域(ET2)中使電壓下降並產生強電場，利用此強電場由源極側注入能夠注入電荷至浮閘(FG)。

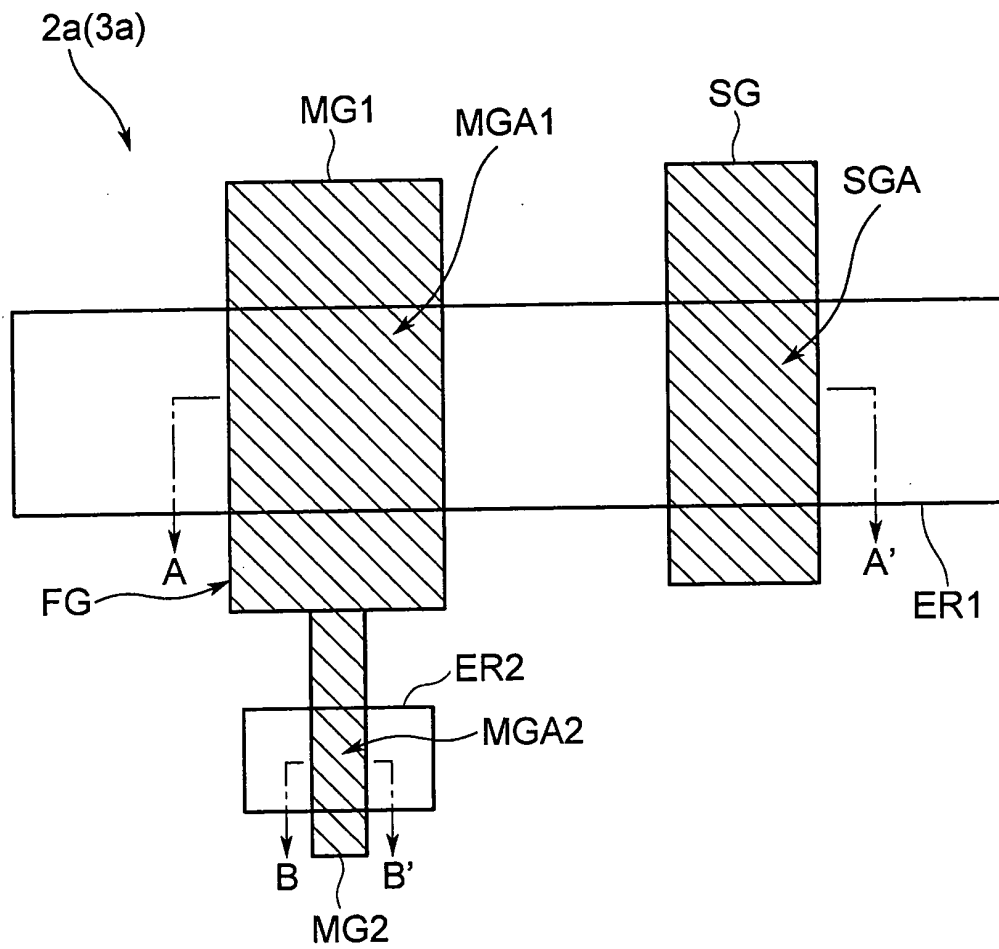
【英文】

無。

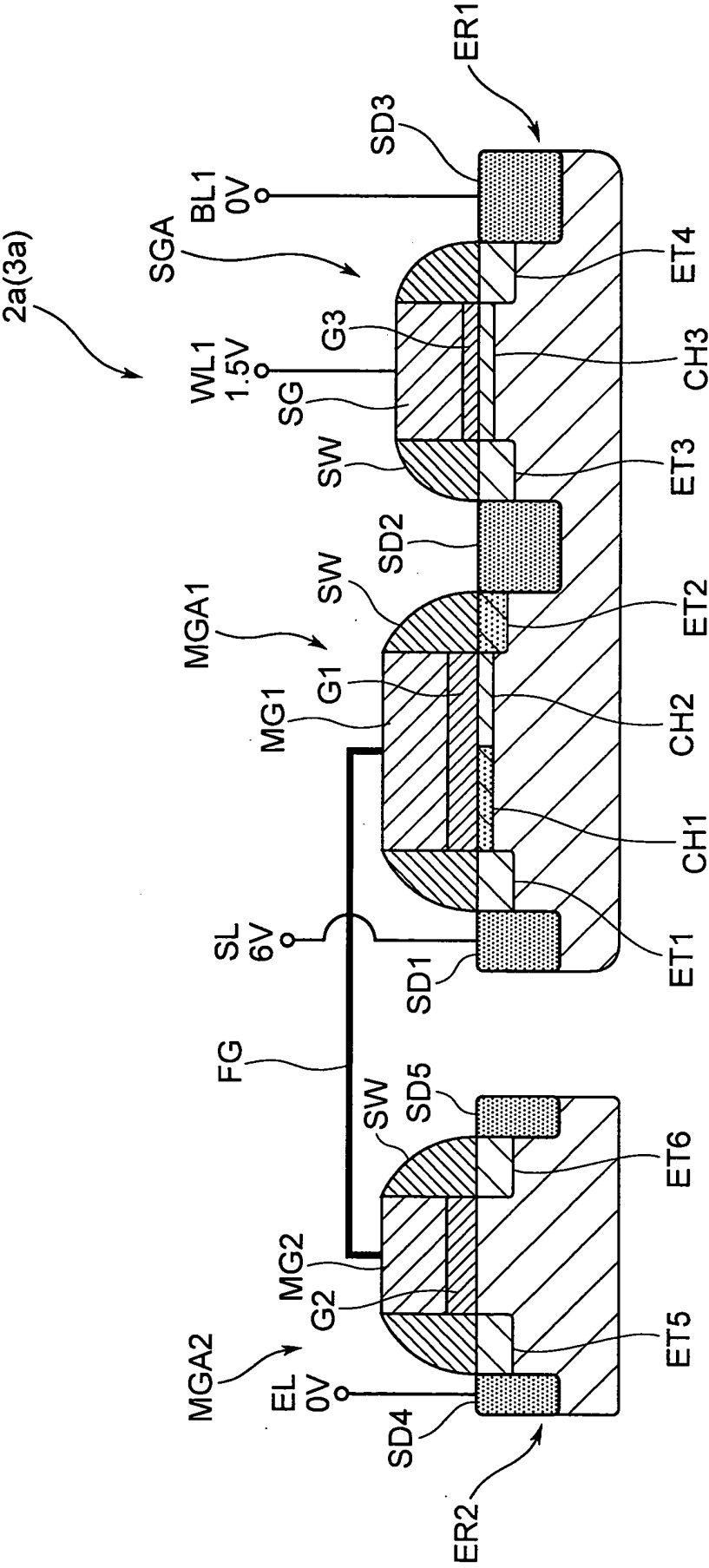
圖式



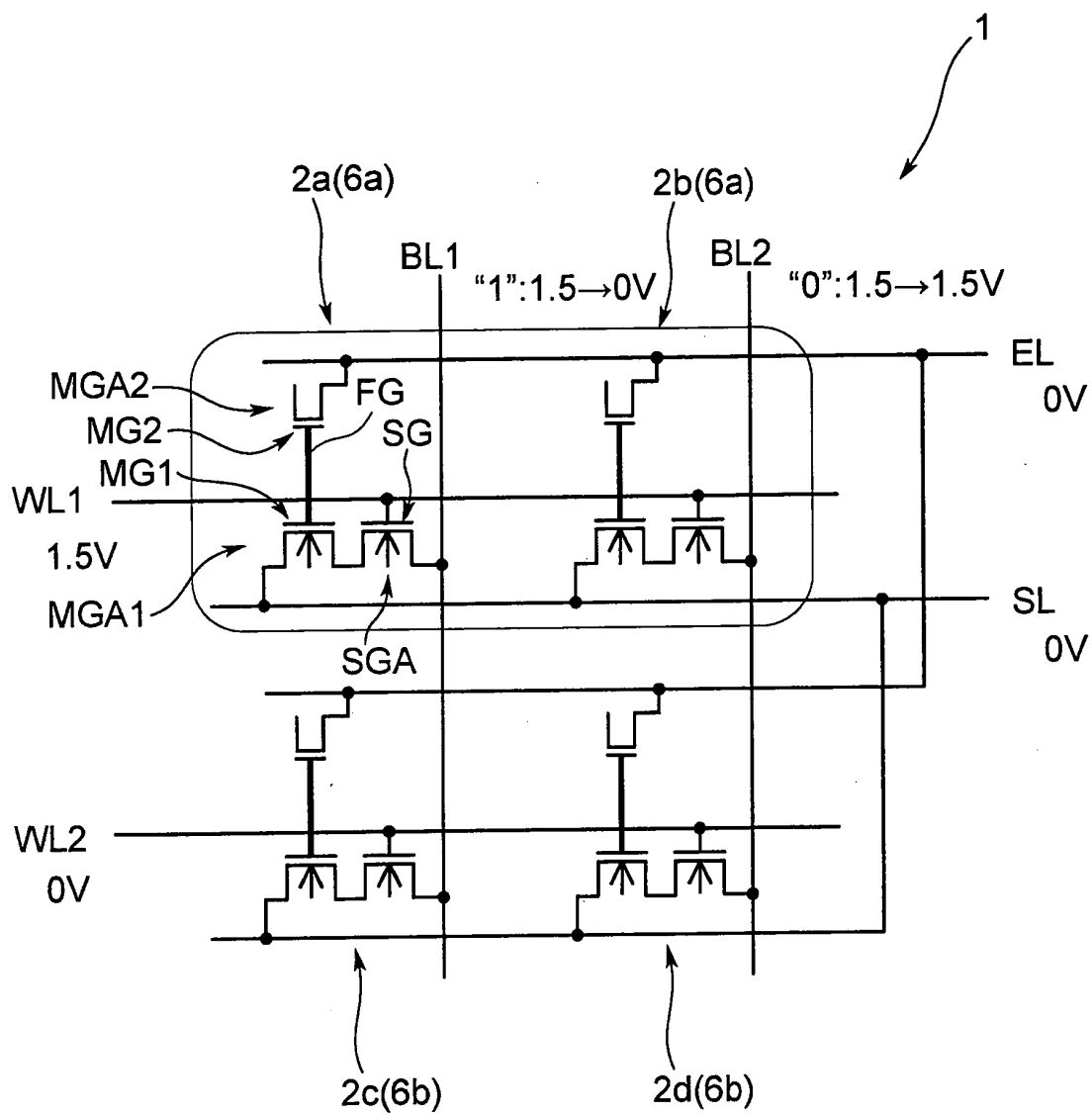
第1圖



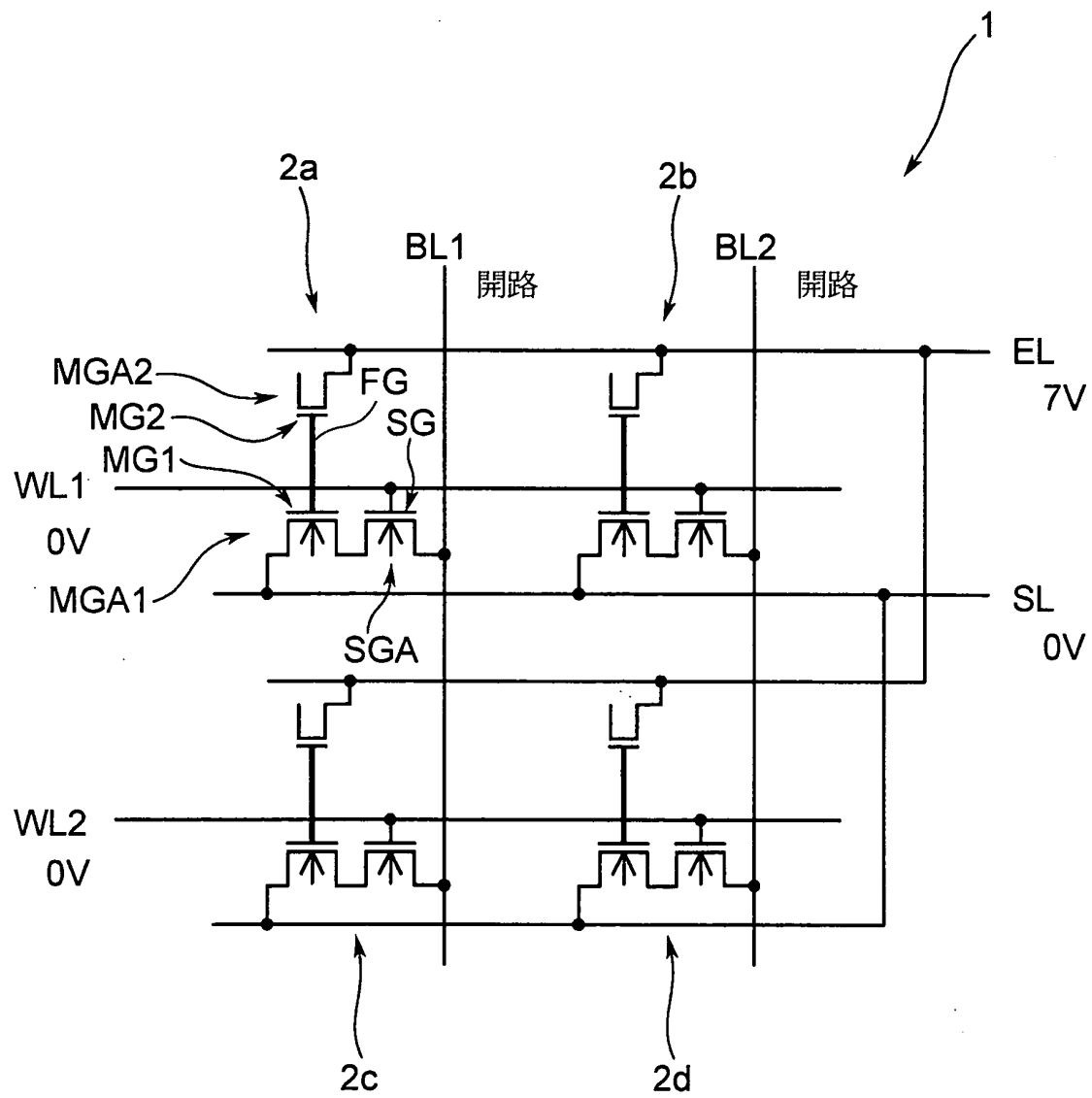
第2圖



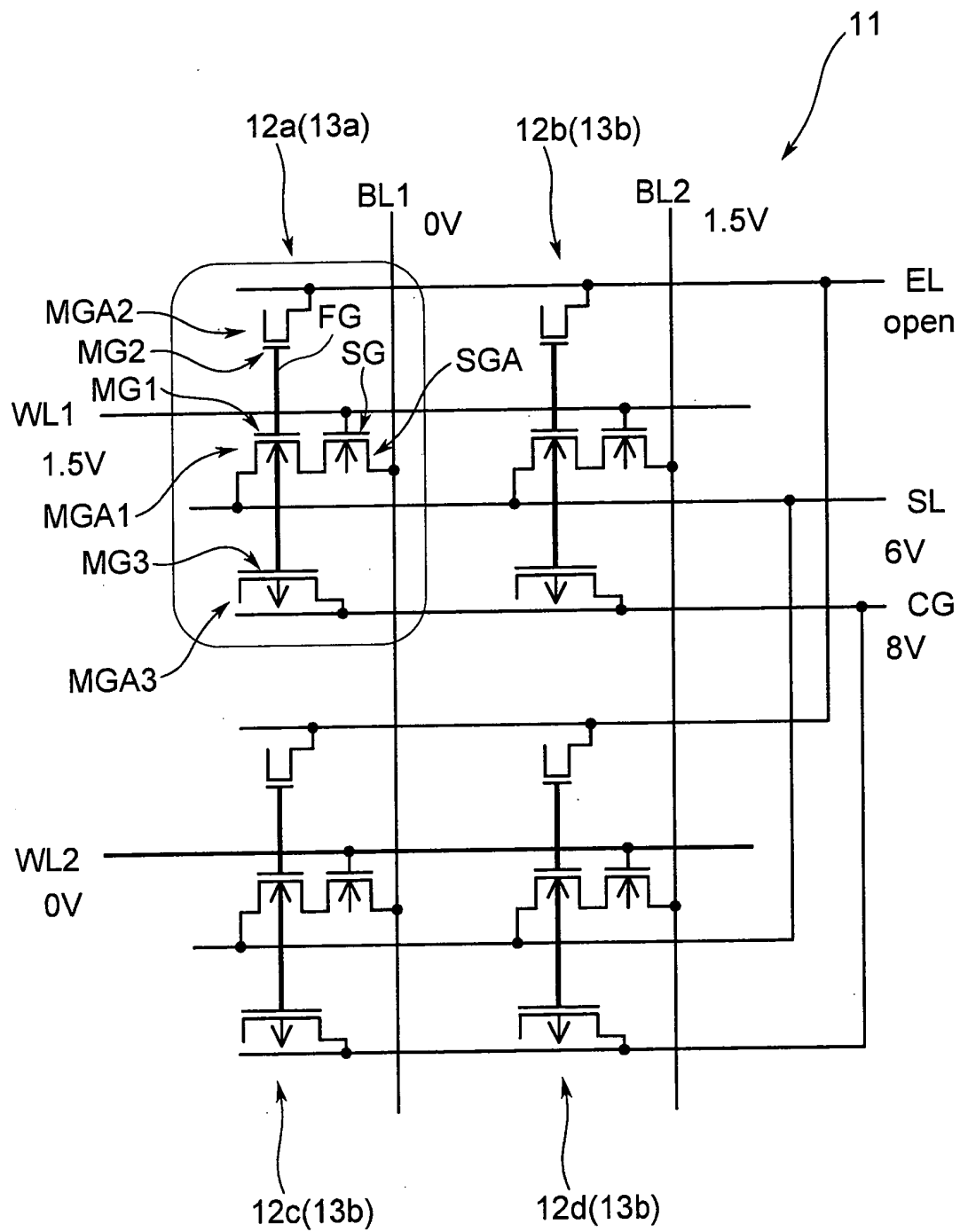
第3圖



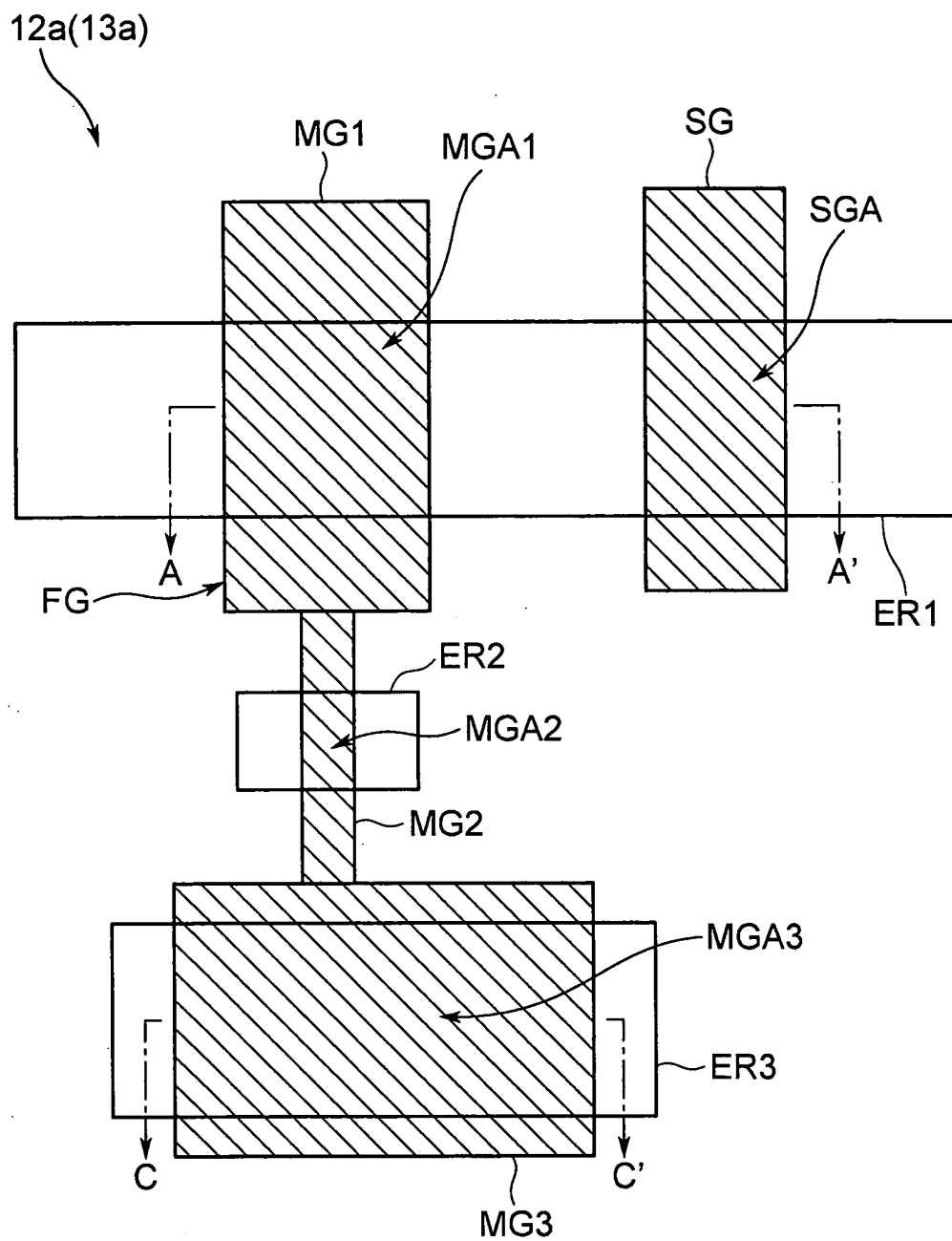
第4圖



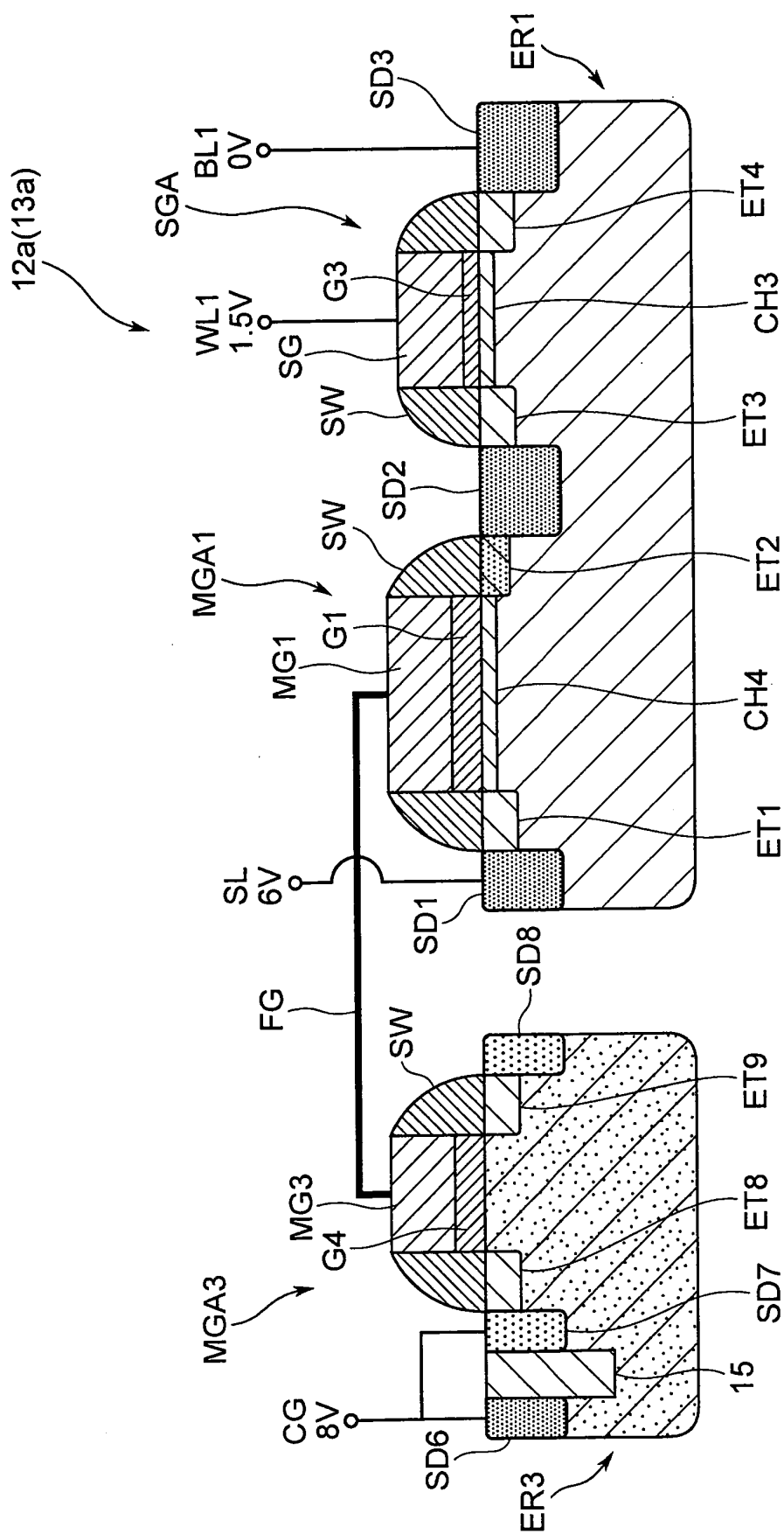
第5圖



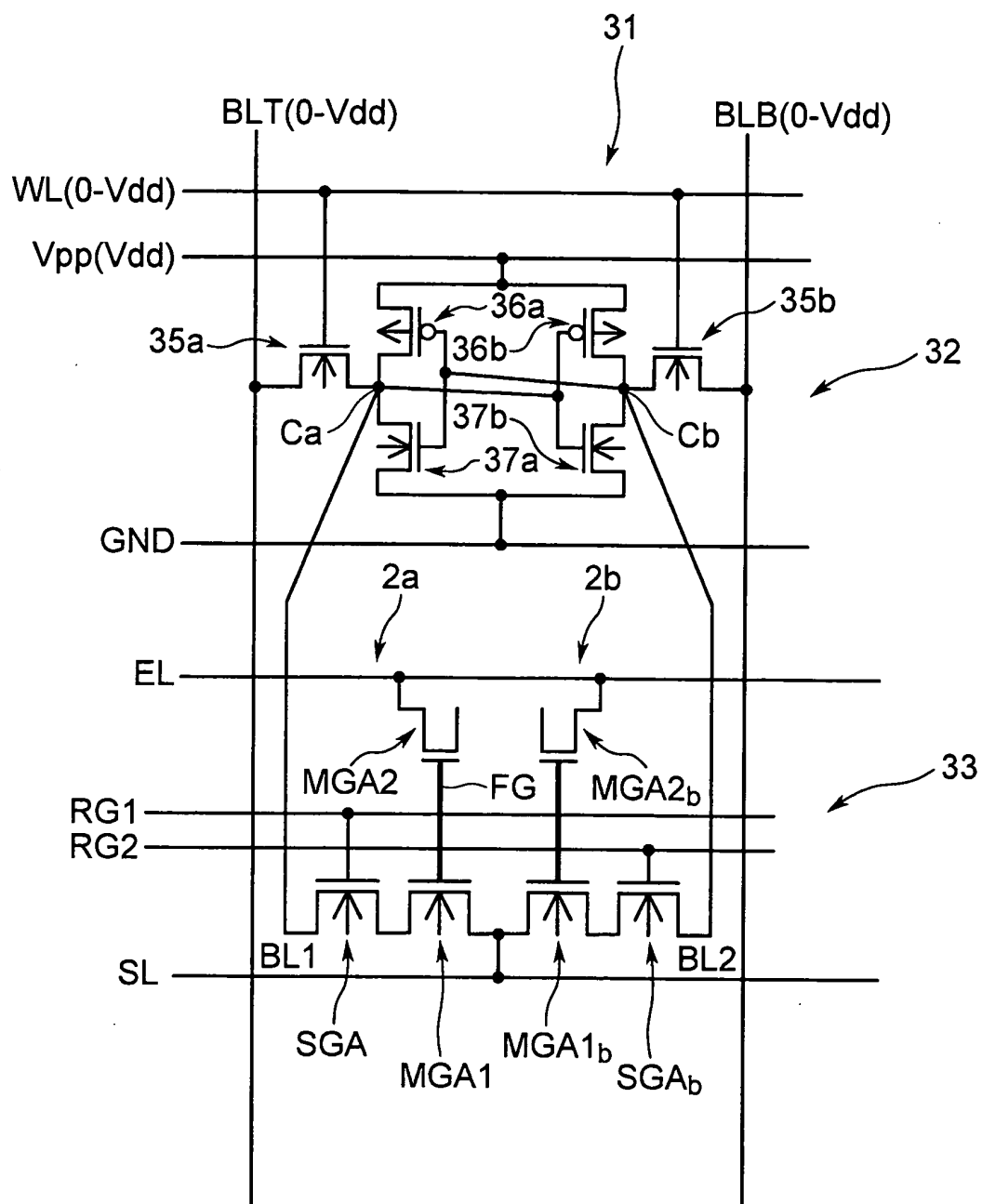
第6圖



第7圖



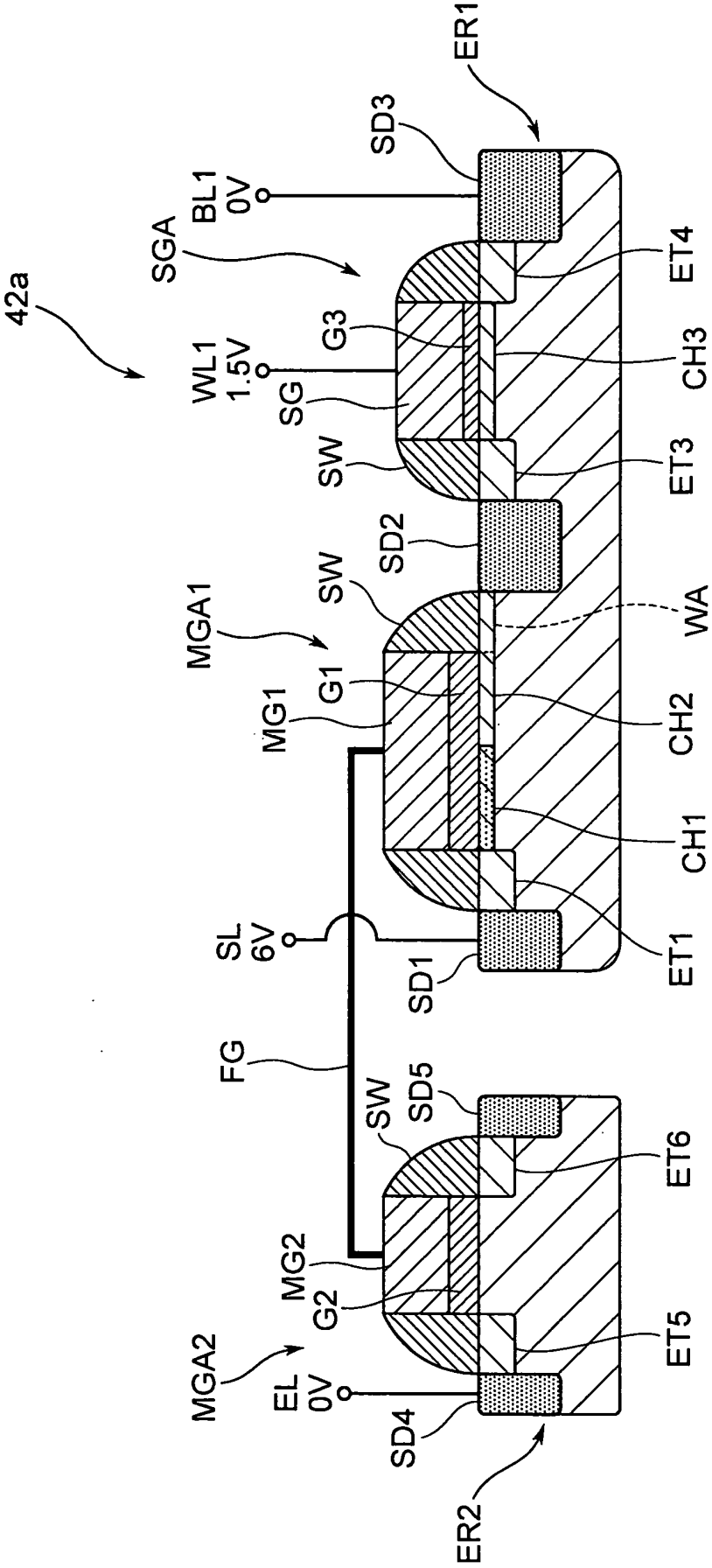
第8圖



第9圖

	EL	RG1	RG2	SL	Vpp	WL
寫入 (從SRAM到非揮發性記憶體)	0	Vdd	Vdd	6	Vdd	0
消除 (非揮發性記憶體中資料消除)	7	0	0	0	Vdd	0
資料讀入 (從非揮發性記憶體到SRAM)	0	Vdd	Vdd	3	Vdd	0
寫入 (寫入SRAM)	任意 電壓值	0	0	任意 電壓值	Vdd	Vdd/0
讀出 (從SRAM讀出)	任意 電壓值	0	0	任意 電壓值	Vdd	Vdd/0
Vth監視載	0	Vdd/ 0	0/ Vdd	0or 3	Vdd	Vdd

第10圖



第11圖

【代表圖】

【本案指定代表圖】：第（3）圖。

【本代表圖之符號簡單說明】：

2a～記憶單元；

3a～選擇記憶單元；

BL1～位元線；

CH1～空乏型通道區域；

CH2～通道區域；

CH3～通道區域；

EL～拭除線；

ER1～第 1 活性區域；

ER2～第 2 活性區域；

ET1、ET3、ET4、ET5、ET6～延伸區域；

ET2～低濃度不純物延伸區域(高電阻區域)；

FG～浮閘；

G1、G2、G3～閘極氧化膜；

MG1～閘極電極；

MG2～拭除閘極電極；

MGA1～記憶電晶體；

MGA2～拭除電晶體；

SD1、SD2、SD3、SD4、SD5～源極汲極區域；

SG～開關閘極電極；

SGA～開關電晶體；

SL～源極線；

SW～側壁；以及
WL1～字元線。

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：
無。

申請專利範圍

1. 一種非揮發性半導體記憶裝置，包括記憶單元，上述記憶單元具有：

包括浮閘之單層閘極構造的記憶電晶體；以及

包括開關電極之單層閘極構造的開關電晶體；

其特徵在於：

上述記憶單元中，源極線連接至上述記憶電晶體的一端的同時，位元線連接至上述開關電晶體的一端，上述記憶電晶體的另一端與上述開關電晶體的另一端電氣連接，具有上述記憶電晶體以及上述開關電晶體串聯配置的構成；以及

上述記憶電晶體，在上述浮閘的下部區域、與電氣連接至上述開關電晶體的另一端側的源極汲極區域之間，具有比上述浮閘的下部區域及上述一端側的源極汲極區域間的電阻值高的電阻值之高電阻區域，

上述記憶電晶體中，在上述浮閘的下部區域的兩側形成延伸區域；以及形成不純物濃度比上述一端側的延伸區域低的低濃度不純物延伸區域，作為上述高電阻區域。

2. 如申請專利範圍第 1 項所述的非揮發性半導體記憶裝置，其中，在上述浮閘的下部的活性區域上面，與上述延伸區域相接形成空乏型通道區域。

3. 如申請專利範圍第 1 項所述的非揮發性半導體記憶裝置，包括：

耦合電容器，調整上述浮閘的電位；

其中，上述浮閘延伸至上述記憶電晶體及上述耦合電容器。

4. 如申請專利範圍第 1 項所述的非揮發性半導體記憶裝置，其中，上述開關電晶體，在上述開關閘極電極的下部形成的閘極氧化膜的膜厚，形成得比在上述記憶電晶體的上述浮閘的下部形成的閘極氧化膜的膜厚薄。

5. 如申請專利範圍第 1 項所述的非揮發性半導體記憶裝置，包括：

拭除電晶體，從上述浮閘抽出電荷；

其中，上述浮閘延伸至上述記憶電晶體及上述拭除電晶體。

6. 如申請專利範圍第 5 項所述的非揮發性半導體記憶裝置，其中，上述浮閘，與上述記憶電晶體的對向區域以 N 型形成，與上述拭除電晶體的對向區域以 P 型形成。

7. 如申請專利範圍第 1 至 6 項中任一項所述的非揮發性半導體記憶裝置，其中，上述記憶單元配置為行列狀；以及上述源極線，對設置在每一上述記憶單元的上述記憶電晶體一律施加共同的電壓。

8. 如申請專利範圍第 1 至 6 項中任一項所述的非揮發性半導體記憶裝置，其中，以 SRAM 單元、與一上述記憶單元及其他上述記憶單元構成 1 位元；

連接至上述一記憶單元的一位元線連接至上述 SRAM 單元的一儲存節點，而連接至上述其他記憶單元的其他位元線連接至上述 SRAM 單元的上述一儲存節點與互補的其他儲存節點。

9. 如申請專利範圍第 8 項所述的非揮發性半導體記憶裝置，

其中，對於在每一上述記憶單元設置的各上述開關電晶體，個別連接閘極線，並獨立通斷控制各上述開關電晶體。