(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0047068
(43) 공개일자 2022년04월15일

(51) 국제특허분류(Int. Cl.)
G01R 31/30 (2006.01) *G01R 19/12* (2006.01)
G01R 31/28 (2006.01)
(52) CPC특허분류
G01R 31/3004 (2013.01)
G01R 19/12 (2021.05)
(21) 출원번호 10-2020-0130544
(22) 출원일자 2020년10월08일
심사청구일자 2020년10월08일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김규태
경기도 안양시 동안구 시민대로327번길 55, 108동 2105호(관양동, 평촌더샵센트럴시티)
이국진
서울특별시 성북구 고려대로27길 34-8 (안암동5가)
(뒷면에 계속)
(74) 대리인
박상열, 최내윤

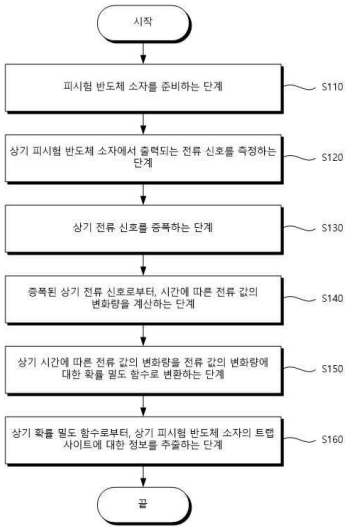
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 **트랩 사이트 정보의 판별 기능을 갖는 반도체 소자의 검사 방법 및 반도체 소자의 검사 장치**

(57) 요 약

반도체 소자의 검사 방법이 제공된다. 상기 반도체 소자의 검사 방법은, 피시험 반도체 소자를 준비하는 단계, 상기 피시험 반도체 소자에서 출력되는 전류 신호를 측정하는 단계, 상기 전류 신호를 증폭하는 단계, 증폭된 상기 전류 신호로부터, 시간에 따른 전류 값의 변화량을 계산하는 단계, 상기 시간에 따른 전류 값의 변화량을 전류 값의 변화량에 대한 확률 밀도 함수로 변환하는 단계, 및 상기 확률 밀도 함수로부터, 상기 피시험 반도체 소자의 트랩 사이트에 대한 정보를 추출하는 단계를 포함할 수 있다.

대 표 도 - 도5



(52) CPC특허분류
G01R 31/2856 (2013.01)
G01R 31/2879 (2013.01)
(72) 발명자
남상진
서울특별시 동대문구 회기로10가길 35-4 (회기동) A동 B03호
박현익
대전광역시 유성구 대덕대로 730 (화암동)
김연수
서울특별시 성북구 개운사길 42-5 (안암동5가) 501호
이재우
서울특별시 중구 청구로 64, 108동 503호(신당동, 청구 e편한세상)
김도윤
서울특별시 양천구 목동동로 100, 1315동 302호(신정동, 목동신시가지아파트13단지)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711115709
과제번호	10067739
부처명	과학기술정보통신부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	전자정보디바이스산업원천기술개발(R&D)
연구과제명	5 nm 급 이하 차세대 Logic 소자 원천요소기술개발
기 여 율	50/100
과제수행기관명	성균관대학교산학협력단
연구기간	2020.01.01 ~ 2020.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711103752
과제번호	2017M3A7B4049119
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	나노·소재기술개발(R&D)
연구과제명	유무기 하이브리드 소자 압축모델 기반 측정/분석기술 개발
기 여 율	50/100
과제수행기관명	고려대학교
연구기간	2020.01.01 ~ 2020.12.31

명 세 서

청구범위

청구항 1

피시험 반도체 소자를 준비하는 단계;

상기 피시험 반도체 소자에서 출력되는 전류 신호를 측정하는 단계;

상기 전류 신호를 증폭하는 단계;

증폭된 상기 전류 신호로부터, 시간에 따른 전류 값의 변화량을 계산하는 단계;

상기 시간에 따른 전류 값의 변화량을 전류 값의 변화량에 대한 확률 밀도 함수로 변환하는 단계; 및

상기 확률 밀도 함수로부터, 상기 피시험 반도체 소자의 트랩 사이트에 대한 정보를 추출하는 단계를 포함하는 반도체 소자의 검사 방법.

청구항 2

제1 항에 있어서,

상기 트랩 사이트에 대한 정보는, 상기 피시험 반도체 소자의 트랩 사이트의 종류, 트랩 사이트의 위치, 트랩 사이트의 밀도, 및 트랩 사이트의 분포를 포함하는 반도체 소자의 검사 방법.

청구항 3

제1 항에 있어서,

상기 확률 밀도 함수로부터 상기 피시험 반도체 소자의 트랩 사이트에 대한 정보를 추출하는 단계는,

트랩 사이트의 종류, 트랩 사이트의 위치, 트랩 사이트의 밀도, 및 트랩 사이트의 분포에 따른 고유의 참조용 확률 밀도 함수들이 준비되고,

상기 참조용 확률 밀도 함수들을 이용하여, 상기 피시험 반도체 소자의 트랩 사이트에 대한 정보를 추출하는 것을 포함하는 반도체 소자의 검사 방법.

청구항 4

제3 항에 있어서,

상기 확률 밀도 함수로부터 상기 피시험 반도체 소자의 트랩 사이트에 대한 정보를 추출하는 단계는,

상기 참조용 확률 밀도 함수들 중에서, 상기 확률 밀도 함수와 매칭되는, 제1 내지 제n(n은 2 이상의 자연수) 참조용 확률 밀도 함수를 선택하는 단계; 및

상기 제1 내지 제n 참조용 확률 밀도 함수에 대응되는 트랩 사이트의 종류, 트랩 사이트의 위치, 트랩 사이트의 밀도, 및 트랩 사이트의 분포를 추출하는 단계를 포함하는 반도체 소자의 검사 방법.

청구항 5

제1 항에 있어서,

상기 피시험 반도체 소자는, 메모리 반도체 소자인 것을 포함하는 반도체 소자의 검사 방법.

청구항 6

제5 항에 있어서,

상기 전류 신호는, 상기 메모리 반도체 소자의 드레인 전류 값인 것을 포함하는 반도체 소자의 검사 방법.

청구항 7

피시험 반도체 소자로부터 전류 신호를 측정하는 전류 신호 측정부;

상기 전류 신호를 증폭하는 증폭부;

증폭된 상기 전류 신호로부터 시간에 따른 전류 값의 변화량을 계산하는 전류 값 변화량 계산부;

상기 시간에 따른 전류 값의 변화량을 전류 값의 변화량에 대한 확률 밀도 함수로 변환하는 확률 밀도 함수 변환부; 및

상기 확률 밀도 함수로부터, 상기 피시험 반도체 소자의 트랩 사이트에 대한 정보를 추출하는 트랩 사이트 정보 확인부를 포함하는 반도체 소자의 검사 장치.

청구항 8

제7 항에 있어서,

상기 트랩 사이트 정보 확인부는,

트랩 사이트의 종류, 트랩 사이트의 위치, 트랩 사이트의 밀도, 및 트랩 사이트의 분포에 따른 고유의 참조용 확률 밀도 함수들을 저장하는 데이터저장부; 및

상기 참조용 확률 밀도 함수들을 이용하여, 상기 피시험 반도체 소자의 트랩 사이트에 대한 정보를 추출하는 매칭부를 포함하는 반도체 소자의 검사 장치.

청구항 9

제8 항에 있어서,

상기 매칭부는, 상기 참조용 확률 밀도 함수들 중에서, 상기 확률 밀도 함수와 매칭되는, 제1 내지 제n(n은 2 이상의 자연수) 참조용 확률 밀도 함수를 선택하고, 상기 제1 내지 제n 참조용 확률 밀도 함수에 대응되는 트랩 사이트의 종류, 트랩 사이트의 위치, 트랩 사이트의 밀도, 및 트랩 사이트의 분포를 추출하는 것을 포함하는 반도체 소자의 검사 장치.

청구항 10

복수의 참조용 확률 밀도 함수, 및 복수의 상기 참조용 확률 밀도 함수에 대응하는 트랩 정보를 저장하는 저장부를 포함하는 반도체 소자의 검사 장치.

청구항 11

제10 항에 있어서,

상기 트랩 정보는, 트랩 사이트의 종류, 트랩 사이트의 위치, 트랩 사이트의 밀도, 및 트랩 사이트의 분포를 포

함하는 반도체 소자의 검사 장치.

발명의 설명

기 술 분 야

[0001] 본 출원은 반도체 소자의 검사 방법 및 반도체 소자의 검사 장치에 관련된 것으로, 보다 상세하게는, 반도체 소자의 트랩 사이트 정보의 판별 기능을 갖는 반도체 소자의 검사 방법 및 반도체 소자의 검사 장치에 관련된 것이다.

배 경 기 술

[0002] 반도체 검사장비는 주검사 장비(Main Tester), Probe Station, 핸들러 (Handler), 번인(Burn-In)장비로 크게 구분할 수 있으며, 웨이퍼 상태에서 칩의 정상여부를 검사하는 Probe Station 등의 웨이퍼 검사장비, 반도체 전후 공정을 마친 후 최종단계에서 패키지의 정상적인 작동유무를 평가하는 핸들 러와 같은 콤포넌트 검사장비, 그리고 PCB에 반도체 소자가 여러 개 장착되어 있는 모듈 상태에서 제대로 작동하는지를 검사하는 모듈 검사장비로 분류할 수 있다.

[0003] 반도체 산업의 발전과 함께, 반도체 검사 장비 및 반도체 검사 방법에 대한 기술적 수요가 점차적으로 증가하고 있다.

[0004] 예를 들어, 대한민국 특허 공개 공보 10-2018-0129057에는, 샘플 웨이퍼를 검사하여 상기 샘플 웨이퍼 상의 결함(defect)을 검출하고, 상기 샘플 웨이퍼 상의 상기 결함의 속성(attribute) 정보, 상기 샘플 웨이퍼 상에서 상기 결함이 발생한 위치 정보를 생성하고, 상기 위치 정보에 에 대응하는 샘플 레이아웃 디자인 상의 레이아웃 패턴을 선택하는 검사기; 상기 샘플 웨이퍼 상에서 상기 결함이 발생한 위치 정보에 기초하여 상기 샘플 웨이퍼의 확대 이미지를 촬영하는 전자 현미경; 및 기계 학습에 의해, 상기 샘플 웨이퍼 상의 결함의 속성 정보와, 미리 결정된 상기 레이아웃 패턴에 의해 예상되 는 프리-위험도를 입력 변수로 하고, 상기 샘플 웨이퍼의 확대 이미지로부터 결정되는 상기 결함의 위험도를 출 력 변수로 하는 결함 모델을 생성하는 모델링 모듈을 포함하는 반도체 소자 검사 시스템이 개시되어 있다.

발명의 내용

해결하려는 과제

[0005] 본 출원이 해결하고자 하는 일 기술적 과제는, 고신뢰성의 반도체 소자의 검사 방법 및 반도체 소자의 검사 장치를 제공하는 데 있다.

[0006] 본 출원이 해결하고자 하는 다른 기술적 과제는, 빠른 속도의 반도체 소자의 검사 방법 및 반도체 소자의 검사 장치를 제공하는 데 있다.

[0007] 본 출원이 해결하고자 하는 또 다른 기술적 과제는, 비용이 저렴한 반도체 소자의 검사 방법 및 반도체 소자의 검사 장치를 제공하는 데 있다.

[0008] 본 출원이 해결하고자 하는 또 다른 기술적 과제는, 검사 속도가 빠른 반도체 소자의 검사 방법 및 반도체 소자의 검사 장치를 제공하는 데 있다.

[0009] 본 출원이 해결하고자 하는 또 다른 기술적 과제는, 트랩 사이트 정보를 판별할 수 있는 반도체 소자의 검사 방법 및 반도체 소자의 검사 장치를 제공하는 데 있다.

[0010] 본 출원이 해결하고자 하는 또 다른 기술적 과제는, 메모리용 또는 디스플레이용 반도체 소자의 검사 방법 및 반도체 소자의 검사 장치를 제공하는 데 있다.

[0011] 본 출원이 해결하고자 하는 기술적 과제는 상술된 것에 제한되지 않는다.

과제의 해결 수단

[0012] 상기 기술적 과제를 해결하기 위해, 본 출원은 반도체 소자의 검사 방법을 제공한다.

[0013] 일 실시 예에 따르면, 상기 반도체 소자의 검사 방법은, 피시험 반도체 소자를 준비하는 단계, 상기 피시험 반도체 소자에서 출력되는 전류 신호를 측정하는 단계, 상기 전류 신호를 증폭하는 단계, 증폭된 상기 전류 신호

로부터, 시간에 따른 전류 값의 변화량을 계산하는 단계, 상기 시간에 따른 전류 값의 변화량을 전류 값의 변화량에 대한 확률 밀도 함수로 변환하는 단계, 및 상기 확률 밀도 함수로부터, 상기 피시험 반도체 소자의 트랩 사이트에 대한 정보를 추출하는 단계를 포함할 수 있다.

[0014] 일 실시 예에 따르면, 상기 트랩 사이트에 대한 정보는, 상기 피시험 반도체 소자의 트랩 사이트의 종류, 트랩 사이트의 위치, 트랩 사이트의 밀도, 및 트랩 사이트의 분포를 포함할 수 있다.

[0015] 일 실시 예에 따르면, 상기 확률 밀도 함수로부터 상기 피시험 반도체 소자의 트랩 사이트에 대한 정보를 추출하는 단계는, 트랩 사이트의 종류, 트랩 사이트의 위치, 트랩 사이트의 밀도, 및 트랩 사이트의 분포에 따른 고유의 참조용 확률 밀도 함수들이 준비되고, 상기 참조용 확률 밀도 함수들을 이용하여, 상기 피시험 반도체 소자의 트랩 사이트에 대한 정보를 추출하는 것을 포함할 수 있다.

[0016] 일 실시 예에 따르면, 상기 확률 밀도 함수로부터 상기 피시험 반도체 소자의 트랩 사이트에 대한 정보를 추출하는 단계는, 상기 참조용 확률 밀도 함수들 중에서, 상기 확률 밀도 함수와 매칭되는, 제1 내지 제n(n은 2 이상의 자연수) 참조용 확률 밀도 함수를 선택하는 단계, 및 상기 제1 내지 제n 참조용 확률 밀도 함수에 대응되는 트랩 사이트의 종류, 트랩 사이트의 위치, 트랩 사이트의 밀도, 및 트랩 사이트의 분포를 추출하는 단계를 포함할 수 있다.

[0017] 일 실시 예에 따르면, 상기 피시험 반도체 소자는, 메모리 반도체 소자인 것을 포함할 수 있다.

[0018] 일 실시 예에 따르면, 상기 전류 신호는, 상기 메모리 반도체 소자의 드레인 전류 값인 것을 포함할 수 있다.

[0019] 상기 기술적 과제를 해결하기 위해, 본 출원은 반도체 소자의 검사 장치를 제공한다.

[0020] 일 실시 예에 따르면, 상기 반도체 소자의 검사 장치는, 피시험 반도체 소자로부터 전류 신호를 측정하는 전류 신호 측정부, 상기 전류 신호를 증폭하는 증폭부, 증폭된 상기 전류 신호로부터 시간에 따른 전류 값의 변화량을 계산하는 전류 값 변화량 계산부, 상기 시간에 따른 전류 값의 변화량을 전류 값의 변화량에 대한 확률 밀도 함수로 변환하는 확률 밀도 함수 변환부, 및 상기 확률 밀도 함수로부터, 상기 피시험 반도체 소자의 트랩 사이트에 대한 정보를 추출하는 트랩 사이트 정보 확인부를 포함할 수 있다.

[0021] 일 실시 예에 따르면, 상기 트랩 사이트 정보 확인부는, 트랩 사이트의 종류, 트랩 사이트의 위치, 트랩 사이트의 밀도, 및 트랩 사이트의 분포에 따른 고유의 참조용 확률 밀도 함수들을 저장하는 데이터저장부, 및 상기 참조용 확률 밀도 함수들을 이용하여, 상기 피시험 반도체 소자의 트랩 사이트에 대한 정보를 추출하는 매칭부를 포함할 수 있다.

[0022] 일 실시 예에 따르면, 상기 매칭부는, 상기 참조용 확률 밀도 함수들 중에서, 상기 확률 밀도 함수와 매칭되는, 제1 내지 제n(n은 2 이상의 자연수) 참조용 확률 밀도 함수를 선택하고, 상기 제1 내지 제n 참조용 확률 밀도 함수에 대응되는 트랩 사이트의 종류, 트랩 사이트의 위치, 트랩 사이트의 밀도, 및 트랩 사이트의 분포를 추출하는 것을 포함할 수 있다.

[0023] 일 실시 예에 따르면, 상기 반도체 소자의 검사 장치는, 복수의 참조용 확률 밀도 함수, 및 복수의 상기 참조용 확률 밀도 함수에 대응하는 트랩 정보를 저장하는 저장부를 포함할 수 있다.

[0024] 일 실시 예에 따르면, 상기 트랩 정보는, 트랩 사이트의 종류, 트랩 사이트의 위치, 트랩 사이트의 밀도, 및 트랩 사이트의 분포를 포함할 수 있다.

발명의 효과

[0025] 본 출원의 실시 예에 따르면, 피시험 반도체 소자에서 출력되는 전류 신호를 측정하고, 상기 전류 신호를 증폭한 후, 시간에 따른 전류 값의 변화량을 계산하고, 상기 시간에 따른 전류 값의 변화량으로부터 전류 값의 변화량에 대한 확률 밀도 함수를 변환하고, 상기 확률 밀도 함수로부터 상기 피시험 반도체 소자의 트랩 사이트에 대한 정보를 추출할 수 있다. 즉, 상기 피시험 반도체 소자에 테스트 전류를 인가하고 상기 피시험 반도체 소자에서 출력되는 상기 전류 신호를 분석하는 간소한 방법으로, 상기 피시험 반도체 소자의 트랩 사이트에 대한 정보를 추출할 수 있다.

[0026] 이에 따라, 상기 피시험 반도체 소자에 대해서 charge pumping capacitance를 측정하지 않고도, 상기 피시험 반도체 소자의 트랩 사이트에 대한 정보를 용이하게 분석할 수 있고, 이로 인해, 간소하고, 저렴하고, 검사 속도가 빠른 고신뢰성의 반도체 소자의 검사 방법이 제공될 수 있다.

도면의 간단한 설명

[0027] 도 1은 본 출원의 실시 예에 따른 피시험 반도체 소자의 트랩 사이트를 설명하기 위한 도면이다.

도 2는 본 출원의 실시 예에 따른 피시험 반도체 소자의 Vth 값의 변화량을 설명하기 위한 그래프이다.

도 3은 본 출원의 실시 예에 따른 피시험 반도체의 에너지 밴다이어그램을 표시한 것이다.

도 4는 본 출원의 실시 예에 따른 피시험 반도체의 트랩 밀도의 모델화를 설명하기 위한 도면이다.

도 5는 본 출원의 실시 예에 따른 피시험 반도체 소자의 검사 방법을 설명하기 위한 순서도이다.

도 6은 본 출원의 실시 예에 따른 피시험 반도체 소자의 검사 방법에서 피시험 반도체 소자의 확률 밀도 함수를 도시한 도면이다.

도 7은 본 출원의 실시 예에 따른 피시험 반도체 소자의 검사 방법에서 참조용 확률 밀도 함수들을 도시한 도면이다.

도 8은 본 출원의 실시 예에 따른 피시험 반도체 소자의 검사 방법에서 피시험 반도체 소자의 확률 밀도 함수에 참조용 확률 밀도 함수를 매칭시키는 것을 도시한 도면이다.

도 9는 본 출원의 실시 예에 따른 피시험 반도체 소자의 검사 장치를 설명하기 위한 블록도이다.

도 10은 본 출원의 실시 예에 따른 피시험 반도체 소자의 검사 장치에 포함된 트랩 사이트 정보 확인부를 설명하기 위한 블록도이다.

도 11은 본 출원의 실험 예에 따른 반도체 소자의 시간에 따른 전류 값의 변화량을 도시한 그래프이다.

도 12는 본 출원의 실험 예에 따른 반도체 소자의 게이트 전압에 따른 트랩 및 디트랩 시간을 측정한 그래프이다.

도 13은 본 출원의 실험 예에 따른 반도체 소자의 시간에 따른 정규화된 전류 값 변화량을 측정한 그래프이다.

도 14 및 도 15는 본 출원의 실험 예에 따른 반도체 소자의 확률 밀도 함수를 도시한 것이다.

도 16은 본 출원의 실험 예에 따른 반도체 소자의 확률 밀도 함수 분석에 사용된 가우시안 혼합 모델이다.

도 17은 본 출원의 실험 예에 따른 반도체 소자의 트랩 사이트 정보를 분석한 결과이다.

발명을 실시하기 위한 구체적인 내용

[0028] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시 예를 상세히 설명할 것이다. 그러나 본 발명의 기술적 사상은 여기서 설명되는 실시 예에 한정되지 않고 다른 형태로 구체화 될 수도 있다. 오히려, 여기서 소개되는 실시 예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

[0029] 본 명세서에서, 어떤 구성요소가 다른 구성요소 상에 있다고 언급되는 경우에 그것은 다른 구성요소 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 구성요소가 개재될 수도 있다는 것을 의미한다. 또한, 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다.

[0030] 또한, 본 명세서의 다양한 실시 예 들에서 제1, 제2, 제3 등의 용어가 다양한 구성요소들을 기술하기 위해서 사용되었지만, 이들 구성요소들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 구성요소를 다른 구성요소와 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시 예에 제 1 구성요소로 언급된 것이 다른 실시 예에서는 제 2 구성요소로 언급될 수도 있다. 여기에 설명되고 예시되는 각 실시 예는 그것의 상보적인 실시 예도 포함한다. 또한, 본 명세서에서 '및/또는'은 전후에 나열한 구성요소들 중 적어도 하나를 포함하는 의미로 사용되었다.

[0031] 명세서에서 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함한다. 또한, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 구성요소 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 구성요소 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 배제하는 것으로 이해되어서는 안 된다. 또한, 하기에서 본 발명을 설명함에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는

그 상세한 설명은 생략할 것이다.

[0033] 도 1은 본 출원의 실시 예에 따른 피시험 반도체 소자의 트랩 사이트를 설명하기 위한 도면이고, 도 2는 본 출원의 실시 예에 따른 피시험 반도체 소자의 Vth 값의 변화량을 설명하기 위한 그래프이고, 도 3은 본 출원의 실시 예에 따른 피시험 반도체의 에너지 밴다이어그램을 표시한 것이고, 도 4는 본 출원의 실시 예에 따른 피시험 반도체의 트랩 밀도의 모델화를 설명하기 위한 도면이다.

[0034] 도 1 및 도 2를 참조하면, 동일한 구성 및 동일한 물질로 제조된 반도체 소자들(ref, 1, 2)의 경우도, 반도체 소자의 제조 공정 조건 및 구동 환경에 따라서 반도체 소자의 열화 정도가 달라, 도 1에 도시된 바와 같이, 트랩 및 결함이 형성되는 에너지 레벨 및 트랩 밀도가 다르게 형성될 수 있다.

[0035] 이로 인해, 도 2에 도시된 바와 같이, NBTI, PBTI, Hot carrier injection 등의 열화 조건에서 Vth 값의 변화량이 다를 수 있다.

[0036] 도 3 및 도 4를 참조하면, SiGe/Si/SiO2/HfO2/TiN 구조의 반도체 소자에 대해 에너지 밴다이어그램, 트랩 사이트 분포 및 모델링을 도시한 것으로, 도 3의 (a), 도 4의 (a) 및 (c)는 채널의 길이가 상대적으로 긴 반도체 소자에 대한 것이고, 도 3의 (b), 도 4의 (b) 및 (d)는 채널의 길이가 상대적으로 짧은 반도체 소자에 대한 것이다. 도 4의 (a) 및 (b)에서 t_{relax}는 캐리어를 emission하는 시간으로, 트랩 사이트의 에너지 레벨 및 위치에 대한 정보를 포함할 수 잇고, 도 4의 (c) 및 (d)에서 τ1~τn은 캐리어가 트랩 또는 디트랩되는 시간을 의미하는 것으로 트랩 사이트의 에너지 레벨 및 위치에 대한 정보를 포함할 수 있다.

[0037] 도 3에서 알 수 있듯이, 트랩 사이트의 에너지 위치만이 아니라, 캐리어(홀 또는 전자)와 트랩 사이트의 물리적인 위치 따라서, 터널링 길이가 변화하기 때문에, 페르미 레벨에 위치한 캐리어와 절연막의 트랩 사이트가 상호작용하여, 캐리어가 트랩 및 디트랩하는 경향이 변화하게 되고, 이는 반도체 소자의 신뢰성과 열화에 큰 변화를 야기할 수 있다. 즉, 채널 영역에서 도펀트의 도핑 위치에 따른 페르미 레벨의 형성 위치, 또는 절연막 두께에 따라, 캐리어가 트랩 및 디트랩하는 경향이 변화될 수 있다.

[0038] 도 4의 (b) 및 (d)와 같이, 상대적으로 짧은 채널 길이를 갖는 반도체 소자는 시간에 대한 스트레스(캐리어 capturing) 또는 완화(캐리어 emission)에 대해 트랩 사이트의 개수가 상대적으로 적어 개별적인 특성을 나타내며, 이로 인해 계단형 특성을 보일 수 있다.

[0039] 반면, 도 4의 (a) 및 (c)와 같이, 상대적으로 긴 채널 길이를 갖는 반도체 소자는 상대적으로 많은 개수의 트랩 사이트가 유효하게 작용하면서 혼재된 특성을 보여 트랩 사이트를 개별적으로 정의 및 확인하기 용이하지 않다.

[0040] 이에 따라, 반도체 소자의 트랩 사이트에 대한 정보를 판별할 수 있는 반도체 소자의 검사 방법 및 반도체 소자의 검사 장비에 대한 니즈가 필요하다.

[0042] 도 5는 본 출원의 실시 예에 따른 피시험 반도체 소자의 검사 방법을 설명하기 위한 순서도이고, 도 6은 본 출원의 실시 예에 따른 피시험 반도체 소자의 검사 방법에서 피시험 반도체 소자의 확률 밀도 함수를 도시한 도면이고, 도 7은 본 출원의 실시 예에 따른 피시험 반도체 소자의 검사 방법에서 참조용 확률 밀도 함수들을 도시한 도면이고, 도 8은 본 출원의 실시 예에 따른 피시험 반도체 소자의 검사 방법에서 피시험 반도체 소자의 확률 밀도 함수에 참조용 확률 밀도 함수를 매칭시키는 것을 도시한 도면이다.

[0043] 도 5 내지 도 8을 참조하면, 피시험 반도체 소자가 준비된다(S110).

[0044] 일 실시 예에 따르면, 상기 피시험 반도체 소자는 메모리 소자일 수 있다. 예를 들어, 상기 피시험 반도체 소자는, 낸드 메모리(NAND memory), 디램(DRAM), 에스램(SRAM), 자기 메모리(MRAM), 상변화 메모리(PRAM) 등 다양한 메모리 소자를 포함할 수 있다.

[0045] 또는, 다른 실시 예에 따르면, 상기 피시험 반도체 소자는, 로직 IC, 이미지 센서, 디스플레이용 박막 트랜지스터 등을 포함할 수 있다.

[0046] 상기 피시험 반도체 소자에 테스트 전류를 인가하고, 상기 피시험 반도체 소자에서 출력되는 전류 신호가 측정될 수 있다(S120).

[0047] 일 실시 예에 따르면, 상기 전류 신호는, 상기 메모리 반도체 소자의 드레인 전류 값일 수 있다.

[0048] 상기 테스트 전류의 주파수 및 전류 값의 크기는, 상기 피시험 반도체 소자의 종류에 따라서 제어될 수 있다.

[0049] 예를 들어, 상기 피시험 반도체 소자에 sub-threshold 영역의 전류가 인가된 경우, 상기 피시험 반도체 소자의 채널 영역에 캐리어 농도가 제한적 생성될 수 있고, 이에 따라 상기 피시험 반도체 소자 내에 존재하는 트랩 사이트에 의한 영향이 보다 명확하게 확인될 수 있다.

[0050] 상기 피시험 반도체 소자에서 출력된 상기 전류 신호가 증폭될 수 있다(S130).

[0051] 상기 피시험 반도체 소자에서 출력된 상기 전류 신호는 상기 피시험 반도체 소자의 트랩 사이트의 종류, 트랩 사이트의 위치, 트랩 사이트의 밀도, 및 상기 트랩 사이트의 분포에 따라서 미세하게 변동될 수 있다.

[0052] 상술된 바와 같이, 상기 전류 신호가 증폭되어, 상기 전류 신호의 미세한 변동이 증폭될 수 있다.

[0053] 증폭된 상기 전류 신호로부터, 시간에 따른 전류 값의 변화량이 계산될 수 있다(S140).

[0054] 상기 시간에 따른 전류 값의 변화량은 정규화(normalized)된 값으로 계산될 수 있다. 예를 들어, 증폭된 상기 전류 신호로부터 상기 시간에 따른 전류 값의 변화량을 계산하는 단계는, 프로그래밍 언어(예를 들어 Python, 또는 PyTorch)로 구현된 프로그램을 이용하여 계산될 수 있다.

[0055] 상기 시간에 따른 전류 값의 변화량이 전류 값의 변화량에 대한 확률 밀도 함수로 변환될 수 있다(S150).

[0056] 구체적으로 예를 들어, 도 6에 도시된 바와 같이, 전류 값의 변화량에 대한 확률 밀도 함수로 변환될 수 있다. 즉, 상기 피시험 반도체에서 출력된 상기 전류 신호는 증폭된 후, 전류 값의 변화량에 대한 상기 확률 밀도 함수로 변환될 수 있다.

[0057] 상기 확률 밀도 함수로부터 상기 피시험 반도체 소자의 트랩 사이트에 대한 정보가 추출될 수 있다(S160).

[0058] 피시험 반도체 소자에 존재하는 트랩 사이트의 종류, 트랩 사이트의 위치, 트랩 사이트의 밀도, 및 트랩 사이트의 분포에 따라서, 피시험 반도체 소자에서 출력된 상기 전류 값의 변화량에 대한 고유의 확률 밀도 함수가 존재할 수 있다.

[0059] 이에 따라, 상기 확률 밀도 함수로부터 상기 피시험 반도체 소자의 트랩 사이트에 대한 정보를 추출하는 단계는, 트랩 사이트의 종류, 트랩 사이트의 위치, 트랩 사이트의 밀도, 및 트랩 사이트의 분포에 따른 고유의 참조용 확률 밀도 함수들을 준비하는 단계, 상기 참조용 확률 밀도 함수들 중에서, 상기 확률 밀도 함수와 매칭되는, 제1 내지 제n(n은 2 이상의 자연수) 참조용 확률 밀도 함수를 선택하는 단계, 및 상기 제1 내지 제n 참조용 확률 밀도 함수에 대응되는 트랩 사이트의 종류, 트랩 사이트의 위치, 트랩 사이트의 밀도, 및 트랩 사이트의 분포를 추출하는 단계를 포함할 수 있다.

[0060] 즉, 상기 확률 밀도 함수와 매칭되는 상기 제1 내지 제n 참조용 확률 밀도 함수를 선택하여, 상기 제1 내지 제n 참조용 확률 밀도 함수에 대응되는 트랩 사이트의 종류, 트랩 사이트의 위치, 트랩 사이트의 밀도, 및 트랩 사이트의 분포가, 상기 피시험 반도체 소자의 트랩 사이트에 대한 정보로 정의될 수 있다.

[0061] 구체적으로 예를 들어, 상기 확률 밀도 함수가 도 6에 도시된 바와 같이 구성되고, 상기 참조용 확률 밀도 함수들이 도 7에 도시된 바와 같이, F1-1, F1-2, F1-3, F2-1, F2-2, 및 F2-3으로 구성될 수 있다. 도 7의 상기 참조용 확률 밀도 함수들(F1-1, F1-2, F1-3, F2-1, F2-2, 및 F2-3) 중에서, 전류 값의 변화량에 따른 확률 밀도 값이, 도 6의 상기 확률 밀도 함수와 비교하여, 실질적으로 일치 또는 가장 근접한 상기 제1 참조용 확률 밀도 함수(F1-1) 및 상기 제2 참조용 확률 밀도 함수(F2-2)가 도 8에 도시된 바와 같이, 선택될 수 있다. 이 경우, 상기 제1 참조용 확률 밀도 함수(F1-1) 및 상기 제2 참조용 확률 밀도 함수(F2-2)에 대응되는 트랩 사이트의 종류, 트랩 사이트의 위치, 트랩 사이트의 밀도, 및 트랩 사이트의 분포가, 상기 피시험 반도체의 트랩 사이트에 대한 정보로 정의될 수 있다.

[0062] 또한, 일 실시 예에 따르면, 상기 참조용 확률 밀도 함수들 중에서, 상기 확률 밀도 함수와 매칭되는 상기 제1 내지 제n 참조용 확률 밀도 함수를 선택하는 단계는, 기계 학습 및 딥러닝을 통해 수행될 수 있다.

[0063] 본 출원의 실시 예에 따르면, 상기 피시험 반도체 소자에서 출력되는 상기 전류 신호를 측정하고, 상기 전류 신호를 증폭한 후, 상기 시간에 따른 전류 값의 변화량을 계산하고, 상기 시간에 따른 전류 값의 변화량으로부터 전류 값의 변화량에 대한 확률 밀도 함수를 변환하고, 상기 참조용 확률 밀도 함수들을 이용하여 상기 확률 밀도 함수로부터 상기 피시험 반도체 소자의 트랩 사이트에 대한 정보를 추출할 수 있다. 즉, 상기 피시험 반도체 소자에 상기 테스트 전류를 인가하는 간소한 방법으로, 상기 피시험 반도체 소자의 트랩 사이트에 대한 정보를

추출할 수 있다.

[0064] 이에 따라, 상기 피시험 반도체 소자에 대해서 charge pumping capacitance를 측정하지 않고도, 상기 피시험 반도체 소자의 트랩 사이트에 대한 정보를 용이하게 분석할 수 있고, 이로 인해, 간소하고 저렴하고 검사 속도가 빠른 반도체 소자의 검사 방법이 제공될 수 있다.

[0066] 이하, 상술된 본 출원의 실시 예에 따른 피시험 반도체 소자의 검사 방법을 구현하기 위한, 피시험 반도체 소자의 검사 장치의 일 예가 도 9 및 도 10을 참조하여 설명된다.

[0067] 도 9는 본 출원의 실시 예에 따른 피시험 반도체 소자의 검사 장치를 설명하기 위한 블록도이고, 도 10은 본 출원의 실시 예에 따른 피시험 반도체 소자의 검사 장치에 포함된 트랩 사이트 정보 확인부를 설명하기 위한 블록도이다.

[0068] 도 9 및 도 10을 참조하면, 본 발명의 실시 예에 따른 피시험 반도체 소자의 검사 장치는, 전류 신호 측정부(110), 증폭부(120), 전류 값 변화량 계산부(130), 확률 밀도 함수 변환부(140), 및 트랩 사이트 정보 확인부(150)를 포함할 수 있다.

[0069] 상기 전류 신호 측정부(110)는 테스트 전류가 인가된 피시험 반도체 소자로부터 전류 신호를 측정할 수 있고, 상기 증폭부(120)는 상기 전류 신호를 증폭할 수 있다.

[0070] 상기 전류 값 변화량 계산부(130)는 증폭된 상기 전류로부터 시간에 따른 전류 값의 변화량을 계산할 수 있고, 상기 확률 밀도 함수 변환부(140)는 상기 시간에 따른 전류 값의 변화량을 전류 값의 변화량에 따른 확률 밀도 함수로 변환할 수 있다.

[0071] 상기 트랩 사이트 정보 확인부(150)는, 데이터 저장부(152) 및 매칭부(154)를 포함할 수 있다.

[0072] 상기 데이터 저장부(152)는 트랩 사이트의 종류, 트랩 사이트의 위치, 트랩 사이트의 밀도, 및 트랩 사이트의 분포에 따른 고유의 참조용 확률 밀도 함수들을 저장할 수 있다.

[0073] 상기 매칭부(154)는 상기 참조용 확률 밀도 함수들을 이용하여, 상기 피시험 반도체 소자의 트랩 사이트에 대한 정보를 추출할 수 있다. 구체적으로, 상기 매칭부(154)는, 상기 참조용 확률 밀도 함수들 중에서, 상기 확률 밀도 함수와 매칭되는, 제1 내지 제n(n은 2 이상의 자연수) 참조용 확률 밀도 함수를 선택하고, 상기 제1 내지 제n 참조용 확률 밀도 함수에 대응되는 트랩 사이트의 종류, 트랩 사이트의 위치, 트랩 사이트의 밀도, 및 트랩 사이트의 분포를 추출할 수 있다.

[0075] 상술된 본 발명의 실시 예들은 컴퓨터 프로그램 인스트럭션들에 의해 수행될 수 있음을 당업자들에게 이해될 수 있을 것이다. 이들 컴퓨터 프로그램 인스트럭션들은 범용 컴퓨터, 특수용 컴퓨터, 또는 기타 프로그램 가능한 데이터 프로세싱 장비의 프로세서에 탑재될 수 있으므로, 컴퓨터 또는 기타 프로그램 가능한 데이터 프로세싱 장비의 프로세서를 통해 수행되는 그 인스트럭션들이 흐름도 블록(들)에서 본 발명의 실시 예들의 기능들을 수행하는 수단을 생성하게 된다.

[0076] 이들 컴퓨터 프로그램 인스트럭션들은 특정 방식으로 기능을 구현하기 위해 컴퓨터 또는 기타 프로그램 가능한 데이터 프로세싱 장비를 지향할 수 있는 컴퓨터 이용 가능 또는 컴퓨터 판독 가능 메모리에 저장되는 것도 가능하므로, 그 컴퓨터 이용가능 또는 컴퓨터 판독 가능 메모리에 저장된 인스트럭션들은 본 발명의 실시 예에 따른 기능을 수행하는 인스트럭션 수단을 내포하는 제조 품목을 생산하는 것도 가능하다.

[0077] 컴퓨터 프로그램 인스트럭션들은 컴퓨터 또는 기타 프로그램 가능한 데이터 프로세싱 장비 상에 탑재되는 것도 가능하므로, 컴퓨터 또는 기타 프로그램 가능한 데이터 프로세싱 장비 상에서 일련의 동작 단계들이 수행되어 컴퓨터로 실행되는 프로세스를 생성해서 컴퓨터 또는 기타 프로그램 가능한 데이터 프로세싱 장비를 수행하는 인스트럭션들은 흐름도 블록(들)에서 설명된 기능들을 실행하기 위한 단계들을 제공하는 것도 가능하다.

[0078] 또한, 각 블록은 특정된 논리적 기능(들)을 실행하기 위한 하나 이상의 실행 가능한 인스트럭션들을 포함하는 모듈, 세그먼트 또는 코드의 일부를 나타낼 수 있다. 또, 몇 가지 대체 실행 예들에서는 블록들에서 언급된 기능들이 순서를 벗어나서 발생하는 것도 가능하다. 예컨대, 잇달아 도시되어 있는 두 개의 블록들은 사실 실질적으로 동시에 수행되는 것도 가능하고 또는 그 블록들이 때때로 해당하는 기능에 따라 역순으로 수행되는 것도

가능하다.

[0080] 이하, 상술된 본 출원의 실시 예에 따른 구체적인 실험 예가 설명된다.

[0081] 실험 예에 따른 반도체 소자 준비

[0082] 실리콘 게이트 올 어라운드(gate all around) 타입의 트랜지스터를 준비하였다. 구체적으로, 폴리 실리콘으로 형성된 게이트 올 어라운드 타입의 트랜지스터를 준비하였다. 이후, sub-threshold 영역의 DC 전압을 트랜지스터에 인가하고, 출력되는 전류의 미세 떨림을 증폭시키고, 증폭된 전류 신호로부터 시간에 따른 전류 값의 변화량을 정규화하고, 시간에 따른 전류 값의 변화량을 전류 값의 변화량에 따른 확률 밀도 함수로 변환하고, 트랜지스터의 트랩 사이트에 대한 정보를 확인하였다.

[0084] 도 11은 본 출원의 실험 예에 따른 반도체 소자의 시간에 따른 전류 값의 변화량을 도시한 그래프이다.

[0085] 도 11을 참조하면, 상술된 바와 같이, 실험 예에 따른 트랜지스터에 대해서 시간에 따른 전류 값의 변화량을 정규화하였다.

[0086] 도 11에서 τ_l은 캐리어가 트랩되는 시간이고, τ_h는 캐리어가 디트랩되는 시간을 의미한다. 페르미 레벨에 존재하는 캐리어가 트랩 사이트에 트랩 또는 디트랩될 수 있으며, 캐리어의 트랩 또는 디트랩에 따라서 전류 값의 변화량이 증감하는 것을 확인할 수 있다.

[0087] 또한, 트랩 사이트의 종류, 트랩 사이트의 위치, 트랩 사이트의 밀도, 및 트랩 사이트의 분포에 따라서 전류 값의 변화량의 변동은 서로 다른 것을 알 수 있다.

[0089] 도 12는 본 출원의 실험 예에 따른 반도체 소자의 게이트 전압에 따른 트랩 및 디트랩 시간을 측정한 그래프이다.

[0090] 도 12를 참조하면, 상술된 실험 예에 따른 트랜지스터를 준비하되, 채널의 길이가 900nm이고 채널의 폭이 85nm인 트랜지스터를 준비하고, 채널의 길이가 900nm이고 채널의 폭이 165nm인 트랜지스터를 준비하고, 게이트 전압에 따라 캐리어가 트랩 및 디트랩되는 시간을 측정하였다.

[0091] 도 12에서 알 수 있듯이, 채널 폭이 넓은 트랜지스터와 비교하여, 채널 폭이 좁은 트랜지스터의 경우, 캐리어가 트랩 및 디트랩되는 시간이 더 긴 것을 확인할 수 있다. 즉, 트랜지스터의 구조, 치수, 및 특성에 따라서 캐리어가 트랩 및 디트랩되는 시간이 변화되는 것을 알 수 있다.

[0093] 도 13은 본 출원의 실험 예에 따른 반도체 소자의 시간에 따른 정규화된 전류 값 변화량을 측정한 그래프이다.

[0094] 도 13을 참조하면, 상술된 실험 예에 따른 트랜지스터에 대해서 시간에 따른 전류 값의 변화량을 정규화하였다. 도 13에서 알 수 있듯이, 시간에 따라서 전류 값이 변동(fluctuation)하는 것을 확인할 수 있다.

[0096] 도 14 및 도 15는 본 출원의 실험 예에 따른 반도체 소자의 확률 밀도 함수를 도시한 것이다.

[0097] 도 14 및 도 15를 참조하면, 도 14는 도 12를 참조하여 설명된 채널의 길이가 900nm이고 채널의 폭이 85nm인 트랜지스터의 확률 밀도 함수로, 도 14의 (a)는 Vth가 인가되기 전이고 도 14의 (b)는 Vth 인가된 후이다. 도 15는 도 12를 참조하여 설명된 채널의 길이가 900nm이고 채널의 폭이 165nm인 트랜지스터의 확률 밀도 함수로, 도 15의 (a)는 Vth가 인가되기 전이고 도 15의 (b)는 Vth 인가된 후이다.

[0098] 도 14 및 도 15에서 알 수 있듯이, 트랜지스터의 구조, 치수, 및 특성에 따라서, 전류 값의 변화량에 대한 확률 밀도 함수가 변화되는 것을 확인할 수 있으며, Vth의 인가 여부에 따라서 확률 밀도 함수가 변화되는 것을 확인할 수 있다. 즉, 트랩 사이트의 종류, 트랩 사이트의 위치, 트랩 사이트의 밀도, 및 트랩 사이트의 분포에 따라서 확률 밀도 함수가 변화되는 것을 확인할 수 있다.

[0100] 도 16은 본 출원의 실험 예에 따른 반도체 소자의 확률 밀도 함수 분석에 사용된 가우시안 혼합 모델이고, 도 17은 본 출원의 실험 예에 따른 반도체 소자의 트랩 사이트 정보를 분석한 결과이다.

[0101] 도 16 및 도 17을 참조하면, 도 14 및 도 15에 도시된 확률 밀도 함수는 복수의 참조용 확률 밀도 함수의 조합으로 매칭될 수 있다.

[0102] 도 16에 도시된 가우시안 혼합 모델(Gaussian Mixture Model)을 이용한 기계학습 및 딥러닝을 통해 수행될 수 있다. 구체적으로, 상술된 바와 같이, 트랩 사이트의 종류, 트랩 사이트의 위치, 트랩 사이트의 밀도, 및 트랩 사이트의 분포에 따라서 고유의 확률 밀도 함수가 존재할 수 있고, 고유의 확률 밀도 함수는 각각 고유의 평균값(u) 및 공분산 값(σ)을 가질 수 있다. 가우시안 혼합 모델을 이용한 기계학습 및 딥러닝으로 고유의 확률 밀도 함수들을 선별 및 조합하여, 도 14 및 도 15에 도시된 확률 밀도 함수를 구현하고, 선별된 고유의 확률 밀도 함수들이 갖는 트랩 사이트의 종류, 트랩 사이트의 위치, 트랩 사이트의 밀도, 및 트랩 사이트의 분포를 실험 예에 따른 트랜지스터의 트랩 사이트 정보로 정의할 수 있다.

[0103] 도 17을 참조하면, 도 17의 (a)는 가우시안 혼합 모델을 통해 실험 예에 따른 트랜지스터의 확률 밀도 함수의 분석 결과로 부피당 트랩 개수를 나타내는 그래프이고, 도 17의 (b)는 가우시안 혼합 모델을 통해 실험 예에 따른 트랜지스터의 확률 밀도 함수의 분석 결과로 스캐터링 파라미터(scattering parameter)를 나타내는 그래프이다.

[0104] 구체적으로, 전류 변동량의 푸리에 변환을 통해 산출된 주파수 영역에서 전력 스펙트럼 밀도를 통해, 부피당 트랩 개수 및 스캐터링 파라미터를 계산하였다.

[0106] 이상, 본 발명을 바람직한 실시 예를 사용하여 상세히 설명하였으나, 본 발명의 범위는 특정 실시 예에 한정되는 것은 아니며, 첨부된 특허청구범위에 의하여 해석되어야 할 것이다. 또한, 이 기술분야에서 통상의 지식을 습득한 자라면, 본 발명의 범위에서 벗어나지 않으면서도 많은 수정과 변형이 가능함을 이해하여야 할 것이다.

부호의 설명

[0107] 110: 전류 신호 측정부

120: 증폭부

130: 전류 값 변화량 계산부

140: 확률 밀도 함수 변환부

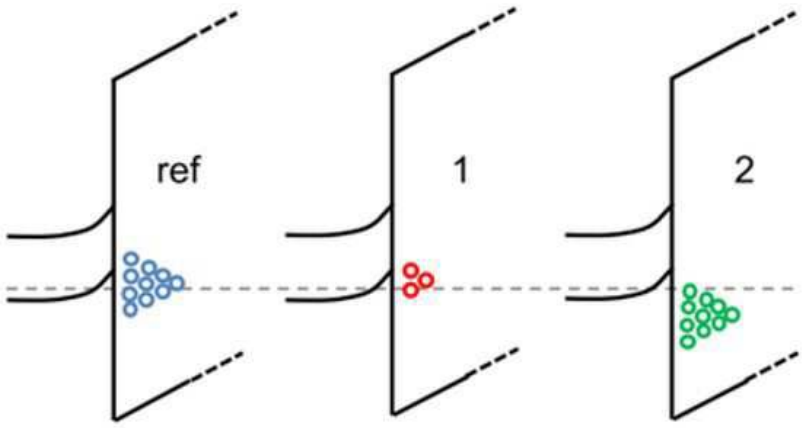
150: 트랩사이트 정보 확인부

152: 저장부

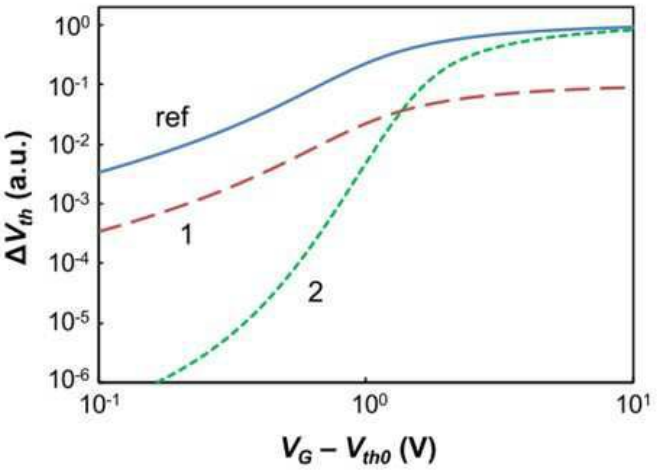
154: 매칭부

도면

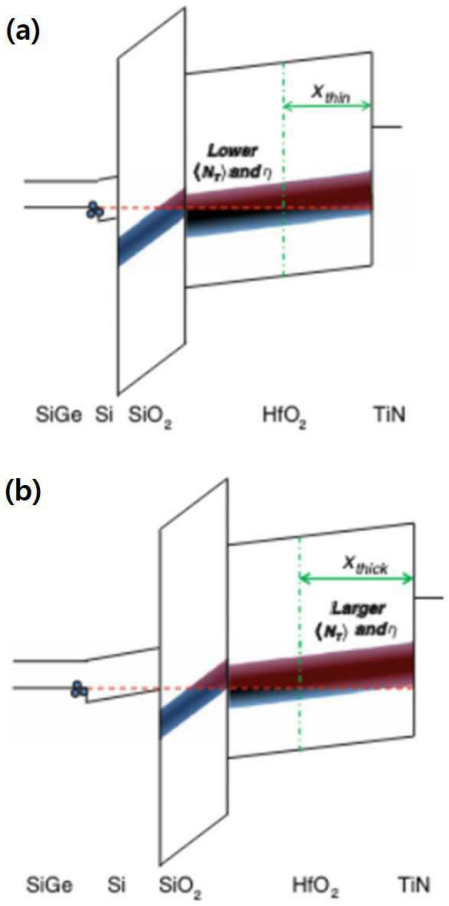
도면1


ref
1
2

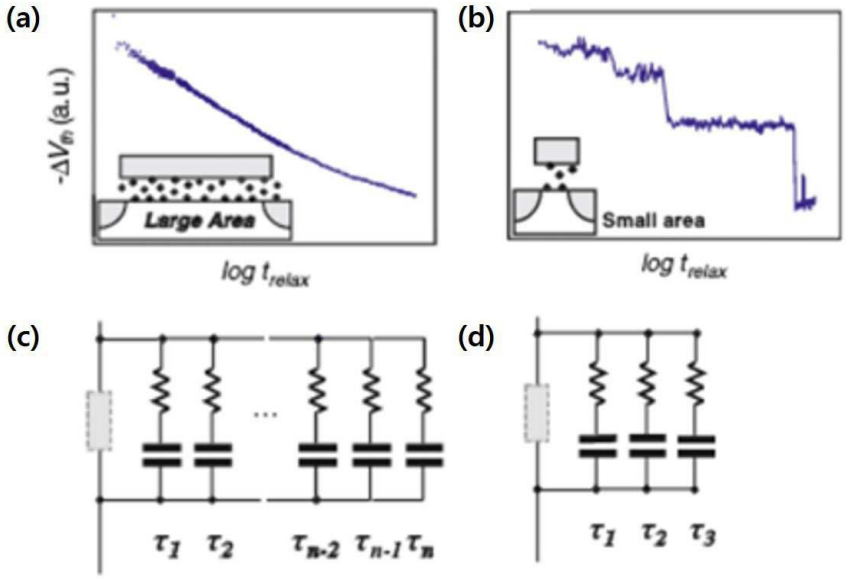
도면2


10^{0}
10^{-1}
10^{-2}
10^{-3}
10^{-4}
10^{-5}
10^{-6}
ΔV_{th} (a.u.)
ref
1
2
10^{-1}
10^{0}
10^{1}
$V_G - V_{th0}$ (V)

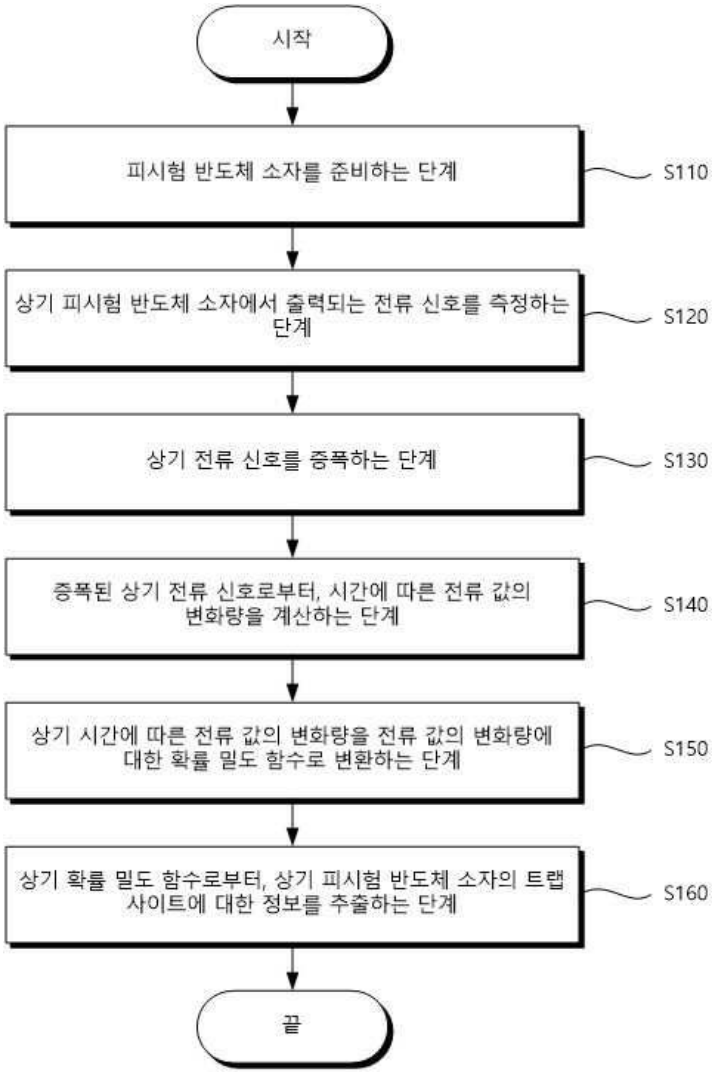
도면3


(a)
x_{thin}
Lower
$\langle N_T \rangle$ and η
SiGe Si SiO_2 HfO_2 TiN
(b)
x_{thick}
Larger
$\langle N_T \rangle$ and η
SiGe Si SiO_2 HfO_2 TiN

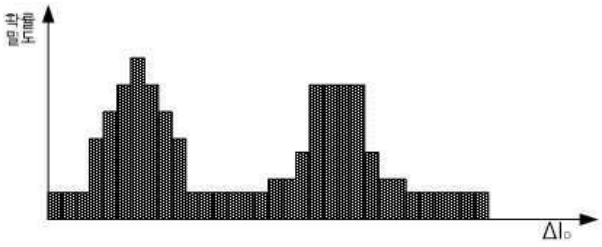
도면4


(a)
$-\Delta V_{th}$ (a.u.)
Large Area
log t_{relax}
(b)
Small area
log t_{relax}
(c)
τ_1 τ_2 τ_{n-2} τ_{n-1} τ_n
(d)
τ_1 τ_2 τ_3

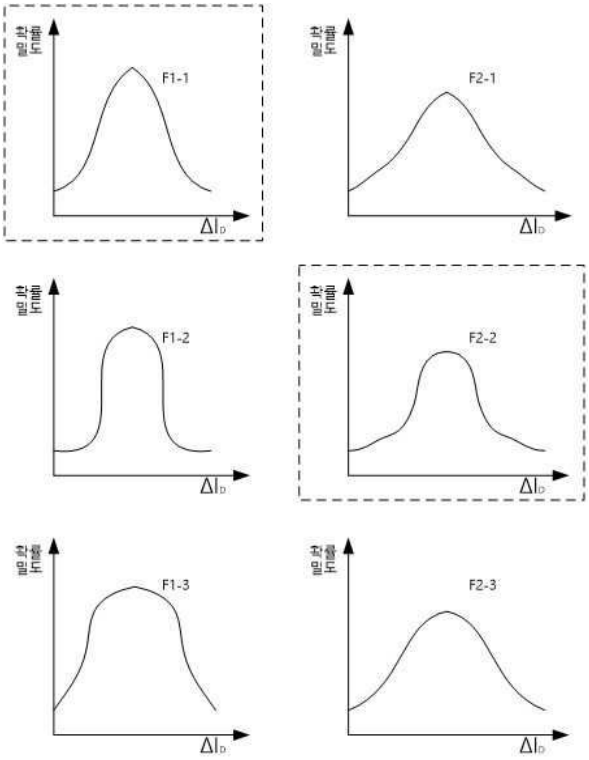
도면5


시작
피시험 반도체 소자를 준비하는 단계
S110
상기 피시험 반도체 소자에서 출력되는 전류 신호를 측정하는 단계
S120
상기 전류 신호를 증폭하는 단계
S130
증폭된 상기 전류 신호로부터, 시간에 따른 전류 값의 변화량을 계산하는 단계
S140
상기 시간에 따른 전류 값의 변화량을 전류 값의 변화량에 대한 확률 밀도 함수로 변환하는 단계
S150
상기 확률 밀도 함수로부터, 상기 피시험 반도체 소자의 트랩 사이트에 대한 정보를 추출하는 단계
S160
끝

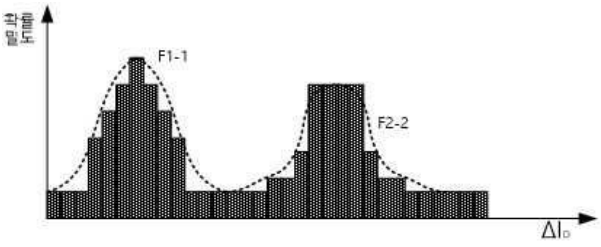
도면6


확률 밀도
ΔI

도면7


확률 밀도
F1-1
ΔID
확률 밀도
F2-1
ΔID
확률 밀도
F1-2
ΔID
확률 밀도
F2-2
ΔID
확률 밀도
F1-3
ΔID
확률 밀도
F2-3
ΔID

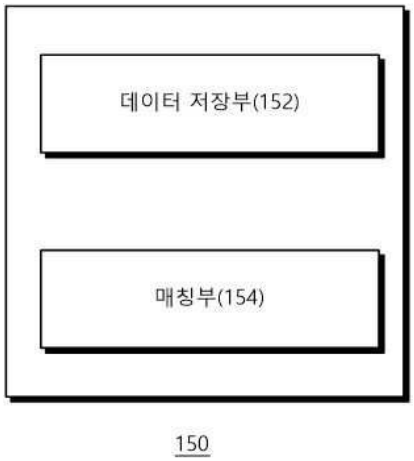
도면8


확률 밀도
F1-1
F2-2
ΔID

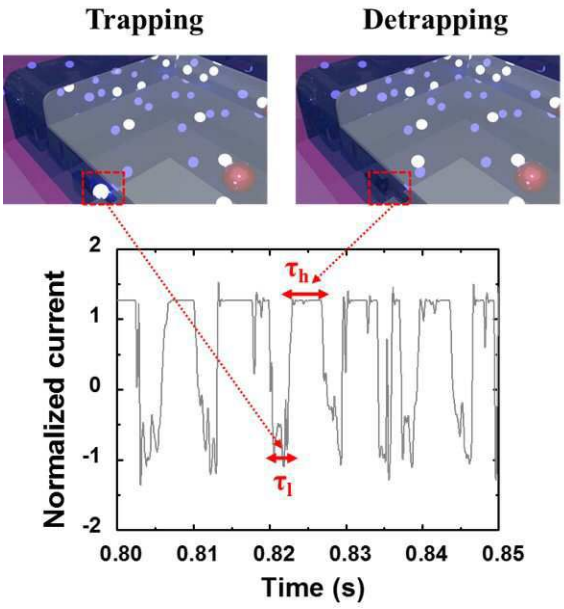
도면9


전류 신호 측정부 (110)
확률 밀도 함수 변환부 (140)
증폭부(120)
트랩사이트 정보 확인부 (150)
전류 값 변화량 계산부 (130)

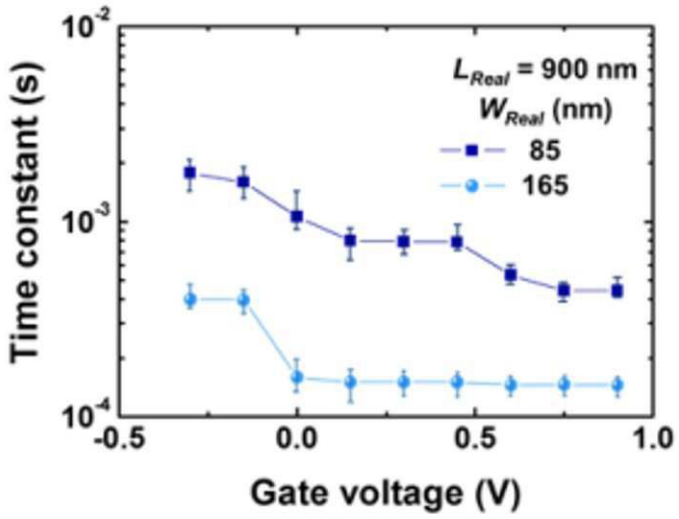
도면10


데이터 저장부(152)
매칭부(154)
150

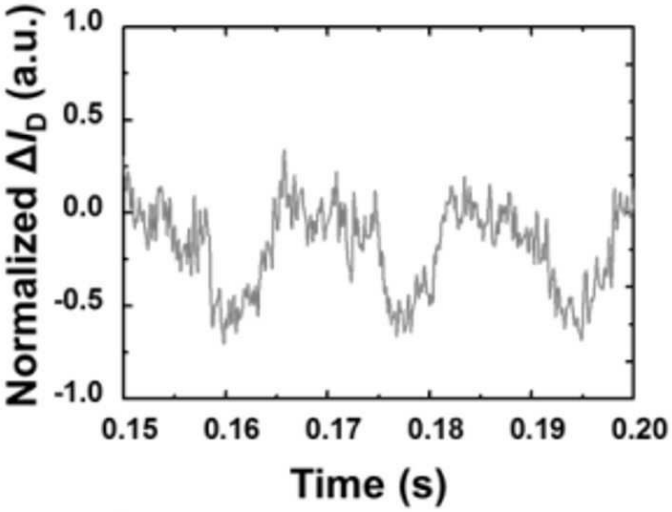
도면11


Trapping
Detrapping
Normalized current
Time (s)
τh
τl
2
1
0
-1
-2
0.80
0.81
0.82
0.83
0.84
0.85

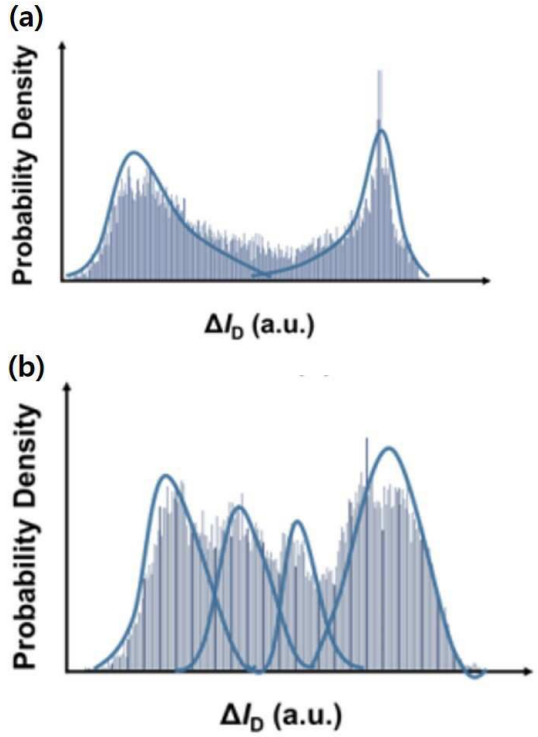
도면12


Time constant (s)
10^{-2}
10^{-3}
10^{-4}
L_{Real} = 900 nm
W_{Real} (nm)
85
165
-0.5
0.0
0.5
1.0
Gate voltage (V)

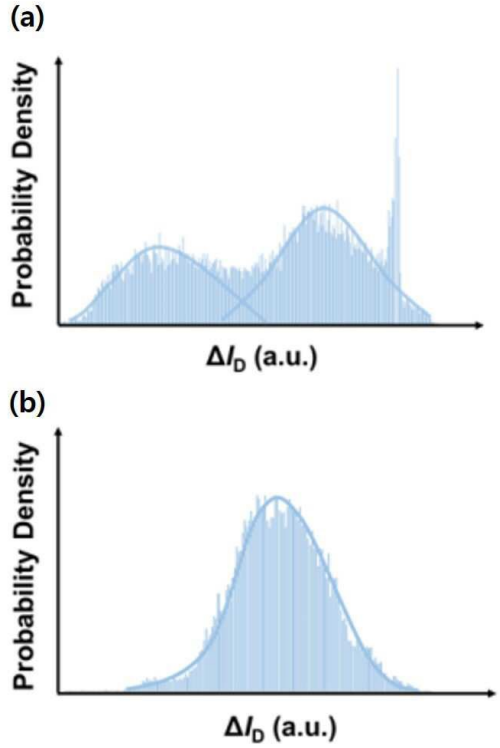
도면13


Normalized ΔI_D (a.u.)
1.0
0.5
0.0
-0.5
-1.0
0.15
0.16
0.17
0.18
0.19
0.20
Time (s)

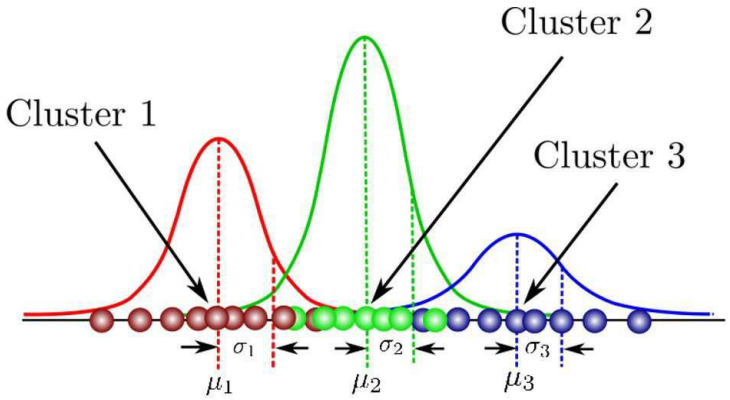
도면14


(a)
Probability Density
ΔI_D (a.u.)
(b)
Probability Density
ΔI_D (a.u.)

도면15


(a)
Probability Density
ΔI_D (a.u.)
(b)
Probability Density
ΔI_D (a.u.)

도면16



$$\ln p(X|\pi,\mu,\Sigma) = \sum_{i}^{n} \ln \sum_{j}^{k} \pi_j N(x_i|\mu_i,\Sigma_i)$$

도면17

