

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-147084  
(P2012-147084A)

(43) 公開日 平成24年8月2日(2012.8.2)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H03K 17/04 (2006.01)</b>	H03K 17/04 E	5J055
<b>H03K 17/16 (2006.01)</b>	H03K 17/16 H	5J056
<b>H03K 17/30 (2006.01)</b>	H03K 17/30 K	
<b>H03K 19/0175 (2006.01)</b>	H03K 19/00 I O I F	
<b>H03K 19/0948 (2006.01)</b>	H03K 19/094 B	

審査請求 未請求 請求項の数 8 O L (全 15 頁)

(21) 出願番号 特願2011-1963 (P2011-1963)  
(22) 出願日 平成23年1月7日 (2011.1.7)

(71) 出願人 000004260  
株式会社デンソー  
愛知県刈谷市昭和町1丁目1番地  
(74) 代理人 110000567  
特許業務法人 サトー国際特許事務所  
(72) 発明者 北川 昌宏  
愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内  
Fターム(参考) 5J055 AX02 AX25 AX48 BX16 BX45  
CX24 DX22 DX56 DX62 DX72  
DX73 DX83 EX01 EX02 EX07  
EY01 EY03 EY12 EY21 EZ07  
FX05 FX12 FX18 FX20 FX37  
GX01 GX04

最終頁に続く

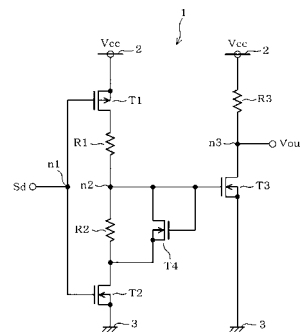
(54) 【発明の名称】 出力回路

(57) 【要約】

【課題】回路規模が小さく、出力トランジスタのしきい値電圧がばらついてもノイズを抑えつつターンオフ時間を短縮する。

【解決手段】駆動信号 S d が L の時、トランジスタ T 1 がオン、T 2 がオフして V G S (T 3) がほぼ電源電圧 V c c に等しくなりトランジスタ T 3 がオンする。駆動信号 S d が H になるとトランジスタ T 1 がオフ、T 2 がオンする。トランジスタ T 4 がオンするので抵抗 R 2 がバイパスされ、トランジスタ T 3 のゲート電荷はトランジスタ T 4、T 2 を通して急速に放電する。V G S (T 3) が V t h (T 4) + V D S (T 2) よりも低下すると、トランジスタ T 4 はオフとなり、以後はトランジスタ T 3 のゲート電荷が抵抗 R 2 とトランジスタ T 2 を通して緩やかに放電する。トランジスタ T 3、T 4 のしきい値電圧は一致する傾向があるので、V G S (T 3) が V T H (T 3) に低下した時点でトランジスタ T 4 をオフできる。

【選択図】 図 1



1: 出力回路  
2, 3: 電線  
R2: 電感制限素子  
T2: 駆動トランジスタ  
T3: 出力トランジスタ  
T4: 経路切換トランジスタ

## 【特許請求の範囲】

## 【請求項 1】

一の電源線に対し接地された駆動トランジスタおよび出力トランジスタと、前記駆動トランジスタの非接地側端子と前記出力トランジスタの制御端子との間に接続された電流制限素子と、

前記出力トランジスタと同じ接合形式または同じ導電型のトランジスタであって、前記電流制限素子と並列に接続され、制御端子が前記出力トランジスタの制御端子と接続された経路切換トランジスタとを備えたことを特徴とする出力回路。

## 【請求項 2】

前記電流制限素子と前記経路切換トランジスタとの並列回路と前記駆動トランジスタとの間に、電流に応じた電圧を生成する調整素子を備えていることを特徴とする請求項 1 記載の出力回路。

10

## 【請求項 3】

前記経路切換トランジスタのしきい値電圧と前記経路切換トランジスタがオンした状態で前記調整素子に生成される電圧とを加えた電圧が、前記出力トランジスタのしきい値電圧以上であることを特徴とする請求項 2 記載の出力回路。

## 【請求項 4】

前記経路切換トランジスタの制御端子と前記出力トランジスタの制御端子との間または前記経路切換トランジスタのソースもしくはエミッタから前記電流制限素子に至る経路に、電流に応じた電圧を生成する調整素子を備えていることを特徴とする請求項 1 記載の出力回路。

20

## 【請求項 5】

前記経路切換トランジスタのしきい値電圧と前記調整素子に生成される電圧とを加えた電圧が、前記出力トランジスタのしきい値電圧以上であることを特徴とする請求項 4 記載の出力回路。

## 【請求項 6】

前記調整素子は、抵抗またはダイオードにより構成されていることを特徴とする請求項 2 ないし 5 の何れかに記載の出力回路。

## 【請求項 7】

前記経路切換トランジスタは、前記出力トランジスタのしきい値電圧以上であって且つ互いに異なるしきい値電圧を持つ複数の経路切換トランジスタが並列に接続された構成を備えていることを特徴とする請求項 1 ないし 6 の何れかに記載の出力回路。

30

## 【請求項 8】

前記電流制限素子は、複数の電流制限素子の直列回路により構成され、

前記経路切換トランジスタは、前記複数の電流制限素子のそれぞれに並列に接続されたトランジスタが直列に接続された構成を備え、前記出力トランジスタの制御端子に最も近い電位を持つトランジスタの制御端子が前記出力トランジスタの制御端子に接続され、他のトランジスタはダイオード接続されていることを特徴とする請求項 1 ないし 6 の何れかに記載の出力回路。

## 【発明の詳細な説明】

40

## 【技術分野】

## 【0001】

本発明は、一の電源線に対し接地された駆動トランジスタおよび出力トランジスタを備えた出力回路に関する。

## 【背景技術】

## 【0002】

出力回路は、駆動トランジスタを用いて出力トランジスタを駆動し、負荷に流れる電流を通断電する。負荷電流を急速に通断電すると大きなノイズが発生し、車載装置例えばラジオに対するノイズの原因となる。そこで、出力トランジスタの制御電圧の変化率を下げ、通断電時の電流変化率を小さくする手段が用いられている。しかし、制御電圧の変化

50

率を下げると、ターンオン時間およびターンオフ時間が長くなる問題がある。

【0003】

そこで、特許文献1に記載された出力回路は、小電流駆動回路と大電流駆動回路とを備え、ターンオン時に出力トランジスタの制御電圧がしきい値電圧に達するまでは小電流駆動回路と大電流駆動回路により出力トランジスタを駆動し、出力トランジスタの制御電圧がしきい値電圧に達した後は小電流駆動回路のみにより出力トランジスタを駆動している。また、特許文献2に記載された出力回路は、駆動トランジスタと直列に抵抗を備え、ターンオン時に出力トランジスタの制御電圧がしきい値電圧に達するまでは抵抗をバイパスして駆動電流を高め、出力トランジスタの制御電圧がしきい値電圧に達した後は抵抗により駆動電流を低減している。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平11-145806号公報

【特許文献2】特開平7-226663号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上記特許文献1記載の出力回路は、出力トランジスタに対する小電流駆動回路と大電流駆動回路の2回路を必要とし、大電流駆動回路の動作状態を制御する制御回路の回路規模も大きくなるため、レイアウトサイズひいてはコストが増大する。また、上記特許文献2記載の出力回路は、回路規模は比較的小さくなるが、出力トランジスタのしきい値電圧がばらつくと、バイパスすべき期間と実際にバイパスする期間との間にずれが生じ、ターンオン時間が延びたり、逆にノイズを除去できない期間が生じる虞がある。

20

【0006】

本発明は上記事情に鑑みてなされたもので、その目的は、回路規模を小さく構成でき、出力トランジスタのしきい値電圧がばらついてもターンオフ時のノイズを抑えつつターンオフ時間も短縮できる出力回路を提供することにある。

【課題を解決するための手段】

【0007】

請求項1に記載した手段によれば、駆動トランジスタおよび出力トランジスタの各一端子（ソース、エミッタ）が一の電源線に対し接地され、駆動トランジスタの非接地側端子（ドレイン、コレクタ）と出力トランジスタの制御端子（ゲート、ベース）との間に電流制限素子が接続されている。出力トランジスタと同じ接合形式（NPN/PNP）または同じ導電型（Nチャネル/Pチャネル）の経路切換トランジスタが、電流制限素子と並列に接続されている。経路切換トランジスタの制御端子と出力トランジスタの制御端子は接続されている。

30

【0008】

この構成によれば、出力トランジスタをオン状態からオフ状態に移行させるため駆動トランジスタがオンすると、駆動トランジスタの主端子間（ドレイン・ソース間、コレクタ・エミッタ間）の電圧（以下、オン電圧と言う）が小さくなるとともに、「経路切換トランジスタに印加される制御電圧+駆動トランジスタのオン電圧=出力トランジスタに印加される制御電圧」の関係が成立する。また、経路切換トランジスタと出力トランジスタは、同じ製造プロセスの下で接近した位置にレイアウトされるので、しきい値電圧のばらつき傾向が一致する。例えば経路切換トランジスタと出力トランジスタのしきい値電圧を等しく設計すれば、しきい値電圧の値自体はばらついても両トランジスタのしきい値電圧同士の差は小さくなる。

40

【0009】

出力トランジスタの制御電圧が（経路切換トランジスタのしきい値電圧+駆動トランジスタのオン電圧）まで減少する間は、経路切換トランジスタがオンして電流制限素子をバ

50

イパスするので、出力トランジスタの制御電圧を短時間で低減できターンオフ時間を短縮できる。出力トランジスタの制御電圧が（経路切換トランジスタのしきい値電圧 + 駆動トランジスタのオン電圧）を超えて減少するようになると、経路切換トランジスタがオフするので、電流制限素子が介在して出力トランジスタの制御電圧の変化が緩やかになる。これにより断電時の電流変化率が小さくなりノイズを低減できる。

【0010】

本手段によれば回路規模を小さく構成できる。また、経路切換トランジスタと出力トランジスタのしきい値電圧のばらつき傾向が一致するので、経路切換トランジスタのしきい値電圧が相対的に大きくなり経路切換トランジスタのオフ移行タイミングが早まってターンオフ時間が延びること、および経路切換トランジスタのしきい値電圧が相対的に小さくなり急激な電流変化が生じてノイズの発生が増えることを確実に防止することができる。

10

【0011】

請求項2に記載した手段によれば、電流制限素子と経路切換トランジスタとの並列回路と駆動トランジスタとの間に、電流に応じた電圧を生成する調整素子を備えている。この場合には、「経路切換トランジスタに印加される制御電圧 + 駆動トランジスタのオン電圧 + 調整素子の電圧 = 出力トランジスタに印加される制御電圧」の関係が成立する。

【0012】

調整素子を介在させることにより、「経路切換トランジスタのしきい値電圧 + 駆動トランジスタのオン電圧 < 出力トランジスタのしきい値電圧」の関係がある場合でも、出力トランジスタの制御電圧がしきい値電圧以上の時点で経路切換トランジスタをオフして電流制限素子を作用させることができるので、急激な電流変化によるノイズの発生を抑えることができる。

20

【0013】

また、「経路切換トランジスタのしきい値電圧 > 出力トランジスタのしきい値電圧」の関係がある場合には、経路切換トランジスタがオンしたときに調整素子を通して出力トランジスタを駆動し、その後経路切換トランジスタがオフすると、電流制限素子と調整素子を直列に介して出力トランジスタを駆動する。つまり、出力トランジスタの制御電圧は段階的な制限電流によって低減するので、急激な電流変化によるノイズの発生を抑制することができる。

【0014】

請求項3に記載した手段によれば、経路切換トランジスタのしきい値電圧と経路切換トランジスタがオンした状態で調整素子に生成される電圧とを加えた電圧が、出力トランジスタのしきい値電圧以上となる。この構成によれば、駆動トランジスタのオン電圧の大小にかかわらず、出力トランジスタの制御電圧がしきい値電圧以上の時点で経路切換トランジスタをオフして電流制限素子を確実に作用させることができる。また、上述したように、出力トランジスタの制御電圧を段階的な制限電流によって低減できる。

30

【0015】

請求項4に記載した手段によれば、経路切換トランジスタの制御端子と出力トランジスタの制御端子との間または経路切換トランジスタのソースもしくはエミッタから電流制限素子に至る経路に、電流に応じた電圧を生成する調整素子を備えている。この構成によっても請求項2に記載した手段と同様の作用および効果が得られる。

40

【0016】

請求項5に記載した手段によれば、経路切換トランジスタのしきい値電圧と調整素子に生成される電圧とを加えた電圧が、出力トランジスタのしきい値電圧以上である。この構成によっても請求項3に記載した手段と同様の作用および効果が得られる。

【0017】

請求項6に記載した手段によれば、調整素子は、抵抗またはダイオードにより構成されている。抵抗の場合には、電流に比例した電圧を生成する。ダイオードの場合には、順方向電圧を生成する。

【0018】

50

請求項 7 に記載した手段によれば、経路切換トランジスタは、出力トランジスタのしきい値電圧以上であって且つ互いに異なるしきい値電圧を持つ複数の経路切換トランジスタが並列に接続された構成を備えている。この構成によれば、駆動トランジスタがオンして出力トランジスタの制御電圧が低下するのに伴い、しきい値電圧が大きい経路切換トランジスタから順にオンからオフに転じる。

【 0 0 1 9 】

各経路切換トランジスタはオン抵抗を持っているので、並列接続された経路切換トランジスタ全体としてのオン抵抗は順次高くなり、出力トランジスタの制御電圧がしきい値電圧に達する前に、全ての経路切換トランジスタがオフして電流制限素子のみが作用する。本手段によれば、出力トランジスタの制御電圧の変化割合を段階的に小さくすることができる。

10

【 0 0 2 0 】

請求項 8 に記載した手段によれば、電流制限素子は、複数の電流制限素子の直列回路により構成されている。経路切換トランジスタは、複数の電流制限素子のそれぞれに並列に接続されたトランジスタが直列に接続された構成を備え、出力トランジスタの制御端子に最も近い電位を持つトランジスタの制御端子が出力トランジスタの制御端子に接続され、他のトランジスタはダイオード接続されている。この構成によれば、経路切換トランジスタの各トランジスタは、そのしきい値電圧および並列接続される電流制限素子の大きさに応じて段階的にオンからオフに転じるので、出力トランジスタの制御電圧の変化割合を段階的に小さくすることができる。

20

【 図面の簡単な説明 】

【 0 0 2 1 】

【 図 1 】 本発明の第 1 の実施形態を示す出力回路の構成図

【 図 2 】 駆動信号  $S_d$  が L レベルから H レベルに変化したときの波形図

【 図 3 】 本発明の第 2 の実施形態を示す図 1 相当図

【 図 4 】 本発明の第 3 の実施形態を示す図 1 相当図

【 図 5 】 本発明の第 4 の実施形態を示す図 1 相当図

【 図 6 】 本発明の第 5 の実施形態を示す図 1 相当図

【 図 7 】 本発明の第 6 の実施形態を示す図 1 相当図

【 図 8 】 本発明の第 7 の実施形態を示す図 1 相当図

【 図 9 】 本発明の第 8 の実施形態を示す図 1 相当図

【 図 1 0 】 本発明の第 9 の実施形態を示す図 1 相当図

【 図 1 1 】 本発明の第 1 0 の実施形態を示す図 1 相当図

30

【 発明を実施するための形態 】

【 0 0 2 2 】

各実施形態において実質的に同一部分には同一符号を付して説明を省略する。また、トランジスタ  $T_n$  のゲート・ソース間電圧を  $V_{GS}(T_n)$ 、ドレイン・ソース間電圧を  $V_{DS}(T_n)$ 、しきい値電圧を  $V_{th}(T_n)$  と表記する。

【 0 0 2 3 】

( 第 1 の実施形態 )

40

以下、本発明の第 1 の実施形態について図 1 および図 2 を参照しながら説明する。

図 1 に示す出力回路 1 は、図示しない他の回路とともに CMOS プロセスにより製造される IC として構成されている。電圧  $V_{cc}$  が供給される電源線 2 と電源線 3 ( グランド線 ) との間には、P チャネル型の駆動トランジスタ  $T_1$ 、抵抗  $R_1$ 、抵抗  $R_2$ 、N チャネル型の駆動トランジスタ  $T_2$  が直列に接続されている。トランジスタ  $T_1$  と  $T_2$  のゲートは、共通に接続されて駆動信号  $S_d$  の入力ノード  $n_1$  とされている。また、電源線 2 と電源線 3 との間には、抵抗  $R_3$  と N チャネル型の出力トランジスタ  $T_3$  とが出力ノード  $n_3$  を挟んで直列に接続されている。電源線 2 と出力ノード  $n_3$  との間には図示しない負荷が接続されてローサイド駆動される。

【 0 0 2 4 】

50

トランジスタ T 2 と T 3 はともに電源線 3 に対しソース接地されており、トランジスタ T 1、T 2 のドレイン（非接地側端子）とトランジスタ T 3 のゲート（制御端子）との間に上記抵抗 R 1、R 2 が接続される。抵抗 R 1 と抵抗 R 2 の接続ノード n 2 は、トランジスタ T 3 のゲートに接続されている。抵抗 R 2 には、トランジスタ T 3 と同じ N チャネル型の導電型を持つ経路切換トランジスタ T 4 が並列に接続されている。トランジスタ T 4 のゲートは、トランジスタ T 3 のゲートに接続されている。

【 0 0 2 5 】

抵抗 R 1、R 2（電流制限素子）は出力電圧  $V_{out}$  を緩やかに変化させるために設けられており、それぞれトランジスタ T 3 がオンする時、オフする時にトランジスタ T 3 のゲート容量を充放電する電流を制限する。負荷に流れる出力電流および出力電圧  $V_{out}$  を緩やかに変化させるのは、通断電時に生じるノイズ（特に車載ラジオへのノイズ）を低減するためである。

10

【 0 0 2 6 】

本実施形態では、トランジスタ T 3、T 4 のしきい値電圧  $V_{th}(T3)$ 、 $V_{th}(T4)$  が互いに等しく設計されている。トランジスタ T 3 と T 4 は同じ製造プロセスの下で接近した位置にレイアウトされるので、しきい値電圧のばらつき傾向は一致する。従って、たとえしきい値電圧がばらついても、トランジスタ T 3、T 4 のしきい値電圧  $V_{th}(T3)$ 、 $V_{th}(T4)$  の差は非常に小さくなる。

【 0 0 2 7 】

図 2 は、駆動信号  $S_d$  が L レベル（0 V）から H レベル（ $V_{cc}$ ）に変化したときの波形図である。（b）、（c）は、それぞれ本実施形態の出力回路 1 における  $V_{GS}(T3)$ 、ノード n 3 の出力電圧  $V_{out}$  である。（d）、（e）は、それぞれトランジスタ T 4 が存在しない従来出力回路における  $V_{GS}(T3)$ 、ノード n 3 の出力電圧  $V_{out}$  である。駆動信号  $S_d$  が L レベルの時、トランジスタ T 1 がオン、T 2 がオフして  $V_{GS}(T3)$  がほぼ電源電圧  $V_{cc}$  に等しくなるのでトランジスタ T 3 がオンする。このとき、出力電圧  $V_{out}$  はほぼ 0 V となり、トランジスタ T 3 には負荷電流が流れる。

20

【 0 0 2 8 】

その後、時刻  $t_1$  で駆動信号  $S_d$  が H レベルになると、トランジスタ T 1 がオフ、トランジスタ T 2 がオンとなり、トランジスタ T 2 のドレイン・ソース間電圧  $V_{DS}(T2)$  はほぼ 0 V に低下する。このとき、以下の（1）式が成立する。

30

$$V_{GS}(T4) + V_{DS}(T2) = V_{GS}(T3) \quad \dots (1)$$

トランジスタ T 4 は、以下の（2）式の条件下でオンする。

$$V_{GS}(T4) = V_{GS}(T3) - V_{DS}(T2) - V_{th}(T4) \quad \dots (2)$$

【 0 0 2 9 】

時刻  $t_1$  の直後は上記（2）式が成立してトランジスタ T 4 がオンするので、トランジスタ T 4 により抵抗 R 2 がバイパスされ、トランジスタ T 3 のゲート容量に蓄積された電荷はトランジスタ T 4、T 2 を通して急速に放電する。これにより、トランジスタ T 3 のゲート・ソース間電圧  $V_{GS}(T3)$  は急激に低下する。やがて  $V_{GS}(T3)$  が  $V_{th}(T4) + V_{DS}(T2)$  よりも低下すると（時刻  $t_2$ ）、トランジスタ T 4 はオフとなり、以後はトランジスタ T 3 のゲート容量に蓄積された電荷が抵抗 R 2 とトランジスタ T 2 を通して緩やかに放電する。これにより、トランジスタ T 3 のゲート・ソース間電圧  $V_{GS}(T3)$  は緩やかに低下する。

40

【 0 0 3 0 】

上述したように本実施形態では  $V_{th}(T3) = V_{th}(T4)$  なので、 $V_{GS}(T3)$  の低下に伴い初めにトランジスタ T 4 がオフし、その後  $V_{GS}(T3)$  が  $V_{DS}(T2)$  だけ低下した時点でトランジスタ T 3 がオフし始める。ただし、 $V_{DS}(T2)$  は非常に小さいので、トランジスタ T 3 と T 4 はほぼ同時にオフすることになる。トランジスタ T 3 に流れる電流および出力電圧  $V_{out}$  は、時刻  $t_2$  まで変化せず、 $V_{GS}(T3)$  が  $V_{th}(T3)$  以下になるとそれぞれ徐々に低下および上昇する。一方、トランジスタ T 4 が存在しない従来出力回路では、ゲート容量に蓄積された電荷は常に抵抗 R 2 とトランジスタ T 2 を通して放電する。

50

## 【 0 0 3 1 】

本実施形態によれば、トランジスタ T 3 のゲート・ソース間電圧 V<sub>GS</sub>(T3) がしきい値電圧 V<sub>th</sub>(T3) まで低下する間は、トランジスタ T 4 がオンして抵抗 R 2 をバイパスする。これにより、V<sub>GS</sub>(T3) を短時間で低減でき、ターンオフ時間を短縮できる。また、V<sub>GS</sub>(T3) がしきい値電圧 V<sub>th</sub>(T3) を超えて低下するようになると、トランジスタ T 4 がオフするので、電荷引き抜き経路に抵抗 R 2 が介在して V<sub>GS</sub>(T3) の変化が緩やかになる。これにより断電時の電流変化率が小さくなりノイズを低減できる。さらに、出力回路 1 は、従来回路にトランジスタ T 4 を追加した構成であるので、従来の出力回路と比べレイアウトサイズの増加が少なく済む。

## 【 0 0 3 2 】

製造プロセス上、トランジスタ T 3、T 4 のしきい値電圧 V<sub>th</sub>(T3)、V<sub>th</sub>(T4) のばらつき傾向が一致する。このため、V<sub>th</sub>(T3) = V<sub>th</sub>(T4) (より厳密には V<sub>th</sub>(T3) = V<sub>th</sub>(T4) + V<sub>DS</sub>(T2)) の設計条件で IC を製造すれば、しきい値電圧値自体はばらついてもしきい値電圧 V<sub>th</sub>(T3)、V<sub>th</sub>(T4) は等しくなる。その結果、トランジスタ T 4 のしきい値電圧 V<sub>th</sub>(T4) が相対的に大きくなり、トランジスタ T 4 のオフ移行タイミングが早まってターンオフ時間が延びること、およびトランジスタ T 4 のしきい値電圧 V<sub>th</sub>(T4) が相対的に小さくなり、急激な電流変化が生じてノイズの発生が増えることを確実に防止することができる。なお、V<sub>th</sub>(T3) = V<sub>th</sub>(T4) の関係が成立しない場合でも、少なくとも V<sub>th</sub>(T3) > V<sub>th</sub>(T4) (より厳密には V<sub>th</sub>(T3) > V<sub>th</sub>(T4) + V<sub>DS</sub>(T2)) の関係があれば、断電時のノイズを低減できる。

## 【 0 0 3 3 】

(第 2 の実施形態)

図 3 は、第 2 の実施形態の出力回路 4 を示している。トランジスタ T 1 と抵抗 R 1 との間に抵抗 R 4 を備えている。また、抵抗 R 2 とトランジスタ T 4 との並列回路とトランジスタ T 2 との間に抵抗 R 5 を備えている。抵抗 R 5 は、電流に応じた電圧を生成する調整素子である。トランジスタ T 4 がオンした状態で抵抗 R 5 に生成される電圧を V(R5) と表記すれば、以下の (3) 式が成立する。

$$V_{GS}(T4) + V(R5) + V_{DS}(T2) = V_{GS}(T3) \quad \dots (3)$$

## 【 0 0 3 4 】

第 1 の実施形態の出力回路 1 では、V<sub>th</sub>(T3) = V<sub>th</sub>(T4) の場合には、V<sub>GS</sub>(T3) の低下に伴い初めにトランジスタ T 4 がオフして V<sub>GS</sub>(T3) の変化を緩やかにし、その後トランジスタ T 3 がオフする。しかし、トランジスタ T 3 の素子サイズがトランジスタ T 4 の素子サイズより大きい等の理由により V<sub>th</sub>(T4) + V<sub>DS</sub>(T2) < V<sub>th</sub>(T3) の関係となる場合には、V<sub>GS</sub>(T3) が V<sub>th</sub>(T3) より低下した後もトランジスタ T 4 がオンし続けるので、急激な電流変化によりノイズが増大する虞がある。

## 【 0 0 3 5 】

これに対し、本実施形態の出力回路 4 は調整素子として抵抗 R 5 を設けたので、抵抗 R 5 の大きさを適宜設定して次の (4) 式または (5) 式を成立させることができる。

$$V_{th}(T4) + V(R5) + V_{DS}(T2) = V_{th}(T3) \quad \dots (4)$$

$$V_{th}(T4) + V(R5) > V_{th}(T3) \quad \dots (5)$$

これら何れの場合も、V<sub>GS</sub>(T3) の低下に伴い初めにトランジスタ T 4 がオフしてからトランジスタ T 3 がオフするようになるので、急激な電流変化によるノイズの発生を抑えることができる。

## 【 0 0 3 6 】

一方、V<sub>th</sub>(T4) > V<sub>th</sub>(T3) の関係となる場合には、トランジスタ T 4 がオンしている間、抵抗 R 5 を通してトランジスタ T 3 のゲート電荷を引き抜く。その後、トランジスタ T 4 がオフすると、抵抗 R 2 と抵抗 R 5 を直列に介してトランジスタ T 3 のゲート電荷を引き抜く。その結果、トランジスタ T 3 のゲート・ソース間電圧 V<sub>GS</sub>(T3) は段階的な制限電流によって低減するので、急激な電流変化によるノイズの発生を抑制することができる。

## 【 0 0 3 7 】

10

20

30

40

50

## (第3の実施形態)

図4は、第3の実施形態の出力回路5を示している。この出力回路5は、第2の実施形態の出力回路4に対し、抵抗R4、R5をダイオードD1、D2で置き替えたものである。調整素子であるダイオードD2の順方向電圧をVfとすれば、以下の(6)式が成立する。

$$V_{GS}(T4) + V_f + V_{DS}(T2) = V_{GS}(T3) \quad \dots (6)$$

## 【0038】

本実施形態によれば、トランジスタT4を設けたことによる作用および効果を奏する他、 $V_{th}(T4) + V_{DS}(T2) < V_{th}(T3)$ の関係となる場合に次の(7)式または(8)式を成立させることができ、急激な電流変化によるノイズの発生を抑えることができる。

$$V_{th}(T4) + V_f + V_{DS}(T2) < V_{th}(T3) \quad \dots (7)$$

$$V_{th}(T4) + V_f < V_{th}(T3) \quad \dots (8)$$

## 【0039】

さらに、本実施形態によれば、駆動信号SdがLレベルのときの $V_{GS}(T3)$ は $(V_{CC} - V_{DS}(T1) - V_f)$ までしか上昇しないので、その分だけトランジスタT3のゲート電荷が減少し、駆動信号SdがHレベルに転じた時のターンオフ時間を短縮することができる。また、駆動信号SdがHレベルのときの $V_{GS}(T3)$ は $(V_f + V_{DS}(T2))$ 以下には下がらないので、駆動信号SdがLレベルに転じた時のターンオン時間を短縮することができる。

## 【0040】

## (第4の実施形態)

図5は、第4の実施形態の出力回路6を示している。この出力回路6は、トランジスタT4のゲートとトランジスタT3のゲートとの間にダイオードD3を備えている。ダイオードD3は、電流に応じた電圧を生成する調整素子である。この構成でも第3の実施形態と同様の(6)式が成立する。従って、トランジスタT4を設けたことによる上述した作用および効果を奏する他、 $V_{th}(T4) + V_{DS}(T2) < V_{th}(T3)$ の関係となる場合に上述した(7)式または(8)式を成立させることができ、急激な電流変化によるノイズの発生を抑えることができる。

## 【0041】

## (第5の実施形態)

図6は、第5の実施形態の出力回路7を示している。この出力回路7は、トランジスタT4のゲートとトランジスタT3のゲートとの間に抵抗R6を備えている。抵抗R6は、電流に応じた電圧を生成する調整素子である。本実施形態によっても、第4の実施形態と同様の作用および効果を奏する。

## 【0042】

## (第6の実施形態)

図7は、第6の実施形態の出力回路8を示している。この出力回路8は、トランジスタT4のソースから抵抗R2(トランジスタT2のドレイン)に至る経路にダイオードD4を備えている。ダイオードD4は、電流に応じた電圧を生成する調整素子である。本実施形態によっても、第4の実施形態と同様の作用および効果を奏する。

## 【0043】

## (第7の実施形態)

図8は、第7の実施形態の出力回路9を示している。トランジスタT4は、トランジスタT3のしきい値電圧 $V_{th}(T3)$ 以上であって且つ互いに異なるしきい値電圧 $V_{th}(T41)$ 、 $V_{th}(T42)$ 、 $V_{th}(T43)$ を持つ3つのトランジスタT41、T42、T43が並列に接続された構成を備えている。

## 【0044】

$V_{th}(T43) > V_{th}(T42) > V_{th}(T41) > V_{th}(T3)$ の関係がある場合、駆動信号SdがHレベルになると、トランジスタT2がオンとなり、トランジスタT41、T42、T43が全てオンする。この場合、トランジスタT3のゲート電荷の放電経路にトランジスタT41、T42、T43のオン抵抗が並列に入るので、放電経路の抵抗が最も小さくなり急速

10

20

30

40

50

に放電する。

【 0 0 4 5 】

トランジスタ T 3 のゲート・ソース間電圧  $V_{GS}(T3)$  が低下して  $V_{GS}(T3) < V_{th}(T43)$  になると (ただし、 $V_{DS}(T2) = 0 V$ )、トランジスタ T 4 3 がオフするため、放電経路にトランジスタ T 4 1、T 4 2 のオン抵抗が並列に入る。さらにゲート・ソース間電圧  $V_{GS}(T3)$  が低下して  $V_{GS}(T3) < V_{th}(T42)$  になると、トランジスタ T 4 2 もオフするため、放電経路にトランジスタ T 4 1 のオン抵抗が入る。そして、最終的にはトランジスタ T 4 1、T 4 2、T 4 3 が全てオフとなり、抵抗 R 2 を通して緩やかに電荷の放電が行われる。

【 0 0 4 6 】

本実施形態によれば、第 1 の実施形態と同様の作用および効果を奏する。さらに、トランジスタ T 3 のゲート・ソース間電圧  $V_{GS}(T3)$  がしきい値電圧  $V_{th}(T3)$  に達する前の時点からゲート・ソース間電圧  $V_{GS}(T3)$  の変化割合を段階的に小さくするので、ターンオフ時間の増大を極力小さく抑えつつ、断電時に生じるノイズを一層低減することができる。

10

【 0 0 4 7 】

(第 8 の実施形態)

図 9 は、第 8 の実施形態の出力回路 1 0 を示している。抵抗 R 2 は、3 つの抵抗 R 2 1、R 2 2、R 2 3 (電流制限素子) の直列回路により構成されている。抵抗 R 2 に並列に接続される経路切換トランジスタ T 5 は、上記 3 つの抵抗 R 2 1、R 2 2、R 2 3 のそれぞれに並列に接続された経路切換トランジスタ T 5 1、T 5 2、T 5 3 が直列に接続された構成を備えている。トランジスタ T 3 のゲート電位に最も近い電位を持つトランジスタ T 5 1 のゲートはトランジスタ T 3 のゲートに接続され、他のトランジスタ T 5 2、T 5 3 はゲート・ドレイン間が接続されたダイオード接続とされている。

20

【 0 0 4 8 】

駆動信号 S d が H レベルになるとトランジスタ T 2 がオンとなる。このとき (9) 式が成立すれば、トランジスタ T 5 1、T 5 2、T 5 3 が全てオンする。これにより、トランジスタ T 5 1、T 5 2、T 5 3 を直列に介した放電経路が形成され、当該放電経路の抵抗が最も小さくなるので、トランジスタ T 3 のゲート電荷は急速に放電する。

$$V_{th}(T51) + V_{th}(T52) + V_{th}(T53) < V_{cc} - V_{DS}(T1) \quad \dots (9)$$

【 0 0 4 9 】

トランジスタ T 3 のゲート・ソース間電圧  $V_{GS}(T3)$  がさらに低下した場合の動作は、抵抗 R 2 1、R 2 2、R 2 3 の値とトランジスタ T 5 1、T 5 2、T 5 3 のしきい値電圧  $V_{th}(T51)$ 、 $V_{th}(T52)$ 、 $V_{th}(T53)$  とに応じて定まる。例えばしきい値電圧  $V_{th}(T51)$ 、 $V_{th}(T52)$ 、 $V_{th}(T53)$  が等しい場合には、抵抗 R 2 1、R 2 2、R 2 3 のうち抵抗値の最も小さいものに並列接続されたトランジスタから順次オフする。一方、しきい値電圧  $V_{th}(T51)$ 、 $V_{th}(T52)$ 、 $V_{th}(T53)$  が異なる場合には、並列接続された抵抗の値にも依存して動作が定まる。

30

【 0 0 5 0 】

本実施形態によれば、第 1 の実施形態と同様の作用および効果を奏する。さらに、トランジスタ T 3 のゲート・ソース間電圧  $V_{GS}(T3)$  の変化割合を段階的に小さくするので、ターンオフ時間の増大を極力小さく抑えつつ、断電時に生じるノイズを一層低減することができる。

40

【 0 0 5 1 】

(第 9 の実施形態)

図 1 0 は、第 9 の実施形態の出力回路 1 1 を示している。この出力回路 1 1 は、第 1 の実施形態に示したローサイド駆動の出力回路 1 をハイサイド駆動の形態に変更したものである。電源線 2、3 間には P チャネル型の駆動トランジスタ T 1 2、抵抗 R 1 2、抵抗 R 1 1、N チャネル型の駆動トランジスタ T 1 1 が直列に接続されるとともに、P チャネル型の出力トランジスタ T 1 3 と抵抗 R 1 3 とが直列に接続されている。ノード n 1 1、n 1 2、n 1 3 は、出力回路 1 のノード n 1、n 2、n 3 と同様に設定されている。電流制限素子である抵抗 R 1 2 には、トランジスタ T 1 3 と同じ P チャネル型の導電型を持つ経

50

路切換トランジスタT14が並列に接続されている。トランジスタT14のゲートは、トランジスタT13のゲートに接続されている。

【0052】

駆動信号SdがHレベルの時、トランジスタT11がオン、T12がオフしてVGS(T13)がほぼVccに等しくなるのでトランジスタT13がオンする。このとき、出力電圧VoutはほぼVccとなり、トランジスタT13には負荷電流が流れる。駆動信号SdがLレベルになると、トランジスタT11がオフ、トランジスタT12がオンとなる。このときトランジスタT14がオンして抵抗R12をバイパスし、トランジスタT13のゲート電荷はトランジスタT12、T14を通して急速に放電する。やがてVGS(T13)がVth(T14)+VDS(T12)よりも低下すると、トランジスタT14はオフとなり、以後はトランジスタT13のゲート電荷がトランジスタT12と抵抗R12を通して緩やかに放電する。本実施形態によっても第1の実施形態と同様の効果を奏する。

10

【0053】

(第10の実施形態)

図11は、第10の実施形態の出力回路12を示している。この出力回路12は、第1の実施形態の出力回路1と第9の実施形態の出力回路11とを組み合わせたものである。駆動信号Sdは、トランジスタT1、T2のゲートおよびトランジスタT11、T12のゲートに与えられる。電源線2と電源線3との間には、トランジスタT13、T3が出力ノードn23を挟んで直列に接続されている。

【0054】

駆動信号SdがLレベルになると、トランジスタT3がオン、トランジスタT13がオフして出力電圧Voutはほぼ0Vとなり、駆動信号SdがHレベルになると、トランジスタT3がオフ、トランジスタT13がオンして出力電圧VoutはほぼVccとなる。本実施形態によれば、駆動信号Sdの変化に応じて出力電圧Voutが何れの向きに変化する場合でもノイズの発生を抑えることができる。また、ターンオフ時間の短縮により、貫通電流が流れる時間を極力短くすることができる。

20

【0055】

(その他の実施形態)

以上、本発明の好適な実施形態について説明したが、本発明は上述した実施形態に限定されるものではなく、発明の要旨を逸脱しない範囲内で種々の変形、拡張を行うことができる。

30

駆動トランジスタ、出力トランジスタおよび経路切換トランジスタは、MOSトランジスタ(MOSFET)に限られず、バイポーラトランジスタやIGBTなどであってもよい。

【0056】

電流制限素子および調整素子に抵抗を用いる場合、MOSトランジスタのオン抵抗を用いてもよい。

駆動トランジスタT1、T2またはT12、T11が直列に接続される電源線の電圧と、抵抗R3と出力トランジスタT3または出力トランジスタT13と抵抗R13が直列に接続される電源線の電圧は、互いに異なる電圧であってもよい。

40

【0057】

第2ないし第6の実施形態の中から2以上の実施形態を選択して組み合わせてもよい。

第2ないし第6の実施形態および第9、第10の実施形態においても、第7の実施形態を適用することができる。第4の実施形態に適用する場合、ダイオードD3は、並列接続されるトランジスタT41、T42、T43の各ゲートとトランジスタT3のゲートとの間にそれぞれ設ける。第5の実施形態に適用する場合、抵抗R6は、並列接続されるトランジスタT41、T42、T43の各ゲートとトランジスタT3のゲートとの間にそれぞれ設ける。第6の実施形態に適用する場合、ダイオードD4は、並列接続されるトランジスタT41、T42、T43のソースに対しそれぞれ設けてもよいが、共通に接続されたトランジスタT4のソースから抵抗R2(トランジスタT2のドレイン)に至る経路に共

50

通に1つ設けてもよい。

【0058】

第2ないし第6の実施形態および第9、第10の実施形態においても、第8の実施形態を適用することができる。第4の実施形態に適用する場合、ダイオードD3は、トランジスタT51のゲートとトランジスタT3のゲートとの間およびトランジスタT52、T53の各ゲートとドレインとの間の少なくとも1箇所には設ける。第5の実施形態に適用する場合、抵抗R6は、トランジスタT51のゲートとトランジスタT3のゲートとの間およびトランジスタT52、T53の各ゲートとドレインとの間の少なくとも1箇所には設ける。第6の実施形態に適用する場合、ダイオードD4は、トランジスタT51のソースとトランジスタT52のドレインとの間、トランジスタT52のソースとトランジスタT53のドレインとの間、トランジスタT53のソースから抵抗R23（トランジスタT2のドレイン）に至る経路のうち少なくとも1箇所には設ける。

10

第9の実施形態に対しても第2ないし第8の実施形態を適用できる。

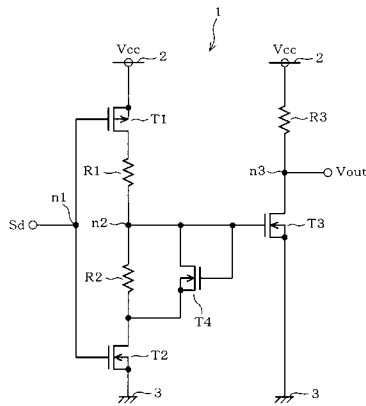
【符号の説明】

【0059】

図面中、1、4、5、6、7、8、9、10、11、12は出力回路、2、3は電源線、D2、D3、D4はダイオード（調整素子）、R2、R21、R22、R23、R12は抵抗（電流制限素子）、R5、R6は抵抗（調整素子）、T2、T12は駆動トランジスタ、T3、T13は出力トランジスタ、T4、T41、T42、T43、T5、T51、T52、T53、T14は経路切換トランジスタである。

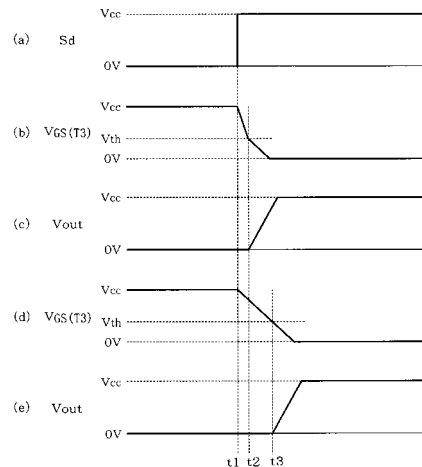
20

【図1】

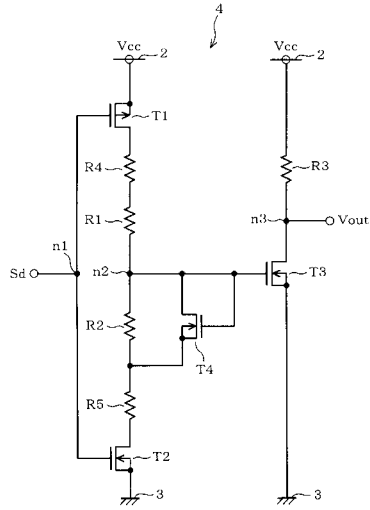


- 1: 出力回路
- 2, 3: 電源線
- R2: 電流制限素子
- T2: 駆動トランジスタ
- T3: 出力トランジスタ
- T4: 経路切換トランジスタ

【図2】

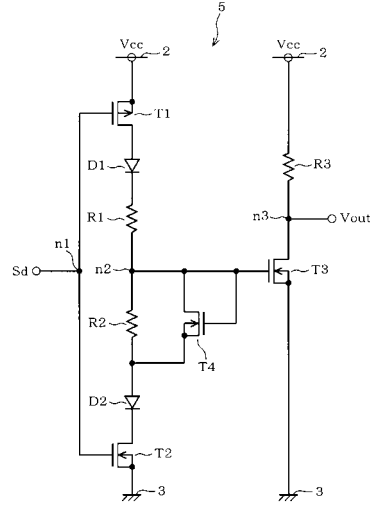


【 図 3 】



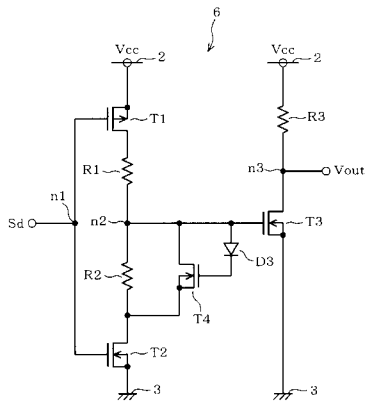
4: 出力回路  
R5: 調整素子

【 図 4 】



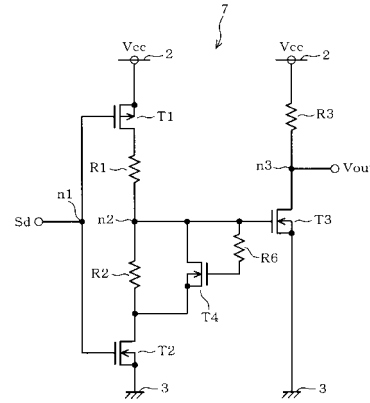
5: 出力回路  
D2: 調整素子

【 図 5 】



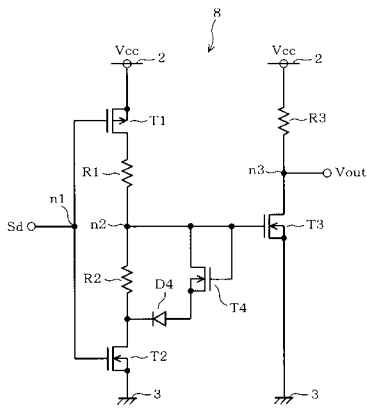
6: 出力回路  
D3: 調整素子

【 図 6 】



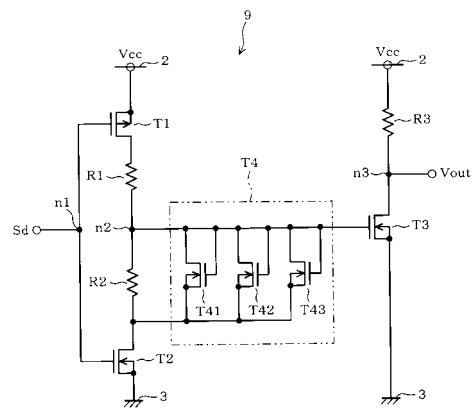
7: 出力回路  
R6: 調整素子

【 図 7 】



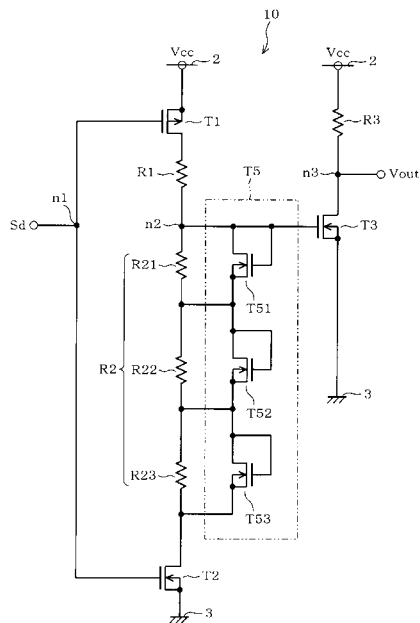
8:出力回路  
D4:調整素子

【 図 8 】



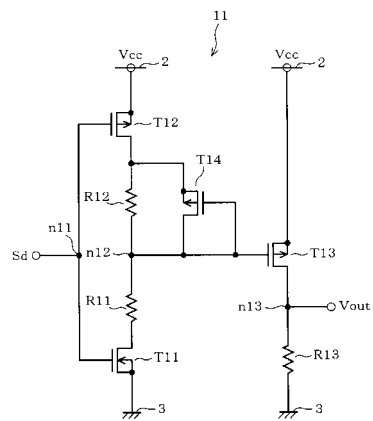
9:出力回路  
T41, T42, T43:経路切換トランジスタ

【 図 9 】



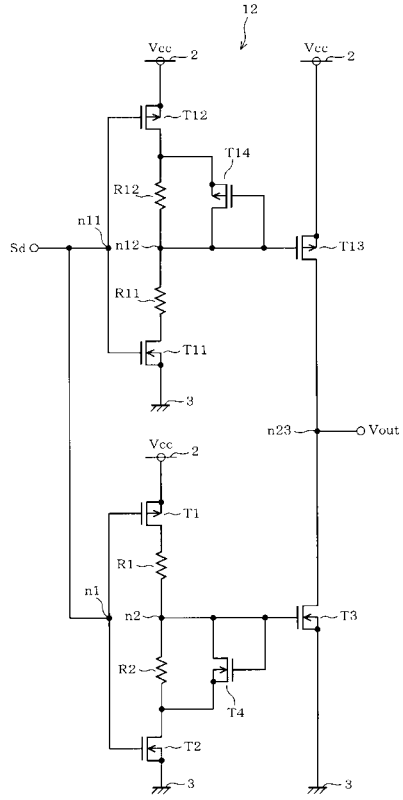
10:出力回路  
R21, R22, R23:電流制限素子  
T5, T51, T52, T53:経路切換トランジスタ

【 図 10 】



11:出力回路  
R12:電流制限素子  
T12:駆動トランジスタ  
T13:出力トランジスタ  
T14:経路切換トランジスタ

【 図 1 1 】



---

フロントページの続き

Fターム(参考) 5J056 AA04 BB07 BB24 CC00 DD13 DD29 DD59 EE06 EE07 FF08  
GG09 KK01