(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 6 月 26 日(26.06.2014)

WIPO | PCT

(10) 国際公開番号
WO 2014/097725 A1

(51) 国際特許分類:
H01L 25/00 (2006.01) *H01L 25/07* (2006.01)
H01L 25/065 (2006.01) *H01L 25/18* (2006.01)

(21) 国際出願番号: PCT/JP2013/078052

(22) 国際出願日: 2013 年 10 月 16 日(16.10.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2012-276076 2012 年 12 月 18 日(18.12.2012) JP

(71) 出願人: 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

(72) 発明者: 大坪　喜人 (OTSUBO, Yoshihito); 〒6178555 京都府長岡京市東神足１丁目１０番１号　株式会社村田製作所内 Kyoto (JP). 小川　伸明 (OGAWA, Nobuaki); 〒6178555 京都府長岡京市東神足１丁目１０番１号　株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 梁瀬　右司, 外 (YANASE, Yuji et al.); 〒5300047 大阪府大阪市北区西天満５丁目１番１９号　高木ビル４階 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

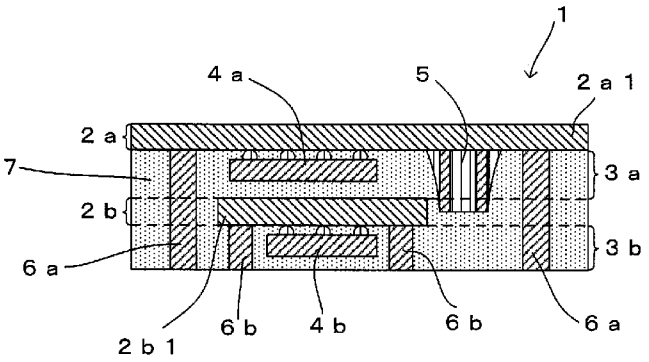
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: LAMINATE ELECTRONIC DEVICE AND METHOD OF MANUFACTURING SAME

(54) 発明の名称 : 積層型電子装置およびその製造方法

図１



(57) **Abstract**: The purpose of the present invention is to increase the design freedom of a laminate electronic device. This laminate electronic device (1) is formed by alternately laminating in the vertical direction a substrate layer in which a substrate is located and a component layer in which a component is located. On the substrate (2a1) of a first substrate layer (2a) positioned above a first component layer (3a), a non-overlapping region is formed which, in plan view, does not overlap with the substrate (2b1) of a second substrate layer (2b) positioned below the first component layer (3a), making it possible to form a space which is disposed inside of the laminate electronic device (1) and in which the substrate (2b1) of the second substrate layer (2b) is absent in the region below the non-overlapping region of the substrate (2a1) of the first substrate layer (2a). Consequently, the design freedom of the laminate electronic device (1) can be increased by utilizing said space.

(57) 要約:

[続葉有]

WO 2014/097725 A1

積層型電子装置の設計自由度の向上を図ることを目的とする。　基板が配置された基板層と部品が配置された部品層とが交互に上下に積層されてなる積層型電子装置１は、第１部品層３ａの上側に位置する第１基板層２ａの基板２ａ１に、第１部品層３ａの下側に位置する第２基板層２ｂの基板２ｂ１と平面視で相互に重ならない非重合領域が形成されるため、積層型電子装置１の内部における第１基板層２ａの基板２ａ１の非重合領域の下側の領域に第２基板層２ｂの基板２ｂ１がないスペースを形成することができる。したがって、当該スペースを利用することにより、積層型電子装置１の設計自由度の向上を図ることができる。

明　細　書

発明の名称 ： 積層型電子装置およびその製造方法

技術分野

[0001] 本発明は、基板が配置された基板層と部品が配置された部品層とが交互に積層された積層型電子装置およびその製造方法に関する。

背景技術

[0002] 近年の電子機器の小型化に伴い、これに搭載される電子装置の小型化が要求されているため、従来では、図６に示すように、その表面および内部に配線パターンが形成された配線基板と、部品が配置された部品層とが交互に積層された積層型電子装置が提案されている（特許文献１参照）。

[0003] この積層型電子装置１００は、それぞれ表面および内部に電気回路を構成する配線パターンが形成された配線基板からなる複数の基板層１０１と、それぞれ半導体素子１０３が熱硬化性樹脂組成物１０４で被覆されてなる複数の部品層１０２とを備え、その下面に外部接続用の接続端子１０５が形成された基板層１０１を最下層として、配線基板１０１と部品層１０２とが交互に上下に積層される。

[0004] この場合、各部品層１０２に配置される各半導体素子１０３は、各々、部品層１０２の上下側の両配線基板の一方の主面に実装される。そして、各部品層１０２には、各々、上下側に配置された両配線基板どうしを接続する層間接続導体１０６が形成され、各基板層１０１の配線基板、各部品層１０２の半導体素子１０３および層間接続導体１０６により３次元的な配線構造を有する電気回路等が形成される。したがって、単層の配線基板に半導体素子等の部品を配置して２次元的に電気回路を形成する従来の積層型電子装置と比較して、基板層１０１の配線基板の主面の面積を小さくすることができるため、積層型電子装置１００の小型化を図ることができる。

先行技術文献

特許文献

[0005] 特許文献1：特開２００６－１２０９３５号公報（段落００２３、段落０１１７、段落０１１８、図１６等参照）

発明の概要

発明が解決しようとする課題

[0006] ところで、近年の電子機器に搭載される電子装置には、上記したような基板層１０１の配線基板の主面の面積を小さくすることによる小型化のみならず、積層方向の高さを抑える薄型化も要求されている。しかしながら、上記特許文献１に記載の積層型電子装置１００では、部品層１０２の上下側には必ず基板層１０１の配線基板があるため、当該部品層１０２に配置される半導体素子１０３の高さよりも上下側の両配線基板１０１の間隔を小さくすることができない。

[0007] また、例えば、一の部品層１０２の上側に位置する配線基板１０１にグランド電極を形成した場合、当該部品層１０２の上下側に位置する両基板層１０１の配線基板の間隔を小さくすると、部品層１０２に配置された半導体素子１０３とグランド電極との間の浮遊容量が増大したり、下側に位置する基板層１０１の配線基板に形成された配線パターンとグランド電極との間の浮遊容量が増大したりするため、意図的に上下側の両基板層１０１の間隔を大きくせざるを得ない場合もある。このように、従来の積層型電子装置１００は、薄型化を図る上での設計上の制約が多い。

[0008] さらに、例えば、最上層の配線基板１０１に形成された配線パターンと最下層の配線基板１０１の外部接続用の接続端子１０５とを接続させたい場合であっても、１つの層間接続導体１０６で直接接続させることができず、それら最上下層の間の基板層１０１の配線基板に形成された配線パターンやビア導体等を介して接続する必要があり、寄生インダクタンスが増大するという問題も生じる。

[0009] 本発明は、上記した課題に鑑みてなされたものであり、積層型電子装置の設計自由度の向上を図ることを第１の目的とする。また、積層型電子装置の薄型化を図ることを第２の目的とする。

課題を解決するための手段

[0010] 上記した目的を達成するために、本発明の積層型電子装置は、基板が配置された基板層と、少なくとも１つの部品が配置された部品層とが交互に上下に積層されて成る積層型電子装置において、当該部品層の上側に位置する基板層である上側基板層の基板および／または当該部品層の下側に位置する基板層である下側基板層の基板には、平面視で相互に重ならない非重合領域が形成されていることを特徴としている。

[0011] このように構成することにより、上側基板層の基板および下側基板層の基板の少なくとも一方に、平面視で両基板が相互に重ならない非重合領域が形成されるため、例えば、下側基板層の基板に非重合領域が形成される場合、その非重合領域に対応する上側基板層の領域には基板（上側基板層の基板）が配置されないため、当該非重合領域の上側に設計上必要なスペースを確保することができる。すなわち、上下側基板層の間隔を変えずに、当該部品層にその高さが上下基板層の間隔よりも大きい部品を配置したり、下側基板層の基板と上側基板層の１つ上の基板層の基板とを上側基板層の基板を介さずに直接層間接続導体で接続したりすることができるため、積層型電子装置の設計自由度の向上を図ることができ、これにより本発明の第１の目的を達成することができる。

[0012] また、前記上側基板層の基板および前記下側基板層の基板のうち、いずれか一方の平面視における面積が他方よりも小さくてもかまわない。このように、上側基板層の基板および下側基板層の基板のうちの一方の平面視における面積を他方よりも小さくすることにより、この他方の基板層の基板に設計上必要なスペースを確保するための非重合領域を形成することができる。

[0013] また、当該部品層は、前記非重合領域の位置に配置された少なくとも１つの前記部品を有し、積層方向における当該部品の高さが、前記上側基板層の基板および前記下側基板層の基板の対向主面どうしの間隔よりも大きくなるようにしてもよい。このように構成することにより、その高さが上側基板層の基板と下側基板層の基板の対向主面どうしの間隔よりも大きな部品を部品

層に配置しても、上側基板層と下側基板層との間隔を部品に合わせて大きくする必要がないため、積層型電子装置の低背化を図ることができ、これにより本発明の第２の目的を達成することができる。

[0014] また、当該部品層は、前記上側基板層の基板と前記下側基板層の基板とが平面視で相互に重なる重合領域の位置に配置された少なくとも１つの前記部品を有するようにしてもよい。このように構成することにより、部品層の重合領域の位置にも部品を配置することができるため、部品の高密度実装化を図ることができる。

[0015] また、前記重合領域に配置された前記部品はＩＣであり、前記ＩＣは、前記上側基板層の基板および前記下側基板層の基板のうちの一方に実装され、前記ＩＣの実装面と反対側面が、前記上側基板層の基板および前記下側基板層の基板のうちの他方に接していてもよい。このようにすると、ＩＣの発熱性が高い場合であっても、その発生熱が他方の基板層の基板に形成された配線電極等に伝導して放熱されるため、ＩＣの放熱特性が向上する。

[0016] また、前記上側基板層の基板および前記下側基板層の基板のうちの一方に接続された層間接続用の複数の柱状導体をさらに備え、前記各柱状導体が、当該部品層の前記部品の周囲を囲うように配置されていてもよい。このように各柱状導体を配置することにより、各柱状導体をＩＣやチップ部品に対する外部からの不要な電磁波を遮断するシールド部材として利用することができる。

[0017] また、前記上側基板層の基板、前記下側基板層の基板、前記部品および前記各柱状導体が樹脂により被覆されており、前記上側基板層および前記下側基板層のうちの一方の基板層の基板に前記非重合領域が形成され、前記各柱状導体の少なくとも１つは、前記一方の基板層の基板の前記非重合領域に配置されてその一端が前記一方の基板層の基板に接続され、その他端が前記樹脂の表面から露出していてもよい。

[0018] このように柱状導体の他端を樹脂の表面から露出させることにより、この柱状導体を外部のマザー基板等との接続用の外部接続端子として利用するこ

とができる。また、この柱状導体は、その一端が一方の基板層の基板の非重合領域に接続された状態で、その他端が他方の基板層の基板に接続されずに樹脂の表面に露出するため、他方の基板層の基板に形成された配線パターンやビア導体を介して樹脂の表面に引き出される場合と比較して、柱状導体の他端と他方の基板層の基板との接続箇所での接続抵抗を無くすことができ、引き出し経路が長くなることに起因した寄生インダクタンスの増加を防止することができる。

[0019] また、前記他方の基板層の基板は、前記一方の基板層の基板との対向主面と反対側の主面が前記樹脂の表面から露出され、当該露出された主面に外部接続用の接続端子が設けられていてもよい。このように構成することにより、その他端が樹脂の表面に露出した柱状導体および他方の基板層の基板に設けられた接続端子の両方を用いて外部と接続することができる。また、基板に設けられた接続端子は、樹脂の熱膨張・収縮の影響を受けにくいため、外部との接続信頼性の向上を図ることができる。

[0020] また、本発明にかかる積層型電子装置の製造方法は、第１の基板と、それぞれ一端が前記第１の基板の一方主面に接続され前記一方主面の所定領域を囲むように配列された複数の第１柱状導体とを備える第１部材を準備する第１準備工程と、その主面の面積が前記第１の基板の主面の面積よりも小さい第２の基板と、それぞれ一端が前記第２の基板の一方主面に接続され、前記第２の基板の一方主面に実装される部品を囲うように配列された複数の第２柱状導体とを備える第２部材を準備する第２準備工程と、前記各第１柱状導体による囲繞領域内に前記第２部材を配置する配置工程と、前記第１部材および前記第２部材を樹脂により封止する樹脂封止工程とを備えることを特徴としている。

[0021] このように構成することにより、第１の基板に、平面視で第２の基板と相互に重ならない非重合領域を容易に形成することができるため、その内部に設計上必要なスペースを確保することができる積層型電子装置を容易に製造することができる。

[0022] また、各第１柱状導体は、それぞれ一端が第１の基板の一方主面に接続されるとともに、当該一方主面の所定領域を囲むように配列され、これらの各第１柱状導体による囲繞領域内に前記第２部材が配置されるため、各第１柱状導体それぞれの他端は第２部材の第２の基板に接続されない。したがって、第１の基板と外部のマザー基板等とを第２の基板に形成された配線パターンやビア導体を介さずに各第１柱状導体により直接接続することができる積層型電子装置を製造することができる。

[0023] また、第２の基板に実装された部品は、各第２柱状導体により囲まれているため、部品のシールド特性が優れた積層型電子装置を製造することができる。

[0024] また、前記配置工程において、前記第２の基板の他方主面と前記第１の基板の一方主面とが対向するように、前記第２部材を配置するようにしてもよい。このように構成することにより、各第１柱状導体の他端および各第２柱状導体の他端を外部と接続することにより、各第１柱状導体および各第２柱状導体を外部接続用の接続導体として利用することができる積層型電子装置を製造することができる。

[0025] また、前記配置工程において、前記第１の基板の一方主面と前記第２の基板の一方主面とが対向するように第２部材を配置し、前記各第２柱状導体それぞれの他端を前記第１の基板の一方主面に接続するようにしてもよい。このように構成することにより、各第１柱状導体を外部接続用の接続導体として利用することができるとともに、各第２柱状導体が第１の基板と第２の基板とを接続する接続導体として機能する積層型電子装置を製造することができる。

発明の効果

[0026] 本発明によれば、上側基板層の基板および下側基板層の基板の少なくとも一方に、平面視で両基板が相互に重ならない非重合領域が形成されるため、例えば、下側基板層の基板に非重合領域が形成される場合、その非重合領域に対応する上側基板層の領域には基板（上側基板層の基板）が配置されない

ため、当該非重合領域の上側に設計上必要なスペースを確保することができ、これにより、積層型電子装置の設計自由度の向上を図ることができる。

図面の簡単な説明

[0027] [図1]本発明の第１実施形態にかかる積層型電子装置の断面図である。

[図2]図１の積層型電子装置の製造方法を説明するための図である。

[図3]本発明の第２実施形態にかかる積層型電子装置の断面図である。

[図4]図３の積層型電子装置の製造方法を説明するための図である。

[図5]本発明の第３実施形態にかかる積層型電子装置の断面図である。

[図6]従来の積層型電子装置の断面図である。

発明を実施するための形態

[0028] ＜第１実施形態＞

本発明の第１実施形態にかかる積層型電子装置の構成について、図１を参照して説明する。なお、図１は第１実施形態にかかる積層型電子装置の断面図である。

[0029] この実施形態にかかる積層型電子装置１は、基板が配置された基板層と、少なくとも１つの部品が配置された部品層とが交互に上下に積層されてなり、電子機器のマザー基板等に実装されて、当該電子機器に形成される電気回路の一部を構成するものである。

[0030] 具体的には、積層型電子装置１は、基板２ａ１が配置された第１基板層２ａ（本発明における「上側基板層」に相当）と、部品としてＳｉやＧａＡｓ等で形成された半導体素子であるＩＣ４ａとチップコンデンサやチップインダクタ等からなるチップ部品５とが配置された第１部品層３ａ（本発明における「当該部品層」に相当）と、基板２ｂ１が配置された第２基板層２ｂ（本発明における「下側基板層」に相当）と、部品としてＩＣ４ｂが配置された第２部品層３ｂとで形成される。なお、以下では、第１基板層２ａの基板２ａ１を「第１の基板２ａ１」と、第２基板層２ｂの基板２ｂ１を「第２の基板２ｂ１」という場合もある。

[0031] また、積層型電子装置１は、上記構成に加えて、それぞれの一端が第１基

板層２ａの基板２ａ１の下側の主面（本発明における「第１の基板の一方主面」に相当）に接続された複数の第１柱状導体６ａと、それぞれの一端が第２基板層２ｂに配置された基板２ｂ１の下側の主面（本発明における「第２の基板の一方主面」に相当）に接続された複数の第２柱状導体６ｂと、第１基板層２ａの基板２ａ１の下側に位置する両ＩＣ４ａ，４ｂ、チップ部品５、第２基板層２ｂの基板２ｂ１、各柱状導体６ａ，６ｂを被覆する樹脂７とを備えている。

[0032] 第１基板層２ａの基板２ａ１および第２基板層２ｂの基板２ｂ１は、それぞれガラスエポキシ樹脂、ガラス、セラミック等で形成することができ、その両主面には配線パターンが形成されるとともに、その内部にビア導体等が形成される。また、第２基板層２ｂの基板２ｂ１の平面視における面積は、第１基板層２ａの基板２ａ１の面積よりも小さく、各層２ａ，２ｂ，３ａ，３ｂが積層された状態で、第１基板層２ａの基板２ａ１には、平面視で第２基板層２ｂの基板２ｂ１と相互に重ならない非重合領域が形成される。なお、第１基板層２ａの基板２ａ１の平面視における面積を第２基板層２ｂの基板２ｂ１の面積よりも小さくして、第２基板層２ｂの基板２ｂ１に非重合領域を形成する構成であってもよい。また、例えば、平面視における第１基板層２ａの基板２ａ１の面積と第２基板層２ｂの基板２ｂ１面積とが同じ面積になるように両基板２ａ１，２ｂ１を形成して、積層方向と垂直な方向に両基板２ａ１，２ｂ１をずらして配置することにより、両基板２ａ１，２ｂ１それぞれに非重合領域を形成する構成であってもよい。

[0033] 第１部品層３ａに配置されるＩＣ４ａおよびチップ部品５は、それぞれ第１基板層２ａの基板２ａ１の下側の主面に実装され、第２部品層３ｂに配置されるＩＣ４ｂは、第２基板層２ｂの基板２ｂ１の下側の主面に実装される。これらの各部品４ａ，４ｂ，５の実装は、周知の表面実装技術により行われる。このとき、第１部品層３ａに実装されるチップ部品５の高さは、第１基板層２ａの基板２ａ１の下側の主面および第２基板層２ｂの基板２ｂ１の上側の主面の間隔、すなわち、両基板２ａ１，２ｂ１の対向主面どうしの間

隔よりも大きいが、第１基板層２ａの基板２ａ１の非重合領域の位置に配置されることで、チップ部品５が第２基板層２ｂの基板２ｂ１に干渉するのが防止されている。

[0034] 各第１柱状導体６ａは、各々、Ｃｕ等からなる線材を加工して形成されたピン状の導体であり、それぞれの一端が第１基板層２ａの基板２ａ１の下側の主面の非重合領域に接続されるとともに、第１部品層３ａに配置されるＩＣ４ａおよびチップ部品５を囲うように配列される。また、それぞれの他端が樹脂７の表面から露出している。なお、各第１柱状導体６ａは、必ずしも上記部品４ａ，５を囲うように配列されていなくてもよく、その一端が第１基板層２ａの基板２ａ１の非重合領域に接続されるものであれば、どこに配設されていてもよい。

[0035] 各第２柱状導体６ｂは、各々、Ｃｕ等からなる線材を加工して形成されたピン状の導体であり、それぞれの一端が第２基板層２ｂの基板２ｂ１の下側の主面に接続されるとともに、第２部品層３ｂに配置されるＩＣ４ｂを囲うように配列される。また、それぞれの他端が樹脂７の表面から露出している。なお、各第２柱状導体６ｂも、必ずしも第２部品層３ｂに配置されるＩＣ４ｂを囲うように配列されていなくてもよい。また、各柱状導体６ａ，６ｂとして、ポスト電極やビアホールに導電性ペーストを充填してなるビア導体を形成する構成であってもかまわない。

[0036] また、第１基板層２ａの基板２ａ１に実装されるＩＣ４ａの実装面と反対面を、第２基板層２ｂの基板２ｂ１の他方主面（ＩＣ４ｂおよび各第２柱状導体６ｂそれぞれの一端が接続される一方主面と反対面）に接するように、各第１柱状導体６ａおよび各第２柱状導体６ｂそれぞれの長さを調整してもよい。このように構成することにより、第１基板層２ａの基板２ａ１に実装されるＩＣ４ａから発生する熱が第２基板層２ｂの基板２ｂ１に形成された配線パターン等を伝導して放熱されるため、第１基板層２ａの基板２ａ１に実装されるＩＣ４ａの放熱特性が向上する。

[0037] 樹脂７は、第１基板層２ａの基板２ａ１の下側に位置する各ＩＣ４ａ，４

ｂ、チップ部品５、第２基板層２ｂの基板２ｂ１、各柱状導体６ａ，６ｂを被覆するものであり、例えばエポキシ樹脂で形成される。

[0038] 次に、積層型電子装置１の製造方法について、図２を参照して説明する。なお、図２は、積層型電子装置１の製造方法を説明するための図であり、（ａ）～（ｆ）は製造方法の各工程を示している。

[0039] まず、図２（ａ）に示すように、その表面や内部に配線パターンやビア導体が形成された第１の基板２ａ１の一方主面にＩＣ４ａおよびチップ部品５を周知の表面実装技術を用いて実装する。

[0040] 次に、図２（ｂ）に示すように、複数の第１柱状導体６ａを、第１の基板２ａ１の一方主面の所定領域を囲うように、すなわち、実装したＩＣ４ａおよびチップ部品５を囲うように配列して、それぞれの一端を第１の基板２ａ１の一方主面に接続することにより、第１の基板２ａ１、ＩＣ４ａ、チップ部品５および各第１柱状導体６ａを備える第１部材８ａを準備する（第１準備工程）。このとき、各第１柱状導体６ａにより、後述する第２部材８ｂを配置するための囲繞領域が形成される。なお、ＩＣ４ａおよびチップ部品５の実装および各第１柱状導体６ａの基板２ａ１への接続の順番は、逆であってもかまわない。すなわち、各第１柱状導体６ａを備える第１の基板２ａ１にＩＣ４ａおよびチップ部品５を実装して第１部材８ａを準備してもよい。

[0041] 次に、図２（ｃ）に示すように、その主面の面積が第１の基板２ａ１の主面の面積よりも小さい第２の基板２ｂ１の一方主面にＩＣ４ｂを実装した後、複数の第２柱状導体６ｂを、実装したＩＣ４ｂを囲うように配列して、それぞれの一端を第２の基板２ｂ１の一方主面に接続することにより、第２の基板２ｂ１、ＩＣ４ｂおよび各第２柱状導体６ｂを備える第２部材８ｂを準備する（第２準備工程）。なお、この場合もＩＣ４ｂの実装および各第２柱状導体６ｂの第２の基板２ｂ１への接続の順番が逆であってもかまわない。

[0042] 次に、図２（ｄ）に示すように、一方主面に接着シート（図示せず）等が貼り付けられた支持体９の一方主面に第２部材８ｂの各第２柱状導体６ｂそれぞれの他端を接着するとともに、第１部材８ａの各第１柱状導体６ａによ

る囲繞領域内に第２部材８ｂが配置されるように第１部材８ａを配置して、各第１柱状導体６ａそれぞれの他端を支持体９の一方主面に接着する（配置工程）。このとき、その高さが第１の基板２ａ１および第２の基板２ｂ１の対向主面どうしの間隔よりも大きいチップ部品５が第２の基板２ｂ１に干渉しない位置に第１部材８ａおよび第２部材８ｂを配置する。このように配置することで、第１の基板２ａ１には、平面視で第２の基板２ｂ１に重ならない非重合領域が形成され、当該非重合領域の位置に、第１部材８ａの各第１柱状導体６ａおよびチップ部品５が配置されることになる。

[0043] 次に、図２（ｅ）に示すように、第１の基板２ａ１の一方主面と支持体９の一方主面との間に樹脂を充填し、例えば、１８０℃程度の温度で樹脂を硬化させる。これにより、第１部材８ａの第１の基板２ａ１に実装されたＩＣ４ａ、チップ部品５および各第１柱状導体６ａ並びに第２部材８ｂが樹脂により被覆される。

[0044] 最後に、図２（ｆ）に示すように、支持体９を剥離することにより積層型電子装置１を製造する。このとき、各第１柱状導体６ａおよび各第２柱状導体６ｂそれぞれの他端が樹脂の表面から露出する。なお、支持体９と樹脂７との境界面を研磨または研削して、各第１柱状導体６ａおよび各第２柱状導体６ｂの長さを調節したり、それぞれの他端が確実に露出させるようにしたりしてもよい。

[0045] したがって、上記した実施形態によれば、第１基板層２ａの基板２ａ１に、平面視で第２基板層２ｂの基板２ｂ１と相互に重ならない非重合領域が形成されるため、第１基板層２ａの基板２ａ１の非重合領域の下側の領域に、第２基板層２ｂの基板２ｂ１に邪魔されないスペースを確保することができる。したがって、第１基板層２ａの基板２ａ１と第２基板層２ｂの基板２ｂ１との間隔を変えずに、当該スペース内に背の高いチップ部品５を配置したり、各第１柱状導体６ａを第２基板層２ｂの基板２ｂ１を介さずに直接外部と接続したりすることができるため、積層型電子装置１の設計自由度の向上を図ることができる。

[0046] また、第２基板層２ｂの基板２ｂ１の平面視における面積を第１基板層２ａの基板２ａ１よりも小さくすることにより、第１基板層２ａの基板２ａ１に容易に非重合領域を形成することができる。

[0047] また、その高さが第１基板層２ａの基板２ａ１および第２基板層２ｂの基板２ｂ１の対向主面どうしの間隔よりも大きい第１部品層３ａのチップ部品５を、第１部品層３ａにおける第１基板層２ａの基板２ａ１の非重合領域の位置に配置することにより、チップ部品５の高さに応じて第１基板層２ａの基板２ａ１および第２基板層２ｂの基板２ｂ１の対向主面どうしの間隔を大きくする必要がないため、一の部品層の上下側に配置される両基板層の基板どうしが平面視で重ならない非重合領域を有さない従来の積層型電子装置と比較して、積層型電子装置１の低背化を図ることができる。

[0048] また、第１基板層２ａの基板２ａ１と第２の基板層２ｂの基板２ｂ１との間隔を小さくした場合であっても、第１基板層２ａの基板２ａ１の非重合領域にグランド電極を形成すれば、第１部品層３ａにおける第１基板層２ａの基板２ａ１および第２基板層２ｂの基板２ｂ１の重合領域の位置に配置されたＩＣ４ａと当該グランド電極との間に生じる浮遊容量や、第２基板層２ｂの基板２ｂ１に形成された配線パターンと当該グランド電極との間に生じる浮遊容量を小さくすることができる。したがって、これらの浮遊容量の影響を避けるために部品層の上下側の両基板層どうしを所定距離離す必要があった従来の積層型電子装置と比較して、積層型電子装置１の低背化を図ることができる。

[0049] また、第１部品層３ａにおける第１基板層２ａの基板２ａ１および第２基板層２ｂの基板２ｂ１どうしが平面視で相互に重なる重合領域の位置にもＩＣ４ａが配置されるとともに、第２部品層３ｂにおける当該重合領域の位置にもＩＣ４ｂが配置されるため、部品４，５の高密度実装化を図ることができる。

[0050] また、各第１柱状導体６ａは、第１部品層３ａに配置されるＩＣ４ａおよびチップ部品５を囲むように配列されるとともに、各第２柱状導体は、第２

部品層３ｂに配置されるＩＣ４ｂを囲むように配列されるため、各第１柱状導体６ａおよび各第２柱状導体６ｂをＩＣ４ａ、ＩＣ４ｂやチップ部品５に対する外部からの不要な電磁波を遮断するシールド部材として利用することができる。

[0051] また、各第１柱状導体６ａおよび各第２柱状導体６ｂは、それぞれの他端が樹脂７の表面から露出しているため、各第１柱状導体６ａおよび各第２柱状導体６ｂそれぞれを外部接続用の接続導体として利用することができる。また、各第１柱状導体６ａは、各々、同じ材質の１つの導体で、第２基板層２ｂの基板２ｂ１に形成された配線パターンやビア導体を介さずに直接樹脂７の表面に引き出されるため、第２基板層２ｂの基板２ｂ１との接続抵抗をなくすことができたり、引き出し経路が長くなることによる寄生インダクタンスの増加を防止したりすることができる。

[0052] また、図２を参照して説明した積層型電子装置１の製造方法によれば、積層型電子装置１は、それぞれ周知の表面実装技術を用いて、ＩＣ４ａと、チップ部品５と、各第１柱状導体６ａとが実装された第１部材８ａ、および、ＩＣ４ｂと、各第２柱状導体６ｂとが実装された第２部材８ｂを所定の位置に配置して支持体９に接着することにより製造することができる。したがって、第１の基板２ａ１（第１基板層２ａの基板２ａ１）に第２の基板２ｂ１（第２基板層２ｂの基板２ｂ１）と平面視で重ならない非重合領域を有し、これにより内部に設計上必要なスペースを確保することができる積層型電子装置１を容易に製造することができる。

[0053] また、第１の基板２ａ１および第２の基板２ｂ１の対向主面どうしの間隔よりもその高さが大きいチップ部品５を、第２部材８ｂの第２の基板２ｂ１と干渉しないように第１部材８ａおよび第２部材８ｂを配置することにより、第１部材８ａの第１の基板２ａ１および第部材８ｂの第２の基板２ｂ１の対向主面どうしの間隔をチップ部品５の高さに応じて大きくする必要がないため、低背化が図られた積層型電子装置１を製造することができる。

[0054] また、各第１柱状導体６ａによる囲繞領域内に第２部材８ｂを配置するこ

とにより、各第１柱状導体６ａを、各々、同じ材質の１つの導体で、第２の基板２ｂ１に形成された配線パターンやビア導体を介さずに直接樹脂７の表面に引き出すことができるため、第２の基板２ｂ１との接続抵抗をなくし、引き出し経路が長くなることによる寄生インダクタンスの増加を防止することができる積層型電子装置１を製造することができる。

[0055] また、各第１柱状導体６ａを第１部材８ａのＩＣ４ａを囲むように配列するとともに、各第２柱状導体６ｂを第２部材８ｂのＩＣ４ｂを囲むように配列するため、ＩＣ４ａ，ＩＣ４ｂのシールド特定が優れた積層型電子装置１を製造することができる。

[0056] ＜第２実施形態＞

本発明の第２実施形態にかかる積層型電子装置１ａについて、図３を参照して説明する。なお、図３は積層型電子装置１ａの断面図である。

[0057] この実施形態にかかる積層型電子装置１ａが、図１を参照して説明した第１実施形態の積層型電子装置１と異なるところは、図３に示すように、第２部品層３ｂの代わりに第１基板層２ａの上側に第３部品層３ｃが積層されている点と、第１部品層３ａに各第２柱状導体６ｂが設けられている点と、第２基板層２ｂの基板２ｂ１の下側の主面が樹脂７の表面から露出している点である。その他の構成は、第１実施形態と同じであるため、同一符号を付すことにより説明を省略する。

[0058] この場合、第３部品層３ｃには、ＩＣ４ｃと２つのチップ部品５が配置され、これらの部品４ｃ，５が樹脂７により被覆される。なお、ＩＣ４ｃおよび両チップ部品５は、周知の表面実装技術を用いて第１基板層２ａの基板２ａ１に実装される。

[0059] また、第１部品層３ａには、第２基板層２ｂの基板２ｂ１に実装されたＩＣ４ｄが配置される。また、第１部品層３ａに配置された各第２柱状導体６ｂそれぞれは、その一端が第２基板層２ｂの基板２ｂ１に接続されるとともに、その他端が第１基板層２ａの基板２ａ１に接続される。

[0060] 第２基板層２ｂの基板２ｂ１は、第１部品層３ａのＩＣ４ｄが実装される

主面と反対側の主面が樹脂７の表面から露出しており、その露出した主面に複数の外部接続用の接続端子１０が設けられる。各接続端子１０は、Ａｇ等の導電性ペーストを用いた印刷技術やめっき処理を施すことにより形成される。

[0061] 各第１柱状導体６ａは、各々、第１実施形態の積層型電子装置１と同様に、その一端が第１基板層２ａの基板２ａ１の非重合領域に接続され、その他端が樹脂７の表面から露出している。

[0062] なお、各第２柱状導体６ｂの長さを調整することにより、第１部品層３ａに配置されるＩＣ４ｄの実装面と反対面を第１基板層２ａの基板２ａ１の下側の主面と接するようにしてもよい。このように構成することで、第１部品層３ａに配置されるＩＣ４ｄの放熱特性が向上する。

[0063] 次に、この実施形態にかかる積層型電子装置１ａの製造方法について、図４を参照して説明する。なお、図４は積層型電子装置１ａの製造方法を説明するための図であり、（ａ）～（ｆ）は製造方法の各工程を示している。

[0064] まず、図４（ａ）に示すように、第１の基板２ａ１の一方主面に複数の第１柱状導体６ａそれぞれの一端を接続するとともに、第１の基板２ａ１の他方主面にＩＣ４ｃおよび２つのチップ部品５を実装することにより、第１の基板２ａ１、各第１柱状導体６ａ、ＩＣ４ｃおよび２つのチップ部品５を備える第３部材８ｃを準備する。このとき、各第１柱状導体６ａを第１の基板２ａ１の一方主面の所定領域を囲むように配列し、後述する第４部材８ｄを収納するための囲繞領域を形成する。

[0065] 次に、図４（ｂ）に示すように、その主面の面積が第１の基板２ａ１の主面の面積よりも小さい第２の基板２ｂ１の一方主面にＩＣ４ｄを実装した後、このＩＣ４ｄを囲むように複数の第２柱状導体６ｂを配列して、それぞれの一端を第２の基板２ｂ１の一方主面に接続することにより、第２の基板２ｂ１、ＩＣ４ｄおよび各第２柱状導体６ｂを備える第４部材８ｄを準備する。なお、第２の基板２ｂ１の他方主面には、予め外部接続用の接続端子１０がＡｇ等の導電性ペーストを用いた印刷技術やめっき処理等により形成され

ている。

[0066] 次に、図４（ｃ）に示すように、第４部材８ｄを第３部材８ｃの各第１柱状導体６ａによる囲繞領域内に配置して、各第２柱状導体６ｂそれぞれの他端を第３部材８ｃの第１の基板２ａ１の一方主面に接続する。このように、第３部材８ｃおよび第４部材８ｄを配置することにより、第３部材８ｃの第１の基板２ａ１に第４部材８ｄの第２の基板２ｂ１と平面視で重ならない非重合領域が形成され、該非重合領域に対応する位置に各第１柱状導体６ａが配置されることになる。

[0067] 次に、図４（ｄ）に示すように、その一方主面に接着シート（図示せず）等が貼り付けられた支持体９の当該一方主面に、第３部材８ｃの各第１柱状導体６ａそれぞれの他端および第４部材８ｄの第２の基板２ｂ１の各接続端子１０が形成された他方主面を接着することにより、支持体９に第３部材８ｃおよび第４部材８ｄを固定する。

[0068] 次に、図４（ｅ）に示すように、第３部材８ｃおよび第４部材８ｄが被覆されるように樹脂７を充填し、例えば、１８０℃の温度で樹脂７を硬化させる。

[0069] 最後に、図４（ｆ）に示すように、支持体９を剥離することにより積層型電子装置１ａを製造する。このとき、各第１柱状導体６ａそれぞれの他端および第４部材８ｄの第２の基板２ｂ１の他方主面が樹脂７の表面から露出する。

[0070] この実施形態によれば、各第１柱状導体６ａそれぞれの他端および第２基板層２ｂの基板２ｂ１の各接続端子１０が形成された他方主面が樹脂７の表面から露出しているため、各第１柱状導体６ａおよび各接続端子１０の両方を用いて外部と接続することができる。また、第２基板層２ｂの基板２ｂ１に形成された各接続端子１０は、樹脂７の熱膨張・収縮の影響（例えば、接続端子１０の位置ずれ）を受けにくいため、外部との接続信頼性の向上を図ることができる。また、各第１柱状導体６ａを第１基板層２ａの基板２ａ１の非重合領域の位置に配置することにより、第２基板層２ｂの基板２ｂ１を

介さずに、直接外部と接続することができるため、第１実施形態と同様に、第２基板層２ｂの基板２ｂ１との接続抵抗をなくしたり、引き出し経路が長くなることによる寄生インダクタンスの増加を防止したりすることができる。

[0071] また、第２基板層２ｂの基板２ｂ１の他方主面が樹脂７の表面から露出しているため、積層型電子装置１ａの部品４ｃ，４ｄ，５等から発生する熱の放熱特性が向上する。

[0072] また、各第２柱状導体６ｂの他端を第１基板層２ａの基板２ａ１に接続させることにより、各第２柱状導体６ｂを第１基板層２ａおよび第２基板層２ｂの層間接続導体として利用することができる。

[0073] また、図４を参照して説明した積層型電子装置１ａの製造方法によれば、第４部材８ｄの各第２柱状導体６ｂそれぞれの他端を第３部材８ｃの第１の基板２ａ１の一方主面に接続することにより、第３部材８ｃの第１の基板２ａ１に第４部材８ｄの第２の基板２ｂ１と平面視で重ならない非重合領域を形成することができるため、その内部に設計上必要なスペースを有する積層型電子装置１ａを製造することができる。

[0074] ＜第３実施形態＞

本発明の第３実施形態にかかる積層型電子装置１ｂについて、図５を参照して説明する。なお、図５は積層型電子装置１ｂの断面図である。

[0075] この実施形態にかかる積層型電子装置１ｂが、図１を参照して説明した第１実施形態の積層型電子装置１と異なるところは、図５に示すように、第１基板層２ａの基板２ａ１の平面視における面積が第２基板層２ｂの基板２ｂ１よりも小さく、第２基板層２ｂの基板２ｂ１に第１基板層２ａの基板２ａ１と平面視で重ならない非重合領域が形成されている点と、第１基板層２ａの基板２ａ１および第２基板層２ｂの基板２ｂ１それぞれにおいて、第１部品層３ａに接する主面と反対側の主面が樹脂７の表面から露出している点である。その他の構成は、第１実施形態と同じであるかこれに相当するものであるため、同一符号を付すことにより説明を省略する。

[0076] この場合、第１部品層３ａにおける第１基板層２ａの基板２ａ１および第２基板層２ｂの基板２ｂ１が平面視で相互に重なる重合領域の位置に、第１基板層２ａの基板２ａ１の下側の主面に実装されたＩＣ４ｅと、第２基板層２ｂの基板２ｂ１の上側の主面に実装されたＩＣ４ｆとが対向するように配置され、これらの両ＩＣ４ｅ，４ｆを囲むように第１基板層２ａの基板２ａ１と第２基板層２ｂの基板２ｂ１とを接続する複数の第３柱状導体６ｃが配列される。

[0077] また、第１基板層２ａの基板２ａ１および第２基板層２ｂの基板２ｂ１それぞれにおいて、第１部品層３ａに接する主面と反対側の主面が樹脂７の表面から露出しており、第２基板層２ｂの基板２ｂ１の露出した主面には、外部接続用の接続端子１０が形成される。

[0078] このように、第１基板層２ａの基板２ａ１および第２基板層２ｂの基板２ｂ１の重合領域において、第１基板層２ａの基板２ａ１および第２基板層２ｂの基板２ｂ１にそれぞれＩＣ４ｅ、ＩＣ４ｆを実装することで、部品４ｅ，４ｆ，５の高密度実装化を図ることができる。また、各第３柱状導体６ｃは、ＩＣ４ｅ、ＩＣ４ｆを囲むように配列されるため、特に外部からの不要な電磁波の影響を受けやすいＩＣ４ｅ、ＩＣ４ｆのシールド特性を向上させる上で実用的である。また、第１基板層２ａの基板２ａ１の露出した主面にも外部接続用の接続端子を設けて外部と接続させることもできる。

[0079] また、第１部品層３ａの第２基板層２ｂの基板２ｂ１の非重合領域の位置に他の柱状導体を設け、その一端を第２基板層２ｂの基板２ｂ１の上側の主面に接続させ、その他端を樹脂７の表面から露出させるようにしてもよい。このように構成することで、第２基板層２ｂの基板２ｂ１に接続する当該他の柱状導体を、第１基板層２ａの基板２ａ１を介さずに直接外部と接続させることができる。

[0080] なお、本発明は上記した各実施形態に限定されるものではなく、その趣旨を逸脱しない限りにおいて、上記したもの以外に種々の変更を行なうことが可能である。

[0081] 例えば、上記した各実施形態において、積層型電子装置１，１ａ，１ｂを形成する各基板層２ａ，２ｂおよび各部品層３ａ，３ｂ，３ｃの層数は、上記したものに限らず、さらに多くの層を積層する構成であってもかまわない。

[0082] また、各基板層２ａ，２ｂに配置される基板２ａ１，２ｂ１は多層基板であってもよい。

産業上の利用可能性

[0083] また、本発明は、基板が配置された基板層と部品が配置された部品層とが交互に積層されてなる種々の積層型電子装置に通用することができる。

符号の説明

[0084] １，１ａ，１ｂ　積層型電子装置

２ａ　第１基板層（上側基板層）

２ａ１　基板（上側基板層の基板：第１の基板）

２ｂ　第２基板層（下側基板層）

２ｂ１　基板（下側基板層の基板：第２の基板）

３ａ　第１部品層（部品層）

３ｂ　第２部品層（部品層）

３ｃ　第３部品層（部品層）

４ａ～４ｆ　ＩＣ（部品）

５　チップ部品（部品）

６ａ　第１柱状導体（柱状導体）

６ｂ　第２柱状導体（柱状導体）

６ｃ　第３柱状導体（柱状導体）

７　樹脂

８ａ　第１部材

８ｂ　第２部材

８ｃ　第３部材

８ｄ　第４部材

１０　接続端子

請求の範囲

[請求項1] 基板が配置された基板層と、少なくとも１つの部品が配置された部品層とが交互に上下に積層されて成る積層型電子装置において、

当該部品層の上側に位置する基板層である上側基板層の基板および／または当該部品層の下側に位置する基板層である下側基板層の基板には、平面視で相互に重ならない非重合領域が形成されている

ことを特徴とする積層型電子装置。

[請求項2] 前記上側基板層の基板および前記下側基板層の基板のうち、いずれか一方の平面視における面積が他方よりも小さいことを特徴とする請求項１に記載の積層型電子装置。

[請求項3] 当該部品層は、前記非重合領域の位置に配置された少なくとも１つの前記部品を有し、

積層方向における当該部品の高さが、前記上側基板層の基板および前記下側基板層の基板の対向主面どうしの間隔よりも大きいことを特徴とする請求項１または２に記載の積層型電子装置。

[請求項4] 当該部品層は、前記上側基板層の基板と前記下側基板層の基板とが平面視で相互に重なる重合領域の位置に配置された少なくとも１つの前記部品を有することを特徴とする請求項１ないし３のいずれかに記載の積層型電子装置。

[請求項5] 前記重合領域に配置された前記部品はＩＣであり、

前記ＩＣは、前記上側基板層の基板および前記下側基板層の基板のうちの一方に実装され、

前記ＩＣの実装面と反対側面が、前記上側基板層の基板および前記下側基板層の基板のうちの他方に接していることを特徴とする請求項４に記載の積層型電子装置。

[請求項6] 前記上側基板層の基板および前記下側基板層の基板のうちの一方に接続された層間接続用の複数の柱状導体をさらに備え、

前記各柱状導体が、当該部品層の前記部品の周囲を囲うように配置

されていることを特徴とする請求項１ないし５のいずれかに記載の積層型電子装置。

[請求項7] 前記上側基板層の基板、前記下側基板層の基板、前記部品および前記各柱状導体が樹脂により被覆されており、

前記上側基板層および前記下側基板層のうちの一方の基板層の基板に前記非重合領域が形成され、

前記各柱状導体の少なくとも１つは、

前記一方の基板層の基板の前記非重合領域に配置されてその一端が前記一方の基板層の基板に接続され、その他端が前記樹脂の表面から露出していることを特徴とする請求項６に記載の積層型電子装置。

[請求項8] 前記他方の基板層の基板は、前記一方の基板層の基板との対向主面と反対側の主面が前記樹脂の表面から露出され、

当該露出された主面に外部接続用の接続端子が設けられていることを特徴とする請求項７に記載の積層型電子装置。

[請求項9] 第１の基板と、それぞれ一端が前記第１の基板の一方主面に接続され前記一方主面の所定領域を囲むように配列された複数の第１柱状導体とを備える第１部材を準備する第１準備工程と、

その主面の面積が前記第１の基板の主面の面積よりも小さい第２の基板と、それぞれ一端が前記第２の基板の一方主面に接続され、前記第２の基板の一方主面に実装される部品を囲うように配列された複数の第２柱状導体とを備える第２部材を準備する第２準備工程と、

前記各第１柱状導体による囲繞領域内に前記第２部材を配置する配置工程と、

前記第１部材および前記第２部材を樹脂により封止する樹脂封止工程とを備える

ことを特徴とする積層型電子装置の製造方法。

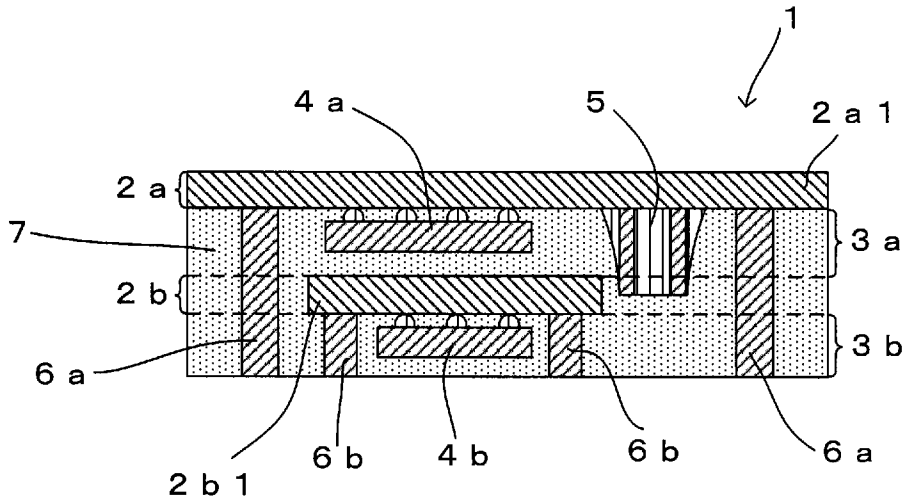
[請求項10] 前記配置工程において、前記第２の基板の他方主面と前記第１の基板の一方主面とが対向するように、前記第２部材を配置することを特

徴とする請求項９に記載の積層型電子装置の製造方法。

［請求項11］ 前記配置工程において、前記第１の基板の一方主面と前記第２の基板の一方主面とが対向するように第２部材を配置し、前記各第２柱状導体それぞれの他端を前記第１の基板の一方主面に接続することを特徴とする請求項９に記載の積層型電子装置の製造方法。

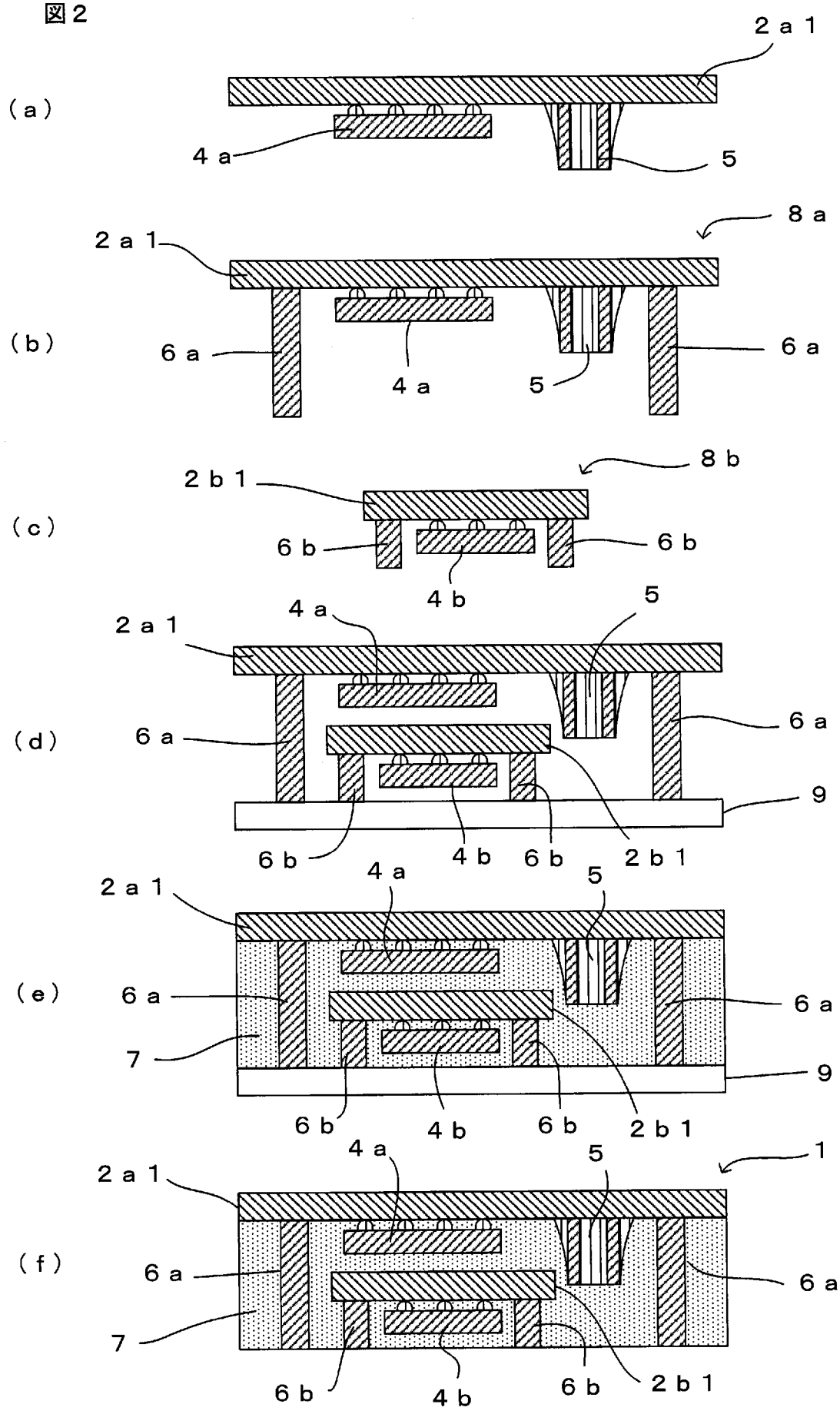
[図1]

図１



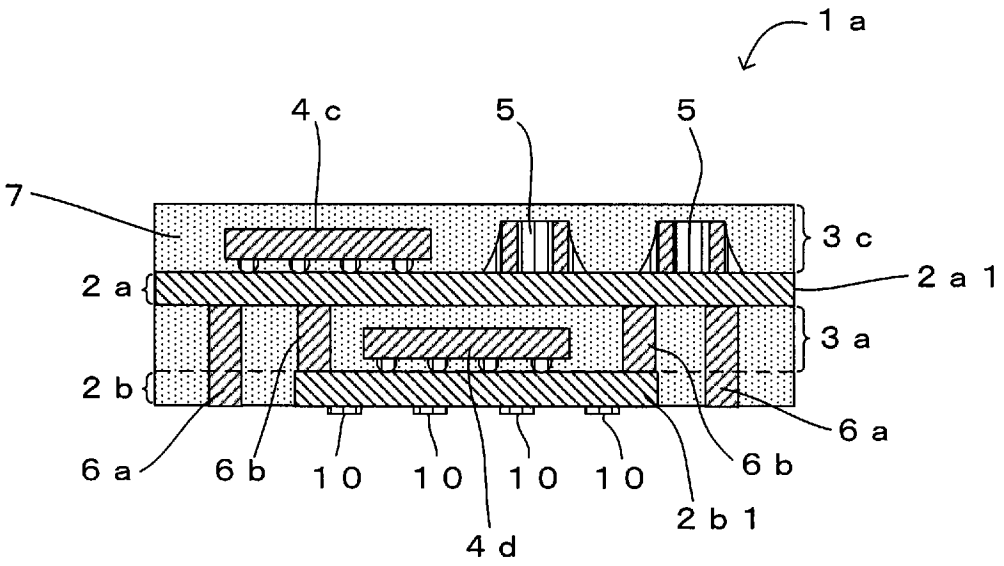
[図2]

図２


(a)
2 a 1
4 a
5
(b)
8 a
2 a 1
6 a
4 a
5
6 a
(c)
8 b
2 b 1
6 b
6 b
4 b
(d)
4 a
5
2 a 1
6 a
6 a
9
6 b
4 b
6 b
2 b 1
(e)
4 a
5
2 a 1
6 a
6 a
7
9
6 b
4 b
6 b
2 b 1
(f)
4 a
5
1
2 a 1
6 a
6 a
7
6 b
4 b
6 b
2 b 1

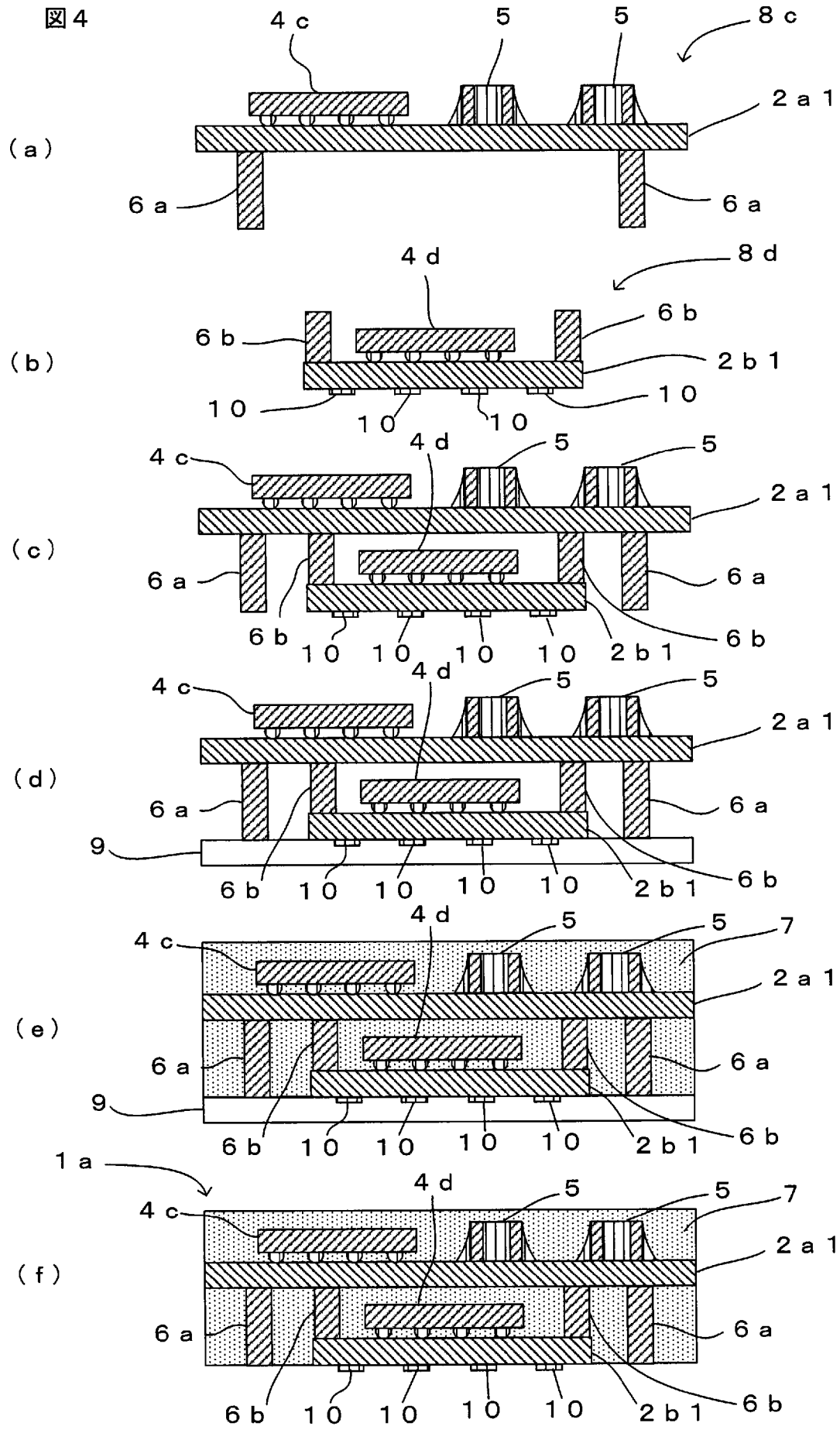
[図3]

図３



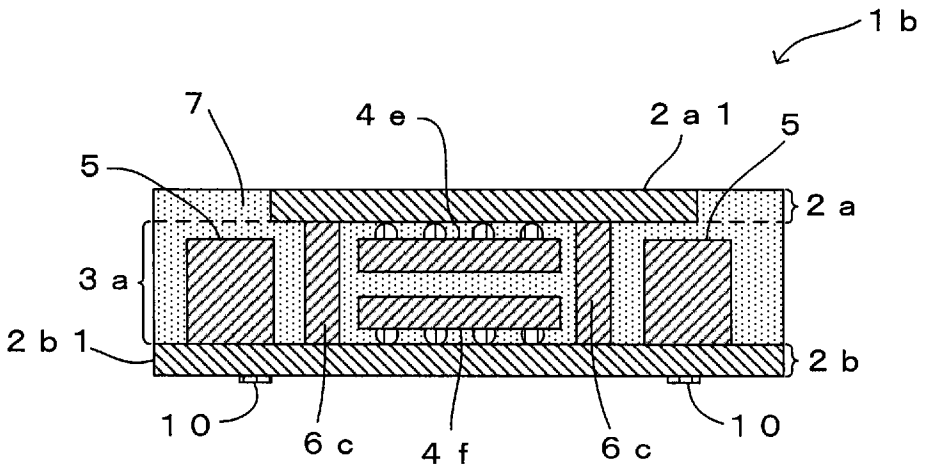
[図4]

図４


(a)
4c
5
5
8c
2a1
6a
6a
(b)
4d
8d
6b
6b
2b1
10
10
10
10
(c)
4c
4d
5
5
2a1
6a
6a
6b
6b
10
10
10
10
2b1
(d)
4c
4d
5
5
2a1
6a
6a
9
6b
10
10
10
10
2b1
(e)
4c
4d
5
5
7
2a1
6a
6a
9
6b
10
10
10
10
2b1
(f)
1a
4c
4d
5
5
7
2a1
6a
6a
6b
10
10
10
10
2b1

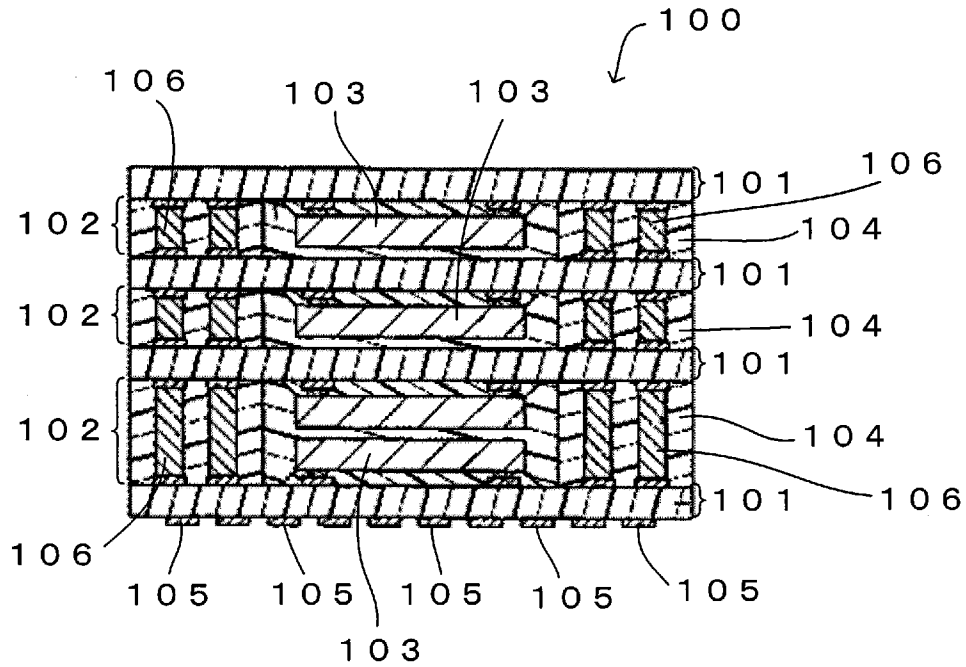
[図5]

図５


1 b
7
4 e
2 a 1
5
5
2 a
3 a
2 b 1
2 b
1 0
6 c
4 f
6 c
1 0

[図6]

図６


1 0 0
1 0 6
1 0 3
1 0 3
1 0 1
1 0 6
1 0 2
1 0 4
1 0 1
1 0 2
1 0 4
1 0 1
1 0 2
1 0 4
1 0 6
1 0 1
1 0 6
1 0 5
1 0 5
1 0 5
1 0 5
1 0 5
1 0 3

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/078052

A. CLASSIFICATION OF SUBJECT MATTER
H01L25/00(2006.01)i, *H01L25/065*(2006.01)i, *H01L25/07*(2006.01)i, *H01L25/18*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L25/00, H01L25/065, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2000-174200 A (Rohm Co., Ltd.), 23 June 2000 (23.06.2000), paragraphs [0012] to [0027]; fig. 1 to 9 (Family: none)	1-4,6,9-11 5 7-8
X Y	JP 2008-311267 A (Taiyo Yuden Co., Ltd.), 25 December 2008 (25.12.2008), paragraphs [0014] to [0031]; fig. 1 to 11 (Family: none)	1-2,4 5
Y	JP 2000-12765 A (NEC Corp.), 14 January 2000 (14.01.2000), paragraphs [0009] to [0013]; fig. 1 & US 6265772 B1 & TW 410454 B & KR 10-2000-0006234 A	5

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 December, 2013 (18.12.13)	07 January, 2014 (07.01.14)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／０７８０５２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L25/00(2006.01)i, H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L25/00, H01L25/065, H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１３年
日本国実用新案登録公報	１９９６－２０１３年
日本国登録実用新案公報	１９９４－２０１３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y A	JP 2000-174200 A (ローム株式会社) 2000.06.23, 段落 0012-0027, 図 1-9 (ファミリーなし)	1-4,6,9-11 5 7-8
X Y	JP 2008-311267 A (太陽誘電株式会社) 2008.12.25, 段落 0014-0031, 図 1-11 (ファミリーなし)	1-2,4 5
Y	JP 2000-12765 A (日本電気株式会社) 2000.01.14, 段落 0009-0013, 図 1 & US 6265772 B1 & TW 410454 B & KR 10-2000-0006234 A	5

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１８．１２．２０１３	０７．０１．２０１４

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　４Ｒ　３５４７
石野　忠志
電話番号　０３－３５８１－１１０１　内線　３４７１