



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년01월16일
(11) 등록번호 10-1819073
(24) 등록일자 2018년01월10일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) G02B 27/22 (2006.01)
G03H 1/02 (2006.01) G03H 1/22 (2006.01)
(21) 출원번호 10-2012-7026915
(22) 출원일자(국제) 2011년03월15일
심사청구일자 2016년03월15일
(85) 번역문제출일자 2012년10월15일
(65) 공개번호 10-2013-0018772
(43) 공개일자 2013년02월25일
(86) 국제출원번호 PCT/EP2011/053912
(87) 국제공개번호 WO 2011/113843
국제공개일자 2011년09월22일
(30) 우선권주장
10156572.9 2010년03월15일
유럽특허청(EPO)(EP)
(56) 선행기술조사문헌
JP평성09005789 A
(뒷면에 계속)
전체 청구항 수 : 총 31 항

(73) 특허권자
시리얼 테크놀로지스 에스.에이.
룩셈부르크 엘-5365 윈스바흐 뤼 뽀형씨빨르 212
(72) 발명자
미스바흐 로버트
독일 01731 크라이샤 / 오티 배렌클라우즈 암 테
흐 10
(74) 대리인
김대홍

심사관 : 신영교

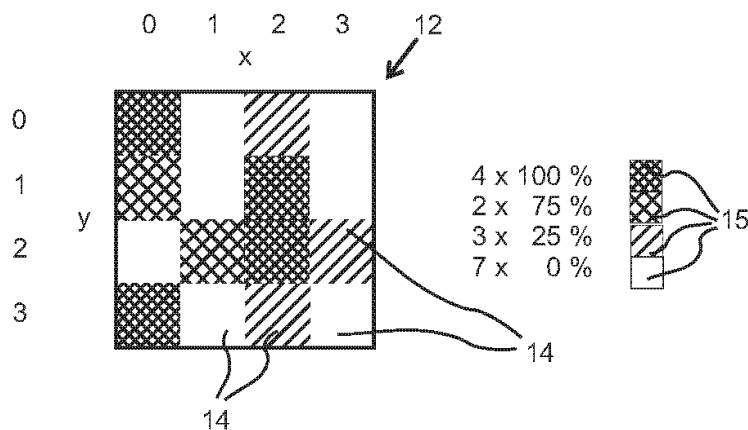
(54) 발명의 명칭 공간 광 변조기를 위한 백플레인 디바이스 및 백플레인 디바이스를 동작시키는 방법

(57) 요약

본 발명은 공간 광 변조기(12), 특히 콘텐츠 또는 장면의 이차원 및/또는 삼차원 표현을 생성하기 위한 디스플레이 디바이스에서의 공간 광 변조기(12)를 위한 백플레인(Backplane) 디바이스에 관한 것이다. 공간 광 변조기(12)는 픽셀 어드레스들을 가지며 픽셀값들(15)을 픽셀들(14)에 할당하기 위해 백플레인 디바이스(16)에 의해 전

(뒷면에 계속)

대표도 - 도3a



자적으로 제어가능한 픽셀들(14)을 포함한다. 백플레인 디바이스(16)는 각각의 픽셀(14)을 위한 적어도 하나의 전극(500), 적어도 하나의 아날로그 라인(22) 및 적어도 하나의 픽셀 어드레싱 수단(24)을 포함한다. 이러한 픽셀 어드레싱 수단(24)은 x어드레싱 라인들(26)과 y어드레싱 라인들(28)을 포함한다. 매 픽셀들(14)은 아날로그 라인(22), x어드레싱 라인(26) 및 y어드레싱 라인(26)에 연결된다. 픽셀값(15) 할당 방식으로서 생성 수단은 전압 특성(10)이 픽셀들(14)에 할당될 픽셀값들(15)에 기초하도록 적어도 하나의 아날로그 라인(22)에 인가될 전압 특성(10)을 생성하도록 구성된다. 백플레인 디바이스(16)는, 상기 픽셀 어드레스들이 픽셀 어드레싱 방식으로서 상기 생성된 전압 특성(10)에 기초하여 결정되도록 하고 상기 생성된 전압 특성(10)이 픽셀값(15)을 픽셀들(14)에 할당하기 위해 적어도 하나의 아날로그 라인(22)에 인가되도록 구성된다. 더 나아가, 본 발명은 공간 광 변조기(12)를 위한 백플레인 디바이스(16)를 동작시키기 위한 방법에 관한 것이다.

(56) 선행기술조사문헌

JP평성10026945 A

JP2002175040 A

W02001082284 A1

EP1414011 A

명세서

청구범위

청구항 1

콘텐츠 또는 장면의 이차원 표현과 삼차원 표현 중 적어도 하나의 표현을 생성하기 위한 디스플레이 디바이스에 서의 공간 광 변조기(12)를 위한 백플레인(Backplane) 디바이스에 있어서, 상기 공간 광 변조기(12)는, 픽셀 어드레스들을 가지며 픽셀값들(15)을 픽셀들(14)에 할당하기 위해 백플레인 디바이스(16)에 의해 전자적으로 제어 가능한 픽셀들(14)을 포함하고, 상기 백플레인 디바이스(16)는 각각의 픽셀(14)을 위한 적어도 하나의 전극(500), 적어도 하나의 아날로그 라인(22) 및 적어도 하나의 픽셀 어드레싱 수단(24)을 포함하고, 이러한 픽셀 어드레싱 수단(24)은 x어드레싱 라인들(26)과 y어드레싱 라인들(28)을 포함하고, 매 픽셀들(14)은 아날로그 라인(22), x어드레싱 라인(26) 및 y어드레싱 라인(28)에 연결되고, 픽셀값(15) 할당 방식으로서, 생성 수단은, 전압 특성(10)이 상기 픽셀들(14)에 할당될 상기 픽셀값들(15)에 의존하도록 상기 적어도 하나의 아날로그 라인(22)에 인가될 전압 특성(10)을 생성하도록 구성되며, 상기 백플레인 디바이스(16)는, 상기 픽셀 어드레스들이 픽셀 어드레싱 방식으로서 상기 생성된 전압 특성(10)에 의존하여 결정되도록 하고, 상기 생성된 전압 특성(10)이 상기 픽셀값(15)을 상기 픽셀들(14)에 할당하기 위해 상기 적어도 하나의 아날로그 라인(22)에 인가되도록 구성된 것인, 공간 광 변조기(12)를 위한 백플레인 디바이스.

청구항 2

제1항에 있어서, 상기 전압 특성(10)은 전압 램프 업 함수, 전압 램프 다운 함수 및 톱니파형 함수 중 적어도 하나이거나, 또는 상기 전압 특성(10)은 미리결정된 시구간에 대한 오버드라이브 값을 포함하거나, 또는 상기 전압 특성(10)은 미리결정된 시구간에 대한 언더드라이브 값을 포함한 것인, 공간 광 변조기(12)를 위한 백플레인 디바이스.

청구항 3

제1항에 있어서, 상기 전압 특성(10)은 시변적이며, 수학적으로 단조 함수의 특성을 갖는 것인, 공간 광 변조기(12)를 위한 백플레인 디바이스.

청구항 4

제1항에 있어서, 상기 적어도 하나의 아날로그 라인(22)에 인가되는 상기 생성된 전압 특성(10)은 상기 픽셀들(14)의 어드레싱 순서를 결정하는 것인, 공간 광 변조기(12)를 위한 백플레인 디바이스.

청구항 5

제1항에 있어서, 결정되는 상기 픽셀 어드레스들은 x방향 및 y방향에 대해 생성되고, 픽셀(14)에 대한 픽셀값(15)의 상기 할당은 x방향 및 y방향에 대해 랜덤 액세스 방식으로 수행되는 것인, 공간 광 변조기(12)를 위한 백플레인 디바이스.

청구항 6

제1항에 있어서, 동일한 픽셀값(15)이 할당되는 모든 픽셀들(14)의 어드레싱은 상기 백플레인 디바이스(16)의 하나의 동작 모드에서 서로에 대한 시간 근접성을 갖고 수행되거나, 또는 상기 백플레인 디바이스(16)의 다른 동작 모드에서 동일한 시간에 수행되거나, 또는 상기 백플레인 디바이스(16)의 또 다른 동작 모드에서 시구간 내에 수행되거나, 또는 픽셀값(15)은 한번에 단하나의 픽셀(14)에 할당되는 것인, 공간 광 변조기(12)를 위한 백플레인 디바이스.

청구항 7

제1항에 있어서, 상기 공간 광 변조기(21)와 상기 백플레인 디바이스(16) 중 적어도 하나는 상기 픽셀들(14)의 적어도 두 개의 클러스터들(18)의 클러스터 배열을 포함하며, 각각의 클러스터(18)는 아날로그 라인(22) 및 클러스터(18)의 픽셀들(14)을 어드레싱하기 위한 픽셀 어드레싱 수단(24)을 포함한 것인, 공간 광 변조기(12)를

위한 백플레인 디바이스.

청구항 8

제7항에 있어서, 상기 클러스터들(18)은 서로 독립적으로 제어되거나, 또는 상기 공간 광 변조기(12)의 연결된 영역 또는 인접한 영역을 형성하는 복수의 픽셀들(14)은 클러스터(18)를 형성하거나, 또는 이러한 영역은 직사각형 형상, 정방형 형상 또는 벌집 형상을 갖거나, 또는 클러스터(18)는 상기 공간 광 변조기(12)의 폭 전체 또는 길이 전체를 넘어 연장하지 않는 것인, 공간 광 변조기(12)를 위한 백플레인 디바이스.

청구항 9

제1항에 있어서, 픽셀(14)을 위한 제어 회로(20)가 두 개의 TFT들(100, 200)을 포함하고, 제1 TFT(100)는 아날로그 라인(22), x어드레싱 라인(26) 및 제2 TFT(200)에 연결되며, 제2 TFT(200)는 제1 TFT(100), y어드레싱 라인(28) 및 상기 픽셀(14)의 전극(500)에 연결된 것인, 공간 광 변조기(12)를 위한 백플레인 디바이스.

청구항 10

제1항에 있어서, 픽셀(14)을 위한 제어 회로(20)가 두 개의 TFT들(100, 200)을 포함하고, 제1 TFT(100)는 x어드레싱 라인(26), y어드레싱 라인(28) 및 제2 TFT(200)에 연결되고, 제2 TFT(200)는 상기 픽셀(14)의 전극(500), 아날로그 라인(22) 및 제1 TFT(100)에 연결된 것인, 공간 광 변조기(12)를 위한 백플레인 디바이스.

청구항 11

제1항에 있어서, 적어도 하나의 인에이블 라인(30)을 더 포함하며, 이 인에이블 라인(30)에 매 픽셀(14)이 연결되는 것인, 공간 광 변조기(12)를 위한 백플레인 디바이스.

청구항 12

제11항에 있어서, 픽셀(14)을 위한 제어 회로(20)가 세 개의 TFT들(100, 200, 300)을 포함하고, 제1 TFT(100)는 인에이블 라인(30), x어드레싱 라인(26) 및 제2 TFT(200)에 연결되고, 제2 TFT(200)는 제1 TFT(100), y어드레싱 라인(28) 및 제3 TFT(300)에 연결되며, 제3 TFT(300)는 상기 픽셀(14)의 전극(500), 아날로그 라인(22) 및 제2 TFT(200)에 연결된 것인, 공간 광 변조기(12)를 위한 백플레인 디바이스.

청구항 13

제1항에 있어서, 픽셀(14)을 위한 제어 회로(20)는 세 개의 TFT들(100, 200, 300)을 포함하고, 두 개의 픽셀들(14; 20, 32)이 서로 인접하여 위치하고 동일한 y어드레싱 라인(28)에 의해 어드레싱되는 경우, 제1 픽셀(20)의 제1 TFT(100)는, 인에이블링 기능으로서, 제2 픽셀(32)의 x어드레싱 라인(26)에 연결되고, 제1 픽셀(20)의 제2 TFT(200) 및 y어드레싱 라인(28)에 연결되고, 제1 픽셀(20)의 제2 TFT(200)는 제1 픽셀(20)의 제1 TFT(100)에 연결되고, 제1 픽셀(20)의 x어드레싱 라인(26)에 연결되며, 제1 픽셀(20)의 제3 TFT(300)에 연결되고, 제1 픽셀(20)의 제3 TFT(300)는 제1 픽셀(20)의 제2 TFT(200)에 연결되고, 제1 픽셀(20)의 전극(500) 및 아날로그 라인(22)에 연결되고, 제2 픽셀(32)의 제1 TFT(100)는, 인에이블링 기능으로서, 제1 픽셀(20)의 x어드레싱 라인(26)에 연결되고, 제2 픽셀(32)의 제2 TFT(200) 및 y어드레싱 라인(28)에 연결되고, 제2 픽셀(32)의 제2 TFT(200)는 제2 픽셀(32)의 제1 TFT(100)에 연결되고, 제2 픽셀(32)의 x어드레싱 라인(26)에 연결되며, 제2 픽셀(32)의 제3 TFT(300)에 연결되며, 제2 픽셀(32)의 제3 TFT(300)는 제2 픽셀(32)의 제2 TFT(200)에 연결되고, 제2 픽셀(32)의 전극(500) 및 아날로그 라인(22)에 연결된 것인, 공간 광 변조기(12)를 위한 백플레인 디바이스.

청구항 14

제1항에 있어서, 픽셀(20, 32, 34, 36)을 위한 제어 회로(20, 32, 34, 36)는 세 개의 TFT들(100, 200, 300)을 포함하고, 네 개의 픽셀들(20, 32, 34, 36)이 서로 인접하여 위치하고 동일한 y어드레싱 라인(28)에 의해 어드레싱되는 경우, 제1 픽셀(20)의 제1 TFT(100)는, 인에이블링 기능으로서, 제3 픽셀(34)의 x어드레싱 라인(26)에 연결되고, 제1 픽셀(20)의 제2 TFT(200) 및 y어드레싱 라인(28)에 연결되고, 제1 픽셀(20)의 제2 TFT(200)는 제1 픽셀(20)의 제1 TFT(100)에 연결되고, 제1 픽셀(20)의 x어드레싱 라인(26)에 연결되며, 제1 픽셀(20)의 제3 TFT(300)에 연결되고, 제1 픽셀(20)의 제3 TFT(300)는 제1 픽셀(20)의 제2 TFT(200)에 연결되고, 제1 픽셀(20)의 전극(500) 및 아날로그 라인(22)에 연결되고, 제2 픽셀(32)의 제1 TFT(100)는, 인에이블링 기능으로서, 제

1 픽셀(20)의 x어드레싱 라인(26)에 연결되고, 제2 픽셀(32)의 제2 TFT(200) 및 y어드레싱 라인(28)에 연결되고, 제2 픽셀(32)의 제2 TFT(200)는 제2 픽셀(32)의 제1 TFT(100)에 연결되고, 제2 픽셀(32)의 x어드레싱 라인(26)에 연결되며, 제2 픽셀(32)의 제3 TFT(300)에 연결되며, 제2 픽셀(32)의 제3 TFT(300)는 제2 픽셀(32)의 제2 TFT(200)에 연결되고, 제2 픽셀(32)의 전극(500) 및 아날로그 라인(22)에 연결되고, 제3 픽셀(34)의 제1 TFT(100)는, 인에이블링 기능으로서, 제4 픽셀(36)의 x어드레싱 라인(26)에 연결되고, 제3 픽셀(34)의 제2 TFT(200) 및 y어드레싱 라인(28)에 연결되고, 제3 픽셀(34)의 제2 TFT(200)는 제3 픽셀(34)의 제1 TFT(100)에 연결되고, 제3 픽셀(34)의 x어드레싱 라인(26)에 연결되며, 제3 픽셀(34)의 제3 TFT(300)에 연결되고, 제3 픽셀(34)의 제3 TFT(300)는 제3 픽셀(34)의 제2 TFT(200)에 연결되고, 제3 픽셀(34)의 전극(500) 및 아날로그 라인(22)에 연결되고, 제4 픽셀(36)의 제1 TFT(100)는, 인에이블링 기능으로서, 제2 픽셀(32)의 x어드레싱 라인(26)에 연결되고, 제4 픽셀(36)의 제2 TFT(200) 및 y어드레싱 라인(28)에 연결되고, 제4 픽셀(36)의 제2 TFT(200)는 제4 픽셀(36)의 제1 TFT(100)에 연결되고, 제4 픽셀(36)의 x어드레싱 라인(26)에 연결되며, 제4 픽셀(36)의 제3 TFT(300)에 연결되며, 제4 픽셀(36)의 제3 TFT(300)는 제4 픽셀(36)의 제2 TFT(200)에 연결되고, 제4 픽셀(36)의 전극(500) 및 아날로그 라인(22)에 연결된 것인, 공간 광 변조기(12)를 위한 백플레인 디바이스.

청구항 15

제11항에 있어서, 상기 인에이블 라인(30)의 논리 레벨은 x어드레싱 라인들(26)의 논리 레벨에 대응하는 것인, 공간 광 변조기(12)를 위한 백플레인 디바이스.

청구항 16

제9항에 있어서, 픽셀(20, 32, 34, 36)을 위한 상기 제1 TFT(100) 및 동일 픽셀(20, 32, 34, 36)의 상기 제2 TFT(200)는 듀얼 게이트 TFT로 결합되는 것인, 공간 광 변조기(12)를 위한 백플레인 디바이스.

청구항 17

제9항에 있어서, x어드레싱 라인(26) 또는 y어드레싱 라인(28)은 픽셀(20, 32, 34, 36)의 상기 제1 TFT(100)의 게이트(G) 또는 상기 픽셀(20, 32, 34, 36)의 상기 제2 TFT(200)의 게이트(G) 또는 제16항에 따른 듀얼 게이트 TFT의 게이트들과 연결되는 것인, 공간 광 변조기(12)를 위한 백플레인 디바이스.

청구항 18

제9항에 있어서, 인에이블 라인(30) 또는 인에이블 라인(30)으로서 기능을 하는 상기 x어드레싱 라인(26)은 픽셀(20, 32, 34, 36)의 상기 제1 TFT(100)의 소스(S)와 연결되거나, 또는 픽셀(20, 32, 34, 36)의 상기 제1 TFT(100)의 드레인(D)은 동일 픽셀의 상기 제2 TFT(200)의 소스(S)에 연결되는 것인, 공간 광 변조기(12)를 위한 백플레인 디바이스.

청구항 19

제9항에 있어서, 상기 아날로그 라인(22)은 픽셀(20, 32, 34, 36)의 제3 TFT(300)의 소스(S)에 연결되고, 동일 픽셀(20, 32, 34, 36)의 전극(500)은 동일 픽셀(20, 32, 34, 36)의 상기 제3 TFT(300)의 드레인(D)과 연결되거나, 또는 픽셀(20, 32, 34, 36)의 상기 제2 TFT(200)의 드레인(D)은 동일 픽셀(20, 32, 34, 36)의 상기 제3 TFT(300)의 게이트(G)에 연결되는 것인, 공간 광 변조기(12)를 위한 백플레인 디바이스.

청구항 20

제1항에 있어서, 상기 픽셀 어드레싱 수단(24)은 적어도 하나의 x어드레스 디코더(38, 38') 및 적어도 하나의 y어드레스 디코더(44, 44')를 포함하고, 상기 x어드레스 디코더(38, 38')는 x어드레싱 라인들(26)에 연결되고 상기 y어드레스 디코더(44, 44')는 y어드레싱 라인들(28)에 연결된 것인, 공간 광 변조기(12)를 위한 백플레인 디바이스.

청구항 21

제20항에 있어서, 상기 x어드레스 디코더(38, 38')와 상기 y어드레스 디코더(44, 44') 중 적어도 하나는 동적 NOR 디코더, 동적 AND 디코더, OR 디코더, NAND와 NOR 회로를 포함한 CMOS 디코더, 및 AND 디코더 중 적어도 하나의 디코더에 기초한 것인, 공간 광 변조기(12)를 위한 백플레인 디바이스.

청구항 22

제20항에 있어서, 상기 x어드레스 디코더(38, 38')와 상기 y어드레스 디코더(44, 44') 중 적어도 하나는 상기 백플레인 디바이스(16)로부터 개별적으로 배열되거나, 또는 상기 x어드레스 디코더(38, 38')와 상기 y어드레스 디코더(44, 44') 중 적어도 하나는 상기 백플레인 디바이스(16)의 외부 가장자리에 위치되거나, 또는 상기 x어드레스 디코더(38, 38')와 상기 y어드레스 디코더(44, 44') 중 적어도 하나는 픽셀들(14; 20, 32, 34, 36) 사이의 상기 백플레인 디바이스(16)상에 위치하는 것인, 공간 광 변조기(12)를 위한 백플레인 디바이스.

청구항 23

제1항에 있어서, 각각의 픽셀(14)은 픽셀 제어 구조물(20, 32, 34, 36)을 포함하고, 상기 픽셀 제어 구조물(20, 32, 34, 36)은 규칙적인 레이아웃으로 배열되거나, 또는 상기 픽셀 제어 구조물(20, 32, 34, 36) 모두는 동일한 방식으로 배열되거나, 또는 두 개의 이웃하는 픽셀들의 픽셀 제어 구조물들(20, 32, 34, 36)이 서로 미러링(mirror)되도록 배열되거나, 또는 네 개의 이웃하는 픽셀들의 픽셀 제어 구조물들(20, 32, 34, 36)이 서로 미러링되도록 배열된 것인, 공간 광 변조기(12)를 위한 백플레인 디바이스.

청구항 24

제1항에 있어서, 상기 공간 광 변조기(12)는 회절에 기초하여 상기 공간 광 변조기(12)와 상호작용하는 광을 편향시키도록 구성되는 것인, 공간 광 변조기(12)를 위한 백플레인 디바이스.

청구항 25

제1항 내지 제24항 중 어느 한 항에 따른 백플레인 디바이스(16)를 동작시키기 위한 방법에 있어서, 상기 공간 광 변조기(12)는, 픽셀 어드레스들을 가지며 픽셀값들(15)을 픽셀들(14)에 할당하기 위해 상기 백플레인 디바이스(16)에 의해 전자적으로 제어가능한 픽셀들(14)을 포함하고, 상기 백플레인 디바이스(16)는 각각의 픽셀(14)을 위한 적어도 하나의 전극(500), 적어도 하나의 아날로그 라인(22) 및 적어도 하나의 픽셀 어드레싱 수단(24)을 포함하고, 이러한 픽셀 어드레싱 수단(24)은 x어드레싱 라인들(26)과 y어드레싱 라인들(28)을 포함하고, 매 픽셀들(14)은 아날로그 라인(22), x어드레싱 라인(26) 및 y어드레싱 라인(28)에 연결되고, 상기 방법은,

픽셀값(15) 할당 방식으로서 전압 특성(10)이 픽셀들(14)에 할당될 픽셀값들(15)에 의존하도록, 생성 수단이 상기 적어도 하나의 아날로그 라인(22)에 인가될 전압 특성(10)을 생성하는 단계,

픽셀 어드레싱 방식으로서 상기 생성된 전압 특성(10)에 의존하여 픽셀 어드레스들을 결정하는 단계, 및

상기 픽셀값들(15)을 상기 픽셀들(14)에 할당하기 위해 상기 생성된 전압 특성(10)을 상기 적어도 하나의 아날로그 라인(22)에 인가하는 단계

를 포함한 것인, 백플레인 디바이스(16)를 동작시키기 위한 방법.

청구항 26

제25항에 있어서, 픽셀값(15)을 픽셀(14)에 할당하기 위해, 이 픽셀(14)을 위한 x어드레싱 라인(26) 및 y어드레싱 라인(28)이 선택되고, 이 픽셀(14)에 연결된 인에이블 라인(30)은 활성화되고, 그 결과 아날로그 라인(22)으로부터 상기 픽셀(14)의 전극(500)으로의 전하 이송이 초래되며, 이 픽셀(14)의 전극(500)에서 이송된 전하를 유지하기 위해 상기 x어드레싱 라인(26) 및 상기 y어드레싱 라인(28)이 선택해제되거나, 또는 이 픽셀(14)에 연결된 인에이블 라인(30)이 비활성화되는 것인, 백플레인 디바이스(16)를 동작시키기 위한 방법.

청구항 27

제25항에 있어서, 동일한 픽셀값(15)을 복수의 픽셀들(14)에 할당하기 위해, 이들 픽셀들(14) 각각에 대해, 이러한 픽셀(14)에 연결된 인에이블 라인(30)은 활성화되고, 상기 x어드레싱 라인(26) 및 상기 y어드레싱 라인(28)이 후속하여 선택되어, 이로써 상기 아날로그 라인(22)으로부터, 후속하여 활성화된 각각의 픽셀(14)의 전극(500)으로의 후속적인 전하 이송을 초래하며, 이들 픽셀들(14)의 전극들(500)에서 이송된 전하를 유지하기 위해 이들 픽셀들(14)을 위한 상기 인에이블 라인(30), 상기 x어드레싱 라인(26) 및 상기 y어드레싱 라인(28)은 비활성화되는 것인, 백플레인 디바이스(16)를 동작시키기 위한 방법.

청구항 28

제25항에 있어서, 상기 아날로그 라인(22)을 통해 제공된 것과 동일한 전압으로 이들 모든 픽셀들(14)의 전극들(500)을 셋팅하거나 또는 선택된 픽셀들(14)의 모든 전극들(500)을 단락(short circuiting)시키기 위해, 선택된 복수의 픽셀들(14)에 대해, 상기 x어드레싱 라인들(26) 및 상기 y어드레싱 라인들(28)이 선택되고, 이들 픽셀들(14)을 위한 인에이블 기능을 갖는 어드레싱 라인들이 활성화되거나 또는 이들 픽셀들(14)에 연결된 인에이블 라인(30)이 활성화되고, 상기 x어드레싱 라인들(26)과 상기 y어드레싱 라인들(28)은 선택해제되고, 픽셀값(15)을 픽셀(14)에 할당하기 위해, 이 픽셀(14)을 위한 상기 x어드레싱 라인(26) 및 상기 y어드레싱 라인(28)이 선택되고, 이로써 상기 아날로그 라인(22)으로부터 상기 픽셀(14)의 전극(500)으로의 전하 이송이 초래되며, 상기 x어드레싱 라인(26)과 상기 y어드레싱 라인(28)은 선택해제되며, 이들 픽셀들(14)의 전극들(500)의 전하를 유지하기 위해 이들 픽셀들(14)에 연결된 인에이블 라인(30)은 비활성화되는 것인, 백플레인 디바이스(16)를 동작시키기 위한 방법.

청구항 29

콘텐츠 또는 장면의 이차원 표현과 삼차원 표현 중 적어도 하나를 생성하기 위한 디스플레이 디바이스를 위한 공간 광 변조기로서, 제1항 내지 제24항 중 어느 한 항에 따른 백플레인 디바이스(16)를 포함한 것인, 공간 광 변조기.

청구항 30

장면의 이차원 표현과 삼차원 표현 중 적어도 하나를 생성하기 위한 디스플레이 디바이스로서, 제1항 내지 제24항 중 어느 한 항에 따른 백플레인 디바이스(16)를 포함하는, 디스플레이 디바이스.

청구항 31

장면의 이차원 표현과 삼차원 표현 중 적어도 하나를 생성하기 위한 디스플레이 디바이스로서, 제29항에 따른 공간 광 변조기(12)를 포함하는, 디스플레이 디바이스.

발명의 설명

기술 분야

[0001] 본 발명은 공간 광 변조기를 위한 백플레인 디바이스 및 백플레인 디바이스를 동작시키는 방법에 관한 것이다.

배경 기술

[0002] 공간 광 변조기는 특히, 정보를 디스플레이하기 위해 이용되는 고해상도 디스플레이의 형태의 디스플레이 디바이스에서 이용되도록 설계된다. 본 발명의 응용 분야는 고해상도 디스플레이, 특히 픽셀들이 매우 신속하게 제어될 것이 필요한 곳에서 이용되는 TFT(thin film transistor) 디스플레이 및 LCOS(liquid crystal on silicon)를 포함한다. 또 다른 응용 분야는 공간 광 변조기를 갖춘 광학 엘리먼트들이며, 상기 광학 엘리먼트들은 코히어런트 파면의 형상 또는 광 빔의 방향 또는 형상에 영향을 미친다.

[0003] 도 26은 네 개의 픽셀 전극들(11-1, 11-2, 11-3, 11-4)을 포함한 종래기술에 따른 백플레인 디바이스의 액티브 매트릭스(active matrix; AM) 구조의 예시를 도시한다. 게이트 라인들은, 전체 디스플레이의 픽셀들을 기록하기 위해 차례차례로 활성화된다. 하지만, 통상적인 디스플레이 디바이스들에서 이용되는 글로벌 행 및 열 라인들을 이용한 이러한 유형의 어드레싱은 예컨대 홀로그래픽 디스플레이에서의 홀로그램들의 표현에 필요한 해상도 및 리프레쉬 레이트들을 증가시키는데 있어서 부적당한 것으로 판명되었다.

[0004] 열 라인들에 대한 주파수를 증가시킨다는 것은 각각의 클럭 사이클 동안에 데이터 라인 레지스턴스 및 용량에 맞서 전체 데이터 라인이 재충전되어야 한다는 것을 의미한다(예컨대, 도 28을 참조하라). 이것은 높은 출력 구동 전류 및 높은 전력 소모를 야기시킨다. 추가적으로, 이 라인에 연결된 모든 TFT들의 게이트 용량에 의해 라인의 커다란 임피던스는 한층 더 증가될 것이다.

[0005] 모든 픽셀 TFT들의 열 라인들 및 게이트들의 캐패시턴스는 훨씬 짧은 간격들로 충전 전환되어야 한다. 그 결과, 주파수가 상승함에 따라 전력 손실은 증가한다. 컨덕터의 임피던스 및 캐패시턴스에 의해 정의된 한계가 있으며, 이를 넘어서면 하나의 클럭 사이클에서 완전 충전 전환을 달성하는 것은 컨덕터에서 더 이상 불가능하다.

- [0006] 그 결과, 오늘날의 거의 모든 LCD(Liquid Crystal device) 백플레인 디바이스들에서 이용되는 액티브 매트릭스 구조들은 고속 프레임 레이트, 예컨대 1000 Hz 이상의 범위에서 고해상도 디스플레이(예컨대, 16000 픽셀 x 8000 픽셀)를 구동시킬 수 없다. 이러한 디스플레이는 예컨대 WO 2006/066919 A1에서 개시된 것과 같은 홀로그래픽 디스플레이 응용들에서 특히 필요로 하며, 이 문헌은 본 명세서에서 참조로서 병합된다. 이러한 높은 프레임 레이트가 필요한 이유는 특히 가상 관측자 윈도우(virtual observer window; VOW)들은 하나 이상의 관측자들을 위해 시간 순차적 방식으로 생성되어야 하기 때문이다.
- [0007] 추가적으로, 커다란 라인 임피던스는 연결되어 있는 모든 TFT 게이트 용량들에 의해 한층 더 증가될 것이다. 이러한 특성들 모두의 조합은 최대 데이터 라인 주파수를 제한시킨다. 그 결과, 높은 프레임 레이트를 갖는 고해상도 디스플레이를 위한 통상적인 액티브 매트릭스 설계는 실현가능하지 않을 것으로 보인다.
- [0008] WO 2009/092717 A1는 디스플레이를 작은 클러스터들로 타일링화(tiling)함으로써 일부 AM 문제들을 극복하고, 아날로그 쉬프트 레지스터들을 이용하여 이 클러스터들을 외부와는 독립적으로 구동시키기 위한 방법을 기술한다. 디스플레이를 클러스터들로 타일링화하고, 외부 구동기들로부터 클러스터 회로까지 극소수의 빠른 점대점 연결들을 이용하는 것은 매우 높은 해상도 및 매우 빠른 디스플레이를 가능하게 해준다. 하지만, 이러한 종류의 모든 디스플레이들은 디스플레이 위치에 의해 정렬된(sort) 라인 단위로 픽셀들에 픽셀값을 할당한다. 이것은 픽셀값이 라인마다 변경되는 경우, 고주파수로 재충전될 쉬프트 레지스터들의 고전압 아날로그 데이터 라인들 또는 라인 세그먼트들을 필요로 한다.
- [0009] 이것은 공간 광 변조기에 걸쳐 보통 균일하게 분포된 픽셀값들을 갖는 홀로그래픽 디스플레이들에 있어서 특히 불리하다. 따라서 이러한 종류의 종래기술의 디스플레이들을 구비한 경우, 홀로그래픽 디스플레이는 최악의 체스보드 테스트 패턴 픽셀값들이 픽셀들에 할당되는 일반적인 LC 디스플레이와 동일한 전력 소모를 일반적으로 갖는다.
- [0010] 예컨대, WO 2009/024523 A1 또는 WO 2009/092717 A1에서 개시된 픽셀 클러스터 및 아날로그 쉬프트 레지스터를 이용하여 특수하게 개발된 백플레인 구조물들은 오늘날의 LTPS(Low Temperature Polycrystalline Silicon) TFT로 구현하기가 어려울 수 있는데, 그 이유는 LTPS의 비균질성은 아날로그 쉬프트 레지스터들에 필요한 아날로그 회로들의 구현을 복잡하게 만들기 때문이다.

발명의 내용

해결하려는 과제

- [0011] 그러므로, 본 발명의 목적은 매우 고속으로 또는 예컨대 300 Hz 이상, 특히 300 Hz 내지 1800 Hz 이상까지의 높은 프레임 레이트에서 동작될 수 있는 공간 광 변조기, 및 특히 고해상도 디스플레이를 위한 백플레인 디바이스를 제공하는 것이다.
- [0012] 앞서 언급한 문제는 공간 광 변조기를 위한 백플레인 디바이스에 의한 청구항 제1항의 특징들에 의해 정의된 본 발명에 의해 해결된다. 이러한 공간 광 변조기는 특히 콘텐츠 또는 장면의 이차원 및/또는 삼차원 표현을 생성하기 위한 디스플레이 디바이스에 적용된다. 공간 광 변조기는 픽셀 어드레스들을 가지며 픽셀값들을 픽셀들에 할당하기 위해 백플레인 디바이스에 의해 전자적으로 제어가능한 픽셀들을 포함한다. 백플레인 디바이스는 각각의 픽셀을 위한 적어도 하나의 전극, 적어도 하나의 아날로그 라인 및 적어도 하나의 픽셀 어드레싱 수단을 포함한다. 이러한 픽셀 어드레싱 수단은 x어드레싱 라인들과 y어드레싱 라인들을 포함한다. 매 픽셀들은 아날로그 라인, x어드레싱 라인 및 y어드레싱 라인에 연결된다. 픽셀값 할당 방식으로서 생성 수단은 전압 특성이 픽셀들에 할당될 픽셀값들에 의존하도록 적어도 하나의 아날로그 라인에 인가될 전압 특성들을 생성시키도록 구성된다. 백플레인 디바이스는 픽셀 어드레스들이 픽셀 어드레싱 방식으로서 생성된 전압 특성에 기초하여 결정되도록 구성된다. 백플레인 디바이스는 또한 생성된 전압 특성이 픽셀값을 픽셀들에 할당하기 위해 적어도 하나의 아날로그 라인에 인가되도록 구성된다.
- [0013] 아래의 종래기술의 백플레인 디바이스들, 예컨대 백플레인 디바이스의 단일 픽셀들이 행마다 순차적으로 어드레싱되고 어드레싱된 행 내에서 순차적으로 또는 픽셀마다 어드레싱되는 액티브 매트릭스 백플레인들의 픽셀 어드레싱 방식 대신에, 본 발명은 완전히 상이한 픽셀 어드레싱 방식을 이용한다. 데이터 라인에 연결된 모든 픽셀들의 트랜지스터 게이트 용량 및 아날로그 라인 용량 또는 전체 데이터 라인은 각각의 클럭 싸이클에 대해 데이터 라인 레지스턴스에 걸쳐 재충전되어야 한다. 이것은 높은 출력 구동 전류 및 높은 전력 소모를 야기시킨다. 추가적으로, 데이터 라인의 커다란 임피던스는 연결되어 있는 모든 TFT 게이트 용량들에 의해 한층 더 증가될

것이다. 이러한 특성들 모두의 조합은 최대 데이터 라인 주파수를 제한시킨다. 그 결과, 360Hz 이상의 프레임 레이트들로 구동되는 24인치 이상의 고해상도 디스플레이를 위한 통상적인 액티브 매트릭스 설계를 이용하는 것은 실현가능할 것으로 보이지 않는다.

과제의 해결 수단

[0014] 본 발명에 따른 픽셀 어드레싱 방식은 픽셀들에 할당될 픽셀값에 기초한다. 따라서 본 발명의 픽셀 어드레싱 방식은, 픽셀들에 할당된 픽셀값들에 의존하여, 예컨대 두 개의 클럭 사이클들 내에서 하나의 픽셀에서 최소 전압의 픽셀값이 할당되고 다음의 픽셀에서 최대 전압이 할당되어야 하는 종래기술 시스템들에서 이용된 통상적인 아날로그 라인에 대해 매우 높은 주파수들을 갖도록 제공한다. 본 발명에 따르면, 이보다는 저주파수를 포함한 아날로그 라인에 인가되는 전압 특성 또는 전압 함수를 갖추는 것이 시도된다. 이것은 예컨대 전압 특성으로서 램프 업 함수를 아날로그 라인에 인가함으로써 달성될 수 있다. 그 후 단일 픽셀들은 아날로그 라인에 인가된 전압 특성에 기초하여, 특히 아날로그 라인에 인가된 실제의 전압값에 기초하여 어드레싱된다. 다시 말하면, 특정 픽셀에 할당될 픽셀값에 대응하는 전압 특성의 전압값이 아날로그 라인에 인가될 때에 이 특정 픽셀이 어드레싱된다. 그러므로, 아날로그 라인에 인가되는 (적어도 픽셀 클럭 범위와 관련된) 고주파수 전압 특성이 방지될 수 있고, 다소 부드럽거나 또는 보다 낮은 주파수 전압 특성이 아날로그 라인에 인가된다. 이렇게 하기 위해서는, 아날로그 라인에 인가되는 전압 특성에 기초하여 픽셀들의 어드레싱이 이루어지는 것이 필요하다. 이것은 아마도 고주파수 신호들이 x어드레싱 라인들과 y어드레싱 라인들에 인가되는 것을 초래할 것이다. 하지만, 이것은 보다 높은 전압들이 인가될 수 있는 아날로그 라인 회로가 아닌, 디지털 어드레싱 회로들과 관련이 있으며, 여기서는 동일한 (낮은) 전압들의 디지털 신호들이 인가된다.

[0015] 최신의 디스플레이에서 낮은 디지털 신호들은 트랜지스터 게이트들의 낮은 용량을 충전하는 반면에 고주파수 아날로그 신호들은 종래기술의 어드레싱 방식에 따라 픽셀 전극들의 커다란 용량들을 구동시킨다. 본 발명은 본 발명의 픽셀 회로들의 어드레싱 방식을 갖춘 픽셀 회로들의 작은 게이트 용량에 고주파수 신호들을 인가하고 상대적으로 느린 아날로그 신호들을 픽셀 전극들의 커다란 용량들에 인가함으로써 이것을 맞바꾼다. 다시 말하면, 종래기술의 어드레싱 방식들에 따라 아날로그 라인상에 높거나 또는 보다 높은 전하들이 이송되는 것 대신에 본 발명의 어드레싱 방식으로 어드레싱 라인들상에 고주파수들로 낮은 전하들이 이송된다.

[0016] 고해상도 디스플레이의 경우, 이것은 높은 픽셀 어퍼처를 갖기 위해 보다 작은 트랜지스터와 라인 구조물 크기를 갖는데 도움을 준다. 이것은 잠재적인 구동 전류들을 감소시킬 것이다. 이와는 대조적으로, 최신의 디스플레이들은 증가된 라인들의 갯수에도 불구하고 프레임 레이트를 유지하기 위해 보다 빠른 이송 시간들을 달성하도록 보다 높은 전류들을 필요로 한다. 트랜지스터 구조물 크기를 감소시키는 것은 또한 트랜지스터 게이트 용량과 임계 전압을 감소시킨다. 본 발명은 보다 작은 구조물 크기로부터 이점을 갖는데, 그 이유는 보다 작은 게이트 용량들은 보다 높은 트랜지스터 스위칭 주파수들, 보다 낮은 전압 레벨들 및 보다 낮은 전류들을 가능하게 해주기 때문이다. 보다 낮은 전압 및 보다 낮은 전류는 최신의 구현에 비교하여 감소된 전력 소모를 불러일으킨다.

[0017] 바람직한 실시예에서, 백플레인 디바이스 또는 공간 광 변조기는 백플레인 디바이스의 픽셀 전극들에 대한 반대 전극을 포함한다. 아날로그 라인은 접지에 연결된다. 본 발명에 따른 픽셀 어드레싱 방식이 적용되면서, 아날로그 라인 대신에, 반대 전극에 생성된 전압 특성이 인가된다. 보통, 접지 연결 또는 접지 라인은 통상적으로 백플레인 디바이스, 예컨대 픽셀 전극에 연결된 저장 캐패시터 또는 어드레스 디코더 회로들상에서 필요로 한다. 액정층은 두 개의 유리 기판들에 의해 둘러싸인다. 하나의 유리 기판은 배선 및 TFT를 갖는 백플레인 디바이스를 포함한다. 나머지 다른 유리 기판은 공통 전극(이것은 또한 반대 전극이라고도 불리운다)을 포함하며, 대부분의 경우 이것은 유리 기판상의 평면형의 투명한 도전성 ITO(Indium Tin Oxide)층이다. 픽셀 전극은 픽셀 캐패시터의 하나의 콘택트 또는 그 일부분이다. 공통 전극은 모든 픽셀 캐패시터들에 대한 나머지 다른 콘택트 또는 그 일부분을 형성한다. 이 실시예에 따르면, 생성된 전압 특성이 공통 전극에 인가되면, 이것은 백플레인 디바이스의 모든 픽셀들의 픽셀 전극들에 영향을 미친다. 백플레인 디바이스가 후술될 클러스터를 포함하는 경우, 이것은 동일한 방식으로 모든 클러스터들에 영향을 미친다. 클러스터들이 픽셀값들의 상이한 분포들을 갖는 경우, 모든 클러스터들에 대하여 동일한 램프 함수를 이용할 수 있도록, 지연 사이클들이 어드레싱 방식에 추가될 필요가 있을 수 있다. 하지만 홀로그래픽 디스플레이는 통상적으로 거의 균일하게 분포된 픽셀값들을 포함하며, 극소수의 지연 사이클들이 추가될 필요가 있을 수 있다.

[0018] 전력 소비를 한층 더 감소시키기 위해 매우 효율적인 전하 리사이클링이 가능하다. 고주파수 디지털 신호들만이 매우 작은 게이트 용량들을 구동시킨다. 이전의 픽셀 전압과 새로운 픽셀 전압간의 차이가 평가되면, 하나의 픽

셀로부터 다른 픽셀로 전하들을 이송시키기 위해 또는 외부 구동없이 아날로그 라인의 값을 낮추거나 또는 상승시키기 위해, 어드레싱된 픽셀의 독창적인 정렬이 이용될 수 있다. 이송이 독립적인 시간들에서 활성화되고 비활성화될 수 있다면 전하 리사이클링은 보다 더 효율적일 수 있다. 이것은 예컨대 부록의 섹션 2.1에서 언급된다.

- [0019] 인에이블 및 디스에이블 동작들을 갖는 구동 방식은 아날로그 라인에 걸쳐 픽셀 용량을 충전할 시간을 보다 큰 프레임 시간 부분들로 세팅할 수 있도록 해준다. 이것은 비교적 긴 이송 시간들을 이용하여 높은 픽셀 용량들을 충전하기 위해 낮은 전류를 이용할 수 있도록 해준다. 아날로그 라인상의 저주파수들로 인해, 아날로그 신호는 이송 트랜지스터가 스위칭하고 픽셀에서 픽셀값을 저장할 때에 선택된 픽셀의 이송 트랜지스터의 소스에 이미 점진적으로 인가된다. 이것은 픽셀 전극상의 전압의 보다 훨씬 정확한 제어를 가능하게 해주어서 특히 높은 픽셀 주파수들에 대하여 보다 높은 그레이 스케일 해상도(비트 깊이)를 야기시킨다.
- [0020] 일반적으로, 제안된 발명은 주로 보다 작은 구조물 크기들로부터 이익을 얻을 것인 반면에 최신의 솔루션들은 성능 패널티에 시달릴 것이다.
- [0021] 본 발명에 따른 값 정렬 접근법은 클럭 사이클 당 단하나 또는 극소수의 픽셀들에 액세스할 수 있다. 따라서 매트릭스를 위한 픽셀들의 갯수는 하나의 픽셀에 대한 달성가능한 액세스 시간 및 요구된 프레임 시간에 의해 제한된다. 단하나 또는 극소수의 픽셀들이 동시에 어드레싱되기 때문에, 하나의 클러스터에 대한 픽셀들의 갯수는 제한된다. 하지만, 집적된 어드레스 디코더들로 인해, 외부로부터 클러스터로의 연결들의 갯수는 매우 낮고 방대한 갯수의 빠르되 낮은 해상도 클러스터들을 고속의 고해상도 디바이스들에 통합될 수 있게 해준다.
- [0022] 다른 종래기술의 디스플레이 디바이스들은 픽셀을 디지털 아날로그 컨버터로서 이용하기 위해 아날로그 램프 라인, 및 x와 y 어드레스 라인들을 갖는 예컨대 도 7에서 설명된 3TFT 픽셀 회로와 유사한 픽셀 회로들을 이용한다. 하지만, 이 발명과는 대조적으로, 픽셀들은 프레임마다가 아닌 라인마다 하나의 고정된 패턴 램프 업/다운 사이클을 가지면서 라인마다 어드레싱된다.
- [0023] 픽셀이 나타내는 값은 이 픽셀이 어드레싱될 때 적어도 하나의 아날로그 라인에 인가되는 실제의 전압값에 대응하고, 이로써 전하가 단일 픽셀들에 이송되는 픽셀들의 어드레스는 아날로그 라인에 인가되는 현재의 전압값에 의해 정렬된다.
- [0024] 본 발명에서 용어 "전압 특성"은 일정한 시구간 동안의 상수값을 포함할 수 있는 전압 함수로서 이해될 것이지만 이 값은 또한 일정한 시구간 동안에는 변수일 수 있다.
- [0025] 본 발명과 관련된 용어 "픽셀값을 픽셀에 할당"은 본질적으로 전압이 픽셀의 전극에 인가되어 대부분의 경우들에서 픽셀의 전극으로부터의 또는 픽셀의 전극으로의 전하 이송을 불러일으키는 것으로 이해될 것이다. 이러한 픽셀값은 본 발명에 따른 백플레인 디바이스에 의해 동작될 공간 광 변조기의 종류에 따라, 공간 광 변조기가 예컨대 밝기 값 또는 색상 값을 표현하게 한다.
- [0026] 전압 특성은 전압 램프 업 함수 또는 전압 램프 다운 함수일 수 있다. 이들의 조합이 인가되는 것이 바람직한데, 즉 전압 램프 업 함수가 인가되고 이어서 전압 램프 다운 함수가 인가된다. 대안적으로 또는 추가적으로 톱니파형 함수가 인가될 수 있다. 이러한 톱니파형 함수는 급격한 상승 엣지 및 느린 감소 특성, 또는 느린 증가에 이은 급격한 하강 엣지 특성, 또는 느린 증가에 이은 느린 감소 특성을 포함할 수 있다. 전압 특성은 바람직하게 미리결정된 시구간 동안의 오버드라이브 값을 포함한다. 대안적으로 또는 추가적으로, 전압 특성은 바람직하게 미리결정된 시구간 동안의 언더드라이브 값을 포함한다. 이러한 오버드라이브 또는 언더드라이브 값들은 특히 적절한 경우라면 언제든지, 위에서 언급한 다른 전압 특성들과 함께 인가될 수 있다.
- [0027] 보통, 전압 특성은 시간적으로 가변적이며 주로 수학적으로 단조 함수 또는 급수의 특성을 갖는다. 이것은 전압 특성이 단일한 급격 상승 또는 하강 엣지들을 포함하지 않을 수 있다는 것을 의미하지 않는다. 하지만, 단일한 급격 상승 또는 하강 엣지의 발생 후, 후속하는 전압 특성은 보통 주로 수학적으로 단조 함수 또는 급수의 특성을 갖는다. 특히, 전압 특성은 단조 증가 또는 단조 감소일 수 있다.
- [0028] 본 발명의 특정한 바람직한 실시예에 따르면, 적어도 하나의 아날로그 라인에 인가된 상기 생성된 전압 특성은 픽셀들의 어드레싱 순서를 결정한다. 만약 예컨대 적어도 하나의 아날로그 라인에 인가된 상기 생성된 전압 특성이 저전압값들로 시작하여 고전압값으로 증가하는 램프 업 함수를 포함하는 경우, (이 픽셀에 할당될 픽셀값은 저전압값에 대응하기 때문에) 저전압값이 인가될 필요가 있는 픽셀들이 제일먼저 어드레싱될 것이다. 램프 업 함수의 전압값이 다른 전압값으로 증가되는 경우(여기서, 이 다른 전압값은 하나 이상의 픽셀들에 할당될 다음번째로 증가된 픽셀값을 나타냄), 이러한 하나의 픽셀 또는 이러한 다수의 픽셀들이 어드레싱되어, 이 다음번

째 전압값들은 이 하나의 픽셀 또는 이러한 다수의 픽셀들에 할당된다. 동일한 전압값이 복수의 픽셀들에 인가될 때 어드레싱 픽셀들의 특정한 순서가 없을지라도, 본 발명의 이러한 실시예에 따르면 상이한 전압값들 및 이에 따라 픽셀들에 할당될 픽셀값들과 관련된 픽셀들의 어드레싱의 순서가 존재한다.

[0029] 본 발명의 하나의 바람직한 실시예에서, 결정되는 픽셀 어드레스들은 x방향 및 y방향으로 생성된다. 픽셀에 대한 픽셀값의 할당은 x방향 및 y방향에 대해 랜덤 액세스 방식으로 수행된다. 이것은 전압 특성이 픽셀들에 할당된 픽셀값들에 기초하여 결정되지 않는 경우에 특히 해당되며, 이에 따라 전압 특성은 생성된 주기적 함수, 예컨대 사인함수 또는 직선형 증가/감소 특성을 포함한 램프 업 및/또는 램프 다운 함수일 수 있다. 그러므로, 종래기술에서와 같이, 정의에 의해 픽셀들을 어드레싱하는 특정한 순서는 없으며, 후속하여 백플레인의 각 행이 어드레싱된다. 비록 이것은 특정한 상황의 본 발명의 어드레싱 방식에 따른 경우, 예컨대 픽셀들의 인접한 행들이 행 내에서 약간 증가하는 픽셀값들에 할당되어야 하는 경우일 수 있지만, 픽셀값은 일정하고, 이것은 일반적인 경우는 아니다. 종래기술의 어드레싱 방식과는 대조적으로, 본 발명의 이 실시예에 따른 어드레싱 방식 및 이에 따라 픽셀에 대한 픽셀값의 할당은 랜덤 액세스 방식으로 수행될 수 있다. 그러므로, 픽셀들을 어드레싱하는 랜덤 액세스 방식으로 인해 어떠한 고정된 행 사이클 또는 심지어 프레임 사이클도 적용되지 않는다.

[0030] 바람직하게는, 동일한 픽셀값이 할당되는 모든 픽셀들의 어드레싱은 백플레인 디바이스의 하나의 동작 모드에서 서로에 대한 시간적 근접성으로 수행된다. 이것은 상술한 바와 같이, 전압 특성이 램프 업 및/또는 램프 다운 함수를 포함하는 경우에 특히 적용될 수 있다. 백플레인 디바이스의 또 다른 바람직한 동작 모드에서, 동일한 픽셀값이 할당되는 모든 픽셀들의 어드레싱은 본질적으로 동시에 수행된다. 백플레인 디바이스의 이러한 동작 모드는, 많은 픽셀들 또는 모든 픽셀들이 동일한 픽셀값에 할당되어야 하는 경우 또는 많은 픽셀들의 픽셀값들 또는 모든 픽셀들의 픽셀값들이 미리결정된 픽셀값으로 리셋되어야 하는 경우에 적용될 수 있다. 백플레인 디바이스의 또 다른 동작 모드에서, 동일한 픽셀값이 할당되는 모든 픽셀들의 어드레싱은 시구간 내에서 수행된다. 백플레인 디바이스의 이러한 동작 모드는 픽셀값이 한번에 오직 하나의 픽셀에만 할당되는 경우에 특히 적용될 수 있다. 이 때, 5개의 픽셀들이 동일한 픽셀값을 할당받을 필요가 있는 경우, 픽셀값은 한번에 오직 하나의 픽셀에만 할당되기 때문에, 이 동작은 5개의 픽셀 기록 사이클들을 시구간이 되도록 취한다.

[0031] 백플레인의 특정한 동작 모드에서, 픽셀값은 한번에 오직 하나의 픽셀에만 할당된다. 이 동작 모드에서, 모든 픽셀들은 순차적 방식으로 차례차례로 할당된다.

[0032] 본 발명의 바람직한 실시예에서, 공간 광 변조기 및/또는 백플레인 디바이스는 픽셀들의 적어도 두 개의 클러스터들의 클러스터 배열을 포함한다. 각각의 클러스터는 아날로그 라인 및 클러스터의 픽셀들을 어드레싱하기 위한 픽셀 어드레싱 수단을 포함한다. 각각의 클러스터의 아날로그 라인은 클러스터 자체와 외부 전압원, 예컨대 백플레인 디바이스의 구동기 수단 사이에 연결된다. 바람직하게는, 클러스터들은 서로 독립적으로 제어된다. 그러므로, 특정한 클러스터에 대한 픽셀값들은 이 특정한 클러스터의 아날로그 라인 및 어드레싱 수단에 의해 이 특정한 클러스터의 픽셀들에 할당되는 반면에, 다른 클러스터에 대한 픽셀값들은 동시에 또는 시간 쉬프트되어 독립적으로 이 다른 클러스터의 아날로그 라인 및 어드레싱 수단에 의해 이 다른 클러스터의 픽셀들에 할당된다. 상이한 응용들에 대한 적절한 클러스터들의 경우들은 정방형 형상을 가질 수 있고 64 x 64 픽셀, 128 x 128 픽셀, 256 x 256 픽셀 또는 1024 x 1024 픽셀을 포함할 수 있다. 본 발명의 측면에서 용어 "클러스터"는 복수의 픽셀들이 배열되고 이에 따라 공간 광 변조기의 연결되거나 또는 인접한 영역을 형성하는 것을 특히 의미한다. 이러한 영역은 직사각형 형상, 정방형 형상 또는 벌집 형상을 가질 수 있다. 바람직하게는, 클러스터는 공간 광 변조기의 폭 전체 또는 길이 전체를 넘어 연장하지 않는다. x방향 또는 y방향으로의 클러스터의 픽셀들의 갯수는 2^n 일 필요는 없으며, 여기서 n은 자연수이다.

[0033] 일반적으로, 능동적으로 제어가능한 스위칭 엘리먼트들을 갖는 모든 유형들의 기관들이 본 발명에 따른 백플레인 디바이스를 구현하기 위해 이용될 수 있다. 하나의 예시는 단결정 실리콘으로 만들어진 기관을 갖는 LCOS(liquid crystal on silicon) 디스플레이이다. 다른 가능성들은 예컨대 LTPS, a-Si, 비정질 산화물 TFT 또는 유기 TFT로 만들어진 TFT를 갖는 기관들이다.

[0034] 모든 트랜지스터들은 TFT들로부터 만들어질 수 있고 모든 TFT들은 예컨대 단결정 실리콘 또는 다른 반도체 물질로부터 만들어진 다른 유형의 트랜지스터들 또는 다른 능동적 스위칭 엘리먼트들로 교체될 수 있다는 의미에서 용어 TFT와 트랜지스터는 상세한 설명과 청구항에서 상호교환적이다.

[0035] 이하에서는, 백플레인 디바이스의 픽셀의 제어 회로를 수행하기 위한 여러가지 가능성들을 설명한다. 공간 광 변조기 또는 백플레인 디바이스의 모든 픽셀들은 보통 동일한 제어 회로를 포함하지만, 공간 광 변조기 또는 백

플레인 디바이스에서 픽셀들을 위한 상이한 제어 회로들이 적용되는 것도 가능할 수 있다는 것을 유념한다.

- [0036] 제1 실시예에서, 픽셀을 위한 제어 회로는 두 개의 TFT들을 포함한다. 제1 TFT는 아날로그 라인, x어드레싱 라인 및 제2 TFT에 연결된다. 제2 TFT는 제1 TFT, y어드레싱 라인 및 픽셀의 전극에 연결된다. 비록 제1 TFT는 x어드레싱 라인에 연결되고 제2 TFT는 y어드레싱 라인에 연결되지만, 이것은 반대일 수도 있는데, 즉 이 대신에 제1 TFT가 y어드레싱 라인에 연결되고 제2 TFT가 x어드레싱 라인에 연결될 수 있다는 것을 유념한다. 이것은 다음에 설명하는 픽셀들에도 적용된다. x 및 y어드레싱 라인들에 연결된 게이트들을 갖는 두 개의 트랜지스터들을 듀얼 게이트 트랜지스터로 결합시키는 것이 유리할 수 있다. 제1 실시예에서, 듀얼 게이트 TFT는 선택 TFT(이 경우에는 제1 TFT) 및 이송 TFT(이 경우에는 제2 TFT)의 기능을 결합시킬 것이다.
- [0037] 추가적인 실시예들에서, x 및 y어드레싱 라인들에 연결된 TFT들은, 이송 TFT의 게이트상의 전압을 제어함으로써 이송 TFT가 온 또는 오프로 스위칭되는 것을 선택하는 선택 TFT들로서 기능을 한다. 이송 TFT의 소스는 아날로그 라인에 연결되고 이송 TFT의 드레인은 픽셀 전극에 연결된다. 이 트랜지스터가 스위칭 온되면, 전하들은 아날로그 라인으로부터 픽셀 전극으로 이송된다. 이송 트랜지스터가 스위칭 오프되면, 현재 인가된 전하는 픽셀 전극상에 저장되고 이에 따라 픽셀값을 정의한다.
- [0038] 제2 실시예에서, 픽셀을 위한 제어 회로는 두 개의 TFT들을 포함한다. 제1 TFT는 선택 TFT로서 기능을 하며 이것은 x어드레싱 라인, y어드레싱 라인 및 제2 TFT에 연결된다. 제2 TFT는 이송 TFT로서 기능을 하며 이것은 제1 TFT, 아날로그 라인 및 픽셀의 전극에 연결된다. 이러한 픽셀 회로는 DRAM(Dynamic Random Access Memory) 저장 셀의 회로에 필적할 수 있다. 이송 TFT의 게이트 용량에서 저장되거나 또는 여기에 인가된 전하는 이송 TFT가 스위칭 온되거나 또는 이송 TFT가 스위칭 오프되는 것을 결정한다. 본 발명의 픽셀 할당 방식 및 픽셀 어드레싱 방식은 특히 멀티레벨 목적으로 DRAM 기술 또는 FLASH 기술에 적용될 수 있다. 이 경우, 픽셀은 저장 셀에 대응하며 픽셀 전극은 저장 셀의 캐패시터의 전극에 대응한다. 픽셀값을 픽셀에 할당하는 것은 정보(비트 또는 멀티레벨 비트들)를 저장 셀에 저장하는 것에 대응한다.
- [0039] 바람직하게, 백플레인 디바이스는 적어도 하나의 인에이블 라인을 포함하며, 매 픽셀들은 인에이블 라인에 연결이 된다. 이것은 픽셀 회로들의 제3 내지 제5 실시예가 아래에서 설명되는 경우이다.
- [0040] 제3 실시예에서, 픽셀을 위한 제어 회로는 세 개의 TFT들을 포함한다. 제1 TFT는 인에이블 라인, x어드레싱 라인 및 제2 TFT에 연결된다. 제2 TFT는 제1 TFT, y어드레싱 라인 및 제3 TFT에 연결된다. 제3 TFT는 제2 TFT, 픽셀의 전극 및 아날로그 라인에 연결된다. 이 픽셀 회로는 여러 방식들로 동작될 수 있기 때문에, 이 픽셀 회로는 바람직하게는 홀로그래픽 디스플레이 디바이스에서 적용되는 공간 광 변조기를 위한 것이다.
- [0041] 제4 실시예에서, 픽셀을 위한 제어 회로는 세 개의 TFT들을 포함하며, 두 개의 픽셀들은 서로 인접하여 위치되며 동일한 y어드레싱 라인에 의해 어드레싱된다. 제1 픽셀의 제1 TFT는, 인에이블링 기능으로서, 제2 픽셀의 x어드레싱 라인에 연결되고, 제1 픽셀의 제2 TFT 및 y어드레싱 라인에 연결된다. 제1 픽셀의 제2 TFT는 제1 픽셀의 제1 TFT에 연결되고, 제1 픽셀의 x어드레싱 라인에 연결되며, 제1 픽셀의 제3 TFT에 연결된다. 제1 픽셀의 제3 TFT는 제1 픽셀의 제2 TFT에 연결되고, 제1 픽셀의 전극 및 아날로그 라인에 연결된다. 제2 픽셀의 제1 TFT는, 인에이블링 기능으로서, 제1 픽셀의 x어드레싱 라인에 연결되고, 제2 픽셀의 제2 TFT 및 y어드레싱 라인에 연결된다. 제2 픽셀의 제2 TFT는 제2 픽셀의 제1 TFT에 연결되고, 제2 픽셀의 x어드레싱 라인에 연결되며, 제2 픽셀의 제3 TFT에 연결된다. 제2 픽셀의 제3 TFT는 제2 픽셀의 제2 TFT에 연결되고, 제2 픽셀의 전극 및 아날로그 라인에 연결된다. 이 실시예는 픽셀의 인에이블 기능을 위해 백플레인 디바이스상에서 별개의 인에이블 라인을 가질 필요가 없다. 이것은 두 개의 이웃하는 픽셀들의 나머지 다른 하나의 픽셀에 대한 인에이블 라인으로서 하나의 픽셀의 x어드레싱 라인을 이용함으로써 달성된다. 이것은 인에이블 라인의 논리 레벨이 x어드레싱 라인들의 논리 레벨에 대응하는 경우에 행해질 수 있다.
- [0042] 제5 실시예에서, 픽셀을 위한 제어 회로는 세 개의 TFT들을 포함한다. 네 개의 픽셀들이 서로 인접하여 위치되며 동일한 y어드레싱 라인에 의해 어드레싱된다. 제1 픽셀의 제1 TFT는, 인에이블링 기능으로서, 제3 픽셀의 x어드레싱 라인에 연결되고, 제1 픽셀의 제2 TFT 및 y어드레싱 라인에 연결된다. 제1 픽셀의 제2 TFT는 제1 픽셀의 제1 TFT에 연결되고, 제1 픽셀의 x어드레싱 라인에 연결되며, 제1 픽셀의 제3 TFT에 연결된다. 제1 픽셀의 제3 TFT는 제1 픽셀의 제2 TFT에 연결되고, 제1 픽셀의 전극 및 아날로그 라인에 연결된다. 제2 픽셀의 제1 TFT는, 인에이블링 기능으로서, 제1 픽셀의 x어드레싱 라인에 연결되고, 제2 픽셀의 제2 TFT 및 y어드레싱 라인에 연결된다. 제2 픽셀의 제2 TFT는 제2 픽셀의 제1 TFT에 연결되고, 제2 픽셀의 x어드레싱 라인에 연결되며, 제2 픽셀의 제3 TFT에 연결된다. 제2 픽셀의 제3 TFT는 제2 픽셀의 제2 TFT에 연결되고, 제2 픽셀의 전극 및 아날로그 라인에 연결된다. 제3 픽셀의 제1 TFT는, 인에이블링 기능으로서, 제4 픽셀의 x어드레싱 라인에 연결되고,

제3 픽셀의 제2 TFT 및 y어드레싱 라인에 연결된다. 제3 픽셀의 제2 TFT는 제3 픽셀의 제1 TFT에 연결되고, 제3 픽셀의 x어드레싱 라인에 연결되며, 제3 픽셀의 제3 TFT에 연결된다. 제3 픽셀의 제3 TFT는 제3 픽셀의 제2 TFT에 연결되고, 제3 픽셀의 전극 및 아날로그 라인에 연결된다. 제4 픽셀의 제1 TFT는, 인에이블링 기능으로서, 제2 픽셀의 x어드레싱 라인에 연결되고, 제4 픽셀의 제2 TFT 및 y어드레싱 라인에 연결된다. 제4 픽셀의 제2 TFT는 제4 픽셀의 제1 TFT에 연결되고, 제4 픽셀의 x어드레싱 라인에 연결되며, 제4 픽셀의 제3 TFT에 연결된다. 제4 픽셀의 제3 TFT는 제4 픽셀의 제2 TFT에 연결되고, 제4 픽셀의 전극 및 아날로그 라인에 연결된다. 제4 실시예와 마찬가지로, 이 실시예는 픽셀의 인에이블 기능을 위해 백플레인 디바이스상에서 별개의 인에이블 라인을 가질 필요가 없다. 이것은, 하나의 픽셀의 경우에서, 네 개의 이웃하는 픽셀들 중의 나머지 다른 픽셀들 중 하나의 픽셀의 x어드레싱 라인이 이 픽셀을 위한 인에이블 라인으로서 이용되는 경우에 달성될 수 있다. 이것은 인에이블 라인의 논리 레벨이 x어드레싱 라인들의 논리 레벨에 대응하는 경우에 행해질 수 있다.

- [0043] 위에서는 TFT 또는 트랜지스터 엘리먼트들이 언급되었지만, 다른 회로들 및/또는 다른 스위칭 엘리먼트들이 이 대신에 백플레인 디바이스를 위해 이용되거나 또는 적용될 수 있으며, 다른 회로들 및/또는 다른 스위칭 엘리먼트들은 이송 트랜지스터 및 선택 트랜지스터의 기능을 능동적으로 구현한다.
- [0044] 픽셀의 제1 TFT 및 동일 픽셀의 제2 TFT가 듀얼 게이트 TFT로 결합되어, 픽셀 회로의 단순성과 공간 절감을 한층 더 불러일으키는 것이 유리할 수 있다. 이것은 앞서 언급한 제5 실시예들의 경우에 행해질 수 있다.
- [0045] 원리상으로는 비록 TFT의 게이트, 소스 및 드레인의 연결에 대해 많은 가능성들이 존재하지만, 이하에서는, TFT들을 연결하는 가장 바람직한 방법들에 대해 위에서 언급한 다섯 개의 실시예들을 설명한다. 이러한 연결 방식들은 또한 서로 결합될 수 있다.
- [0046] x어드레싱 라인 또는 y어드레싱 라인은 픽셀의 제1 TFT의 게이트와 연결되거나 또는 픽셀의 제2 TFT의 게이트에 연결되거나 또는 위에서 언급한 듀얼 게이트 TFT의 게이트들에 연결된다.
- [0047] 인에이블 라인 또는 인에이블 라인으로서 역할을 하는 x어드레싱 라인은 픽셀의 제1 TFT의 소스와 연결된다. 픽셀의 제1 TFT의 드레인은 동일 픽셀의 제2 TFT의 소스에 연결된다.
- [0048] 아날로그 라인은 픽셀의 제3 TFT의 소스에 연결되고 동일 픽셀의 전극은 동일 픽셀의 제3 TFT의 드레인과 연결된다. 픽셀의 제2 TFT의 드레인은 동일 픽셀의 제3 TFT의 게이트에 연결된다.
- [0049] 바람직하게는, 픽셀 어드레싱 수단은 적어도 하나의 x어드레스 디코더와 적어도 하나의 y어드레스 디코더를 포함한다. x어드레스 디코더는 x어드레싱 라인들에 연결되고 y어드레스 디코더는 y어드레싱 라인들에 연결된다.
- [0050] 어드레스 디코더는 단일 어드레싱 라인 또는 모든 어드레스 라인의 인에이블을 수행하는 논리 회로들을 포함한다. x어드레스 디코더 및/또는 y어드레스 디코더는 동적 NOR 디코더에 기초할 수 있거나 및/또는 동적 NAND 디코더에 기초할 수 있거나 및/또는 OR 디코더에 기초할 수 있거나 및/또는 NAND와 NOR 회로를 포함한 CMOS 디코더에 기초할 수 있거나 및/또는 AND 디코더에 기초할 수 있다.
- [0051] 공간 광 변조기의 종류 및 이를 통해 구현될 것으로 의도되는 응용에 기초하여, x어드레스 디코더 및/또는 y어드레스 디코더는 백플레인 디바이스상의 또는 백플레인 디바이스와 관련된 다양한 위치들에서 배열될 수 있다. x어드레스 디코더 및/또는 y어드레스 디코더는 백플레인 디바이스로부터 별개로 배열될 수 있다. 대안적으로, x어드레스 디코더 및/또는 y어드레스 디코더는 백플레인 디바이스의 외부 엣지에 위치할 수 있다. 추가적인 대안 구성은 픽셀들 사이의 백플레인 디바이스상에 x어드레스 디코더 및/또는 y어드레스 디코더를 위치시키는 것일 수 있다.
- [0052] 예를 들어, 만약 하나의 클러스터 또는 백플레인 디바이스의 모든 픽셀들이 동일한 종류의 픽셀 회로, 예컨대 인에이블 라인을 갖춘 세 개의 픽셀 회로를 포함한 경우, 픽셀들의 픽셀 회로를 서로에 대해 배향시키는 다양한 방법들이 존재한다. 아래의 가능성들이 선호되며, 여기서 각각의 픽셀들은 픽셀 제어 구조물을 포함하며, 픽셀 제어 구조물들은 규칙적인 레이아웃으로 배열되는데, 이것은 모든 픽셀 제어 구조물들이 동일한 방식으로 배향될 수 있다는 것을 의미한다. 대안적으로, 두 개의 이웃하는 픽셀들의 픽셀 제어 구조물들은 서로 미러링(mirror)하도록 배열된다. 미러링 배열에서의 대칭축은 두 개의 픽셀들 사이에 있을 수 있다. 두 개의 픽셀들이 x방향으로 서로의 옆에서 인접해 있는 경우, 대칭축은 y방향으로 배향될 것이다. 추가적인 대안 구성은 공통 센터 다음에 위치하는 네 개의 이웃하는 픽셀들의 픽셀 제어 구조물들은 서로 미러링되도록 배열된다는 것이다. 제1 대칭축은 두 개의 픽셀들 사이에서 공통 센서상에 위치할 수 있고, 제2 대칭축은 제1 대칭축에 대해 수직하면서 두 개의 픽셀들 사이에서 공통 센서상에 위치할 수 있다. 이러한 미러링 레이아웃은 전력 또는 픽셀 저장 용량들을 위해 필요한 아날로그 라인, 인에이블 라인 또는 라인들과 같은 모든 픽셀들에 공통적인 라인들을 제

공하는 노력을 감소시킨다.

- [0053] 바람직한 실시예에서, 공간 광 변조기는 회절에 기초하여 공간 광 변조기와 상호작용하는 광을 편향시키도록 적용되며, 공간 광 변조기는 바람직하게 WO 2010/149587 A2의 청구항들 중 하나에 따라 실현된다. 이러한 공간 광 변조기는 회절 그레이팅 구조물에 대응하는 굴절지수 분포가 인코딩될 수 있는 제어가능한 액정 분자층을 포함한다. 이러한 회절 그레이팅/패턴과 상호작용하는 광은 공간 광 변조기에 의해 회절된다. 바람직하게, 공간 광 변조기는 공간 광 변조기내로 인코딩될 회절 그레이팅들이 가변적인 피치를 갖는 회절 그리드를 포함하도록 동작된다. 그러므로, 공간 광 변조기와 상호작용하는 광의 편향각은 변할 수 있다. 이러한 공간 광 변조기는 한 방향으로 선형적으로 길게 늘어진 전극들을 포함하며, 전극들은 서로 옆에 위치한다. 그러므로, 이러한 공간 광 변조기의 픽셀은 공간 광 변조기의 길게 늘어진 선형 영역이다. 이러한 공간 광 변조기의 보다 자세한 내용에 대해서는, WO 2010/149587 A2를 참조바라며, 이 문헌은 여기서 참조로서 완전히 병합된다.
- [0054] 앞서 언급한 문제는 공간 광 변조기를 위한 백플레인 디바이스를 동작시키기 위한 방법에 의한 청구항 제25항의 특징들에 의해 정의된 본 발명에 의해 해결된다. 공간 광 변조기는 픽셀 어드레스들을 가지며 픽셀값들을 픽셀들에 할당하기 위한 백플레인 디바이스에 의해 전자적으로 제어되는 픽셀들을 포함한다. 백플레인 디바이스는 각각의 픽셀을 위한 적어도 하나의 전극, 적어도 하나의 아날로그 라인 및 적어도 하나의 픽셀 어드레싱 수단을 포함한다. 이러한 픽셀 어드레싱 수단은 x어드레싱 라인들과 y어드레싱 라인들을 포함한다. 매 픽셀들은 아날로그 라인, x어드레싱 라인 및 y어드레싱 라인에 연결된다. 본 발명에 따른 방법은,
 - [0055] • 픽셀값 할당 방식으로서 전압 특성이 픽셀들에 할당될 픽셀값들에 기초하도록 생성 수단이 적어도 하나의 아날로그 라인에 인가될 전압 특성을 생성하고,
 - [0056] • 픽셀 어드레싱 방식으로서 상기 생성된 전압 특성에 기초하여 픽셀 어드레스들이 결정되며,
 - [0057] • 상기 생성된 전압 특성이 픽셀값을 픽셀들에 할당하기 위해 적어도 하나의 아날로그 라인에 인가되는 단계들을 포함한다.
- [0058] 본 발명에 따른 방법은 청구항 제1항 내지 제24항 중 어느 한 항에 따른 백플레인 디바이스를 동작시키도록 특별히 설계된다. 청구항 제1항 내지 제24항 중 어느 한 항에 따른 백플레인 디바이스의 지식으로, 본 업계의 당업자는 청구항 제1항 내지 제24항 중 어느 한 항에 따른 백플레인 디바이스를 동작시키기 위한 방법 및 그 변형을 제안받는다. 그러므로, 반복을 회피하기 위해 위에서 진술된 설명을 참조한다.
- [0059] 아래에서는, 하나 이상의 픽셀들에 픽셀값들을 할당하기 위한 특별한 동작 모드들이 설명된다. 이러한 동작 모드들이 몇몇의 응용들에서는 선호될지라도, 백플레인 디바이스를 동작시키고 픽셀값들을 픽셀들에 할당하는데 적절하거나 또는 이것이 가능한 동작 모드들이 보다 많이 존재한다. 아래에서 설명되는 동작 모드들은 픽셀값들을 픽셀들에 할당하는 것에 초점을 둔다. 하지만, 이 설명은 예컨대 어드레싱 수단 및 어드레싱 디코더의 동작의 세부사항을 기술하지는 않으며, 이것은 특별한 어드레싱 방식을 달성하기 위해 어드레싱 수단을 구성할 때 본 업계의 당업자에 의해 제안된다.
- [0060] 픽셀값을 픽셀에 할당하기 위해, 바람직한 동작 모드에서, 이 픽셀을 위한 x어드레싱 라인 및 y어드레싱 라인이 선택되거나 또는 활성화되고, 이 픽셀에 연결된 인에이블 라인은 활성화된다. 이것은 아날로그 라인으로부터 픽셀의 전극으로의 전하 이송을 불러일으킨다. x어드레싱 라인과 y어드레싱 라인은 선택해제되거나 또는 비활성화되고 및/또는 이 픽셀에 연결된 인에이블 라인은 비활성화된다. 이것은 이송되었던 전하를 이 픽셀의 전극에서 유지시킨다.
- [0061] 동일한 픽셀값을 복수의 픽셀들에 할당하기 위해, 추가적으로 바람직한 동작 모드에서, 이러한 픽셀들 각각마다, 이러한 픽셀에 연결된 인에이블 라인은 활성화되고 x어드레싱 라인과 y어드레싱 라인이 후속하여 선택된다. 이것은 아날로그 라인으로부터 후속하여 활성화된 픽셀 각각의 전극으로의 후속적인 전하 이송을 불러일으킨다. 이러한 픽셀들을 위한 x어드레싱 라인, y어드레싱 라인 및 인에이블 라인은 비활성화된다. 이것은 이송되었던 전하를 이러한 픽셀들의 전극들에서 유지시킨다.
- [0062] 또 다른 추가적인 바람직한 동작 모드에서, 복수의 선택된 픽셀들에 대한 픽셀값들의 할당은 다음의 방식, 즉 x어드레싱 라인들과 y어드레싱 라인들이 선택되는 식으로 수행된다. 또한, 이러한 픽셀들을 위한 인에이블링 기능을 갖는 어드레싱 라인들은 활성화된다. 인에이블링이 인에이블 라인을 통해 수행되는 경우, 이러한 픽셀들에 연결된 인에이블 라인은 활성화된다. 이것이 행해지면, 이러한 선택된 모든 픽셀들의 전극들은 아날로그 라인을 통해 제공되는 것과 동일한 전압으로 세팅된다. 이것은 선택된 픽셀들의 모든 전극들을 단락회로화하는 것에 대

응한다. 그런 후 x어드레싱 라인들과 y어드레싱 라인들은 선택해제된다. 선택된 픽셀들의 특정한 픽셀에 픽셀값을 할당하기 위해, 이 픽셀을 위한 x어드레싱 라인과 y어드레싱 라인이 선택된다. 이것은 아날로그 라인으로부터 픽셀의 전극으로의 전하 이송을 불러일으킨다. x어드레싱 라인과 y어드레싱 라인은 선택해제된다. 이러한 픽셀들의 전극들의 전하를 유지하기 위해 이러한 픽셀들에 연결된 인에이블 라인은 비활성화된다.

[0063] 특별한 바람직한 실시예에서, 청구항 제29항에 따른 공간 광 변조기는 청구항 제1항 내지 제24항 중 어느 한 항에 따른 백플레인 디바이스를 포함한다. 마찬가지로, 특정한 바람직한 실시예에서, 청구항 제30항에 따른 디스플레이 디바이스는 청구항 제1항 내지 제24항 중 어느 한 항에 따른 백플레인 디바이스를 포함하거나 또는 청구항 제29항에 따른 공간 광 변조기를 포함한다. 이러한 실시예들은 콘텐츠 또는 장면의 이차원 및/또는 삼차원 표현을 생성하기 위한 디스플레이 디바이스에 특히 유리하다.

도면의 간단한 설명

[0064] 본 발명의 교시내용을 유리한 방식으로 구성하고 개발시키기 위한 가능성들은 다양하게 존재한다. 이러한 점에서, 첫번째로 특허 청구항 제1항에 종속하는 특허 청구항들을 참조해야 하며 두번째로 도면과 관련하여 본 발명의 예시적인 바람직한 실시예들의 아래의 설명을 참조해야 한다. 본 교시내용의 일반적으로 바람직한 구성들 및 개발들이 또한 도면을 참조하면서 본 발명의 예시적인 바람직한 실시예들의 설명과 함께 설명된다. 도면에서, 각 경우는 개략도로 도시되며,

도 1은 홀로그래픽 디스플레이 응용에서 나타나는 균일하게 분포된 픽셀값들을 이용하는, 종래기술에 따른 백플레인 디바이스의 아날로그 라인의 전압 특성의 예시를 개략도로 도시한다.

도 2a는 본 발명에 따른 백플레인 디바이스의 아날로그 라인의 전압 특성의 예시를 개략도로 도시한다.

도 2b는 본 발명에 따른 픽셀 어드레싱 신호들의 예시를 개략도로 도시한다.

도 3a는 네 개의 상이한 그레이값들(픽셀값들)이 할당되는 16개의 픽셀들을 포함한 공간 광 변조기의 예시를 도시한다.

도 3b는 도 3a에서 도시된 공간 광 변조기의 16개의 픽셀들에 네 개의 상이한 그레이값들을 할당하기 위해 아날로그 라인에 인가되는 전압 특성의 예시를 도시한다.

도 4는 복수의 클러스터들을 포함한 본 발명에 따른 백플레인 디바이스의 예시를 도시하며, 여기서는 이 클러스터들 중에서 단지 네 개의 클러스터들만이 도시된다.

도 5와 도 6은 픽셀의 픽셀 회로의 예시를 각각 도시하며, 이러한 픽셀 회로는 2개의 TFT들을 포함한다.

도 7은 픽셀의 픽셀 회로의 예시를 도시하며, 이러한 픽셀 회로는 3개의 TFT들을 포함한다.

도 8은 픽셀의 픽셀 회로의 예시를 도시하며, 이러한 픽셀 회로는 4개의 TFT들을 포함한다.

도 9는 공간 광 변조기를 위한 백플레인 디바이스의 두 개의 이웃하는 픽셀들의 예시를 도시하며, 각각의 픽셀은 3개의 TFT들을 포함한 픽셀 회로를 포함한다.

도 10은 공간 광 변조기를 위한 백플레인 디바이스의 네 개의 이웃하는 픽셀들의 예시를 도시하며, 각각의 픽셀은 3개의 TFT들을 포함한 픽셀 회로를 포함한다.

도 11은 (도면의 바닥에서 도시된) 2개의 TFT 픽셀 회로들을 위한 동적 NOR 회로들(도면의 윗부분)을 포함한 x어드레스 디코더의 예시를 도시한다.

도 12는 2개의 TFT 픽셀 회로들을 위한 동적 NOR 회로들을 포함한 x어드레스 디코더의 예시를 도시하며, x어드레스 디코더는 픽셀 회로들 사이에 임베딩된다.

도 13a는 16개의 x어드레싱 라인들을 어드레싱하기 위한 동적 NOR 회로들을 포함한 x어드레스 디코더의 예시의 세부사항을 도시한다.

도 13b는 64개의 x어드레싱 라인들을 어드레싱하기 위한 3개의 TFT 픽셀 회로들을 위한 동적 NOR 회로들을 포함한 x어드레스 디코더를 도시한다.

도 14는 동적 AND 엘리먼트들을 포함한 x어드레스 디코더의 예시를 도시한다.

도 15는 NAND와 NOR 엘리먼트들을 포함한 x어드레스 CMOS 디코더의 예시를 도시한다.

- 도 16은 OR 엘리먼트들을 포함한 x어드레스 디코더의 예시를 도시한다.
- 도 17은 픽셀 회로들 사이에 위치한 어드레스 디코더 회로들이 없는 본 발명에 따른 백플레인 디바이스의 픽셀 회로들의 규칙적인 배열의 예시를 도시한다.
- 도 18은 본 발명에 따른 백플레인 디바이스의 일 방향으로 미러링된 픽셀 회로들의 배열의 예시를 도시한다.
- 도 19는 본 발명에 따른 백플레인 디바이스의 두 방향으로 미러링된 픽셀 회로들의 배열의 예시를 도시한다.
- 도 20은 백플레인 디바이스의 아날로그 라인에 인가되는 적응적 오버드라이브값을 포함한 전압 특성의 예시의 개략도를 도시한다.
- 도 21과 도 22는 종래기술에 따른 픽셀에 인가되는 전압 특성의 예시를 개략도로 각각 도시한다.
- 도 23 내지 도 25는 본 발명에 따른 픽셀에 인가되는 전압 특성의 예시를 개략도로 각각 도시한다.
- 도 26은 대응하는 픽셀 캐패시턴스들(11-1, 11-2, 11-3, 11-4)을 가지며, 데이터 라인들(12-1, 12-2)과 게이트 라인들(13-1, 13-2)을 통해 제어되는, 네 개의 픽셀 전극들(10-1, 10-2, 10-3, 10-4)을 갖는, 종래기술의 디스플레이의 액티브 매트릭스 구조물을 도시한다.
- 도 27은 클러스터의 어드레스 디코더들에 대한 회로 경로 및 클러스터의 예시를 도시한다.
- 도 28은 종래기술의 아날로그 라인의 예시를 도시한다.
- 도 29는 본 발명의 실시예의 예시를 도시하며, 여기서는 백플레인의 회로의 일부가 도시되며, 특히 2개의 TFT들을 포함한 두 개의 픽셀들의 회로가 도시된다.
- 도 30은 클러스터의 어드레스 디코더의 로컬 쓰기를 위한 트리 디코더 구조물들의 예시를 도시한다.
- 도 31은 본 발명의 실시예의 예시를 도시하며, 여기서는 백플레인의 회로의 일부가 도시되며, 특히 3개의 TFT들을 포함한 세 개의 픽셀들의 회로가 도시된다.
- 도 32는 도 7과 비교가능한 두 개의 픽셀들의 픽셀 회로들의 예시를 보다 자세하게 도시하며, 픽셀을 위한 픽셀 회로는 3개의 TFT들을 포함하고, 아날로그 라인이 제공된다.
- 도 33은 2개의 TFT 픽셀 회로를 각각 포함한 픽셀들의 클러스터의 예시를 도시하며, 여기서는 아날로그 라인이 모든 픽셀들에 제공되고, x라인 어드레스들과 y라인 어드레스들은 디지털 쉬프트 레지스터들을 적용한 적어도 하나의 라인상에서 비트 직렬로 이송된다.
- 도 34와 도 35는 2개의 TFT 픽셀 회로를 각각 포함한 픽셀들의 두 개의 클러스터들의 예시를 각각 도시하며, 여기서는 아날로그 라인이 제공되고, 어드레스 라인들은 다수의 클러스터들간에 공유된다.
- 도면들에서 도시된 동일하거나 또는 유사한 컴포넌트들은 동일한 참조 번호들로 언급한다는 점을 유념한다.

발명을 실시하기 위한 구체적인 내용

- [0065] 도 1은 종래기술에 따른 백플레인 디바이스의 아날로그 라인의 전압 특성의 예시를 개략도로 도시한다.
- [0066] 전압 V 는 두 개의 프레임들의 지속기간 동안의 픽셀 갯수 N 의 함수로서 도시된다. 공간 광 변조기의 픽셀들이 라인마다 어드레싱되고 단일 라인내에서 서로가 차례로 어드레싱되는 종래기술의 어드레싱 방식으로 인해, 고정된 어드레싱 방식에 따라 다음 픽셀이 어드레싱될 때마다, 0V와 6V 범위 사이에 균일하게 분포된 상이한 전압들이 종래기술의 백플레인의 아날로그 라인에 인가된다. 이것은 디스플레이 영역의 외부로부터 아날로그 값들을 매우 빠른 방식으로 구동시키는 결과를 초래하여, 백플레인 디바이스의 전자장치들의 물리적 한계를 야기시키며, 예컨대 커다란 라인 용량들은 연속적인 아날로그 라인들에 대한 스위칭 주파수를 증가시키는 것을 막는다. 하지만, 공간 광 변조기의 프레임 레이트 또는 리프레쉬 레이트는 본 발명의 자세한 내용에 따라 증가될 수 있다.
- [0067] 본 발명에 따르면, 종래기술로부터 알려진 것과는 상이한 픽셀값 할당 방식이 이용된다. 이것은 도 2a에서 도시된 개략도들에 의해 살펴볼 수 있다. 도 2a에서의 도면은 픽셀이 연결되어 있는 백플레인 디바이스의 아날로그 라인에 인가되는 전압 함수인 전압 특성(10)을 도시한다. 본 도면에서 도시된 이 전압 특성(10)은 두 개의 프레임들 동안에 아날로그 라인에 인가되는 전압값들을 포함한다. 전압 특성(10)은 제1 프레임에 대해서는 램프 업 함수의 형상을 포함하며, 제2 프레임에 대해서는 램프 다운 함수를 본질적으로 포함한다. 본 발명의 이 실시예

에 따르면, 전압 특성(10)은 백플레인 디바이스에 의해 공간 광 변조기의 단일 픽셀들에 할당되어야 하는 픽셀 값들에 기초하여 생성된다. 전압 특성(10)은 제1 프레임에 대해서는 거의 선형 증가를 포함하고 제2 프레임에 대해서는 거의 선형 감소를 포함한 함수이며, 픽셀들에 할당되는 픽셀값들은 다소 고도로 분포된다. 다시 말하면, 예컨대 모든 픽셀들의 1/3은 동일한 픽셀값을 가질 것이기 때문인데, 도 2a의 전압 특성(10)에 의해 할당될 두 개의 프레임들에서는 동일한 픽셀값을 포함한 영역들이 나타나지 않는데, 이것은 전압 특성(10)의 영역이 도 2a의 도면에서 도시된 바와 같이 가로축에 수평하거나 또는 평행하게 되는 결과를 초래할 것이다. 도 2b에 따른 개략도는 제1 프레임에 대하여 백플레인 디바이스의 어드레싱 라인들에 인가되는 픽셀 어드레스 신호들을 도시한다. 살펴볼 수 있는 바와 같이, 이 실시예에서, 고주파수 신호들이 어드레싱 라인들에 인가된다. 하지만, 이러한 어드레싱 신호들은 0 또는 1의 논리값을 갖는 디지털 신호들이기 때문에, 이것은 예컨대 도 1에서의 도시된 바와 같이 고주파수 아날로그 전압값들을 실현하는 것보다 높은 주파수에서 전자적으로 실현될 수 있다.

[0068] 도 3a는 픽셀들(14)을 포함한 공간 광 변조기(12)의 일부를 도시한다. 도 3a에서 도시된 공간 광 변조기(12)의 픽셀들(14)은 상이한 해칭들로 표시된 네 개의 상이한 픽셀값들(15)을 포함한다. 도 3a의 예시에서 네 개의 픽셀들은 100%의 최대 픽셀값(15)으로 할당받는다. 두 개의 픽셀들(14)은 75%의 픽셀값(15)을 포함한다. 세 개의 픽셀들(14)은 25%의 픽셀값(15)을 포함하며, 나머지 일곱 개의 픽셀들은 0%의 픽셀값(15)을 포함한다. 도 3a의 공간 광 변조기(12) 위에는 0에서부터 3까지의 x방향으로의 단일 픽셀들의 어드레스 번호가 표시된다. 공간 광 변조기(12)의 좌측상에는 0에서부터 3까지의 y방향으로의 단일 픽셀들(14)의 어드레스 번호가 표시된다.

[0069] 도 3b는 도 3a에서 나타난 픽셀값(15) 분포에 대한 아날로그 라인(도 3a와 도 3b에서는 미도시됨)에 인가되는 전압 특성(10)을 개략도로 도시한다. 살펴볼 수 있는 바와 같이, 0%의 픽셀값(15)에 대응하는 전압이 총 7개의 픽셀 어드레싱 사이클들 동안에 아날로그 라인에 인가된다. 25%의 픽셀값(15)에 대응하는 전압은 세 개의 픽셀 기록 사이클들 동안에 아날로그 라인에 인가된다. 75%의 픽셀값(15)에 대응하는 전압은 두 개의 어드레싱 사이클들 동안에 인가된다. 100%의 픽셀값(15)에 대응하는 전압이 네 개의 픽셀 어드레싱 사이클들에 대해 할당되어 도 3a에서 도시된 하나의 프레임에 대한 공간 광 변조기(12)의 모든 16개의 픽셀들(14)의 할당을 완료한다.

[0070] 도 2a와 도 3b로부터 살펴볼 수 있는 바와 같이, 전압 특성(10)은 시간상 가변적이며 이러한 예시들에서는 수학적으로 단조 함수의 특성을 주로 갖는다. 도 3b의 전압 특성(10)은 실선들에 의해 표시된 상이한 전압들 사이에 점선들로 표시되는 연속된 종류를 갖는다는 점을 유념한다.

[0071] 도 3a에서 도시된 공간 광 변조기(12)의 픽셀들(14)의 픽셀값 분포로 시작하여, 도 3b에서 도시된 전압 특성(10)이 생성된다. 이 예시에서는, 램프 업 함수가 인가된다. 그러므로, 전압 특성(10)은 최저 전압으로 시작해서 최고 전압까지 증가한다. 그러므로, 전압 특성(10)은 픽셀들(14)에 할당되는 픽셀값들(15)에 기초한다. 이것은 특히 용어 "픽셀값 할당 방식"하에서 이해될 것이다. 전압 특성(10)은 도 3a와 도 3b에서는 도시되지 않은 생성 수단에 의해 생성된다.

[0072] 전압 특성(10)이 픽셀들(14)에 할당되는 픽셀값들(15)에 기초하여 생성되면, 전압 특성(10)이 아날로그 라인에 인가될 때 어드레싱되는 픽셀들(14)의 픽셀 어드레스들이 결정된다. 살펴볼 수 있는 바와 같이, 0%를 갖는 픽셀값(15)을 포함한 픽셀들(14)이 제일먼저 어드레싱될 필요가 있다. 그러므로, 픽셀들 (0,2), (1,0), (1,1), (1,3), (3,0), (3,1) 및 (3,3)이 생성된다. 0% 픽셀값(15)을 갖는 픽셀들(14)의 어드레스들은 정확히 위에서 나타난 순서일 필요는 없다. 이러한 픽셀값들(15)을 픽셀들(14)에 할당하는 다른 순서가 또한 이용될 수 있다. 그러므로, 적어도 하나의 아날로그 라인에 인가된 상기 생성된 전압 특성(10)은 픽셀들(14)의 어드레싱 순서를 결정하는 것이 가능하다. 이 예시에서, 동일한 픽셀값(15)이 할당되는 모든 픽셀들(14)의 어드레싱은 서로에 대한 시간적 근접성으로 수행된다.

[0073] 도 4는 복수의 클러스터들(18)을 포함한 백플레인 디바이스(16)의 예시를 도시한다. 도 4는 완전한 백플레인 디바이스(16)를 도시하지는 않되, 그 단일 섹션만을 도시한 것이다. 그러므로, 도 4에서는 오직 네 개의 클러스터들(18)만이 도시된다. 모든 클러스터들(18)에는 단일 정방향으로 개략적으로 나타난 픽셀 회로들(20)이 포함된다. 모든 픽셀 회로(20)는 공간 광 변조기(12)(도 4에서는 도시되지 않음)의 픽셀에 할당된다. 도 4에서 도시된 실시예에 따르면, 클러스터들(18)은 서로 독립적으로 제어된다. 픽셀들 및 이에 따라 픽셀 회로들(20)은 백플레인 디바이스(16) 뿐만 아니라 공간 광 변조기의 인접한 영역 및 연결된 영역을 형성함으로써 클러스터(18)를 형성한다. 이 실시예의 연결된 영역들은 직사각형 형상을 가지며 클러스터들(18)은 백플레인 디바이스(16) 또는 공간 광 변조기의 전체 길이 또는 전체 폭을 넘어 연장하지 않는다.

[0074] 모든 클러스터(18)는 아날로그 라인(22) 뿐만 아니라 클러스터(18)의 픽셀들 또는 픽셀 회로들(20)을 어드레싱하기 위한 픽셀 어드레싱 수단(24)을 포함한다. 도 4에서는, 예컨대 컴퓨터용으로 나온 픽셀 데이터가 공간

광 변조기 및 백플레인 디바이스(16)가 포함되어 있는 디스플레이 디바이스의 디스플레이 전자장치로 이송되는 것이 개략적으로 도시된다. 디스플레이 전자장치는 픽셀 값들 및 어드레싱 값들을 백플레인 디바이스(16)의 패널 전자장치로 이송시킨다. 디스플레이 디바이스의 특정 구성에 따라, 전압 특성(10)과 픽셀 어드레싱가 컴퓨터 내에서 또는 디스플레이 디바이스의 디스플레이 전자장치내에서 또는 백플레인 디바이스(16)의 패널 전자장치내에서 생성될 수 있다. 도 4에서는, 각각의 클러스터(18)가 어드레싱 정보를 픽셀 어드레싱 수단(24)에 이송시키기 위해 패널 전자장치와 픽셀 어드레싱 수단(24) 사이의 연결 라인을 포함한 것이 나타난다. 도 4에서는 픽셀 어드레싱 수단(24)이 x어드레싱 라인들(26)에 연결되고 및/또는 x어드레싱 라인들(26)을 포함한 것이 개략적으로 도시된다. 픽셀의 y어드레스를 어드레싱하기 위한 어드레싱 수단(24)은 y어드레싱 라인들(28)을 포함한다.

[0075] 도 31은 작은 클러스터(18)의 또 다른 예시를 개략도로 도시한다. 도 31에서 도시된 클러스터(18)는 단지 설명을 목적으로, 16개의 픽셀들과 픽셀 회로들(20)(도 31에서는 이들 중 오직 3개의 픽셀 회로들(20)만이 도시된다)만을 포함한다. 실제에서는, 클러스터들은 보다 많은 픽셀들을 가질 것이지만, 동일한 방식으로 동작될 수 있다. 여러 개의 클러스터 설계들이 가능하다. 이것은 전기적 라인들의 배열과 갯수 및 픽셀 당 TFT의 갯수 측면에서 다르다. 상이한 클러스터 설계들은 보통 다른 특징들을 포함한다.

[0076] 도 31에서 도시된 클러스터(18)는 x어드레스 디코더(38)와 y어드레스 디코더(44)를 포함하는 어드레스 디코더 회로(50)에 의해 제어된다. x어드레스 디코더(38)와 y어드레스 디코더(44)는 패널 전자장치(미도시됨)로부터 어드레스들, 예컨대 x_Addr[1:0] 및 y_Addr[1:0]를 수신한다. 각각의 단일 픽셀 회로(20)는 2개, 3개 또는 그 이상의 TFT들로 구성된 TFT 회로를 포함한다. 본 예시에서, 도 7의 예시에 따른 3-TFT 변형이 선택되는데, 이는 추가적인 특징들을 제공하기 때문이다.

[0077] 픽셀 회로(20)는 두 개의 선택 TFT들(100, 200) 및 이송 TFT(300)를 포함한다. 양쪽 선택 TFT들(100, 200)이 활성화되면, 이것들은 이송 TFT(300)를 각각 스위칭 온 또는 스위칭 오프시키기 위해 인에이블 라인(22)을 이송 TFT(300)의 게이트에 연결한다. 이송 TFT(300)가 스위칭 온되면, 아날로그 라인(22)으로부터의 아날로그 전압이 픽셀 전극(500)에 인가될 것이다.

[0078] 클러스터 구성에 의한 각각의 픽셀 전극(500)의 랜덤 액세스에 의해, 패널 전자장치에 의해 제공된 일정한 아날로그 전압이 클러스터(18) 내의 임의적인 위치들을 갖는 여러개의 픽셀 셀들에 순차적으로 인가되도록 제어하는 것이 가능하다. 후속하여, 아날로그 라인(22)상의 전압은 증가되고 적절한 픽셀들이 어드레싱되도록 선택된다. 픽셀들이 선택되면, 아날로그 라인(22)에 인가되는 전압은 이러한 픽셀 전극(500) 또는 이러한 픽셀 전극들의 그룹(500)에 인가된다.

[0079] 도 31에서 클러스터(18) 옆에 개략적으로 도시된 어드레스 디코더들(50)은 실제로, 예컨대 도 12에서 도시된 바와 같이, 이들이 전체 클러스터(18)의 픽셀 회로들(20)에 걸쳐 분포되도록 구현된다. 이것은 클러스터들 사이의 갭을 방지시킬 것이다.

[0080] 종래기술의 AM 백플레인들과는 대조적으로, 클러스터 기반 접근법의 최대 프레임 레이트는 구현된 TFT들(100, 200, 300)의 최대 스위칭 주파수들에만 의존한다.

[0081] 프레임의 기록 및 이에 따라 픽셀들에 대한 픽셀값들의 할당은 초기화로 시작한다. 제일먼저 "0n"값(예컨대 6V)이 인에이블 라인(22)에 인가된다. 그 후 X와 Y 선택 TFT들(100, 200)의 게이트들에 연결된 모든 x와 y어드레싱 라인들(26, 28)은 "0n"값(예컨대 또한 6V)으로 스위칭된다. 이제 모든 이송 TFT들(300)은 도통되고 모든 전극들(500)은 동시에 아날로그 라인(22)에 연결된다. 프레임의 선행 기록으로부터 이미 저장되어 있는 픽셀 전극들(500)의 전하들은 균등화되고, 모든 픽셀 전극들(500)은 아날로그 라인(22)을 통해 0V 또는 또 다른 희망하는 사전충전 전압 V로 충전된다. 이하에서는, 초기화 값으로서 0V를 가정한다.

[0082] 이제 픽셀 회로들(20)의 디스에이블 페이지가 시작한다. 램프 업 전압(전압 특성(10))이 패널 전자장치에 의해 아날로그 라인(22)에 인가된다. 이 예시에서, 램프 업은 최저 전압, 즉 0V로 시작한다. 이러한 구동 모드 예시의 경우 모든 이송 TFT들(300)은 여전히 인에이블된 상태로 남아 있고 이에 따라 도통된다. 이것은 아날로그 라인(22)에 인가된 전압 V를 변경시키는 것은 모든 픽셀 전극들(500)상의 전압들을 변경시킬 것이라는 것을 의미한다.

[0083] 이제 0V값으로 세팅되어야 하는 픽셀 전극들(500)에 연결된 모든 이송 TFT들(300)은 비도통(비활성화)이 된다. 인에이블 라인(30)은 선택 TFT들(100, 200)을 통해 이러한 이송 TFT들(300)의 게이트에 연결된다. 인에이블 라인(30)은 이제 디스에이블 값 0V로 스위칭된다. 이러한 이송 TFT들(300)의 게이트를 방전시키기 위해, 양쪽의 선택 TFT들(100, 200)은 이송 TFT(300)의 게이트 용량상에 저장되어 있는 전하를 제거하기 위해 "0n"으로 스위

칭되어야 하며 인에이블 라인(30)은 로우 상태(예컨대 0V)로 남아 있다. 이러한 프로시저는 동일 전압(여기서는 0V)의 모든 픽셀 전극들(500)이 어드레싱되고 아날로그 라인(22)으로부터 연결해제될 때 까지 여러번 반복된다.

[0084] 다음 단계에서 아날로그 라인(22)에 인가된 전압은 보다 높은 값까지 증가하고(예컨대 1V까지), 이 전압량은 제 1 단계에서 이전에 이미 디스에이블된 것으로 설명되었던 것들을 제외하고, 모든 픽셀 전극들(500)에 인가된다. 1V를 저장해야 하는 모든 픽셀 전극들(500)은 선택 TFT들(100, 200)을 "On"으로 스위칭하고 인에이블 라인(30)을 "Off"로 스위칭하는 것을 포함한, 개별적인 비활성화 동작들에 의해 고립된다. 그런 후 픽셀들에 할당되는 모든 전압 레벨들이 완료될 때 까지, 램프 업 전압 및 픽셀 비활성화가 이어진다.

[0085] 도 5와 도 29는 위에서 언급한 제1 실시예에 따른 두 개의 TFT들(100, 200)을 포함한 픽셀을 위한 제어 회로(20)(또는 픽셀 회로)의 예시를 도시한다. 제1 TFT(100)의 소스(S)는 아날로그 라인(22)에 연결되고, 제1 TFT(100)의 게이트(G)는 x어드레싱 라인(26)에 연결되며, 제1 TFT(100)의 드레인(D)는 제2 TFT(200)에 연결된다. 제2 TFT(200)의 소스(S)는 제1 TFT(100)의 드레인(D)에 연결되고, 제2 TFT(200)의 게이트(G)는 y어드레싱 라인(28)에 연결되며, 제2 TFT(200)의 드레인(D)는 픽셀의 전극(500)에 연결된다. 픽셀의 전극(500)은 캐패시터로서 나타난다. 비록 제1 TFT(100)는 x어드레싱 라인(26)에 연결되고 제2 TFT(200)는 y어드레싱 라인(28)에 연결되지만, 이것은 또한 반대일 수도 있는데, 즉 이 대신에 제1 TFT(100)가 y어드레싱 라인(28)에 연결되고 제2 TFT(200)가 x어드레싱 라인(26)에 연결될 수 있다는 것을 유념한다.

[0086] 두 개의 트랜지스터들(100, 200)을 x 및 y어드레싱 라인들(26, 28)에 연결된 게이트들(G)과 결합시켜서 단일한 듀얼 게이트 트랜지스터(도 5에서는 미도시됨)를 형성하는 것이 이룰 수 있으며, 이것은 또한 추가적인 예시들에도 적용가능하다.

[0087] 추가적인 실시예들에서, x 및 y어드레싱 라인들(26, 28)에 연결된 TFT들(100, 200)은, 이송 TFT(300)의 게이트상의 전압을 제어함으로써 이송 TFT(300)가 스위칭 온 또는 오프되는 것을 선택하는 선택 TFT들로서의 기능을 각각 갖는다. 이송 TFT(300)의 소스(S)는 아날로그 라인(22)에 연결되고 드레인(D)은 픽셀 전극(500)에 연결된다. 이 트랜지스터(300)가 스위칭 온되면, 전하들은 아날로그 라인(22)으로부터 픽셀 전극(500)으로 이송된다. 트랜지스터(300)가 스위칭 오프되면, 실제의 전하는 픽셀 전극(500)상에 저장되어 픽셀값을 정의한다.

[0088] 도 6은 위에서 언급한 제2 실시예에 따른 두 개의 TFT들(100, 200)을 포함한 픽셀을 위한 제어 회로(20)의 예시를 도시한다. 제1 TFT(100), 즉 선택 TFT는 x어드레싱 라인(26), y어드레싱 라인(28) 및 제2 TFT(200)에 연결된다. 제2 TFT(200), 즉 이송 TFT는 제1 TFT(100), 아날로그 라인(22) 및 픽셀의 전극(500)에 연결된다. 이러한 픽셀 회로(20)는 DRAM(Dynamic Random Access Memory) 저장 셀의 회로에 필적할 수 있다. 픽셀이 어드레싱되는 경우, n채널 또는 p채널 이송 TFT(200) 또는 n채널 또는 p채널 선택 TFT(100)들이 이용되는지 여부에 기초하여, 아래의 어드레스 방식이 적용될 필요가 있다(X= x어드레싱 라인(26)에 인가되는 신호, Y= y어드레싱 라인(28)에 인가되는 신호):

n채널 이송 TFT & n채널 선택 TFT		
X	Y	
0	1	디스에이블
1	1	인에이블
p채널 이송 TFT & n채널 선택 TFT		
X	Y	
1	1	디스에이블
0	1	인에이블
p채널 이송 TFT & p채널 선택 TFT		
X	Y	
1	0	디스에이블
0	0	인에이블
n채널 이송 TFT & p채널 선택 TFT		
X	Y	
0	0	디스에이블
1	0	인에이블

[0089]

[0090] 도 7은 위에서 언급한 제3 실시예에 따른 세 개의 TFT들(100, 200, 300)을 포함한 픽셀을 위한 제어 회로(20)의 예시를 도시한다. 제1 TFT(100)는 인에이블 라인(30), x어드레싱 라인(26) 및 제2 TFT(200)에 연결된다. 제2 TFT(200)는 제1 TFT(100), y어드레싱 라인(28) 및 제3 TFT(300)에 연결된다. 제3 TFT(300)(이송 TFT라고도 칭

해짐)는 제2 TFT(200), 아날로그 라인(22) 및 픽셀의 전극(500)에 연결된다. n채널 또는 p채널 이송 TFT(300) 또는 n채널 또는 p채널 선택 TFT들(100, 200)이 이용되는지 여부에 기초하여, 아래의 제어 방식들이 적용될 필요가 있다(X= x어드레싱 라인(26)에 인가되는 신호, Y= y어드레싱 라인(28)에 인가되는 신호, EN= 인에이블 라인(30)에 인가되는 신호):

n채널 이송 TFT & n채널 선택 TFT			
X	Y	EN	
1	1	0	디스에이블
1	1	1	인에이블
p채널 이송 TFT & n채널 선택 TFT			
X	Y	EN	
0	0	0	디스에이블
0	0	1	인에이블
p채널 이송 TFT & p채널 선택 TFT			
X	Y	EN	
0	0	1	디스에이블
0	0	0	인에이블
n채널 이송 TFT & p채널 선택 TFT			
X	Y	EN	
1	1	1	디스에이블
1	1	0	인에이블

[0091]

[0092]

도 8은 네 개의 TFT들(100, 200, 300, 400)을 포함한 픽셀을 위한 제어 회로(20)의 예시를 도시한다. 제1 TFT(100)는 (인에이블링 기능으로서) 이웃 픽셀(도 8에서는 미도시됨)의 x어드레싱 라인(26)(X0)에 연결되고(이에 따라, 도면부호 30으로 표시됨), x어드레싱 라인(26)에 연결되며, 제2 TFT(200)에 연결된다. 제2 TFT(200)는 제1 TFT(100), y어드레싱 라인(28) 및 제3 TFT(300)에 연결된다. y어드레싱 라인(28)은 아날로그 라인(22)으로부터 제4 TFT(400)의 도움으로 생성된다. 제3 TFT(300)(이송 TFT라고도 칭해짐)는 제2 TFT(200)에 연결되고, 제4 TFT(400)를 거쳐서 아날로그 라인(22)에 연결되며, 픽셀의 전극(500)에 연결된다.

[0093]

도 9는 위에서 언급한 제4 실시예에 따른 두 개의 이웃하는 픽셀들을 위한 두 개의 제어 회로들(20, 32)의 예시를 도시하며, 각각의 제어 회로(20 또는 32)는 세 개의 TFT들(100, 200, 300)을 포함한다. 두 개의 픽셀들은 동일한 y어드레싱 라인(28)에 의해 어드레싱된다. 제1 픽셀 회로(20)의 제1 TFT(100)는 (인에이블링 기능으로서) 제2 픽셀 회로(32)의 x어드레싱 라인(26)(X1)에 연결되고 (이에 따라, 도면부호 30으로 표시됨), y어드레싱 라인(28)에 연결되며, 제1 픽셀 회로(20)의 제2 TFT(200)에 연결된다. 제1 픽셀 회로(20)의 제2 TFT(200)는 제1 픽셀 회로(20)의 제1 TFT(100)에 연결되고, 제1 픽셀 회로(20)의 x어드레싱 라인(26)(X0)에 연결되며, 제1 픽셀 회로(20)의 제3 TFT(300)에 연결된다. 제1 픽셀 회로(20)의 제3 TFT(300)는 제1 픽셀 회로(20)의 제2 TFT(200)에 연결되고, 제1 픽셀 회로(20)의 전극(500) 및 아날로그 라인(22)에 연결된다. 제2 픽셀 회로(32)의 제1 TFT(100)는 (인에이블링 기능으로서) 제1 픽셀 회로(20)의 x어드레싱 라인(26)(X0)에 연결되고 (이에 따라, 도면부호 30으로 표시됨), y어드레싱 라인(28)에 연결되며, 제2 픽셀 회로(32)의 제2 TFT(200)에 연결된다. 제2 픽셀 회로(32)의 제2 TFT(200)는 제2 픽셀 회로(32)의 제1 TFT(100)에 연결되고, 제2 픽셀 회로(32)의 x어드레싱 라인(26)(X1)에 연결되며, 제2 픽셀 회로(32)의 제3 TFT(300)에 연결된다. 제2 픽셀 회로(32)의 제3 TFT(300)는 제2 픽셀 회로(32)의 제2 TFT(200)에 연결되고, 제2 픽셀 회로(32)의 전극(500) 및 아날로그 라인(22)에 연결된다. 이 실시예는 픽셀의 인에이블 기능을 위해 백플레인 디바이스상에서 별개의 인에이블 라인을 가질 필요가 없다. 이것은 두 개의 이웃하는 픽셀들의 나머지 다른 하나의 픽셀에 대한 인에이블 라인으로서 하나의 픽셀의 x어드레싱 라인을 이용함으로써 달성된다. 이것은 인에이블 라인의 논리 레벨이 x어드레싱 라인들의 논리 레벨에 대응하는 경우에 행해질 수 있다. n채널 또는 p채널 이송 TFT(300) 또는 n채널 또는 p채널 선택 TFT들(100, 200)이 이용되는지 여부에 기초하여, 아래의 제어 방식들이 적용될 필요가 있다(X0, X1= 각각의 x어드레싱 라인(26)에 인가되는 신호, Y= y어드레싱 라인(28)에 인가되는 신호):

n채널 이송 TFT & n채널 선택 TFT			
Y	X1	X0	
1	1	1	인에이블 양측
1	0	1	디스에이블 좌측
1	1	0	디스에이블 우측
p채널 이송 TFT & n채널 선택 TFT			
Y	X1	X0	
1	1	1	디스에이블 양측
1	0	1	인에이블 좌측
1	1	0	인에이블 우측
p채널 이송 TFT & p채널 선택 TFT			
Y	X1	X0	
0	0	0	인에이블 양측
0	1	0	디스에이블 좌측
0	0	1	디스에이블 우측
n채널 이송 TFT & p채널 선택 TFT			
Y	X1	X0	
0	0	0	디스에이블 양측
0	1	0	인에이블 좌측
0	0	1	인에이블 우측

[0094]

[0095]

도 10은 위에서 언급한 제5 실시예에 따른 네 개의 이웃하는 픽셀들을 위한 네 개의 제어 회로들(20, 32, 34, 36)의 예시를 도시하며, 각각의 제어 회로(20, 32, 34 또는 36)는 세 개의 TFT들(100, 200, 300)을 포함한다. 네 개의 픽셀들은 서로 인접하여 위치되며 동일한 y어드레싱 라인(28)에 의해 어드레싱된다. 제1 픽셀 회로(20)의 제1 TFT(100)는 (인에이블링 기능으로서) 제3 픽셀 회로(34)의 x어드레싱 라인(26)(X2)에 연결되고 (이에 따라, 도면부호 30으로 표시됨), y어드레싱 라인(28)에 연결되며, 제1 픽셀 회로(20)의 제2 TFT(200)에 연결된다. 제1 픽셀 회로(20)의 제2 TFT(200)는 제1 픽셀 회로(20)의 제1 TFT(100)에 연결되고, 제1 픽셀 회로(20)의 x어드레싱 라인(26)(X0)에 연결되며, 제1 픽셀 회로(20)의 제3 TFT(300)에 연결된다. 제1 픽셀 회로(20)의 제3 TFT(300)는 제1 픽셀 회로(20)의 제2 TFT(200)에 연결되고, 제1 픽셀 회로(20)의 전극(500) 및 아날로그 라인(22)에 연결된다. 제2 픽셀 회로(32)의 제1 TFT(100)는 (인에이블링 기능으로서) 제1 픽셀 회로(20)의 x어드레싱 라인(26)(X0)에 연결되고 (이에 따라, 도면부호 30으로 표시됨), y어드레싱 라인(28)에 연결되며, 제2 픽셀 회로(32)의 제2 TFT(200)에 연결된다. 제2 픽셀 회로(32)의 제2 TFT(200)는 제2 픽셀 회로(32)의 제1 TFT(100)에 연결되고, 제2 픽셀 회로(32)의 x어드레싱 라인(26)(X1)에 연결되며, 제2 픽셀 회로(32)의 제3 TFT(300)에 연결된다. 제2 픽셀 회로(32)의 제3 TFT(300)는 제2 픽셀 회로(32)의 제2 TFT(200)에 연결되고, 제2 픽셀 회로(32)의 전극(500) 및 아날로그 라인(22)에 연결된다. 제3 픽셀 회로(34)의 제1 TFT(100)는 (인에이블링 기능으로서) 제4 픽셀 회로(36)의 x어드레싱 라인(26)(X3)에 연결되고 (따라서, 도면부호 30으로 표시됨), y어드레싱 라인(28)에 연결되며, 제3 픽셀 회로(34)의 제2 TFT(200)에 연결된다. 제3 픽셀 회로(34)의 제2 TFT(200)는 제3 픽셀 회로(34)의 제1 TFT(100)에 연결되고, 제3 픽셀 회로(34)의 x어드레싱 라인(26)(X2)에 연결되며, 제3 픽셀 회로(34)의 제3 TFT(300)에 연결된다. 제3 픽셀 회로(34)의 제3 TFT(300)는 제3 픽셀 회로(34)의 제2 TFT(200)에 연결되고, 제3 픽셀 회로(34)의 전극(500) 및 아날로그 라인(22)에 연결된다. 제4 픽셀 회로(36)의 제1 TFT(100)는 (인에이블링 기능으로서) 제2 픽셀 회로(32)의 x어드레싱 라인(26)(X1)에 연결되고 (이에 따라, 도면부호 30으로 표시됨), y어드레싱 라인(28)에 연결되며, 제4 픽셀 회로(36)의 제2 TFT(200)에 연결된다. 제4 픽셀 회로(36)의 제2 TFT(200)는 제4 픽셀 회로(36)의 제1 TFT(100)에 연결되고, 제4 픽셀 회로(36)의 x어드레싱 라인(26)(X3)에 연결되며, 제4 픽셀 회로(36)의 제3 TFT(300)에 연결된다. 제4 픽셀 회로(36)의 제3 TFT(300)는 제4 픽셀 회로(36)의 제2 TFT(200)에 연결되고, 제4 픽셀 회로(36)의 전극(500) 및 아날로그 라인(22)에 연결된다. 제4 실시예와 마찬가지로, 이 실시예는 픽셀의 인에이블 기능을 위해 백플레인 디바이스상에서 별개의 인에이블 라인을 가질 필요가 없다. 이것은, 하나의 픽셀의 경우에서, 네 개의 이웃하는 픽셀들 중의 나머지 다른 픽셀들 중 하나의 픽셀의 x어드레싱 라인이 이 픽셀을 위한 인에이블 라인으로서 이용되는 경우에 달성될 수 있다. 이것은 인에이블 라인의 논리 레벨이 x어드레싱 라인들의 논리 레벨에 대응하는 경우에 행해질 수 있다. n채널 또는 p채널 이송 TFT(300) 또는 n채널 또는 p채널 선택 TFT들(100, 200)이 이용되는지 여부에 기초하여, 아래의 제어 방식들이 적용될 필요가 있다(X0, X1, X2, X3= 각각의 x어드레싱 라인(26)에 인가되는 신호, Y= y어드레싱 라인(28)에 인가되는 신호):

n채널 이송 TFT & n채널 선택 TFT					
Y	X3	X2	X1	X0	
1	1	1	1	1	모두 인에이블
1	0	0	0	1	X3에서 픽셀 디스에이블
1	0	0	1	0	X2에서 픽셀 디스에이블
1	0	1	0	0	X1에서 픽셀 디스에이블
1	1	0	0	0	X0에서 픽셀 디스에이블
1	1	0	0	1	X0 & X3에서 픽셀 디스에이블
1	0	1	1	0	X1 & X2에서 픽셀 디스에이블
1	1	0	1	0	X0에서 픽셀 인에이블(X2에서 디스에이블)
1	1	1	0	0	X1에서 픽셀 인에이블(X0에서 디스에이블)
1	0	0	1	1	X2에서 픽셀 인에이블(X3에서 디스에이블)
1	0	1	0	1	X3에서 픽셀 인에이블(X1에서 디스에이블)
p채널 이송 TFT & n채널 선택 TFT					
Y	X3	X2	X1	X0	
1	1	1	1	1	모두 디스에이블
1	0	0	0	1	X3에서 픽셀 인에이블
1	0	0	1	0	X2에서 픽셀 인에이블
1	0	1	0	0	X1에서 픽셀 인에이블
1	1	0	0	0	X0에서 픽셀 인에이블
1	1	0	0	1	X0 & X3에서 픽셀 인에이블
1	0	1	1	0	X1 & X2에서 픽셀 인에이블
1	0	1	0	1	X0에서 픽셀 디스에이블(X2에서 인에이블)
1	0	0	1	1	X1에서 픽셀 디스에이블(X0에서 인에이블)
1	1	1	0	0	X2에서 픽셀 디스에이블(X3에서 인에이블)
1	1	0	1	0	X3에서 픽셀 디스에이블(X1에서 인에이블)
p채널 이송 TFT & p채널 선택 TFT					
Y	X3	X2	X1	X0	
0	0	0	0	0	모두 인에이블
0	1	1	1	0	X3에서 픽셀 디스에이블
0	1	1	0	1	X2에서 픽셀 디스에이블
0	1	0	1	1	X1에서 픽셀 디스에이블
0	0	1	1	1	X0에서 픽셀 디스에이블
0	0	1	1	0	X0 & X3에서 픽셀 디스에이블
0	1	0	0	1	X1 & X2에서 픽셀 디스에이블
0	0	1	0	1	X0에서 픽셀 인에이블(X2에서 디스에이블)
0	0	0	1	1	X1에서 픽셀 인에이블(X0에서 디스에이블)
0	1	1	0	0	X2에서 픽셀 인에이블(X3에서 디스에이블)
0	1	0	1	0	X3에서 픽셀 인에이블(X1에서 디스에이블)
n채널 이송 TFT & p채널 선택 TFT					
Y	X3	X2	X1	X0	
0	0	0	0	0	모두 디스에이블
0	1	1	1	0	X3에서 픽셀 인에이블
0	1	1	0	1	X2에서 픽셀 인에이블
0	1	0	1	1	X1에서 픽셀 인에이블
0	0	1	1	1	X0에서 픽셀 인에이블
0	0	1	1	0	X0 & X3에서 픽셀 인에이블
0	1	0	0	1	X1 & X2에서 픽셀 인에이블
0	0	1	0	1	X0에서 픽셀 디스에이블(X2에서 인에이블)
0	0	0	1	1	X1에서 픽셀 디스에이블(X0에서 인에이블)
0	1	1	0	0	X2에서 픽셀 디스에이블(X3에서 인에이블)
0	1	0	1	0	X3에서 픽셀 디스에이블(X1에서 인에이블)

[0096]

[0097]

도 11은 도 11의 도면의 상단부상에서 표시된 동적 NOR 회로들을 포함한 x어드레스 디코더(38)의 예시를 도시한다. x어드레스 디코더(38)는 도 11의 도면의 바닥부에서 도시된, 두 개의 TFT들을 포함한 모든 픽셀 회로들(20)을 어드레싱하기 위해 이용될 수 있다. 예컨대, x어드레스 디코더(38)는 백플레인 디바이스의 외부 옯지에 위치할 수 있다. 도 11의 바닥부에서 도시된 픽셀 회로들(20)은 도 5에서 도시된 픽셀 회로들에 필적한 것이다.

[0098]

도 12는 두 개의 TFT 픽셀 회로들(20)을 위한 동적 NOR 회로들을 포함한 x어드레스 디코더(38)의 예시를 도시한다. 이 실시예에서, x어드레스 디코더(38)는 픽셀 회로들(20) 사이에 임베딩된다. 마찬가지로 방식으로, y어드레스 디코더(도 12에서는 미도시됨)가 또한 픽셀 회로들(20) 사이에 임베딩될 수 있다.

[0099]

도 13a는 동적 NOR 회로들을 포함한 x어드레스 디코더(38)의 예시의 세부사항을 도시한다. 도 13a에서 도시된 이 어드레스 디코더는 X0, ..., X15로 표시된 열여섯 개의 x어드레싱 라인들을 어드레싱하기 위해 이용된다.

[0100]

도 13b는 64개의 x어드레싱 라인들을 어드레싱하기 위한 도 13a의 x어드레스 디코더(38)를 도시한다. 이 디코더

는 세 개의 TFT 픽셀 회로들(20)을 어드레싱하는데 적절한 동적 NOR 회로들을 포함한다.

- [0101] 도 14는 동적 NAND 컴포넌트들을 포함한 x어드레스 디코더(38)의 예시를 도시한다. 이 컴포넌트들은 CMOS 엘리먼트들로부터 조성될 수 있다.
- [0102] 도 15에서 도시된 x어드레스 디코더(38)는 x어드레싱 라인들(X0 내지 X15)에 대해 16개의 TFT들을 어드레싱하는데 적절하며, 도 16은 OR 엘리먼트들을 포함한 x어드레스 디코더(38)의 예시를 도시한다.
- [0103] 도 17은 백플레인 디바이스(16)의 픽셀 회로들(20)의 규칙적인 배열의 예시를 도시한다. 도 17에서 도시된 픽셀 회로들(20)은 두 개의 TFT들(100, 200)을 포함한다. 도 17에 살펴볼 수 있는 바와 같이, 픽셀 제어 회로들(20)은 규칙적인 레이아웃으로 배열되며, 즉 픽셀 회로들(20)은 동일한 방식으로 배향된다.
- [0104] 도 18은 픽셀 회로들(20)의 배열의 예시를 도시하며, 하나의 행(40)의 픽셀 회로들(20)은 제2 행(42)의 픽셀 회로들에 미러링(mirror)된다. 대칭축 또는 미러링축은 두 개의 행들(40, 42) 사이에서 수평하게 위치한다. 도 18에 따른 픽셀 회로들의 배열은 백플레인 디바이스(16) 자체상의 픽셀 회로들(20) 사이에 있는 x어드레스 디코더(38)와 y어드레스 디코더(44)를 포함한다. 더 나아가, 제1 행(40')은 제2 행(42')의 미러 이미지이며, 대칭축은 두 개의 행들(40', 42') 사이에서 수평하게 위치한다. 대칭과 관련하여, 행(40)은 또 다른 행(40')의 미러 이미지이며, 이러한 미러링축을 위한 대칭축은 수직인 방향으로 위치한다는 것을 유념할 수 있다. 이것은 행(42)과 행(42')에 대해서도 통한다.
- [0105] 도 19는 예컨대 도 19의 우측 상단상에서의 네 개의 픽셀 회로들(20)이 위치하는 구성에서 살펴볼 수 있는 바와 같이 백플레인 디바이스(16)의 두 방향으로 미러링되는 픽셀 회로들(20)의 배열의 예시를 도시한다. 가장 우측의 열들의 픽셀 회로들(20)은 좌측에 위치한 픽셀 회로들의 열의 미러 이미지이며, 미러링축은 예컨대 아날로그 라인(22)으로서 간주될 수 있다. 더 나아가, 최상단 행(40)은 최상단 행(40) 다음에 위치하는 행(42)의 미러 이미지로서 간주될 수 있다. 대칭축 또는 미러링축은 행(40)과 행(42) 사이의 수평 라인으로서 간주될 수 있다.
- [0106] 도 19에서 도시된 픽셀 회로들(20)은 그 배향을 제외하고, 도 17 및/또는 도 18의 픽셀 회로들(20)에 필적한 것이다. 도 19에서 도시된 직사각형들(46)은 픽셀 회로들(20)을 위한 어드레스 디코더들의 잠재적인 위치들을 나타내며, 어드레스 디코더 회로들은 도 19에서는 도시되지 않는다.
- [0107] 도 20은 본 발명에 따른 값 정렬된 어드레싱 접근법으로 가능할 수 있는 적응적 오버드라이브에 대한 예시를 개략도로 도시한다. 본 발명에 따른, 특히 (3-TFT 접근법을 이용한) 클러스터 개념에서의 오버드라이브와 통상적인 AM 구동 방식과 대조해보면, 픽셀 전극들(500)은 총 프레임 시간의 훨씬 긴 기간들 동안에 아날로그 라인(22)에 연결된 상태로 유지될 수 있다. 오버드라이브 값들은 픽셀에 할당되는 희망하는 픽셀값에 기초하여, 긴 시구간, 중간적 시구간, 또는 짧은 시구간 동안에 인가될 수 있다.
- [0108] 픽셀 전극이 아날로그 라인으로부터 연결해제되는 때에, 픽셀 전압은 표준적인 오버드라이브 방식에서 존재하는 것보다 공간 광 변조기의 LC(Liquid Crystal) 분자들을 희망하는 픽셀값으로 스위칭하는데 필요한 정확한 전압(픽셀값을 표현함)에 훨씬 가깝다. 종래기술에 따른 표준적인 제어와 대비되어, 본 발명에 따르면 픽셀을 완전히 스위칭 온시키기 위해 통상적으로 이용되는 전압보다 높은 오버드라이브 전압을 인가하는 것이 가능하다.
- [0109] 도 20은 6V의 통상적인 최대 픽셀 전압을 갖는 픽셀들의 LC 분자들에 의해 "보여지는" 바와 같이 12V의 값을 갖는 오버드라이브 펄스(48)를 도시한다(도면 아랫부분의 화살표들에 의해 표시된 인에이블 및 디스에이블간의 시구간을 참조하라). 보다 낮은 페이즈 및 전압 픽셀값이 할당될 필요가 있는 픽셀들에 오버드라이브 펄스(예컨대, 48', 48'')가 보다 짧은 시구간 동안에 각각 인가된다. 12V 오버드라이브 전압이 이용되는 경우에 4V의 정전압에 대응하는 LC 분자 회전을 달성하기 위한 시간은 매우 짧다. 도 20의 우측상에서는 픽셀에 실제로 인가되는 오버드라이브의 오버드라이브 시간 및 효과를 볼 수 있다. 본 발명에 따른 방법의 이 동작 모드는 온 방향으로의 그레이 대 그레이 스위칭을 상당히 가속화시킨다.
- [0110] 균일하게 분포된 홀로그래픽 데이터를 본 발명에 따른 공간 광 변조기와 백플레인 디바이스를 적용한 홀로그래픽 디스플레이 디바이스로 디스플레이하기 위해, tOFF가 적어도 모든 픽셀값들에 기록하기 위한 시간(tWR)인 경우에서, 프레임 시간은 tOFF(LC 분자들이 0V에 또는 미리결정된 위치에 도달하는데 걸리는 시간)와 백라이트가 스위칭 온하는 시간(tBL)의 합으로서 간주될 수 있다. 균일하게 분포된 픽셀값들이 없는 일반적인 픽셀 데이터의 경우, 최악의 경우의 프레임 시간은 어느쪽의 시간이 더 긴지에 따라, tOFF + tBL의 합 또는 tWR + tON + tBL의 합 중 어느 하나이다. tON은 픽셀의 전극에 의해 생성된 전기장에 의해 결정된 위치/배향에 LC 분자들이 도달하는데 걸리는 시간이다. 플래싱 백라이트를 갖는 통상적인 디스플레이의 경우, 이 시간은 훨씬 길며 최소의 tWR + tOFF + tBL이다. 스캐닝 백라이트를 갖는 통상적인 디스플레이에서 조차도, 프레임 시간은 적어도 tOFF +

tBL이다. 만약 tON이 tOFF보다 길면, 최대의 사전충전은 설명된 솔루션에 대한 램프 업 싸이클 아날로그와 결합될 수 있다.

- [0111] 프레임 당 하나 보다 많은 기록이 픽셀에 대해 수행될 수 있는 경우, LC 분자 반응 시간은 추가적인 오버드라이브 값들을 픽셀에 기록함으로써 한층 더 증가될 수 있다. 이것은, 예컨대 "최저속" 픽셀들의 10%에만 적용될 수 있다. 이 오버드라이브는 픽셀값들의 독창적인 정렬에 의해 달성될 수 있다.
- [0112] 그 결과, 값 정렬 접근법은 오직 플래싱 백라이트만을 이용하여 보다 고가의 스캐닝 백라이트를 갖는 통상적인 디스플레이와 동일한 프레임 시간을 달성할 수 있다. 이것은 스캐닝 백라이트를 허용하지 않을 수 있는 홀로그래픽 디스플레이들과 같은 디스플레이 유형들에 필수적이다. 하지만 이 솔루션은 또한 일반적인 LC 디스플레이들에 대한 비용을 감소시킬 수 있다. 홀로그래픽 디스플레이의 경우, 프레임 시간은 기록 시간(tWR)을 tOFF 시간내에 투입시킴으로써 훨씬 더 감소될 수 있다.
- [0113] 이하에서는, 언더드라이브 및 오버드라이브와 같은 동작 모드들에 의해 획득되는 LC 스위칭 시간들에 대한 이점을 설명한다. 일반적인 디스플레이의 경우, LC 스위칭 시간은 상이한 뷰들의 시간 순차적 분리를 이용하는 3D 및 홀로그래픽 디스플레이의 경우에서 모션 블러(motion blur)에만 영향을 미친다. 이 프레임 레이트는 예컨대 하나의 유저에 대한 플리커 없는 이미지를 위해 적어도 2x50Hz이어야 한다.
- [0114] 표준적인 AM은 프레임 당 한번씩만 재기록값들을 디스플레이한다(또는 새로운 픽셀값들을 픽셀들에 할당한다). 따라서, 실제로는, 오버드라이브를 인가할 가능성들은 제한된다. 프레임 레이트에 의해 시구간은 고정되고 결정되기 때문에 보다 짧거나 또는 보다 긴 시간 동안에 보다 높은 전압을 인가하는 것은 불가능하다.
- [0115] 도 21과 도 22는 0V로의 초기화가 없는 통상적인 AM 디스플레이에 대한 5V에서 3V로의 LC 스위칭을 도시한다. 이 디스플레이는 느린 그레이 대 그레이 스위칭 시간을 나타내는데, 이 시간은 예컨대 도 23에서 도시된 제안된 새로운 구동 방식에서보다 길며, tOFF보다 훨씬 길다. 도 21은 플래싱 백라이트를 갖는 디스플레이의 첫번째 라인 또는 스캐닝 백라이트를 갖는 디스플레이의 임의적인 라인에 대한 상황을 도시한다. 도 22는 플래싱 백라이트를 갖는 디스플레이의 최종 라인에 대한 관계를 도시하는데, LC 분자들은 자신들이 배향되었어야 하는대로 아직 배향되지 않았기 때문에 이 경우는 훨씬 악화되며, (LC 분자들의 배향 상태를 나타내는)점선과 3V 배향값간의 커다란 차이를 참조하라.
- [0116] 통상적인 오버드라이브 모드와 대비되어, 값 정렬 접근법은 프레임 당 다수의 값들을 적용하도록 해준다. 값 정렬 접근법은 초기값들을 인가함으로써 LC 스위칭을 가속화할 수 있고 또한 임의의 다른 구동 방법보다 잘 LC 스위칭 시간들을 이용할 수 있다.
- [0117] 본 설명은 6V에서 ON되고 0V에서 OFF되는 LC 모드를 갖는 LC 디스플레이 또는 공간 광 변조기를 가정한다.
- [0118] 전기장(tON)에 의해 구동된 방향으로의 LC의 회전은 보다 높은 전압을 인가함으로써 가속화될 수 있다. 하지만, 다른 방향에서는 LC 분자들의 수동적 완화가 존재하는데, 이것은 훨씬 느리며(tOFF), 이것은 tON보다 훨씬 긴 수동적 완화 tOFF 시간을 불러일으킨다. 온 방향으로의 스위칭을 가속화하기 위해 특수한 오버드라이브 방식이 이용될 수 있다.
- [0119] 거의 모든 어드레싱 방식들은 모든 이송 TFT들을 동등하게 함으로써 모든 x 및 y 어드레싱 라인들을 동시에 스위칭 온시켜서 모든 픽셀들을 인에이블시킬 수 있다. 이것은 모든 픽셀들이 아날로그 라인에 연결되고 이어서 전압이 아날로그 라인에 인가된다는 것을 의미한다. 이것은 프레임 시작에서 발생하여 픽셀 용량들의 전하들을 균등화시키고 아날로그 라인을 이용하여 0V의 초기값으로 픽셀 전극들을 세팅시킨다.
- [0120] 도 23과 도 24에서 도시된 바와 같이, 본 발명에 따른 이러한 값 정렬 접근법의 구현은 프레임 시작 직후 모든 픽셀들을 0V값으로 구동시키고, 이에 따라 모든 픽셀들의 LC는 최대(수동적) 완화력으로 오프 방향으로 던지기 시작한다. 이 초기화 이후, 어드레스 모드는 오직 단일 픽셀에만 액세스하도록 변경되지만, 픽셀 전극들은 픽셀이 다시 액세스될 때 까지 0V로 유지된다.
- [0121] 이제 아날로그 라인은 가능한 빨리 최대값으로 램프 업(ramp-up)한다. 최대치로의 스위칭한 픽셀이 프레임에서 제일먼저 액세스되고, 이 픽셀들은 LC 회전각의 최종값으로 스위칭하기 위해 tON의 시간만을 필요로 한다. 이후, 램프 다운 싸이클이 시작되어 모든 픽셀들은 내림값 순으로 액세스된다.
- [0122] 도 24는 2V의 이전의 픽셀값으로부터 5V의 새로운 픽셀값으로의 업데이트를 도시한다. 프레임 시작에서의 0V로의 초기화는 이 픽셀을 위한 LC 분자들이 잘못된 방향으로 회전하기 시작하도록 만들지만, 수동적 완화에 의한 이러한 회전은 비교적 느리다. 5V의 새로운 값이 인가되자마자, LC는 훨씬 높은 힘과 보다 빠른 시간으로 올바른

른 방향으로 역회전한다. 온 방향으로의 잠재적인 회전각이 클수록, 보다 조기에 픽셀이 어드레싱되며, 이에 따라 잘못된 방향으로의 잠재적인 회전의 영향을 최소화해주고 픽셀값의 기록에서부터 백라이트를 스위칭 온하기까지의 시간을 확장시킨다.

[0123] 오프 방향으로 회전해야 하는 LC 분자들을 갖는 모든 픽셀들은 프레임 시작에서 동일한 최소 전압값으로 세팅된다. 잠재적인 LC 회전각이 작을수록, 보다 조기에 픽셀은 최종값으로 세팅된다. 5V에서 3V로의 그레이 대 그레이 스위칭에 대한 도 23에서 도시된 바와 같이, 회전이 회망하는 각보다 큰 경우일지라도, 회망하는 각으로의 스위칭 백은 훨씬 고속인데, 그 이유는 스위칭은 "온" 방향으로 행해지기 때문이다. 초기화의 결과로서, 각 방향에서의 그레이 대 그레이 스위칭 시간은 tOFF 아래에 있어야 한다.

[0124] 최종적으로, 위에서 논의된 예시적인 실시예들은 단지 청구된 교시내용을 설명하는 역할을 하는 것일 뿐이며, 상기 교시내용을 이 예시적인 실시예들로 제한시키려는 것은 아님을 특히 지적하고자 한다.

[0125] **부록**

[0126] 아래의 개시내용은 앞서 언급한 본 발명과 관련된 추가적인 정보를 개시하기 위해 제공되는 것이다. 본 정보가 위의 상세한 설명에서가 아닌 부록에서만 제공된다 할지라도, 본 부록은 본 출원의 일부를 구성한다는 것을 강조해둔다.

[0127] LCD 백플레인 구조를 위한 구현에서는 픽셀들의 클러스터들이 이용되고 LCD 백플레인 구조는 바람직하게는 오직 디지털 스위칭 TFT(Thin Film Transistor)들을 포함한다. 본 출원의 측면에서의 픽셀들의 클러스터는 특히 디스플레이의 인접하거나 또는 연결된 영역을 형성하는 복수의 픽셀들이다. 이러한 영역은 직사각형 형상, 정방형 형상, 별집 형상, 또는 임의의 다른 적절한 형상을 가질 수 있다. 바람직하게는, 클러스터는 디스플레이의 폭 전체 또는 길이 전체를 넘어 연장하지 않는다. 여러 개의 클러스터들이 끊임없는 방식으로 서로의 옆에 배열될 수 있다. 클러스터는 서브디스플레이로서 간주될 수 있다. 이것은 도 3a와 도 3b에서 개략적으로 도시된다. 도 27은 클러스터의 어드레스 디코더들에 대한 회로 경로 및 클러스터의 예시를 도시한다. 그러므로, 본 발명의 일 실시예에서 디스플레이는 클러스터들(서브디스플레이들)로 분할된다.

[0128] 일반적인 AM 디스플레이에서는 아날로그 픽셀값들이 아날로그 데이터 라인들을 통해 라인마다 디스플레이내에 기록되는 반면에, 디스플레이를 위한 백플레인 디바이스는 교호적인 아날로그값들을 단일 픽셀 라인내로 라인마다 그리고 열마다 기록하지 않지만, 아날로그 전압을 하나의 미리결정된 값으로부터 다른 미리결정된 전압값으로, 예컨대 최소 전압값으로부터 최대 전압값으로 램프 업 또는 램프 다운시킨다. 실제 인가된 아날로그 전압이 단일 픽셀 또는 다수의 픽셀들에 할당되는 것에 기초하여, 다수의 픽셀들의 위치들 또는 어드레스들 또는 픽셀의 어드레스 또는 위치는 (바람직하게는 디지털방식으로) 클러스터에 이송된다. 그러므로, 전압에 의해 백플레인 디바이스에 의한 디스플레이의 픽셀들로의 전하의 이송은 종래기술로부터 알려진 디스플레이들에서 행해지는 것과 같이 위치에 의해서가 아니라 전압값에 의해 정렬된다.

[0129] 본 발명의 개념은 본질적으로, 예컨대 WO 2009/024523 A1, WO 2009/092717 A1, WO 2008/138983, WO 2008/138984, WO 2008/138985 또는 WO 2008/138986에서 개시된, 클러스터들을 이용한 백플레인들을 포함하는 디스플레이 설계들에 대해 유리한 방식으로 적용될 수 있으며, 이 모든 문헌들은 그 전체 내용이 참조로서 본 명세서에 복제된다. 더 나아가, 본 발명의 개념은 2D 및 3D 콘텐츠를 디스플레이하는 디스플레이들에 적용될 수 있다. 3D 디스플레이들은 특히 스테레오스코픽 디스플레이, 멀티뷰를 생성하는 스테레오스코픽 디스플레이, 사용자의 안구의 추적을 갖춘 오토스테레오스코픽 디스플레이 및 홀로그래픽 디스플레이일 수 있다. 이러한 2D 또는 3D 디스플레이는 투과 모드, 반사 모드 또는 반투과 모드에서 동작될 수 있다. 이러한 2D 또는 3D 디스플레이는 OLED(Organic Light Emitting Diode), LCD(Liquid Crystal Display) 또는 PDP(Plasma Display Panel)의 원리로 동작될 수 있다. 본 발명에 따른 백플레인 디바이스는 a-Si(amorphous Silicon), 모든 유형의 폴리실리콘 TFT들, 예컨대 LTPS(Low Temperature Polycrystalline Silicon) 또는 a-Oxide(amorphous Oxide), 유기 TFT들 또는 단결정 실리콘과 같은 물질들에 기초된 것이거나 또는 이들을 포함할 수 있다.

[0130] 아날로그값들(픽셀 용량들을 변경시키는 전류)을 외부로부터 디스플레이 영역으로 매우 빠르게 구동시키는 주요 문제는 본 발명의 개념으로 해결된다. 면적(픽셀들의 갯수)은 2제곱승 크기로 증가하지만 디스플레이의 엷지는 크기가 선형적으로만 증가한다. 커다란 라인 용량들은 인접해 있는 아날로그 라인들에 대한 보다 빠른 스위칭 주파수들을 방지한다. 대신에 디지털 라인들은 미리정의된 길이 후에 레지스터되고 증폭될 수 있다. 도 27과 도 28을 참조한다.

[0131] 본 발명의 바람직한 실시예에 따르면, 솔루션은 오로지 디지털 스위칭 트랜지스터들에 기초하여 제공될 수

있다. 그러므로, 아날로그 스위칭 LTPS-TFT들 및 특히 LTPS-TFT들의 상이한 임계 전압들에 대한 문제들은 방지된다.

[0132] 이 때, 모든 TFT들은 오직 스위치들(ON/OFF)로서 작동을 하며 TFT들의 아날로그 스위칭은 필요하지 않다. 유리 하계도, 디지털 시뮬레이션 및 설계 툴들이 이용될 수 있다.

[0133] 더 나아가, 통상적인 백플레인 설계를 통해 가능한 것보다 잠재적인 프레임 레이트가 훨씬 높을지라도 백플레인 디바이스를 위해 작은 LTPS TFT들을 이용하는 것이 유리하게도 가능하다. 추가적인 장점들은 다음과 같다:

[0134] • 비교적 긴 이송 시간은 저전류를 가능하게 해주며, 따라서 보다 작은 TFT들이 이용될 수 있다.

[0135] • TFT들의 보다 낮은 임계(게이트) 전압은 보다 낮은 전력 소모를 야기시킨다.

[0136] • TFT들의 보다 낮은 게이트 용량은 백플레인 디바이스의 보다 낮은 전력 소모를 야기시킨다.

[0137] • TFT들이 보다 빨리 동작할수록, 클러스터 크기는 보다 크게 설계될 수 있다.

[0138] **프레임 레이트 및 반응 시간**

[0139] • 전력 소비가 상한선 밑에 있는 경우, 이 백플레인의 프레임 레이트는 TFT들의 스위칭 주파수에 의해서만 제한된다. 따라서 보다 작고 보다 빠른 TFT들은 라인 용량의 영향을 거의 받지 않고 보다 높은 프레임 레이트를 불러일으킨다. 이런점에서 통상적인 AM 디스플레이들은 제한이 있는데, 그 이유는 보다 높은 프레임 레이트가 보다 큰 고전류 TFT들을 필요로 하기 때문이다. 하지만 보다 큰 TFT들은 보다 큰 용량을 나타내며 이로써 필요한 전류를 더욱 증가시킨다.

[0140] • 하나 보다 많은 기록이 픽셀에 대해 수행될 수 있는 경우, LC 반응 시간은 추가적인 오버드라이브 값들을 픽셀에 기록함으로써 증가될 수 있다. 따라서, 이것은 예컨대 "최저속" 픽셀들의 10%에만 적용될 수 있다. 오버드라이브는 픽셀값들의 독창적인 정렬에 의해 손쉽게 달성될 수 있다.

[0141] • 16000픽셀 x 8000픽셀, 픽셀 행 및 열 당 하나의 글로벌 라인, 50%의 백라이트 ON 시간 및 25MHz 스위칭 주파수를 갖는 LTPS를 갖춘 24인치 디스플레이를 가정하면, 최대 프레임 레이트는 대략 200 fps(frames per second)이다. 이 값은 모든 클러스터 접근법들에 대해 거의 동일한데, 그 이유는 TFT 스위칭 주파수와 함께 엣지들을 통해 디스플레이내로 이송되는 데이터의 양은 제한되기 때문이다.

[0142] • 새로운 값들을 갖는 픽셀들만이 업데이트되는 경우, 오직 작은 이미지 변경만이 발생한다면, 프레임 레이트는 증가될 수 있다. 이미지 생성에 대한 직접적 액세스가 구축되면, 이미지 버퍼로의 기록은 디스플레이에 대한 직접적 이송일 수 있고, 따라서 더 이상 정의된 프레임 레이트는 존재하지 않는데, 그 이유는 변경들이 디스플레이에 즉시 기록되기 때문이다. 전해질과 관련된 문제로 인해, LCD들은 일정한 값 변동을 필요로 하는데, 이에 따라 변경된 픽셀값들만을 업데이트하는 완전 정적 LC 디스플레이들은 가능하지 않다. 하지만 이 접근법은 e-페이퍼와 같은 다른 유형의 디스플레이에 의해 이용가능하다.

[0143] **외부 구동기들**

[0144] • 열 라인 당 하나 DAC(Digital to Analog Converter) 대신에 클러스터 당 오직 하나의 DAC만이 필요하다.

[0145] • DAC는 훨씬 느릴 수 있는데, 그 이유는 출력 주파수는 AM 디스플레이들과 같이 라인들의 갯수에 기초하는 것이 아니라 그레이 스케일 값들의 갯수(비트 해상도)에 기초하기 때문이다.

[0146] • 나머지 다른 신호들은 디지털 출력들만을 요구한다.

[0147] **빌드인 시스템 교정**

[0148] • ADC(Analog to Digital Converter)가 외부 구동기 IC(Integrated Circuit)들에서 아날로그 라인들에 연결되는 경우 시스템에서 교정이 구현될 수 있다. 시스템 교정을 위해 픽셀 영역에서는 어떠한 추가적인 TFT들도 필요하지 않는다. MUX(Multiplexer)들이 ADC들의 갯수를 감소시키기 위해 이용될 수 있다.

[0149] • 독창적인 정렬에 의해 구동값들을 정정하는 것이 행해질 수 있다.

[0150] 전력소모

[0151] • $P \sim U^2$, $P \sim C$, $P \sim f$: 고전압 아날로그 신호들은 커다란 용량들을 구동시키지만 비교적 저전력 소비를 생성시키는데, 이것은 아날로그 신호가 AM 데이터 라인들에 비해 매우 느리게 변하기 때문이다. 전력 소비를 한층 더 감소시키기 위해 매우 효율적인 전하 리사이클링이 가능하다.

[0152] • 고주파수 디지털 신호들만이 매우 작은 게이트 용량들을 구동시킨다. 오늘날 게이트(임계) 전압들은 아날로그 신호의 범위에 있거나 또는 심지어 이보다 높지만, 게이트 유전체의 두께가 감소되는 경우, 게이트 전압들은 감소되어 보다 낮은 전력 소비를 야기시킨다.

[0153] • 이전의 픽셀 전압과 새로운 픽셀 전압간의 차이가 평가되면, 하나의 픽셀로부터 다른 픽셀로 전하들을 이송시키기 위해 또는 외부 구동없이 아날로그 라인의 값을 낮추거나 상승시키기 위해, 어드레싱된 픽셀의 독창적인 정렬이 이용될 수 있다. 이송이 독립적인 시간들에서 활성화되고 비활성화될 수 있다면 (예컨대 접근법 2.1을 통해) 전하 리사이클링은 보다 더 효율적일 수 있다.

[0154] 일반적인 주의사항들

[0155] • 픽셀 당 1.x TFT들(예컨대, AM 또는 아날로그 쉬프트 레지스터 솔루션) 대신에 3.x 또는 2.x TFT들이 필요하다. 하지만 TFT들은 훨씬 취약할 수 있고(전류가 작음), 따라서 픽셀 당 2개보다 많은 TFT들을 구현하기 위해 보다 작은 TFT들이 가능하다.

[0156] • 많은 로컬 "와이어링"이 필요하여 제조에 필요한 보다 많은 레이어들 및 마스크들을 야기시킨다.

[0157] • 클러스터들이 보다 클수록, 하나의 값을 프로그래밍하기 위해 보다 많은 디지털 신호들이 스위칭되어야 하는데, 이것은 클러스터 크기를 제한시킨다.

[0158] 게이트 용량들 및 게이트 전압들이 감소되지 않는다면, 많은 갯수의 디지털 라인들은 고전력 소비를 야기시킬 것이다.

[0159] 직접적 이송 구현들

[0160] 어드레스 디코더 변형, 2개 TFT 직접적 이송. 도 29를 참조한다.

[0161] 멀티플렉서 구조, 직접적 이송

[0162] 아날로그 신호는 많은 TFT들을 거쳐 전과되어야 하기 때문에, 트리 구조와 어드레스 구조의 혼합된 변형들은 이송 TFT들의 갯수를 감소시켜야 한다.

[0163] 보다 긴 이송 시간들에 대한 솔루션

[0164] 0. 일반적인 직접적 이송 문제들

[0165] 클러스터 당 단하나의 아날로그 라인이 이용되면, 프로그래밍 시간은 매우 짧아야 한다(25 MHz = 40 ns). 직접적 이송 변형에서 프로그래밍 시간은 이송(기록) 시간과 동등하고, TFT들에 높은 이송 전류가 흐를 것이 필요하지만 R_{ON} 이 높기때문에 아마도 이것은 가능하지 않을 수 있다.

[0166] 아래의 접근법들은 낮은 트랜지스터 전류로 짧은 프로그래밍 시간을 가능하게 할 것이지만 긴 이송 시간을 초래시킬 것이다.

[0167] 1. 선택된 다중 이송들

[0168] 이송 시간이 몇몇의 픽셀들에 대해서만 짧은 경우, 이 픽셀은 프레임 당 두 번 이상 기록될 수 있다.

[0169] 2. 3-TFT 구조물들(이송시간 > 프로그래밍 시간)

[0170] 아래의 세 개의 "3-TFT" 솔루션들은 동일한 픽셀 구조와 로컬 매트릭스를 이용한다. 단지 어드레스 라인들 및 ENA 신호(인에이블 신호)의 구동만이 다르다. 도 30, 도 31 및 도 32를 참조한다.

[0171] 2.1. 픽셀 "어드레스"에 대한 상이한 인에이블 및 디스에이블 동작

[0172] 기능

[0173] 이송을 시작하기 위해, ENA는 '1'로 세팅되고 전용/정의된 픽셀의 행 라인 및 열 라인 모두를 활성화시킴으로써 두 개의 TFT들(T_X 및 T_Y)은 스위칭 온된다. T_T 의 게이트로 이송된 전하는 이송 TFT T_T 를 "ON"으로 스위칭시킨다. C_{PIXEL} 의 전압은 아날로그 라인의 전압에 적응된다. 희망하는 이송 시간 이후, ENA는 '0'으로 세팅되고 두 개의 TFT들(T_X 및 T_Y)는 전용 픽셀의 행 라인 및 열 라인 모두를 활성화시킴으로써 다시 스위칭 온된다. T_T 의 게이트는 방전되어 T_T 를 "OFF"로 스위칭시킨다.

[0174] 상이한 픽셀에 대한 프로그래밍 동작들(ON 또는 OFF)은 시작(인에이블)과 정지(디스에이블) 사이에 적용될 수 있다.

[0175] **이점들**

- [0176] • 각각의 픽셀에 대해 상이한 이송 시간들이 가능하다
- [0177] • 매우 효율적인 전하 리사이클링이 가능한데 그 이유는 이전 전하값을 제공하는 인에이블 동작의 타이밍은 새로운 값을 저장한 디스에이블 동작으로부터 독립적일 수 있기 때문이다.

[0178] **주의사항들**

- [0179] • 인에이블 및 디스에이블 동작은 두 번 이상의 이송들 및 절반의 프레임 레이트를 초래시킨다.
- [0180] • 픽셀 당 추가적인 TFT가 필요하다(픽셀 당 2.x TFT들 대신의 3.x TFT들)

[0181] **2.2. 램프 값 변경 이전의 클러스터 디스에이블 동작**

[0182] **기능**

[0183] 이송을 시작하기 위해, ENA는 '1'로 세팅되고 두 개의 TFT들(T_X 및 T_Y)는 전용 픽셀의 행 라인 및 열 라인 모두를 활성화시킴으로써 스위칭 온된다. T_T 의 게이트로 이송된 전하는 이송 TFT T_T 를 "ON"으로 스위칭시킨다. C_{PIXEL} 의 전압은 아날로그 라인의 전압에 적응된다. 동일한 그레이 스케일의 모든 값들이 기록된 후, 클러스터의 모든 T_T 는 하나의 단일 동작에 의해 OFF로 스위칭된다. ENA는 "0"으로 세팅되고 모든 행 라인과 열 라인은 동시에 "1"로 세팅된다. 8비트 해상도를 가정하면, 단지 최대 $(2^N - 1) = 254$ 개의 디스에이블 동작들만이 필요하다.

[0184] **이점들**

- [0185] • 비트값 당 단하나의 디스에이블 동작(클러스터 크기가 $2^8=256$ 개 픽셀보다 큰 경우 픽셀 디스에이블 방법으로서 보다 효율적임).
- [0186] • 방전 동작을 인도하기 위해 특수한 어드레스 패턴형(모두=1)이 이용되는 경우, 인에이블 라인은 불필요함.

[0187] **주의사항들**

- [0188] • 비트에서 그레이 스케일 해상도로 인해 오버헤드가 증가함
- [0189] • 픽셀 당 추가적인 TFT가 필요하다(픽셀 당 2.x TFT들 대신 3.x TFT들)

[0190] **2.3. 시작에서 모든 픽셀 TFT들을 인에이블시키고 램프 업/다운 동안 이송 TFT들을 디스에이블시킴**

[0191] **기능**

[0192] 프레임 시작에서, 모든 이송 TFT T_T 가 "ON"으로 스위칭된다. ENA는 "1"으로 세팅되고 모든 행 라인과 열 라인은 동시에 "1"로 세팅된다. 이것은 모든 픽셀 용량들을 단락회로화하고 프레임 시작에서 픽셀 전극 전압들을 균등화한다. 모든 픽셀 전압들은 아날로그 전압의 램프 업을 따른다. 희망하는 전압에 도달되면, T_T 를 OFF로 스위칭시킴으로써 픽셀 용량은 아날로그 라인으로부터 연결해제된다. 이를 행하기 위해, ENA는 '0'으로 세팅되고 두 개의 TFT들(T_X 및 T_Y)은 전용 픽셀의 행 라인 및 열 라인 모두를 활성화시킴으로써 스위칭 온된다.

[0193] **이점들**

- [0194] • 추가적인 인에이블/디스에이블 동작들 및 지연이 없다.
- [0195] • 특수한 어드레스 패턴형(모두=1)이 이용되는 경우, 추가적인 "프레임의 시작" 라인이 필요하지 않다.
- [0196] • 가장 긴 이송 시간이 가능하다.
- [0197] **주의사항들**
- [0198] • 모든 전하들이 프레임 시작에서 균등화되기 때문에, 단지 제한된 전하 리사이클링만이 실현된다.
- [0199] • 모든 픽셀이 시작에서 인에이블되기 때문에, 충전되어야 하는 용량은 증가된다.
- [0200] • "인에이블 동작" 동안에 TFT들에 흐르는 높은 균등화 전류.
- [0201] **추가적인 특징들**
- [0202] 그 후 평균 전압(이전의 모든 픽셀값들의 합)으로부터 최대치까지의 램프 업 및 최소치까지의 램프 다운 또는 오버 웨이 라운드.
- [0203] **동작들간의 변경들**
- [0204] 섹션 2.1에서 ENA = '0' 또는 '1' 사이에서 변경하기 위해 또는 섹션 2.2에서 디스에이블 동작을 활성화하기 위해 또는 섹션 2.3에서 인에이블 동작을 활성화하기 위해, 특수한 라인이 이용될 수 있다. 이 특수한 라인을 피하기 위해, 이 대신에 특수한 어드레스 코드 또는 "매직 워드"가 이용될 수 있다. 예컨대 "1"인 모든 어드레스에서 동작이 트리거되면, 어떠한 픽셀도 이 어드레스를 이용할 수 없다. NULL 픽셀의 이러한 문제를 회피하기 위해, 아래의 솔루션들이 이용될 수 있다.
- [0205] • 하나의 데드(미싱) 픽셀 수용
- [0206] • 원 클럭 NULL -> 동작, 투 클럭들 NULL -> 픽셀
- [0207] • 새로운 클러스터 설계(잠재적으로는 홀로그래픽 디스플레이들에 좋다)
- [0208] $x = \text{클러스터 } 1 \quad y = \text{클러스터 } 2$

$$\begin{matrix} x & x & x & x & y & y & y \\ x & x & x & y & y & y & y \\ x & x & x & x & y & y & y \\ x & x & x & y & y & y & y \\ x & x & x & x & y & y & y \\ x & x & x & y & y & y & y \end{matrix}$$
- [0209] •
- [0210] • 디스에이블 3-TFT 변형: 정확한 값으로 변경하기 위해, 디스에이블 동작과 병행하여 NULL 픽셀내로 기록하고 마지막으로 NULL 픽셀에 기록함.
- [0211] • 인에이블 3-TFT 변형: 시작에서 모든 픽셀들을 인에이블하고, 시작 직후 정확한 값을 "NULL" 픽셀에 기록함.
- [0212] **3. 사이리스터 또는 가역가능 브레이크쓰루 TFT들**
- [0213] **기능**
- [0214] 두 개의 사이리스터들 또는 두 개의 특수한 TFT들을 갖춘 2-TFT 구조가 이용된다. 픽셀이 활성화되고 T_x 및 T_y

TFT들이 스위칭 온되면, 높은 소스-드레인 전류가 두 개의 TFT들에 흐른다. 게이트 전압들이 디스에이블된 경우에서도, 이 높은 전류는 소스와 드레인간에 가역가능한 브레이크쓰루를 인도하여 전류가 계속 흐르도록 해야 한다. 픽셀 용량 및 아날로그 라인의 전압들이 동일하면, 전류는 제로로 다운되고 이것은 브레이크쓰루를 정지시켜서 아날로그 라인이 램프 업된 경우 추가적인 전류 흐름을 금지시킨다.

[0215] **이점들**

- [0216] • 단지 2개의 TFT들 또는 하나의 2 게이트 사이리스터들.
- [0217] • 자가 조절되는 긴 이송 시간들.

[0218] **추가적인 특징들**

- [0219] • 이송 시간은 브레이크쓰루에 걸쳐 달성되지 않지만, 듀얼 층 다중 게이트 구조에서 전하 트래핑이 달성된다.

[0220] **주의사항들**

- [0221] • 게이트 전하들의 방전이 정의됨.
- [0222] • TFT들이 오랫동안 ON과 OFF 사이에 있는 경우, 높은 전력 소비가 일어날 것이다.

[0223] **4. 보다 작은 클러스터들 및/또는 보다 많은 아날로그 데이터 라인들**

[0224] **4.0. 일반적인 기능**

[0225] 프로그래밍 시간은 이송 시간과 동일하지만, 보다 작은 클러스터들은 보다 긴 프로그래밍 시간을 가능하게 한다 (=> 이송 시간들). 디지털 라인들의 갯수는 감소되지만, 아날로그 라인들의 갯수는 증가된다.

[0226] **4.1. 어드레스들은 비트 직렬 이송된다**

[0227] **기능**

[0228] 행 및 열 라인 어드레스들이 하나의 라인을 통해 비트 직렬 이송되며, 따라서 보다 작은 클러스터들, 예컨대 64 x 64 픽셀들이 이용될 수 있다. 도 33을 참조한다.

[0229] **이점들**

- [0230] • 매트릭스 내 단지 2개 TFT들.

[0231] **주의사항들**

- [0232] • 디지털 쉬프트 레지스터들을 위한 추가적인 TFT들 및 클럭 네트워크 라인들.

[0233] **4.2. 다중 클러스터들간에 어드레스 라인들이 공유됨**

[0234] **기능**

[0235] 작은 클러스터들 및 클러스터 당 하나의 아날로그 라인이 이용된다. 모든 행 및 열 어드레스 라인들을 게이팅하는 엑스트라 클러스터 인에이블 신호들로 행 및 열 라인 어드레스들이 다중 클러스터들간에 공유된다. 신호는 어드레스 디코더의 입력 또는 출력상에서 게이팅될 수 있다.

[0236] **이점들**

- [0237] • 단지 2개 TFT들.

[0238] 도 34와 도 35를 참조한다.

[0239] **5. 2-TFT 구조와 AM과의 혼합(하나 보다 많은 램프 업)**

[0240] **기능**

[0241] 회로는 AM과 2-TFT 구조간의 혼합을 이용한다. 예컨대 행 라인들은 일반적인 AM 게이트 라인들이며 이송을 위해 하나의 라인을 선택한다. 열 라인들은 정렬된 이송을 위한 어드레스 디코더들에 의해 제어된다. 이 접근법은 행

라인 당 하나의 램프 업을 이용한다.

[0242] **두 개 이상의 이전 버전들의 혼합**

[0243] 일반적으로, 앞서 언급한 적어도 두 개 이상의 실시예들을 혼합하는 것이 가능하다.

[0244] **모든 접근법들에 대한 일반적인 아이디어들**

[0245] • 2/3 픽셀 TFT들의 크기를 감소시키기 위해 멀티 게이트 TFT들을 이용.

[0246] • 크기를 감소시키기 위해 최상단 및 바닥 게이트를 갖는 TFT들을 이용.

[0247] • E-페이퍼와 같은 매우 느린 디스플레이들의 경우, 업데이트된 픽셀만이 기록된다면, 완성된 디스플레이는 하나의 DAC과 함께 단하나의 클러스터로 구성될 수 있다. 따라서 하나 또는 극소수의 개별적인 DAC-IC들 및 디지털 FPGA 출력들이 디스플레이를 구동시키기 위해 이용될 수 있다. 따라서 혼합된 신호 구동기 IC들이 필요하지 않다.

[0248] • "독창적인 정렬": 오버드라이브, 전하 리사이클링, 에러 정정을 달성하거나 또는 어드레싱 라인들상의 스위칭을 최소화하기 위해 정상값에 비해 상이한 시간에서 픽셀 활성화를 삽입하기 위한 독창적인 정렬 수단(모든 이송들의 총 헤밍 거리를 최소화하기 위한 정렬).

[0249] • 전하 리사이클링을 개선시키기 위해 보다 많은 원 램프 또는 비인접한 상승 또는 하강 램프들이 이용된다.

[0250] **오버랩**

[0251] TFT들의 스위칭 시간은 보다 느릴 수 있는데, 이것은 몇몇의 오버랩이 가능하기 때문이며, 아날로그 값이 일정한 변경에 놓여 있기 때문이다. 하나 보다 많은 동일값이 기록되면, 작은 리플이 추가될 수 있다.

[0252] **다른 관련 아이디어들**

[0253] **적분 전압 이용**

[0254] 이송된 픽셀 전압은 일정한 램프 전압에 의해 정의되지 않지만 변경 램프 전압의 적분에 의해 정의된다. R_{ON} 의 영향은 시스템 교정에 의해 보정될 수 있다. 데이터를 이송하고, 아날로그 값들을 변경하기 위한 오버헤드를 감소시키기 위해 이송 적분과 함께 아날로그 신호의 "램프 업" 시간들이 또한 이용된다.

[0255] **디스플레이 당 단하나의 일정한 아날로그 램프 업 패턴 이용**

[0256] (느린 디스플레이 전용, 낮은 그레이 스케일 해상도 전용)

[0257] 전체 디스플레이를 위해 단하나의 정적 아날로그 패턴 이용(단하나의 아날로그 라인, 하나의 DAC).

[0258] 클러스터가 $64 \times 64 = 4096$ 개 픽셀들로 구성되면, 아날로그 신호는 다음 값으로 변경되기 전에 각각의 그레이 스케일 값 4096 클럭을 출력한다. 6비트 그레이 스케일 해상도가 이용되면, 어드레스들은 $4096 * 2^6 * 60 \text{ fps} = 15 \text{ MHz}$ 로 기록되어야 한다.

[0259] 그레이 스케일 값들이 거의 균일하게 분포되면, 일정한 아날로그 값들과 함께 시간들은 감소될 수 있고, 따라서 이 구조는 또한 보다 빠른 디스플레이들에 대해 가능하다.

[0260] 전압 스테이지들의 갯수를 감소시키기 위해, 4비트와 같은 오직 작은 기본 비트 해상도만이 이용된다. 하나 또는 상이한 프레임들에서의 다중 기록들을 이용하여 보다 높은 해상도가 PWM에 적용된다.

N	Cluster-Größe Pixel	x	y	MUX TFTs
1	2	1	1	2
2	4	2	2	6
4	14	4	4	30
6	64	8	8	126
8	256	16	16	
10	1024	32	32	
12	4096	64	64	
14	16384	128	128	
16	65536	256	256	

[0261]

[0262]

단하나의 클러스터 및 하나의 DAC 및 디지털 AM 구조를 갖는 일반적인 LCD

[0263]

이 실시예에서 전체 디스플레이는 하나의 클러스터를 포함하며 클러스터 당 오직 하나의 아날로그 신호 및 디지털 매트릭스 구조를 이용한다.

[0264]

백플레인 설계

[0265]

■ 홀로그래픽뿐만 아니라 다른 스테레오 및 2D 디스플레이들을 위해 이용되는 높은 프레임 레이트들을 갖는 SLM을 구동시킬 목적으로 LTPS에 기반한 새로운 백플레인 설계가 개발되어 왔다.

[0266]

■ 여러개의 픽셀 셀들에 걸쳐 전하 리사이클링을 전하 분배에 적용함으로써 전력 소모는 제한된다

[0267]

■ 본 발명은 SLM 옛지로부터 전하들을 제공하는 데이터 라인 및 셀 당 세 개의 TFT들을 갖는 픽셀 매트릭스 및 행 및 열 라인들을 제어하기 위한 어드레스 디코더들로 구성된 클러스터 설계에 기초한다.

[0268]

■ 픽셀 셀의 세 개의 TFT들 모두는 디지털 제어되며; 이 세 개의 TFT들 중 두 개는 이송 TFT T_T (도면 참조)라고 칭해지는 제3 TFT를 턴 온/오프하기 위한 것이며 따라서 전하들은 아날로그 라인으로부터 어드레싱된 픽셀 용량 (C_{Pixel})에 이송될 수 있다.

[0269]

위의 도 6을 참조바란다.

[0270]

■ 여러 개의 제어 모드들이 가능하다(도 6 참조):

[0271]

o 용어들:

[0272]

■ T_T : 전하들을 아날로그 라인으로부터 일정한 픽셀 캐패시터로 포워딩하는 이송 TFT

[0273]

■ T_X , T_Y : 어드레스가능한 방식에 의해 이송 트랜지스터 T_T 를 스위칭 온/오프시키는 TFT들

[0274]

■ 아날로그 라인(양쪽 도면에서 적색 하이라이트됨): 픽셀 용량들을 충전하기 위한 전압들을 제공함

[0275]

■ ENA(E/D) 라인: 이 라인은 T_T 의 게이트 용량에 인가된 전하의 상태를 제어한다;

[0276]

이것이 활성화된 경우 전하들은 T_T 의 게이트로 이송될 것이며; 그렇지 않은 경우 전하들은 T_T 의 게이트로부터 멀어지는 반대 방향으로 이동한다

[0277]

o 제1 접근법

[0278]

■ 일정한 전압값에 할당된 픽셀들의 TFT들(T_X , T_Y)은 후속하여 전압을 기록하기 위한 활성화된 ENA 신호로 턴 온된다.

[0279]

• 이송 트랜지스터 T_T 의 게이트 용량은 충전되기 때문에 이송 트랜지스터 T_T 를 활성화시키는 결과를 초래한다;

량의 전하는 방전되고 이것은 이송 트랜지스터 T_1 를 턴 오프시키는 것을 초래한다

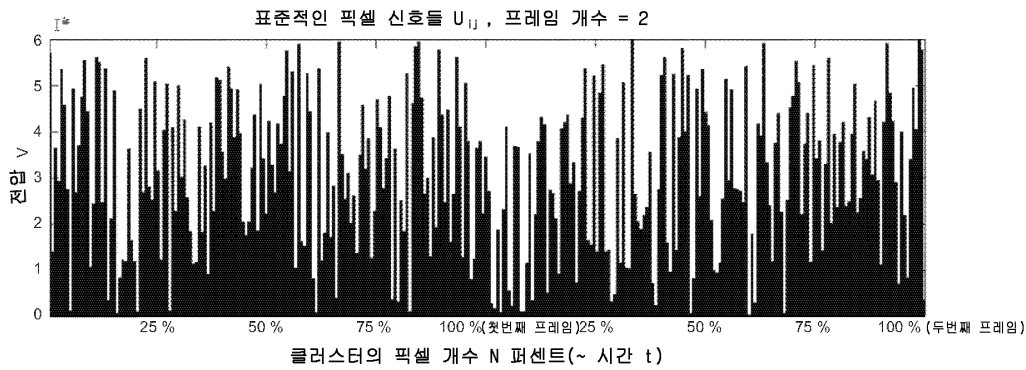
[0303] 이 동작은 활성화된 어드레스 라인들을 갖는 픽셀들은 전압의 추가적인 증가에 의해 영향을 받지 않지만 다른 모든 비활성화된 픽셀들은 새로운 전압값들이 인가될 것을 확실히 한다

[0304] 결과들:

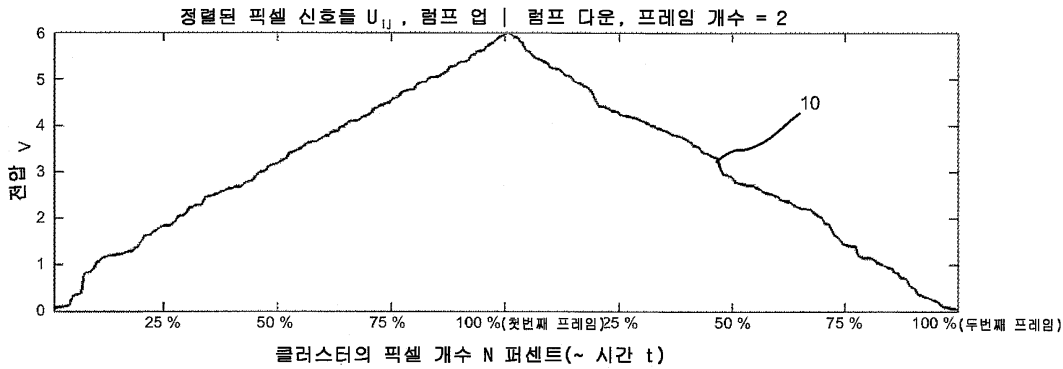
[0305] 추가적인 인에이블/디스에이블 동작들 및 지연이 없다.

도면

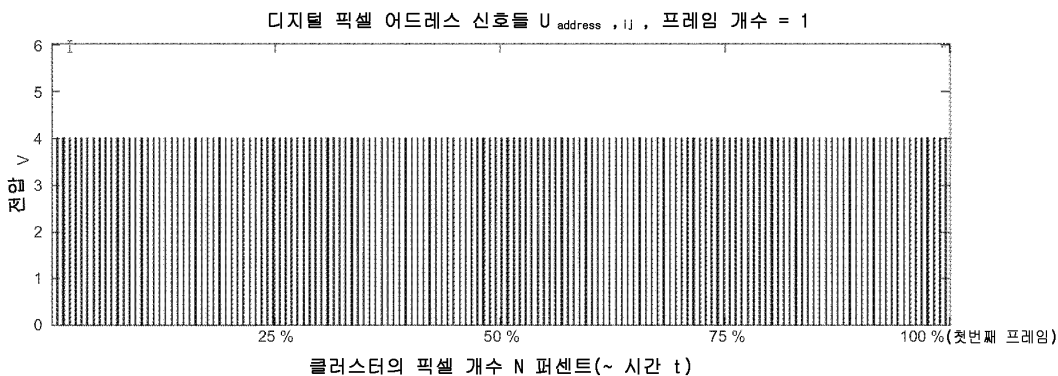
도면1



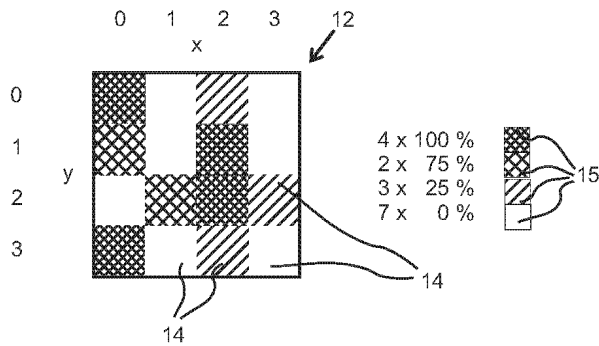
도면2a



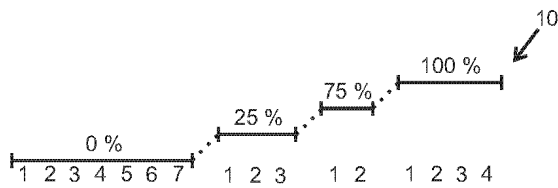
도면2b



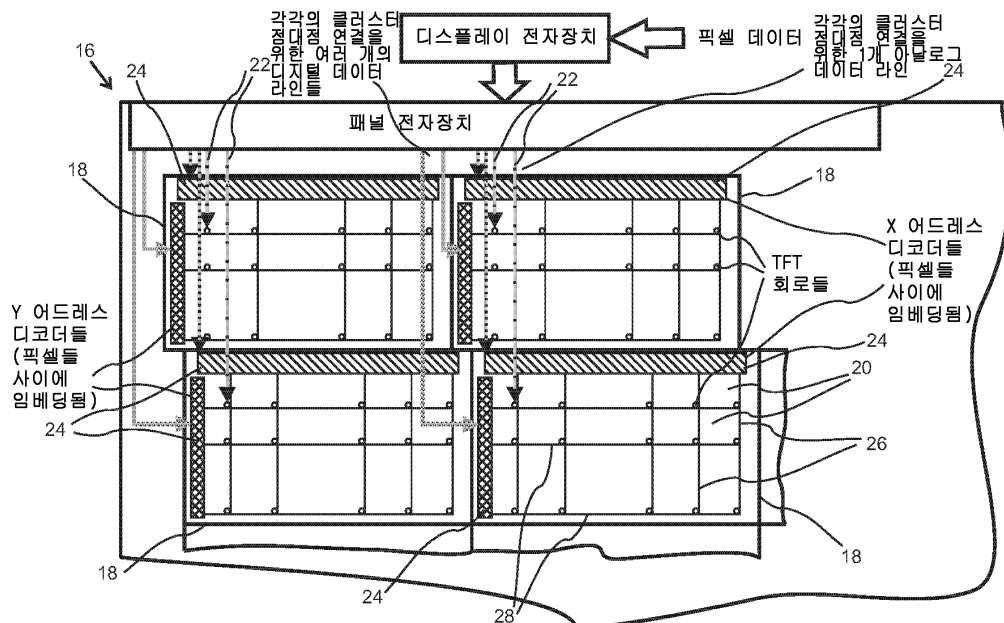
도면3a



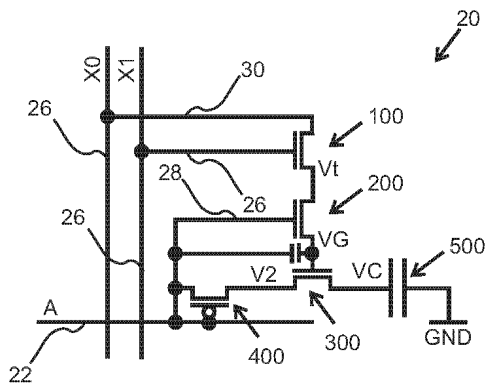
도면3b



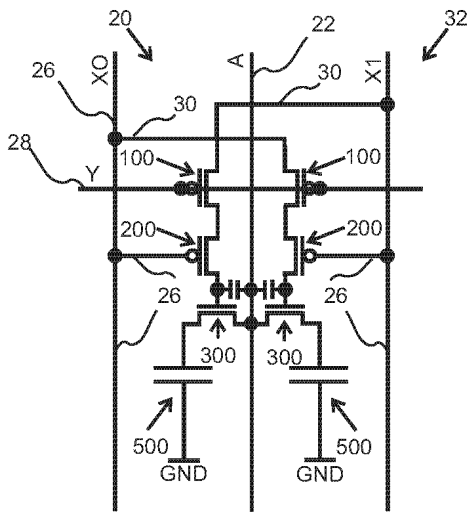
도면4



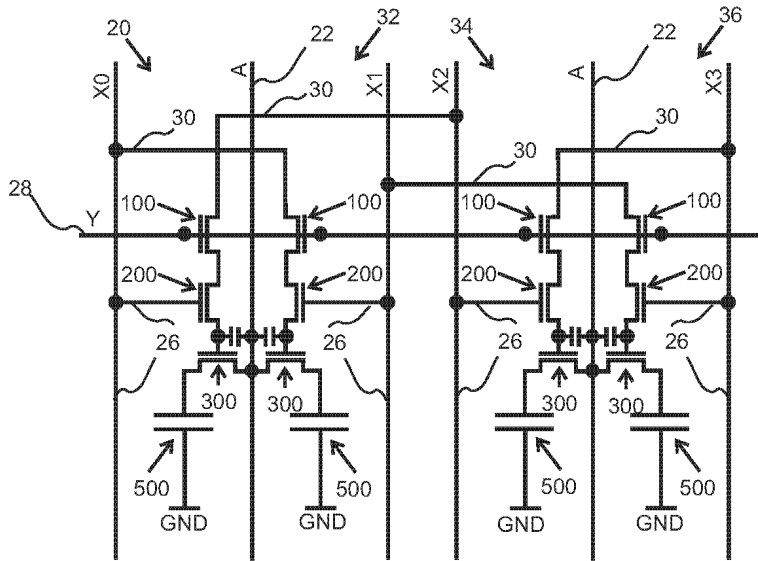
도면8



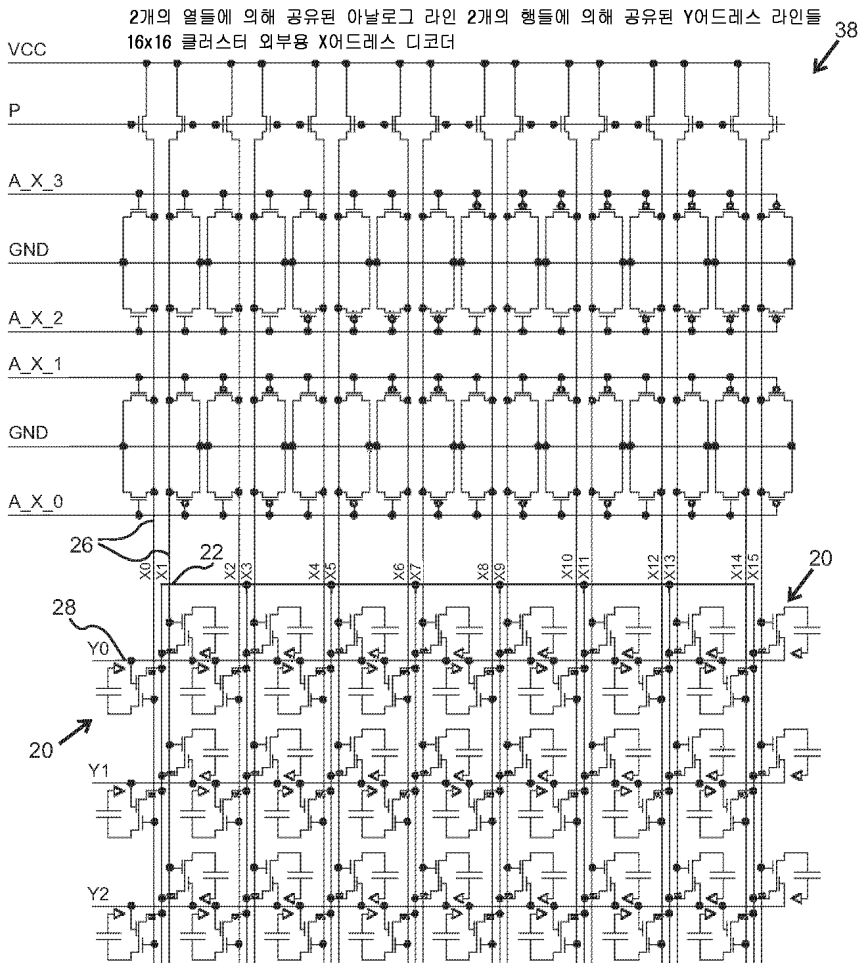
도면9



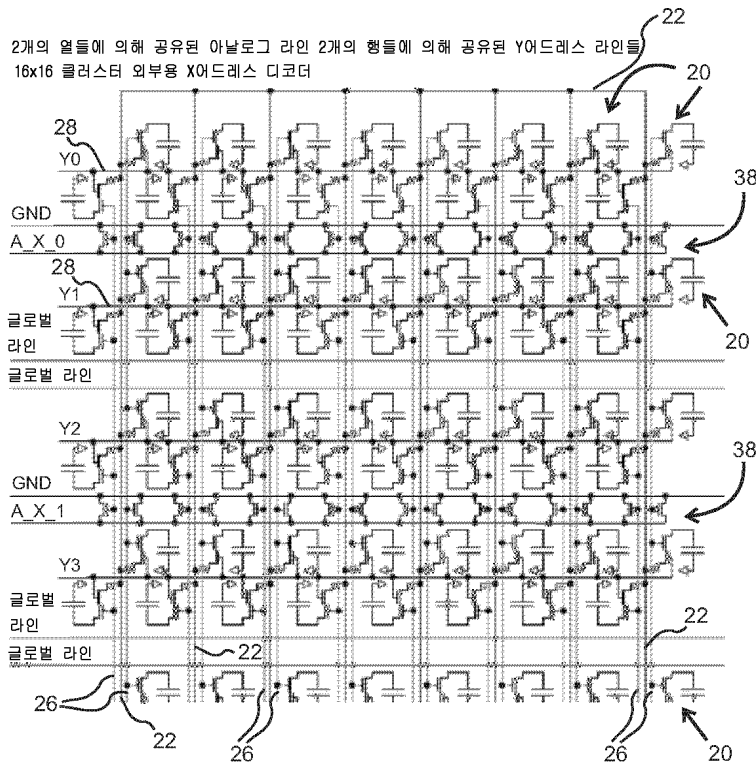
도면10



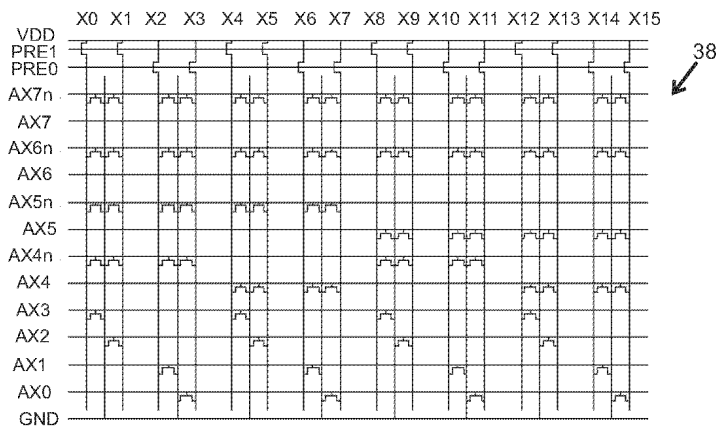
도면11



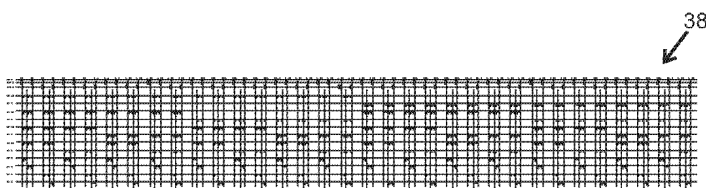
도면12



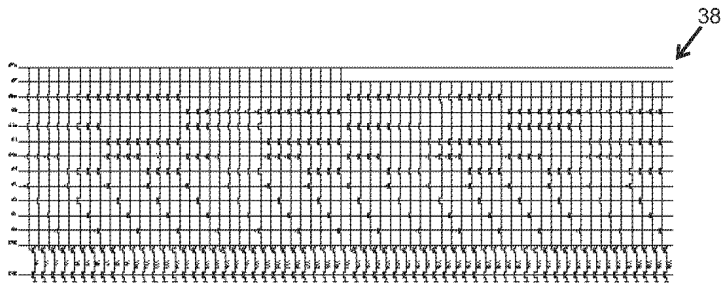
도면13a



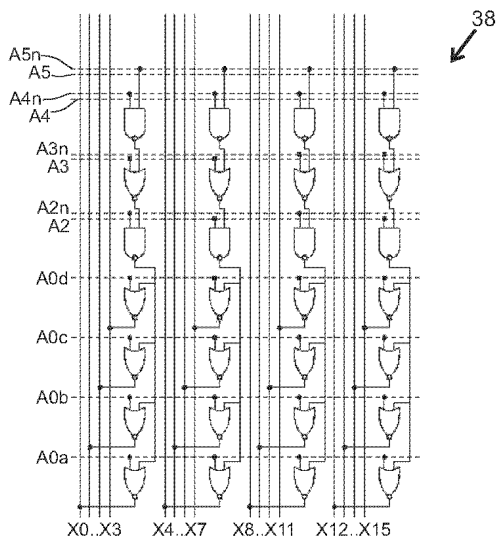
도면13b



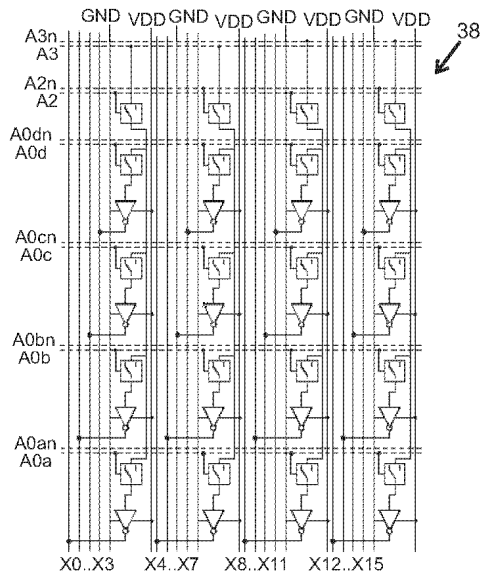
도면14



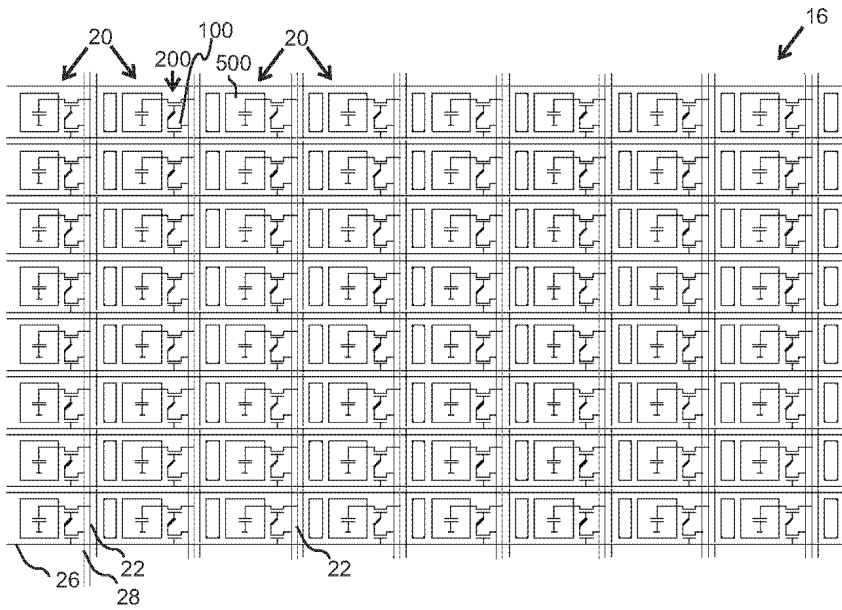
도면15



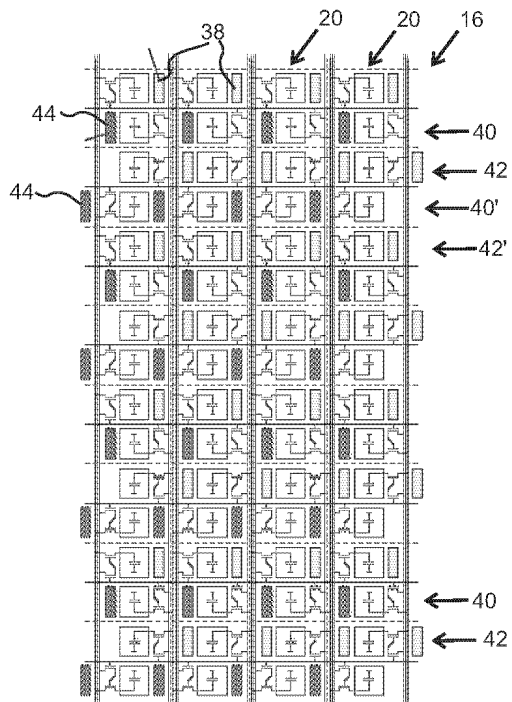
도면16



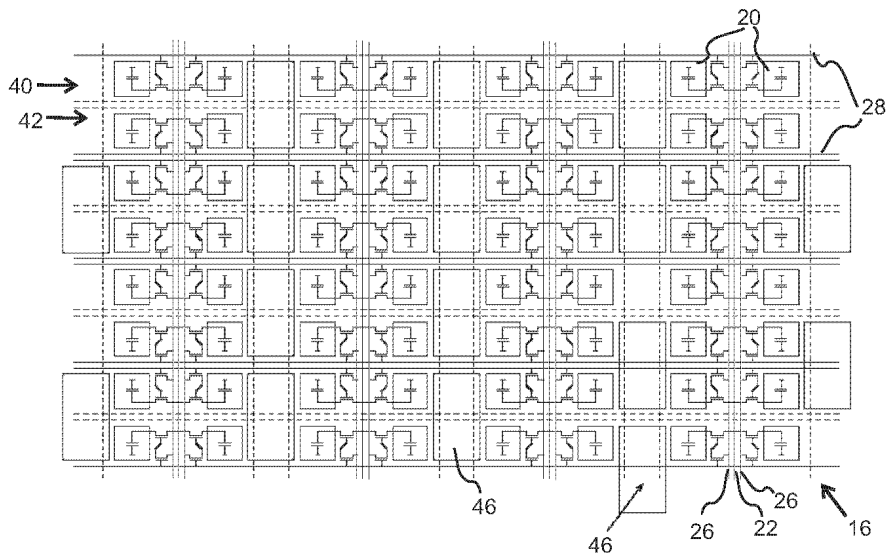
도면17



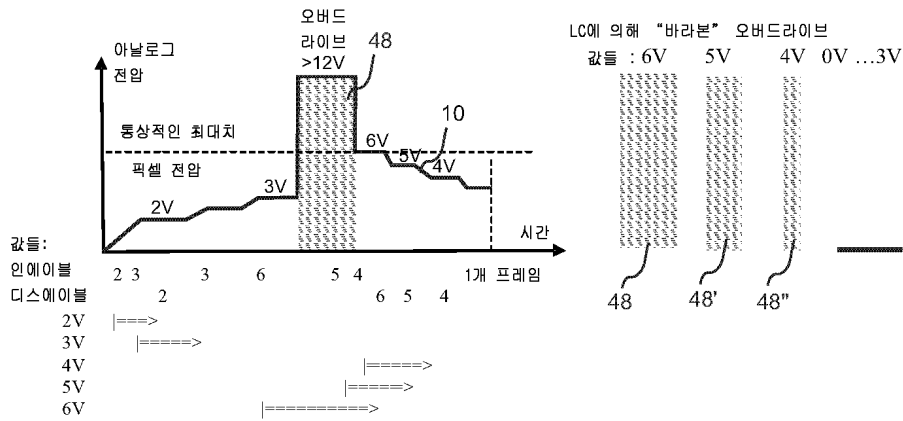
도면18



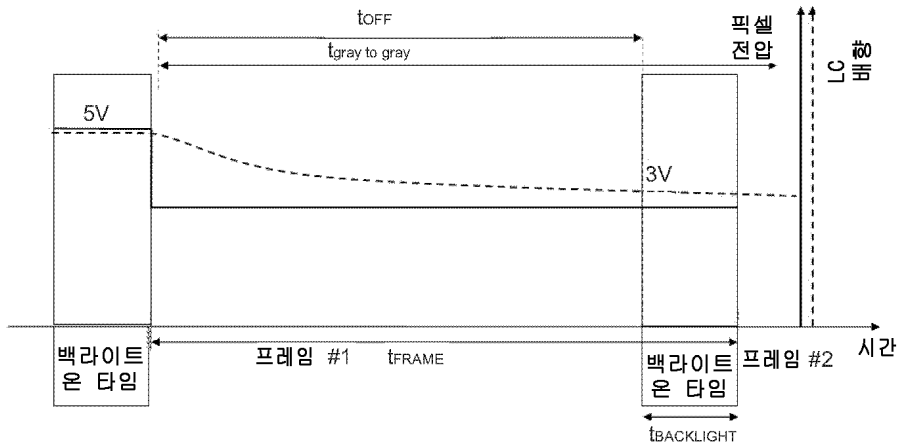
도면19



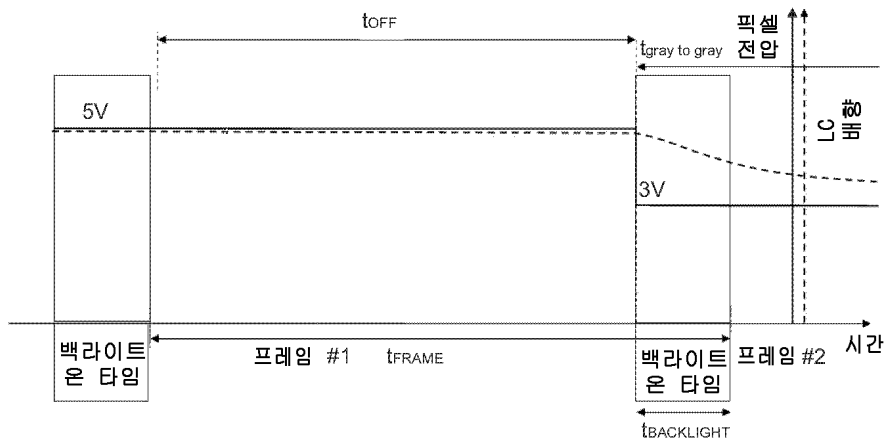
도면20



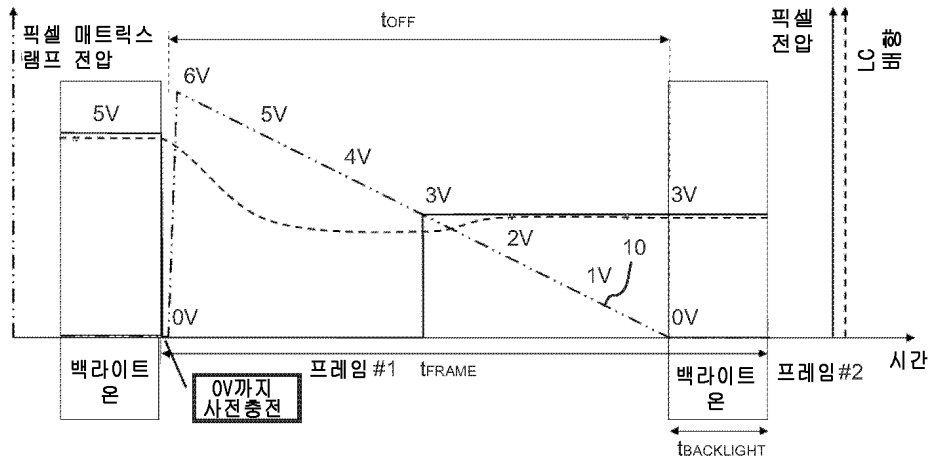
도면21



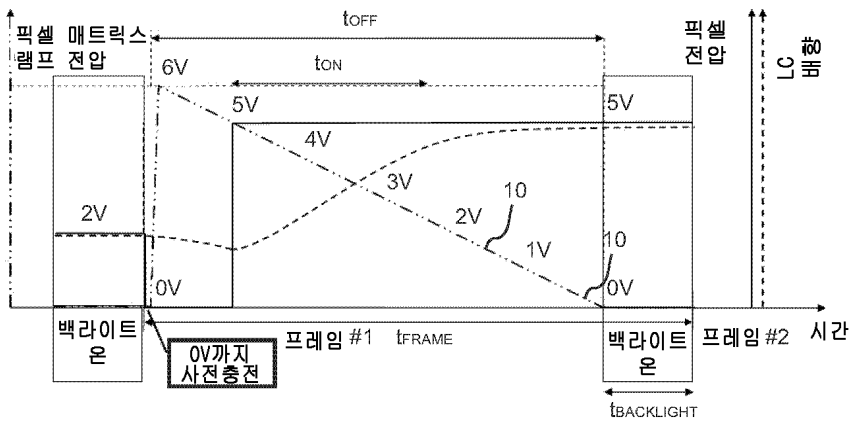
도면22



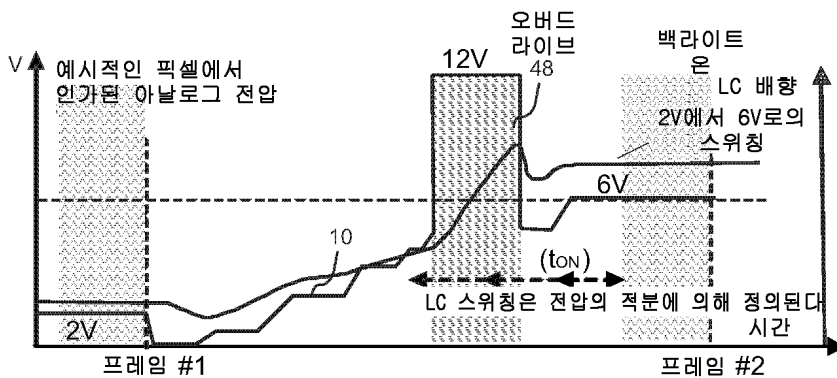
도면23



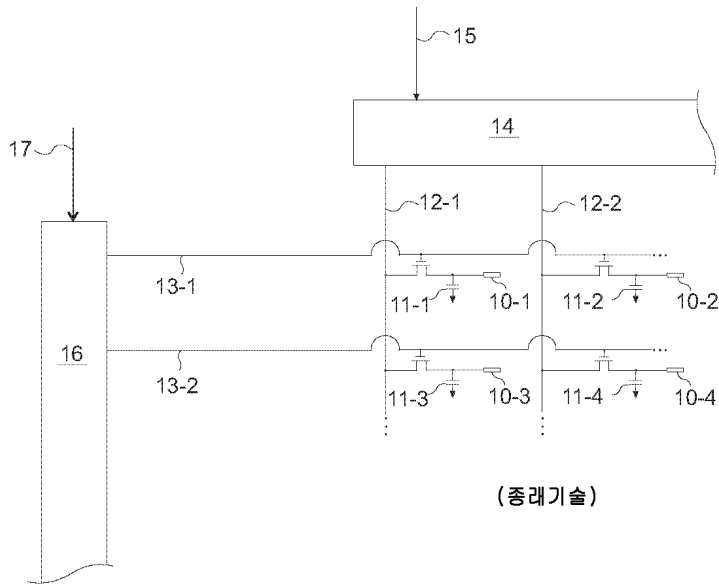
도면24



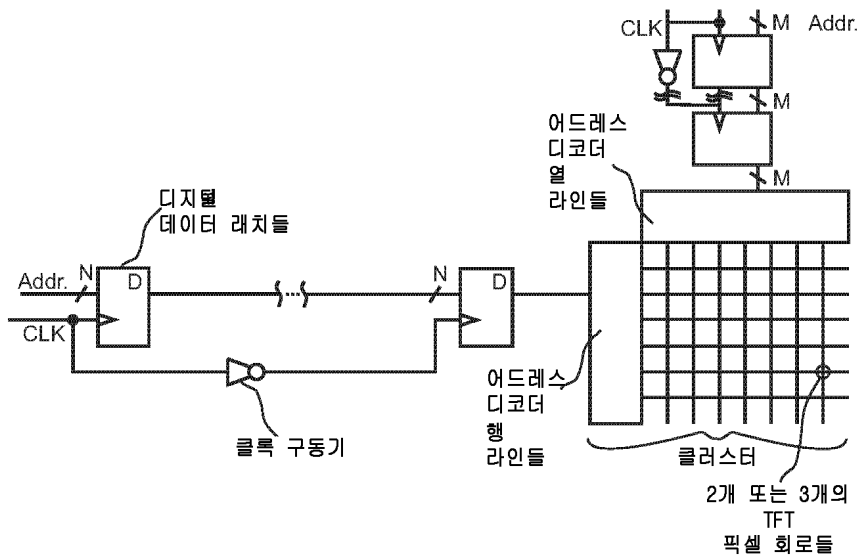
도면25



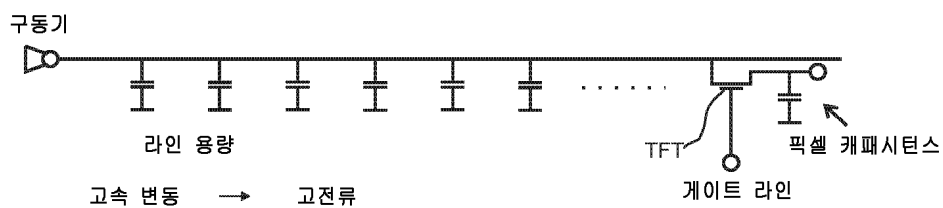
도면26



도면27

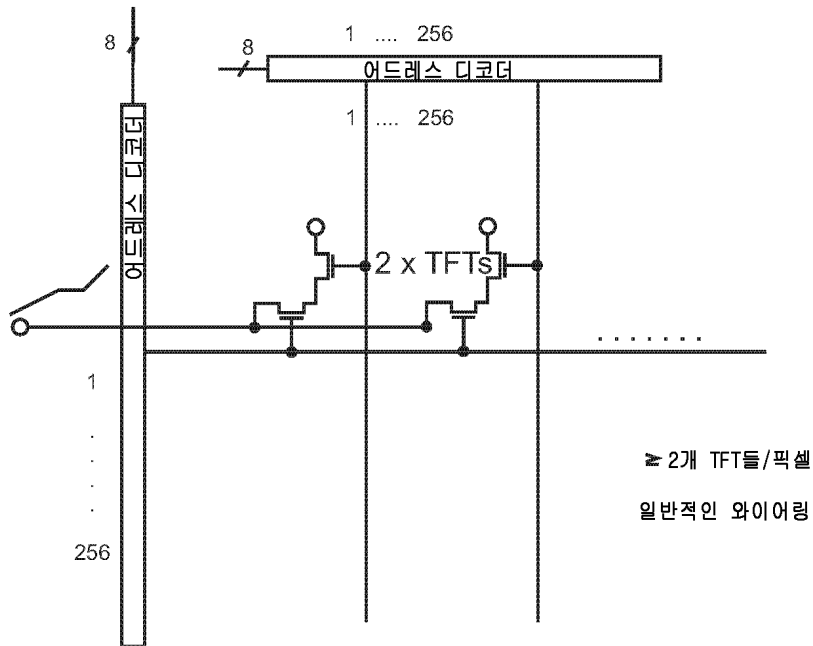


도면28



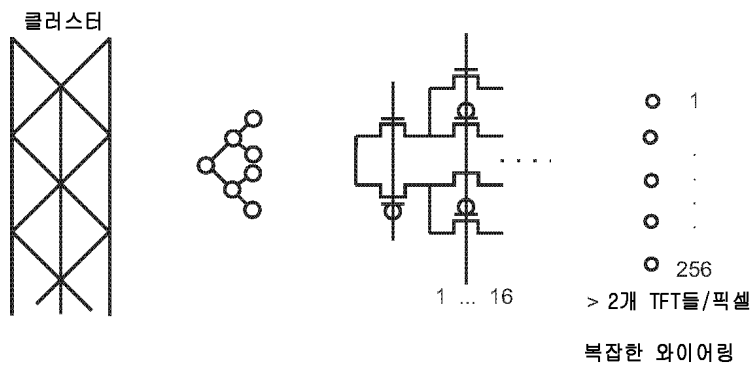
도면29

로컬 와이어링: 어드레스 +로컬 AM

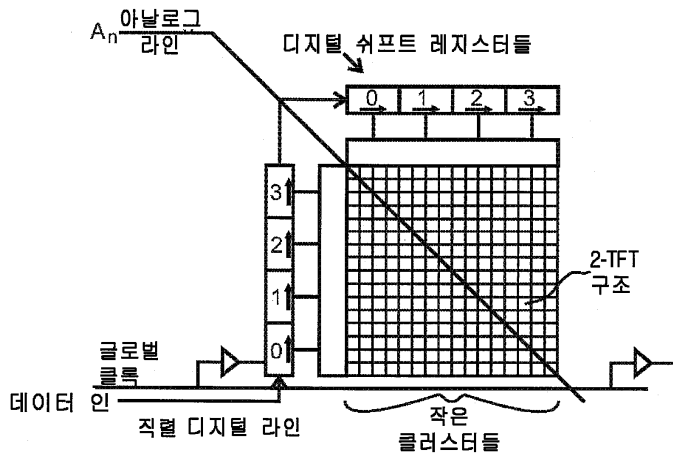


도면30

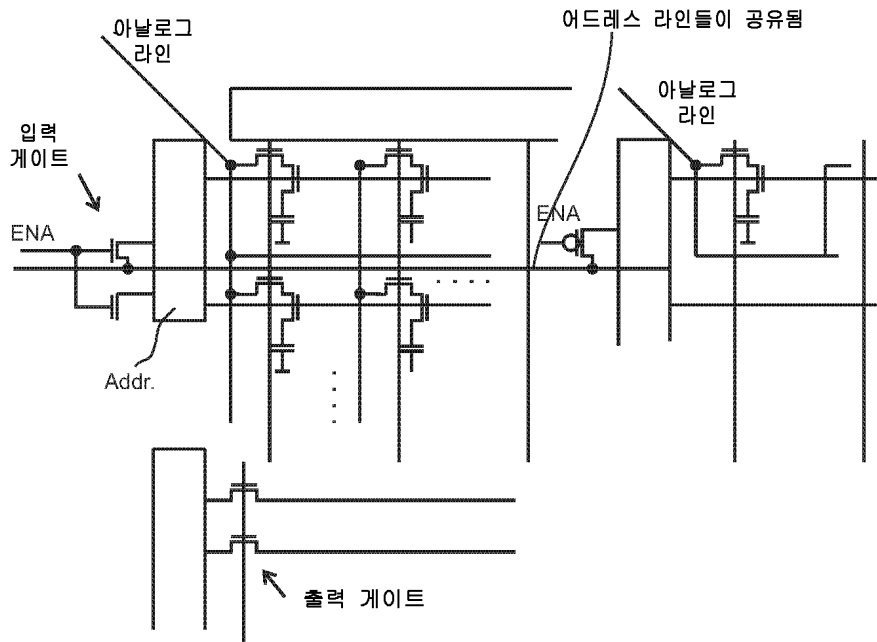
로컬 와이어링: 트리 구조



도면33



도면34



도면35

