(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0034954
(43) 공개일자 2025년03월11일

(51) 국제특허분류(Int. Cl.)
H10D 30/67 (2025.01) *H10D 30/01* (2025.01)
(52) CPC특허분류
H10D 30/6755 (2025.01)
H10D 30/031 (2025.01)
(21) 출원번호 10-2025-7001271
(22) 출원일자(국제) 2023년06월29일
심사청구일자 없음
(85) 번역문제출일자 2025년01월14일
(86) 국제출원번호 PCT/IB2023/056731
(87) 국제공개번호 WO 2024/013602
국제공개일자 2024년01월18일
(30) 우선권주장
JP-P-2022-112253 2022년07월13일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
코에즈카 준이치
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
진쵸 마사미
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
장훈

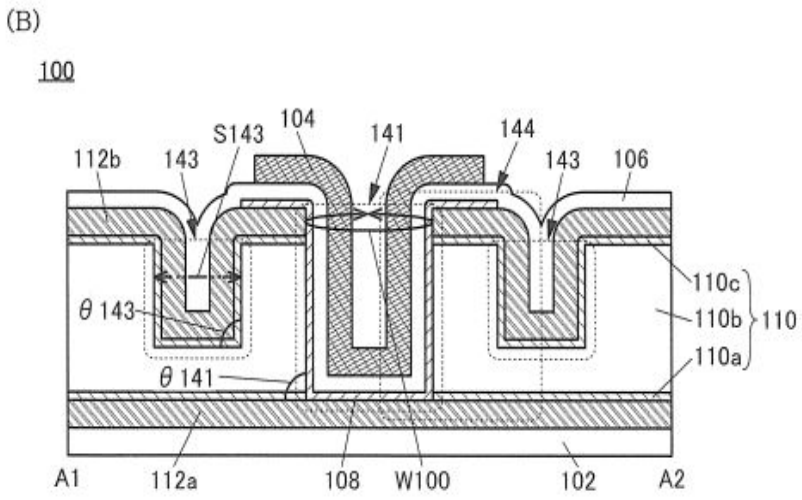
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 **트랜지스터 및 트랜지스터의 제작 방법**

(57) 요 약

미세한 크기의 트랜지스터를 제공한다. 제 1 도전층과, 제 2 도전층과, 제 3 도전층과, 제 1 절연층과, 제 2 절연층과, 반도체층을 가진다. 제 1 절연층은 제 1 도전층 위에 제공되고, 제 1 도전층에 도달하는 개구와 평면에서 보았을 때 개구를 둘러싸는 오목부를 가진다. 제 2 도전층은 오목부의 내벽을 덮어 제공되고, 제 1 절연층을 개재(介在)하여 반도체층과 대향하는 영역을 가진다. 반도체층은 개구와 중첩되는 영역을 가지도록 제공되고, 제 1 도전층의 상면, 제 1 절연층의 측면, 제 2 도전층의 측면, 및 제 2 도전층의 상면에 접한다. 제 2 절연층은 반도체층의 상면에 접하여 제공된다. 제 3 도전층은 개구의 내벽을 덮어 제 2 절연층 위에 제공되고, 제 2 절연층을 개재하여 반도체층과 대향하는 영역을 가진다.

대 표 도



(52) CPC특허분류
H10D 30/6704 (2025.01)
H10D 30/673 (2025.01)
H10D 30/6757 (2025.01)

명 세 서

청구범위

청구항 1

트랜지스터로서,

제 1 도전층과, 제 2 도전층과, 제 3 도전층과, 제 1 절연층과, 제 2 절연층과, 반도체층을 가지고,

상기 제 1 절연층은 상기 제 1 도전층 위에 제공되고, 상기 제 1 도전층에 도달하는 개구와 평면에서 보았을 때 상기 개구를 둘러싸는 오목부를 가지고,

상기 제 2 도전층은 상기 오목부의 내벽을 덮어 제공되고, 상기 제 1 절연층을 개재(介在)하여 상기 반도체층과 대향하는 영역을 가지고,

상기 반도체층은 상기 개구의 내벽 및 저면에 접하여 제공되고,

상기 제 2 절연층은 상기 반도체층의 상면에 접하여 제공되고,

상기 제 3 도전층은 상기 개구의 내벽을 덮어 상기 제 2 절연층 위에 제공되고, 상기 제 2 절연층을 개재하여 상기 반도체층과 대향하는 영역을 가지는, 트랜지스터.

청구항 2

제 1 항에 있어서,

상기 반도체층은 산화물 반도체를 가지는, 트랜지스터.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 1 절연층은 제 3 절연층과, 상기 제 3 절연층 위의 제 4 절연층과, 상기 제 4 절연층 위의 제 5 절연층의 적층 구조를 가지고,

상기 제 3 절연층 및 상기 제 5 절연층은 상기 제 4 절연층보다 막 밀도가 높은 영역을 가지는, 트랜지스터.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 개구는 단면에서 보았을 때 상기 제 2 도전층 측의 폭이 상기 제 1 도전층 측의 폭보다 넓고,

상기 오목부는 단면에서 보았을 때 상기 제 2 도전층 측의 폭이 상기 제 1 도전층 측의 폭보다 넓은, 트랜지스터.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 개구는 단면에서 보았을 때 상기 제 2 도전층 측의 폭이 상기 제 1 도전층 측의 폭보다 넓고,

상기 오목부는 단면에서 보았을 때 상기 제 2 도전층 측의 폭이 상기 제 1 도전층 측의 폭보다 좁은, 트랜지스터.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 반도체층이 접하는 상기 제 1 절연층의 측면의 단면에서 보았을 때의 길이를 L1로 하고, 상기 제 2 도전층에서 상기 제 1 절연층을 개재하여 상기 반도체층과 대향하는 영역의 단면에서 보았을 때의 길이를 L2로 하였을

때, L2는 L1의 0.5배 이상 1.0배 이하인, 트랜지스터.

청구항 7

트랜지스터로서,

제 1 도전층과, 제 2 도전층과, 제 3 도전층과, 제 1 절연층과, 제 2 절연층과, 반도체층을 가지고,

상기 제 1 절연층은 상기 제 1 도전층 위에 제공되고, 상기 제 1 도전층에 도달하는 제 1 개구와 평면에서 보았을 때 상기 개구를 둘러싸는 오목부를 가지고,

상기 반도체층은 상기 개구의 내벽 및 저면, 그리고 상기 제 1 절연층의 상면에 접하고,

상기 제 2 도전층은 상기 오목부의 내벽을 덮어 제공되고, 상기 반도체층 위에 접하는 영역과, 상기 제 1 절연층을 개재하여 상기 반도체층과 대향하는 영역을 가지고,

상기 제 2 절연층은 상기 반도체층의 상면에 접하여 제공되고,

상기 제 3 도전층은 상기 개구의 내벽을 덮어 상기 제 2 절연층 위에 제공되고, 상기 제 2 절연층을 개재하여 상기 반도체층과 대향하는 영역을 가지는, 트랜지스터.

청구항 8

제 7 항에 있어서,

상기 반도체층은 산화물 반도체를 가지는, 트랜지스터.

청구항 9

제 7 항 또는 제 8 항에 있어서,

상기 제 1 절연층은 제 3 절연층과, 상기 제 3 절연층 위의 제 4 절연층과, 상기 제 4 절연층 위의 제 5 절연층의 적층 구조를 가지고,

상기 제 3 절연층 및 상기 제 5 절연층은 상기 제 4 절연층보다 막 밀도가 높은 영역을 가지는, 트랜지스터.

청구항 10

제 7 항 또는 제 8 항에 있어서,

상기 개구는 단면에서 보았을 때 상기 제 2 도전층 측의 폭이 상기 제 1 도전층 측의 폭보다 넓고,

상기 오목부는 단면에서 보았을 때 상기 제 2 도전층 측의 폭이 상기 제 1 도전층 측의 폭보다 넓은, 트랜지스터.

청구항 11

제 7 항 또는 제 8 항에 있어서,

상기 개구는 단면에서 보았을 때 상기 제 2 도전층 측의 폭이 상기 제 1 도전층 측의 폭보다 넓고,

상기 오목부는 단면에서 보았을 때 상기 제 2 도전층 측의 폭이 상기 제 1 도전층 측의 폭보다 좁은, 트랜지스터.

청구항 12

제 7 항 또는 제 8 항에 있어서,

상기 반도체층이 접하는 상기 제 1 절연층의 측면의 단면에서 보았을 때의 길이를 L1로 하고, 상기 제 2 도전층에서 상기 제 1 절연층을 개재하여 상기 반도체층과 대향하는 영역의 단면에서 보았을 때의 길이를 L2로 하였을 때, L2는 L1의 0.5배 이상 1.0배 이하인, 트랜지스터.

청구항 13

트랜지스터의 제작 방법으로서,

제 1 도전층을 형성하고,

상기 제 1 도전층 위에 제 1 절연층을 형성하고,

상기 제 1 절연층을 가공하여 상기 제 1 절연층에 오목부를 형성하고,

상기 제 1 절연층의 상면을 덮도록 제 2 절연층을 형성하고,

상기 제 2 절연층 위에 제 1 도전막을 형성하고,

상기 제 1 도전막을 가공하여 제 2 도전층을 형성하고, 이어서 평면에서 보았을 때 상기 오목부로 둘러싸인 영역 내에 상기 제 1 도전층에 도달하는 개구를 형성하고,

상기 제 2 도전층의 상면, 상기 개구의 내벽, 및 상기 개구의 저면을 덮도록 금속 산화물막을 형성하고,

상기 금속 산화물막을 가공하여 상기 개구의 내벽과 중첩되는 영역을 가지도록 반도체층을 형성하고,

상기 반도체층 및 상기 제 2 도전층의 상면을 덮도록 제 3 절연층을 형성하고,

상기 제 3 절연층 위에 제 2 도전막을 형성하고,

상기 제 2 도전막을 가공하여 상기 개구와 중첩되는 영역을 가지도록 제 3 도전층을 형성하는, 트랜지스터의 제작 방법.

청구항 14

제 13 항에 있어서,

상기 제 1 절연층 형성 후에 상기 제 1 절연층에 산소를 공급하는 처리를 수행하는, 트랜지스터의 제작 방법.

청구항 15

제 13 항 또는 제 14 항에 있어서,

상기 금속 산화물막의 형성은 스퍼터링법을 사용하여 수행하는, 트랜지스터의 제작 방법.

청구항 16

제 13 항 또는 제 14 항에 있어서,

상기 금속 산화물막의 형성은 ALD법을 사용하여 수행하는, 트랜지스터의 제작 방법.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 트랜지스터, 반도체 장치, 표시 장치, 표시 모듈, 및 전자 기기에 관한 것이다. 본 발명의 일 형태는 트랜지스터의 제작 방법, 반도체 장치의 제작 방법, 및 표시 장치의 제작 방법에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 발명의 일 형태의 기술분야의 일례로서 트랜지스터, 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 조명 장치, 입력 장치(예를 들어 터치 센서), 입출력 장치(예를 들어 터치 패널), 표시 모듈, 이들이 탑재된 전자 기기, 이들의 구동 방법, 또는 이들의 제조 방법을 들 수 있다.

배 경 기 술

[0003] 트랜지스터를 가지는 반도체 장치는 표시 장치 및 전자 기기에 널리 적용되고 있고, 반도체 장치의 고집적화 및 고속화가 요구되고 있다. 예를 들어, 정세도가 높은 표시 장치에 반도체 장치를 적용하는 경우, 집적도가 높은 반도체 장치가 요구된다. 트랜지스터의 집적도를 높이는 수단의 하나로서, 미세한 크기의 트랜지스터의 개발이 진행되고 있다.

[0004] 근년에 들어 가상 현실(VR: Virtual Reality), 증강 현실(AR: Augmented Reality), 대체 현실(SR: Substitutional Reality), 또는 혼합 현실(MR: Mixed Reality)에 적용할 수 있는 표시 장치가 요구되고 있다. VR, AR, SR, 및 MR는 총칭하여 XR(Extended Reality)라고도 불린다. XR용 표시 장치는 현실감 및 몰입감을 높

이기 위하여 정세도 및 색 재현성이 높은 것이 요구되고 있다. 상기 표시 장치에 적용 가능한 것으로서, 예를 들어 액정 표시 장치, 유기 EL(Electro Luminescence) 디바이스, 또는 발광 다이오드(LED: Light Emitting Diode) 등의 발광 디바이스(발광 소자라고도 함)를 가지는 발광 장치가 있다.

[0005] 특허문헌 1에는, 유기 EL 디바이스(유기 EL 소자라고도 함)를 사용한 VR용 표시 장치가 개시(開示)되어 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 국제공개공보 WO2018/087625호

발명의 내용

해결하려는 과제

[0007] 본 발명의 일 형태는 미세한 크기의 트랜지스터 및 트랜지스터의 제작 방법을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 온 전류가 큰 트랜지스터 및 트랜지스터의 제작 방법을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 전기 특성이 양호한 트랜지스터 및 트랜지스터의 제작 방법을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신뢰성이 높은 트랜지스터 및 트랜지스터의 제작 방법을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 생산성이 높은 트랜지스터 및 트랜지스터의 제작 방법을 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 신규 트랜지스터 및 트랜지스터의 제작 방법을 제공하는 것을 과제 중 하나로 한다.

[0008] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 본 발명의 일 형태는 이들 과제 모두를 반드시 해결할 필요는 없다. 명세서, 도면, 청구항의 기재에서 이들 외의 과제를 추출할 수 있다.

과제의 해결 수단

[0009] 본 발명의 일 형태는 제 1 도전층과, 제 2 도전층과, 제 3 도전층과, 제 1 절연층과, 제 2 절연층과, 반도체층을 가지고, 제 1 절연층은 제 1 도전층 위에 제공되고, 제 1 도전층에 도달하는 개구와 평면에서 보았을 때 개구를 둘러싸는 오목부를 가지고, 제 2 도전층은 오목부의 내벽을 덮어 제공되고, 제 1 절연층을 개재(介在)하여 반도체층과 대향하는 영역을 가지고, 반도체층은 개구의 내벽 및 저면에 접하여 제공되고, 제 2 절연층은 반도체층의 상면에 접하여 제공되고, 제 3 도전층은 개구의 내벽을 덮어 제 2 절연층 위에 제공되고, 제 2 절연층을 개재하여 반도체층과 대향하는 영역을 가지는 트랜지스터이다.

[0010] 또한 상기에서 반도체층은 산화물 반도체를 가지는 것이 바람직하다.

[0011] 또한 상기에서 제 1 절연층은 제 3 절연층과, 제 3 절연층 위의 제 4 절연층과, 제 4 절연층 위의 제 5 절연층의 적층 구조를 가지고, 제 3 절연층 및 제 5 절연층은 제 4 절연층보다 막 밀도가 높은 영역을 가지는 것이 바람직하다.

[0012] 또한 상기에서 개구는 단면에서 보았을 때 제 2 도전층 측의 폭이 제 1 도전층 측의 폭보다 넓고, 오목부는 단면에서 보았을 때 제 2 도전층 측의 폭이 제 1 도전층 측의 폭보다 넓은 것이 바람직하다.

[0013] 또한 상기에서 개구는 단면에서 보았을 때 제 2 도전층 측의 폭이 제 1 도전층 측의 폭보다 넓고, 오목부는 단면에서 보았을 때 제 2 도전층 측의 폭이 제 1 도전층 측의 폭보다 좁은 것이 바람직하다.

[0014] 또한 상기에서 반도체층이 접하는 제 1 절연층의 측면의 단면에서 보았을 때의 길이를 L1로 하고, 제 2 도전층에서 제 1 절연층을 개재하여 반도체층과 대향하는 영역의 단면에서 보았을 때의 길이를 L2로 하였을 때, L2는 L1의 0.5배 이상 1.0배 이하인 것이 바람직하다.

[0015] 또한 본 발명의 일 형태는 제 1 도전층과, 제 2 도전층과, 제 3 도전층과, 제 1 절연층과, 제 2 절연층과, 반도체층을 가지고, 제 1 절연층은 제 1 도전층 위에 제공되고, 제 1 도전층에 도달하는 제 1 개구와 평면에서 보았을 때 개구를 둘러싸는 오목부를 가지고, 반도체층은 개구의 내벽 및 저면, 그리고 제 1 절연층의 상면에 접하고, 제 2 도전층은 오목부의 내벽을 덮어 제공되고, 반도체층의 상면에 접하는 영역과, 제 1 절연층을 개재하여 반도체층과 대향하는 영역을 가지고, 제 2 절연층은 반도체층의 상면에 접하여 제공되고, 제 3 도전층은 개구의

내벽을 덮어 제 2 절연층 위에 제공되고, 제 2 절연층을 개재하여 반도체층과 대향하는 영역을 가지는 트랜지스터이다.

[0016] 또한 상기에서 반도체층은 산화물 반도체를 가지는 것이 바람직하다.

[0017] 또한 상기에서 제 1 절연층은 제 3 절연층과, 제 3 절연층 위의 제 4 절연층과, 제 4 절연층 위의 제 5 절연층의 적층 구조를 가지고, 제 3 절연층 및 제 5 절연층은 제 4 절연층보다 막 밀도가 높은 영역을 가지는 것이 바람직하다.

[0018] 또한 상기에서 개구는 단면에서 보았을 때 제 2 도전층 측의 폭이 제 1 도전층 측의 폭보다 넓고, 오목부는 단면에서 보았을 때 제 2 도전층 측의 폭이 제 1 도전층 측의 폭보다 넓은 것이 바람직하다.

[0019] 또한 상기에서 개구는 단면에서 보았을 때 제 2 도전층 측의 폭이 제 1 도전층 측의 폭보다 넓고, 오목부는 단면에서 보았을 때 제 2 도전층 측의 폭이 제 1 도전층 측의 폭보다 좁은 것이 바람직하다.

[0020] 또한 상기에서 반도체층이 접하는 제 1 절연층의 측면의 단면에서 보았을 때의 길이를 L1로 하고, 제 2 도전층에서 제 1 절연층을 개재하여 반도체층과 대향하는 영역의 단면에서 보았을 때의 길이를 L2로 하였을 때, L2는 L1의 0.5배 이상 1.0배 이하인 것이 바람직하다.

[0021] 또한 본 발명의 일 형태는 제 1 도전층을 형성하고, 제 1 도전층 위에 제 1 절연층을 형성하고, 제 1 절연층을 가공하여 제 1 절연층에 오목부를 형성하고, 제 1 절연층의 상면을 덮도록 제 2 절연층을 형성하고, 제 2 절연층 위에 제 1 도전막을 형성하고, 제 1 도전막을 가공하여 제 2 도전층을 형성하고, 이어서 평면에서 보았을 때 오목부로 둘러싸인 영역 내에 제 1 도전층에 도달하는 개구를 형성하고, 제 2 도전층의 상면, 개구의 내벽, 및 개구의 저면을 덮도록 금속 산화물막을 형성하고, 금속 산화물막을 가공하여 개구의 내벽과 중첩되는 영역을 가지도록 반도체층을 형성하고, 반도체층 및 제 2 도전층의 상면을 덮도록 제 3 절연층을 형성하고, 제 3 절연층 위에 제 2 도전막을 형성하고, 제 2 도전막을 가공하여 개구와 중첩되는 영역을 가지도록 제 3 도전층을 형성하는 트랜지스터의 제작 방법이다.

[0022] 또한 상기에서 제 1 절연층 형성 후에 제 1 절연층에 산소를 공급하는 처리를 수행하는 것이 바람직하다.

[0023] 또한 상기에서 금속 산화물막의 형성은 스퍼터링법을 사용하여 수행하는 것이 바람직하다.

[0024] 또한 상기에서 금속 산화물막의 형성은 ALD법을 사용하여 수행하는 것이 바람직하다.

발명의 효과

[0025] 본 발명의 일 형태에 의하여 미세한 크기의 트랜지스터 및 트랜지스터의 제작 방법을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 온 전류가 큰 트랜지스터 및 트랜지스터의 제작 방법을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 전기 특성이 양호한 트랜지스터 및 트랜지스터의 제작 방법을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 신뢰성이 높은 트랜지스터 및 트랜지스터의 제작 방법을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 생산성이 높은 트랜지스터 및 트랜지스터의 제작 방법을 제공할 수 있다. 또는 본 발명의 일 형태에 의하여 신규 트랜지스터 및 트랜지스터의 제작 방법을 제공할 수 있다.

[0026] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하는 것은 아니다. 본 발명의 일 형태는 반드시 이들 효과 모두를 가질 필요는 없다. 명세서, 도면, 청구항의 기재에서 이들 외의 효과를 추출할 수 있다.

도면의 간단한 설명

[0027] 도 1의 (A)는 트랜지스터의 일례를 나타낸 평면도이다. 도 1의 (B)는 트랜지스터의 일례를 나타낸 단면도이다.

도 2의 (A) 및 (B)는 트랜지스터의 일례를 나타낸 단면도이다.

도 3의 (A) 및 (B)는 트랜지스터의 일례를 나타낸 단면도이다.

도 4의 (A) 및 (B)는 트랜지스터의 일례를 나타낸 단면도이다.

도 5의 (A) 및 (B)는 트랜지스터의 일례를 나타낸 단면도이다.

도 6의 (A) 및 (B)는 트랜지스터의 일례를 나타낸 단면도이다.

도 7의 (A) 및 (B)는 트랜지스터의 일례를 나타낸 단면도이다.

도 8의 (A)는 트랜지스터의 일례를 나타낸 평면도이다. 도 8의 (B)는 트랜지스터의 일례를 나타낸 단면도이다.

도 9의 (A) 내지 (C)는 트랜지스터의 제작 방법의 일례를 나타낸 단면도이다.

도 10의 (A) 내지 (C)는 트랜지스터의 제작 방법의 일례를 나타낸 단면도이다.

도 11의 (A) 내지 (C)는 트랜지스터의 제작 방법의 일례를 나타낸 단면도이다.

도 12는 표시 장치의 일례를 나타낸 사시도이다.

도 13은 표시 장치의 일례를 나타낸 단면도이다.

도 14는 표시 장치의 일례를 나타낸 단면도이다.

도 15는 표시 장치의 일례를 나타낸 단면도이다.

도 16은 표시 장치의 일례를 나타낸 단면도이다.

도 17은 표시 장치의 일례를 나타낸 단면도이다.

도 18은 표시 장치의 일례를 나타낸 단면도이다.

도 19는 표시 장치의 일례를 나타낸 단면도이다.

도 20의 (A) 내지 (F)는 표시 장치의 제작 방법의 일례를 나타낸 단면도이다.

도 21의 (A) 및 (B)는 화소 회로의 회로도이다.

도 22의 (A) 및 (B)는 화소 회로의 회로도이다.

도 23은 화소 회로의 회로도이다.

도 24는 순서 회로의 구성예를 나타낸 도면이다.

도 25의 (A) 내지 (D)는 전자 기기의 일례를 나타낸 도면이다.

도 26의 (A) 내지 (F)는 전자 기기의 일례를 나타낸 도면이다.

도 27의 (A) 내지 (G)는 전자 기기의 일례를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0028] 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 이하에 기재되는 실시형태의 내용에 한정하여 해석되는 것은 아니다.

[0029] 또한 이하에서 설명하는 발명의 구성에서, 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 그 반복적인 설명은 생략한다. 또한 같은 기능을 가지는 부분을 가리키는 경우에는 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.

[0030] 도면에 나타낸 각 구성의 위치, 크기, 및 범위 등은 이해를 쉽게 하기 위하여 실제의 위치, 크기, 및 범위 등을 나타내지 않는 경우가 있다. 그러므로 개시된 발명은 반드시 도면에 개시된 위치, 크기, 및 범위 등에 한정되지 않는다.

[0031] 또한 "막"이라는 용어와 "층"이라는 용어는 경우 또는 상황에 따라 서로 바뀔 수 있다. 예를 들어 "도전층"이라는 용어를 "도전막"이라는 용어로 바꿀 수 있다. 또는 예를 들어 "절연막"이라는 용어를 "절연층"이라는 용어로 바꿀 수 있다.

[0032] 본 명세서 등에서 메탈 마스크 또는 FMM(파인 메탈 마스크, 정세도가 높은 메탈 마스크)을 사용하여 제작되는 디바이스를 MM(메탈 마스크) 구조의 디바이스라고 부르는 경우가 있다. 또한 본 명세서 등에서 메탈 마스크 또는 FMM을 사용하지 않고 제작되는 디바이스를 MML(메탈 마스크리스) 구조의 디바이스라고 부르는 경우가 있다.

[0033] 본 명세서 등에서는 발광 파장이 상이한 발광 소자를 사용하여 적어도 발광층을 구분 형성하는 구조를 SBS(Side By Side) 구조라고 부르는 경우가 있다. SBS 구조는 발광 소자마다 재료 및 구성을 최적화할 수 있기 때문에,

재료 및 구성의 선택의 자유도가 높아져, 휘도 및 신뢰성을 용이하게 향상시킬 수 있다.

[0034] 본 명세서 등에서 정공 또는 전자를 "캐리어"라고 표현하는 경우가 있다. 구체적으로는 정공 주입층 또는 전자 주입층을 "캐리어 주입층"이라고 표현하고, 정공 수송층 또는 전자 수송층을 "캐리어 수송층"이라고 표현하고, 정공 차단층 또는 전자 차단층을 "캐리어 차단층"이라고 표현하는 경우가 있다. 또한 상술한 캐리어 주입층, 캐리어 수송층, 및 캐리어 차단층은 단면 형상 또는 특성 등에 따라 명확히 구별할 수 없는 경우가 있다. 또한 하나의 층이 캐리어 주입층, 캐리어 수송층, 및 캐리어 차단층 중 2개 또는 3개의 기능을 가지는 경우가 있다.

[0035] 본 명세서 등에서 발광 소자는 한 쌍의 전극 사이에 EL층을 가진다. EL층은 적어도 발광층을 가진다. 여기서 EL층이 가지는 층(기능층이라고도 함)으로서 발광층, 캐리어 주입층(정공 주입층 및 전자 주입층), 캐리어 수송층(정공 수송층 및 전자 수송층), 및 캐리어 차단층(정공 차단층 및 전자 차단층) 등을 들 수 있다.

[0036] 본 명세서 등에서 수광 디바이스(수광 소자라고도 함)는 한 쌍의 전극 사이에 적어도 광전 변환층으로서 기능하는 활성층을 가진다.

[0037] 본 명세서 등에서 섬 형상이란, 동일한 공정에서 형성되며 동일한 재료를 사용한 2개 이상의 층이 물리적으로 분리되어 있는 상태인 것을 말한다. 예를 들어 섬 형상의 발광층이란, 상기 발광층과, 이에 인접한 발광층이 물리적으로 분리되어 있는 상태인 것을 말한다.

[0038] 본 명세서 등에서 테이퍼 형상이란, 구조의 측면의 적어도 일부가 기판면 또는 피형성면에 대하여 경사진 형상을 가리킨다. 예를 들어 경사진 측면과 기판면 또는 피형성면이 이루는 각(테이퍼각이라고도 함)이 90° 미만인 영역을 가지는 것이 바람직하고, 45° 이상 90° 미만인 영역을 가지는 것이 더 바람직하고, 50° 이상 90° 미만인 영역을 가지는 것이 더 바람직하고, 55° 이상 90° 미만인 영역을 가지는 것이 더 바람직하고, 60° 이상 90° 미만인 영역을 가지는 것이 더 바람직하고, 60° 이상 85° 이하인 영역을 가지는 것이 더 바람직하고, 65° 이상 85° 이하인 영역을 가지는 것이 더 바람직하고, 65° 이상 80° 이하인 영역을 가지는 것이 더 바람직하고, 70° 이상 80° 이하인 영역을 가지는 것이 더 바람직하다. 또한 구조의 측면, 기판면, 및 피형성면은 반드시 완전히 평탄할 필요는 없고, 미세한 곡률을 가지는 실질적 평면 형상 또는 미세한 요철을 가지는 실질적 평면 형상이어도 좋다.

[0039] 본 명세서 등에서 희생층(마스크층이라고도 함)이란, 적어도 발광층(더 구체적으로는 EL층을 구성하는 층들 중 섬 형상으로 가공되는 층) 위쪽에 위치하고, 제조 공정에서 상기 발광층을 보호하는 기능을 가진다.

[0040] 본 명세서 등에서 단절이란, 층, 막, 또는 전극이 피형성면의 형상(예를 들어 단차 등)에 기인하여 분단되는 현상을 가리킨다.

[0041] 본 명세서 등에서 평면 형상이란, 평면에서 보았을 때의 형상, 즉 위에서 본 형상을 말한다. 또한 본 명세서 등에서 "평면 형상이 실질적으로 일치"란, 적층한 층과 층 사이에서 적어도 윤곽의 일부가 중첩되는 것을 말한다. 예를 들어 위층과 아래층이 동일한 마스크 패턴 또는 일부가 동일한 마스크 패턴을 사용하여 가공된 경우를 그 범주에 포함한다. 다만 엄밀하게 말하면 윤곽이 중첩되지 않고 위층이 아래층의 내측에 위치하거나 위층이 아래층의 외측에 위치하는 경우도 있고, 이 경우도 "평면 형상이 실질적으로 일치"라고 한다.

[0042] 또한 본 명세서 등에서 "높이가 실질적으로 일치"란, 단면에서 보았을 때, 기준이 되는 면(예를 들어 기판 표면 등의 평탄한 면)으로부터의 높이가 실질적으로 같은 구성을 말한다.

[0043] (실시형태 1)

[0044] 본 실시형태에서는 본 발명의 일 형태의 트랜지스터 및 그 제작 방법 등에 대하여 설명한다.

[0045] <트랜지스터의 구성예>

[0046] 본 발명의 일 형태의 트랜지스터에 대하여 설명한다. 트랜지스터(100)의 평면도(상면도라고도 함)를 도 1의 (A)에 나타내었다. 도 1의 (A)에 나타낸 일점쇄선 A1-A2에서의 단면도를 도 1의 (B)에 나타내고, 도 1의 (A)에 나타낸 일점쇄선 B1-B2에서의 단면도를 도 2의 (A)에 나타내었다. 도 1의 (B)에 나타낸 영역(144)의 확대도를 도 2의 (B)에 나타내었다. 또한 도 1의 (A)에서는 트랜지스터(100)의 구성 요소의 일부(절연층 등)를 생략하였다. 트랜지스터 등의 평면도에서는 이후의 도면에서도 도 1의 (A)와 마찬가지로 구성 요소의 일부를 생략하였다.

[0047] 트랜지스터(100)는 기판(102) 위에 제공된다. 트랜지스터(100)는 도전층(104)과, 절연층(106)과, 반도체층(108)과, 도전층(112a)과, 도전층(112b)과, 절연층(110)(절연층(110a), 절연층(110b), 및 절연층(110c))을 가

진다. 도전층(104)은 제 1 게이트 전극으로서 기능한다. 절연층(106)의 일부는 제 1 게이트 절연층으로서 기능한다. 도전층(112a)은 소스 전극 및 드레인 전극 중 한쪽으로서 기능하고, 도전층(112b)은 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능한다. 반도체층(108)에서 소스 전극과 드레인 전극 사이에서 제 1 게이트 절연층을 개재하여 제 1 게이트 전극과 중첩되는 영역 전체가 채널 형성 영역으로서 기능한다. 또한 반도체층(108)에서 소스 전극과 접하는 영역은 소스 영역으로서 기능하고, 드레인 전극과 접하는 영역은 드레인 영역으로서 기능한다.

[0048] 도전층(112b)은 제 2 게이트 전극(백 게이트 전극이라고도 함)으로서도 기능한다. 또한 절연층(110)의 일부는 제 2 게이트 절연층으로서 기능한다. 즉 본 발명의 일 형태의 트랜지스터에서는 도전층(112b)이 소스 전극 및 드레인 전극 중 다른 쪽으로서의 기능과 제 2 게이트 전극으로서의 기능을 겸비할 수 있다. 이에 의하여, 트랜지스터의 Id-Vd 특성에서의 포화성을 높일 수 있다. 또한 본 명세서 등에서 트랜지스터의 Id-Vd 특성에서 포화 영역의 전류의 변화가 작은(기울기가 작은) 것을 "포화성이 높다"라고 표현하는 경우가 있다. 또한 트랜지스터의 신뢰성을 높일 수도 있다. 또한 소스 전극 및 드레인 전극 중 다른 쪽과 제 2 게이트 전극을 따로따로 제공하는 경우에 비하여, 상기 트랜지스터를 가지는 회로에서는 배선 수를 삭감할 수 있다. 그러므로 회로 전체를 간략화할 수 있다. 또한 제작 시의 공정 수가 저감되어 생산성 향상을 도모할 수도 있다.

[0049] 도 1의 (B) 및 도 2의 (A)에 나타낸 바와 같이, 기판(102) 위에는 도전층(112a)이 제공된다. 도전층(112a) 위에는 절연층(110)(절연층(110a), 절연층(110b), 및 절연층(110c))이 제공된다. 절연층(110) 위에는 도전층(112b)이 제공된다. 반도체층(108)은 도전층(112a)의 상면의 일부, 절연층(110)의 측면, 도전층(112b)의 측면, 및 도전층(112b)의 상면의 일부와 접하여 제공된다. 절연층(106)은 반도체층(108)의 상면 및 측면, 그리고 도전층(112b)의 상면과 접하여 제공된다. 도전층(104)은 절연층(106)의 상면에 반도체층(108)의 상면 및 절연층(110)의 측면과 중첩되는 영역을 가지도록 제공된다.

[0050] 절연층(110) 및 도전층(112b)에는 도전층(112a)에 도달하는 개구(141)가 제공된다. 상기 개구(141)는 평면에서 보았을 때(도 1의 (A) 참조) 실질적으로 원형의 형상을 가진다. 도 1의 (A)에서는 개구(141)를 일점쇄선 A1-A2와 일점쇄선 B1-B2의 교점을 중심으로 하고, 폭(D141)을 직경으로 하는 실질적인 원형으로 나타내었다.

[0051] 또한 절연층(110b)에는 오목부(143)가 제공된다. 상기 오목부(143)는 평면에서 보았을 때(도 1의 (A) 참조) 개구(141)를 내포하도록 폭(S143)의 링 형상을 가진다. 바꿔 말하면, 오목부(143)는 개구(141)를 둘러싸도록 제공되어 있다고 할 수 있다. 또한 오목부(143)의 저면은 단면에서 보았을 때(도 1의 (B) 및 도 2의 (A) 참조) 도전층(112a)의 상면보다 위쪽에 위치한다. 즉 절연층(110b)에서 오목부(143)는 개구(141)보다 얕게 형성되어 있다. 또한 도 1의 (B) 및 도 2의 (A)에서는 오목부(143)가 형성된 영역에서의 절연층(110b)의 측면과 상면이 이루는 각을 각 θ143으로서 나타내었다.

[0052] 절연층(110b)의 아래쪽에는 절연층(110a)이 제공된다. 즉 도전층(112a) 위에는 절연층(110a) 및 절연층(110b)이 이 순서대로 적층되어 있다. 절연층(110b)에서 오목부(143)와 중첩되는 영역에서의 절연층(110b)의 측면(오목부(143)의 내벽이라고도 할 수 있음), 오목부(143)와 중첩되는 영역에서의 절연층(110b)의 상면(오목부(143)의 저면이라고도 할 수 있음), 그리고 오목부(143)와 중첩되지 않는 영역에서의 절연층(110b)의 상면에는 절연층(110c)이 접하여 제공된다.

[0053] 절연층(110c) 위에는 도전층(112b)이 제공된다. 도전층(112b)은 오목부(143)의 내벽 및 저면을 덮도록 제공된다. 도전층(112b)의 오목부(143) 내에 있는 영역은 절연층(110)을 개재하여 반도체층(108)과 중첩되는(대향하는) 영역을 가지도록 제공되는 것이 바람직하다.

[0054] 또한 개구(141)와 중첩되는 영역을 가지도록 도전층(112a)의 상면(개구(141)의 저면이라고도 할 수 있음), 절연층(110) 및 도전층(112b)의 측면(개구(141)의 내벽이라고도 할 수 있음), 그리고 도전층(112b)의 상면에 접하여 반도체층(108)이 제공된다. 절연층(106)은 반도체층(108)의 상면 및 측면, 그리고 도전층(112b)의 상면에 접하여 제공된다. 절연층(106) 위에는 개구(141)와 중첩되는 영역을 가지도록 도전층(104)이 제공된다. 도전층(104)은 개구(141)의 내벽 및 저면을 덮도록 제공된다. 도전층(104)은 개구(141) 내에서 절연층(106)을 개재하여 반도체층(108)과 중첩되는(대향하는) 영역을 가지도록 제공되는 것이 바람직하다.

[0055] 본 발명의 일 형태의 트랜지스터가 상기 구성을 가짐으로써, 도전층(112a)은 소스 전극 및 드레인 전극 중 한쪽으로서 기능할 수 있다. 또한 도전층(112b)은 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능할 수 있다. 또한 도전층(104)은 제 1 게이트 전극으로서 기능할 수 있다. 또한 절연층(106)의 일부(도전층(112a)과 도전층(112b) 사이의 높이에 위치하고, 도전층(104)과 중첩되는 영역)는 제 1 게이트 절연층으로서 기능할 수 있다.

또한 반도체층(108)에서 제 1 게이트 절연층과 중첩되는 부분은 채널 형성 영역으로서 기능할 수 있다.

[0056] 또한 도전층(112b)은 제 2 게이트 전극으로서 기능할 수 있다. 또한 절연층(110)의 일부(절연층(110b) 및 절연층(110c)에서 도전층(112b)과 반도체층(108) 사이에 끼워진 영역. 평면에서 보았을 때, 개구(141)와 오목부(143) 사이에 끼워진 영역이라고 바꿔 말하여도 좋음)는 제 2 게이트 절연층으로서 기능할 수 있다.

[0057] 즉 트랜지스터(100)에서는 도전층(112b)이 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능할 수 있고, 제 2 게이트 전극으로서도 기능할 수 있다.

[0058] 도전층(112b)에서 절연층(110)을 개재하여 반도체층(108)과 중첩되는(대향하는) 부분이 제 2 게이트 전극으로서 기능한다. 도 2의 (B)에서는 도전층(112b)에서 제 2 게이트 전극으로서 기능하는 부분의 길이(L112b)를 파선의 양방향 화살표로 나타내었다.

[0059] 도전층(112b)이 제 2 게이트 전극으로서의 기능을 가짐으로써, 반도체층(108)에서 도전층(112b)과 대향하는 측의 영역(백 채널 영역이라고도 함)의 전위가 고정되어, 트랜지스터(100)의 Id-Vd 특성에서의 포화성을 높일 수 있다.

[0060] 본 발명의 일 형태의 트랜지스터가 제 2 게이트 전극을 가짐으로써, 제 2 게이트 전극을 가지지 않는 경우보다 문턱 전압의 제어성이 높아져, 더 확실하게 노멀리 오프의 특성을 실현할 수 있다.

[0061] 또한 본 발명의 일 형태의 트랜지스터가 제 2 게이트 전극을 가짐으로써, 복수의 트랜지스터 사이의 특성의 편차를 저감할 수 있는 경우가 있다. 예를 들어 복수의 트랜지스터 사이의 문턱 전압의 편차를 저감할 수 있는 경우가 있다.

[0062] 제 2 게이트 전극으로서 기능하는 도전층(112b)에는 소스 전위 및 드레인 전위 중 저전위 측의 전위가 공급되는 것이 바람직하다. 그러므로 본 발명의 일 형태의 트랜지스터가 n채널형 트랜지스터인 경우, 도전층(112b)이 소스 전극으로서 기능하고, 도전층(112a)이 드레인 전극으로서 기능하는 것이 바람직하다. 본 발명의 일 형태의 트랜지스터가 n채널형 트랜지스터인 경우, 하나의 도전층(도전층(112b))이 소스 전극으로서의 기능과 제 2 게이트 전극으로서의 기능을 겸비하는 구성으로 함으로써, 백 채널 영역으로의 전자 트랩의 영향 등이 억제되어, 트랜지스터의 신뢰성을 높일 수 있다.

[0063] 또는 본 발명의 일 형태의 트랜지스터가 n채널형 트랜지스터인 경우에 있어서, 도전층(112a)을 소스 전극으로서 기능시키고, 도전층(112b)을 드레인 전극으로서 기능시켜도 좋다. 이 경우, 예를 들어 제 1 게이트 전극으로서 기능하는 도전층(104)과 도전층(112b)을 전기적으로 접속함으로써, 본 발명의 일 형태의 트랜지스터를 다이오드로서 기능시킬 수 있다.

[0064] 또한 본 발명의 일 형태의 트랜지스터가 p채널형 트랜지스터인 경우, 도전층(112b)이 드레인 전극으로서 기능하고, 도전층(112a)이 소스 전극으로서 기능하는 것이 바람직하다. 본 발명의 일 형태의 트랜지스터가 p채널형 트랜지스터인 경우, 하나의 도전층(도전층(112b))이 드레인 전극으로서의 기능과 제 2 게이트 전극으로서의 기능을 겸비하는 구성으로 함으로써, 트랜지스터의 신뢰성을 높일 수 있는 경우가 있다.

[0065] 또는 본 발명의 일 형태의 트랜지스터가 p채널형 트랜지스터인 경우에 있어서, 도전층(112b)을 소스 전극으로서 기능시키고, 도전층(112a)을 드레인 전극으로서 기능시켜도 좋다. 이 경우, 예를 들어 제 1 게이트 전극으로서 기능하는 도전층(104)과 도전층(112a)을 전기적으로 접속함으로써, 본 발명의 일 형태의 트랜지스터를 다이오드로서 기능시킬 수 있다.

[0066] 또한 도전층(112b)을 연장시킴으로써 배선으로서도 기능시킬 수 있다. 즉 도전층(112b)을 연장시킴으로써, 도전층(112b)이 트랜지스터(100)의 소스 전극 및 드레인 전극 중 다른 쪽으로서의 기능, 제 2 게이트 전극으로서의 기능, 및 배선으로서의 기능의 3가지 기능을 겸비할 수 있다. 이에 의하여, 상기 트랜지스터를 가지는 회로에서는 배선 수를 삭감할 수 있게 되어, 회로 전체를 간략화할 수 있다. 또한 제작 시의 공정 수가 저감되어 생산성 향상을 도모할 수도 있다.

[0067] 도 1의 (B) 등에 나타낸 바와 같이, 본 발명의 일 형태의 트랜지스터는 기판면에 대하여 소스 전극과 드레인 전극이 각각 다른 높이에 위치하기 때문에, 드레인 전류가 높이 방향(세로 방향)으로 흐른다. 그러므로 본 발명의 일 형태의 트랜지스터는 수직형 트랜지스터, 수직형 채널 트랜지스터, 수직 채널형 트랜지스터, 또는 VFET(Vertical Field Effect Transistor) 등이라고도 할 수 있다.

[0068] 또한 트랜지스터(100)는 반도체층(108)의 하면(기판(102) 측의 면)에, 소스 전극 및 드레인 전극 중 한쪽으로서

기능하는 도전층(112a)의 상면과, 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 도전층(112b)의 상면이 각각 접한다. 따라서 트랜지스터(100)는 보텀 콘택트(Bottom Contact)형 트랜지스터라고도 할 수 있다.

[0069] 트랜지스터(100)의 채널 길이 및 채널 폭에 대하여 설명한다.

[0070] 트랜지스터(100)의 채널 길이는 소스 영역과 드레인 영역 사이의 거리이다. 도 2의 (B)에서는 트랜지스터(100)의 채널 길이(L100)를 파선의 양방향 화살표로 나타내었다. 채널 길이(L100)는 소스 전극과 드레인 전극 사이에서 반도체층(108)이 접하는 절연층(110)(절연층(110a), 절연층(110b), 및 절연층(110c))의 측면의 길이라고도 할 수 있다.

[0071] 여기서, 트랜지스터(100)의 채널 길이(L100)는 절연층(110)(절연층(110a), 절연층(110b), 및 절연층(110c))의 두께, 절연층(110)의 측면과 절연층(110a)의 피형성면(도전층(112a)의 상면)이 이루는 각 θ141 등에 따라 결정되고, 트랜지스터의 제작에 사용하는 노광 장치의 성능에 영향을 받지 않는다. 따라서 채널 길이(L100)를 노광 장치의 한계 해상도보다 작은 값으로 할 수 있어 미세한 크기의 트랜지스터를 실현할 수 있다.

[0072] 상술한 바와 같이, 트랜지스터(100)에서 도전층(112b)의 일부는 제 2 게이트 전극으로서 기능한다. 따라서 도전층(112b)으로부터 반도체층(108) 측으로 방출되는 전계는 적어도 백 채널 영역의 절반 이상에 인가되는 것이 바람직하다. 예를 들어 도전층(112b)에서 제 2 게이트 전극으로서 기능하는 부분의 길이(L112b)는 적어도 트랜지스터(100)의 채널 길이(L100)의 절반 이상의 길이를 가지는 것이 바람직하다. 즉 L112b가 L100의 0.5배 이상인 것이 바람직하고, 0.5배 이상 1.0배 이하인 것이 더 바람직하다. 상술한 바와 같이 함으로써, 도전층(112b)이 제 2 게이트 전극으로서 기능하는 효과를 더 높일 수 있다.

[0073] 채널 길이(L100)는 예를 들어 2μm 이하, 1μm 이하, 750nm 이하, 500nm 이하, 400nm 이하, 300nm 이하, 200nm 이하, 100nm 이하, 75nm 이하, 60nm 이하, 50nm 이하, 40nm 이하, 30nm 이하, 20nm 이하, 15nm 이하, 12nm 이하, 또는 10nm 이하가 바람직하고, 2nm 이상, 3nm 이상, 5nm 이상, 또는 8nm 이상이 바람직하다.

[0074] 채널 길이(L100)를 작게 함으로써 트랜지스터(100)의 온 전류를 크게 할 수 있다. 온 전류가 큰 트랜지스터(100)를 사용함으로써 고속 동작이 가능한 회로를 제작할 수 있다. 더 나아가서는 회로의 점유 면적을 축소할 수 있다. 따라서 본 발명의 일 형태의 트랜지스터를 반도체 장치에 적용함으로써 장치의 소형화를 실현할 수 있다.

[0075] 또한 예를 들어 본 발명의 일 형태의 트랜지스터를 표시 장치에 적용함으로써 표시 장치의 베젤을 좁힐 수 있다. 또한 예를 들어 본 발명의 일 형태의 트랜지스터를 대형 표시 장치 또는 고정세(高精細) 표시 장치에 적용할 때, 배선 수가 증가한 경우에도 각 배선에서의 신호 지연을 저감할 수 있어 표시 불균일을 억제할 수 있다.

[0076] 일반적으로 채널 길이가 작으면 트랜지스터의 Id-Vd 특성에서의 포화성이 저하되는 경향이 있다. 그러나 본 발명의 일 형태의 트랜지스터는 제 2 게이트 전극을 가지기 때문에 높은 포화성을 실현할 수 있다.

[0077] 본 발명의 일 형태의 트랜지스터에서는 반도체층(108)이 개구(141)의 내벽 및 저면을 따라 제공된다. 따라서 본 명세서 등에서는 트랜지스터(100)의 채널 폭을 채널 길이 방향과 직교되는 방향에서의 반도체층(108)과 도전층(112b)이 접하는 영역의 폭(길이)으로서 설명한다. 도 1의 (A), (B), 및 도 2의 (A)에서는 트랜지스터(100)의 채널 폭(W100)을 실선의 양방향 화살표로 나타내었다. 채널 폭(W100)은 평면에서 보았을 때(도 1의 (A) 참조) 개구(141)의 외주 길이에 상당한다.

[0078] 채널 폭(W100)은 개구(141)의 평면 형상에 따라 결정된다. 도 1의 (A)에서는 실질적으로 원형의 개구(141)의 직경에 상당하는 폭(D141)을 이점쇄선의 양방향 화살표로 나타내었다. 트랜지스터(100)와 같이 개구(141)의 평면 형상이 실질적으로 원형인 경우, 채널 폭(W100)은 대략 "D141×π"로 산출할 수 있다. 폭(D141)은 예를 들어 0.20μm 이상 5.0μm 미만이다.

[0079] 상술한 바와 같이, 본 발명의 일 형태의 트랜지스터는 절연층(110) 등의 막 두께를 제어함으로써, 채널 길이를 매우 작은 값으로 설정할 수 있다. 또한 개구(141)의 직경을 제어함으로써, 기판면 내에서의 트랜지스터의 점유 면적을 그다지 증가시키지 않고 채널 폭을 큰 값으로 설정할 수 있다. 그러므로 채널 길이와 채널 폭을 적절히 설정함으로써 트랜지스터(100)의 온 전류를 더 크게 할 수 있다.

[0080] 이하에서는 본 발명의 일 형태의 트랜지스터에 사용할 수 있는 재료에 대하여 설명한다.

[0081] [반도체층(108)]

[0082] 반도체층(108)에 사용할 수 있는 반도체 재료는 특별히 한정되지 않는다. 예를 들어 단체 반도체 또는 화합물 반도체를 사용할 수 있다. 단체 반도체로서는 예를 들어 실리콘 또는 저마늄을 사용할 수 있다. 화합물 반도체로서는 예를 들어 비소화 갈륨, 실리콘 저마늄이 있다. 화합물 반도체로서는 반도체 특성을 가지는 유기물 또는 반도체 특성을 가지는 금속 산화물(산화물 반도체라고도 함)을 사용할 수 있다. 또한 이들 반도체 재료에는 도펀트로서 불순물이 포함되어도 좋다.

[0083] 반도체층(108)에 사용하는 반도체 재료의 결정성은 특별히 한정되지 않고, 비정질 반도체 및 결정성을 가지는 반도체(단결정 반도체, 다결정 반도체, 미결정 반도체, 또는 일부에 결정 영역을 가지는 반도체) 중 어느 것을 사용하여도 좋다. 결정성을 가지는 반도체를 사용하면, 트랜지스터 특성의 열화를 억제할 수 있기 때문에 바람직하다.

[0084] 반도체층(108)에는 실리콘을 사용할 수 있다. 실리콘으로서는 단결정 실리콘, 다결정 실리콘, 미결정 실리콘, 및 비정질 실리콘을 들 수 있다. 다결정 실리콘으로서는 예를 들어 저온 폴리실리콘(LTPS: Low Temperature Poly Silicon)이 있다.

[0085] 반도체층(108)에 비정질 실리콘을 사용한 트랜지스터는 대형 유리 기판 위에 형성할 수 있어 저비용으로 제작할 수 있다. 반도체층(108)에 다결정 실리콘을 사용한 트랜지스터는 전계 효과 이동도가 높아 고속 동작이 가능하다. 또한 반도체층(108)에 미결정 실리콘을 사용한 트랜지스터는 비정질 실리콘을 사용한 트랜지스터보다 전계 효과 이동도가 높아 고속 동작이 가능하다.

[0086] 반도체층(108)은 금속 산화물을 가지는 것이 바람직하다. 반도체층(108)에 사용할 수 있는 금속 산화물로서는 예를 들어 인듐 산화물, 갈륨 산화물, 및 아연 산화물이 있다. 금속 산화물은 적어도 인듐 또는 아연을 포함하는 것이 바람직하다. 또한 금속 산화물은 인듐, 원소 M, 및 아연 중에서 선택되는 2개 또는 3개를 포함하는 것이 바람직하다. 또한 원소 M은 산소와의 결합 에너지가 높은 금속 원소 또는 반금속 원소이고, 예를 들어 산소와의 결합 에너지가 인듐보다 높은 금속 원소 또는 반금속 원소이다. 원소 M으로서 구체적으로는 알루미늄, 갈륨, 주석, 이트륨, 타이타늄, 바나듐, 크로뮴, 망가니즈, 철, 코발트, 니켈, 지르코늄, 몰리브데넘, 하프늄, 탄탈럼, 텅스텐, 란타넘, 세륨, 네오디뮴, 마그네슘, 칼슘, 스트론튬, 바륨, 붕소, 실리콘, 저마늄, 및 안티모니 등을 들 수 있다. 금속 산화물이 가지는 원소 M은 상기 원소 중 어느 1종류 또는 복수 종류인 것이 바람직하고, 알루미늄, 갈륨, 주석, 및 이트륨 중에서 선택된 1종류 또는 복수 종류인 것이 더 바람직하고, 갈륨인 것이 더 바람직하다. 또한 본 명세서 등에서 금속 원소와 반금속 원소를 통틀어 "금속 원소"라고 부르는 경우가 있고, 본 명세서 등에 기재된 "금속 원소"에는 반금속 원소가 포함되는 경우가 있다.

[0087] 반도체층(108)으로서는, 예를 들어 인듐 아연 산화물(In-Zn 산화물), 인듐 주석 산화물(In-Sn 산화물), 인듐 타이타늄 산화물(In-Ti 산화물), 인듐 갈륨 산화물(In-Ga 산화물), 인듐 갈륨 알루미늄 산화물(In-Ga-Al 산화물), 인듐 갈륨 주석 산화물(In-Ga-Sn 산화물), 갈륨 아연 산화물(Ga-Zn 산화물, GZO라고도 함), 알루미늄 아연 산화물(Al-Zn 산화물), 인듐 알루미늄 아연 산화물(In-Al-Zn 산화물, IAZO라고도 함), 인듐 주석 아연 산화물(In-Sn-Zn 산화물, ITZO(등록 상표)라고도 함), 인듐 타이타늄 아연 산화물(In-Ti-Zn 산화물), 인듐 갈륨 아연 산화물(In-Ga-Zn 산화물, IGZO라고도 함), 인듐 갈륨 주석 아연 산화물(In-Ga-Sn-Zn 산화물, IGZTO라고도 함), 인듐 갈륨 알루미늄 아연 산화물(In-Ga-Al-Zn 산화물, IGAZO, IGZAO, 또는 IAGZO라고도 함) 등을 사용할 수 있다. 또는 실리콘을 포함하는 인듐 주석 산화물, 갈륨 주석 산화물(Ga-Sn 산화물), 알루미늄 주석 산화물(Al-Sn 산화물) 등을 사용할 수 있다.

[0088] 금속 산화물의 형성에는 스퍼터링법 또는 원자층 퇴적(ALD: Atomic Layer Deposition)법을 적합하게 사용할 수 있다. 또한 금속 산화물을 스퍼터링법에 의하여 형성하는 경우, 타깃의 원자수비와 상기 금속 산화물의 원자수비가 서로 다른 경우가 있다. 특히 아연은 타깃의 원자수비보다 금속 산화물의 원자수비가 낮은 경우가 있다. 구체적으로는 타깃에 포함되는 아연의 원자수비의 40% 이상 90% 이하 정도가 되는 경우가 있다.

[0089] 반도체층(108)을 ALD법으로 형성하는 구체적인 예로서는 열 ALD법 또는 PEALD(Plasma Enhanced ALD)법 등의 성막 방법을 들 수 있다. 열 ALD법은 단차 피복성이 매우 높기 때문에 바람직하다. 또한 PEALD법은 단차 피복성이 높은 것에 더하여 저온 성막이 가능하기 때문에 바람직하다.

[0090] 반도체층(108)에 포함되는 금속 산화물의 조성은 트랜지스터(100)의 전기 특성 및 신뢰성에 크게 영향을 미친다.

[0091] 예를 들어 금속 산화물의 인듐의 함유율을 높게 함으로써 온 전류가 큰 트랜지스터를 실현할 수 있다.

[0092] 반도체층(108)에 In-Zn 산화물을 사용하는 경우, 인듐의 원자수의 비율이 아연의 원자수의 비율 이상인 금속 산화물을 적용하는 것이 바람직하다. 예를 들어 반도체층(108)에는 금속 원소의 원자수비가 In:Zn=1:1, In:Zn=2:1, In:Zn=3:1, In:Zn=4:1, In:Zn=5:1, In:Zn=7:1, 또는 In:Zn=10:1, 또는 이들의 근방인 금속 산화물을 사용할 수 있다.

[0093] 반도체층(108)에 In-Sn 산화물을 사용하는 경우, 인듐의 원자수의 비율이 주석의 원자수의 비율 이상인 금속 산화물을 적용하는 것이 바람직하다. 예를 들어 반도체층(108)에는 금속 원소의 원자수비가 In:Sn=1:1, In:Sn=2:1, In:Sn=3:1, In:Sn=4:1, In:Sn=5:1, In:Sn=7:1, 또는 In:Sn=10:1, 또는 이들의 근방인 금속 산화물을 사용할 수 있다.

[0094] 반도체층(108)에 In-Sn-Zn 산화물을 사용하는 경우, 인듐의 원자수의 비율이 주석의 원자수의 비율보다 높은 금속 산화물을 적용할 수 있다. 또한 아연의 원자수의 비율이 주석의 원자수의 비율보다 높은 금속 산화물을 사용하는 것이 바람직하다. 예를 들어 반도체층(108)에는 금속 원소의 원자수비가 In:Sn:Zn=2:1:3, In:Sn:Zn=3:1:2, In:Sn:Zn=4:2:3, In:Sn:Zn=4:2:4.1, In:Sn:Zn=5:1:3, In:Sn:Zn=5:1:6, In:Sn:Zn=5:1:7, In:Sn:Zn=5:1:8, In:Sn:Zn=6:1:6, In:Sn:Zn=10:1:3, In:Sn:Zn=10:1:6, In:Sn:Zn=10:1:7, In:Sn:Zn=10:1:8, In:Sn:Zn=5:2:5, In:Sn:Zn=10:1:10, In:Sn:Zn=20:1:10, In:Sn:Zn=40:1:10, 또는 이들의 근방인 금속 산화물을 사용할 수 있다.

[0095] 반도체층(108)에 In-Al-Zn 산화물을 사용하는 경우, 인듐의 원자수의 비율이 알루미늄의 원자수의 비율보다 높은 금속 산화물을 적용할 수 있다. 또한 아연의 원자수의 비율이 알루미늄의 원자수의 비율보다 높은 금속 산화물을 사용하는 것이 바람직하다. 예를 들어 반도체층(108)에는 금속 원소의 원자수비가 In:Al:Zn=2:1:3, In:Al:Zn=3:1:2, In:Al:Zn=4:2:3, In:Al:Zn=4:2:4.1, In:Al:Zn=5:1:3, In:Al:Zn=5:1:6, In:Al:Zn=5:1:7, In:Al:Zn=5:1:8, In:Al:Zn=6:1:6, In:Al:Zn=10:1:3, In:Al:Zn=10:1:6, In:Al:Zn=10:1:7, In:Al:Zn=10:1:8, In:Al:Zn=5:2:5, In:Al:Zn=10:1:10, In:Al:Zn=20:1:10, In:Al:Zn=40:1:10, 또는 이들의 근방인 금속 산화물을 사용할 수 있다.

[0096] 반도체층(108)에 In-Ga-Zn 산화물을 사용하는 경우, 금속 원소의 원자수에 대한 인듐의 원자수의 비율이 갈륨의 원자수의 비율보다 높은 금속 산화물을 적용할 수 있다. 또한 아연의 원자수의 비율이 갈륨의 원자수의 비율보다 높은 금속 산화물을 사용하는 것이 바람직하다. 예를 들어 반도체층(108)에는 금속 원소의 원자수비가 In:Ga:Zn=2:1:3, In:Ga:Zn=3:1:2, In:Ga:Zn=4:2:3, In:Ga:Zn=4:2:4.1, In:Ga:Zn=5:1:3, In:Ga:Zn=5:1:6, In:Ga:Zn=5:1:7, In:Ga:Zn=5:1:8, In:Ga:Zn=6:1:6, In:Ga:Zn=10:1:3, In:Ga:Zn=10:1:6, In:Ga:Zn=10:1:7, In:Ga:Zn=10:1:8, In:Ga:Zn=5:2:5, In:Ga:Zn=10:1:10, In:Ga:Zn=20:1:10, In:Ga:Zn=40:1:10, 또는 이들의 근방인 금속 산화물을 사용할 수 있다.

[0097] 반도체층(108)에 In-M-Zn 산화물을 사용하는 경우, 금속 원소의 원자수에 대한 인듐의 원자수의 비율이 원소 M의 원자수의 비율보다 높은 금속 산화물을 적용할 수 있다. 또한 아연의 원자수의 비율이 원소 M의 원자수의 비율보다 높은 금속 산화물을 사용하는 것이 바람직하다. 예를 들어 반도체층(108)에는 금속 원소의 원자수비가 In:M:Zn=2:1:3, In:M:Zn=3:1:2, In:M:Zn=4:2:3, In:M:Zn=4:2:4.1, In:M:Zn=5:1:3, In:M:Zn=5:1:6, In:M:Zn=5:1:7, In:M:Zn=5:1:8, In:M:Zn=6:1:6, In:M:Zn=10:1:3, In:M:Zn=10:1:6, In:M:Zn=10:1:7, In:M:Zn=10:1:8, In:M:Zn=5:2:5, In:M:Zn=10:1:10, In:M:Zn=20:1:10, In:M:Zn=40:1:10, 또는 이들의 근방인 금속 산화물을 사용할 수 있다.

[0098] 또한 원소 M으로서 복수의 금속 원소를 포함하는 경우에는, 상기 금속 원소의 원자수의 비율의 합계를 원소 M의 원자수의 비율로 할 수 있다. 예를 들어 원소 M으로서 갈륨과 알루미늄을 포함하는 In-Ga-Al-Zn 산화물의 경우, 갈륨의 원자수의 비율과 알루미늄의 원자수의 비율의 합계를 원소 M의 원자수의 비율로 할 수 있다. 또한 인듐, 원소 M, 및 아연의 원자수비가 상술한 범위 내에 있는 것이 바람직하다. 예를 들어 원소 M으로서 갈륨과 주석을 포함하는 In-Ga-Sn-Zn 산화물의 경우, 갈륨의 원자수의 비율과 주석의 원자수의 비율의 합계를 원소 M의 원자수의 비율로 할 수 있다. 또한 인듐, 원소 M, 및 아연의 원자수비가 상술한 범위 내에 있는 것이 바람직하다.

[0099] 금속 산화물에 포함되는 금속 원소의 원자수에 대한 인듐의 원자수의 비율이 30atomic% 이상 100atomic% 이하, 바람직하게는 30atomic% 이상 95atomic% 이하, 더 바람직하게는 35atomic% 이상 95atomic% 이하, 더 바람직하게는 35atomic% 이상 90atomic% 이하, 더 바람직하게는 40atomic% 이상 90atomic% 이하, 더 바람직하게는 45atomic% 이상 90atomic% 이하, 더 바람직하게는 50atomic% 이상 80atomic% 이하, 더 바람직하게는 60atomic% 이상 80atomic% 이하, 더 바람직하게는 70atomic% 이상 80atomic% 이하인 금속 산화물을 사용하는 것이 바람직

하다. 예를 들어 반도체층(108)에 In-Ga-Zn 산화물을 사용하는 경우, 인듐, 원소 M, 및 아연의 원자수의 합계에 대한 인듐의 원자수의 비율이 상술한 범위 내에 있는 것이 바람직하다.

[0100] 본 명세서 등에서는 포함되는 금속 원소의 원자수에 대한 인듐의 원자수의 비율을 인듐의 함유율이라고 기재하는 경우가 있다. 다른 금속 원소에 대해서도 마찬가지이다.

[0101] 금속 산화물의 인듐의 함유율을 높게 함으로써, 온 전류가 큰 트랜지스터로 할 수 있다. 상기 트랜지스터를 큰 온 전류가 요구되는 트랜지스터에 적용함으로써, 전기 특성이 우수한 반도체 장치를 제공할 수 있다.

[0102] 금속 산화물의 조성의 분석은 예를 들어 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray Spectroscopy), X선 광전자 분광법(XPS: X-ray Photoelectron Spectroscopy), 유도 결합 플라스마 질량 분석법(ICP-MS: Inductively Coupled Plasma-Mass Spectrometry), 또는 유도 결합 고주파 플라스마 발광 분광법(ICP-AES: Inductively Coupled Plasma-Atomic Emission Spectroscopy)을 사용하여 수행할 수 있다. 또는 이들 방법 중 복수를 조합하여 분석을 수행하여도 좋다. 또한 함유율이 낮은 원소는 분석 정밀도의 영향으로 인하여 분석에 의하여 얻어진 함유율이 실제의 함유율과 다른 경우가 있다. 예를 들어 원소 M의 함유율이 낮은 경우, 분석에 의하여 얻어진 원소 M의 함유율이 실제의 함유율보다 낮은 경우가 있다.

[0103] 본 명세서 등에서 근방의 조성이란, 원하는 원자수비의 ±30%의 범위를 포함한 것이다. 예를 들어 원자수비가 In:M:Zn=4:2:3 또는 그 근방의 조성이라고 기재된 경우, 인듐의 원자수비를 4로 하였을 때, M의 원자수비가 1 이상 3 이하이고, 아연의 원자수비가 2 이상 4 이하인 경우를 포함한다. 또한 원자수비가 In:M:Zn=5:1:6 또는 그 근방의 조성이라고 기재된 경우, 인듐의 원자수비를 5로 하였을 때, M의 원자수비가 0.1보다 크고 2 이하이고, 아연의 원자수비가 5 이상 7 이하인 경우를 포함한다. 또한 원자수비가 In:M:Zn=1:1:1 또는 그 근방의 조성이라고 기재된 경우, 인듐의 원자수비를 1로 하였을 때, M의 원자수비가 0.1보다 크고 2 이하이고, 아연의 원자수비가 0.1보다 크고 2 이하인 경우를 포함한다.

[0104] 여기서, 트랜지스터의 신뢰성에 대하여 설명한다. 트랜지스터의 신뢰성을 평가하는 지표 중 하나로서, 게이트에 전계를 인가한 상태를 고온하에서 유지하는 GBT(Gate Bias Temperature) 스트레스 시험이 있다. 그 중에서도, 소스 전위 및 드레인 전위에 대하여 양의 전위(양의 바이어스)를 게이트에 공급한 상태를 고온하에서 유지하는 시험을 PBTS(Positive Bias Temperature Stress) 시험이라고 부르고, 음의 전위(음의 바이어스)를 게이트에 공급한 상태를 고온하에서 유지하는 시험을 NBTS(Negative Bias Temperature Stress) 시험이라고 부른다. 또한 광을 조사한 상태에서 수행하는 PBTS 시험을 PBTIS(Positive Bias Temperature Illumination Stress) 시험이라고 부르고, 광을 조사한 상태에서 수행하는 NBTS 시험을 NBTIS(Negative Bias Temperature Illumination Stress) 시험이라고 부른다.

[0105] n형 트랜지스터에서는 트랜지스터를 온 상태(전류를 흘리는 상태)로 할 때 게이트에 양의 전위가 공급되기 때문에, PBTS 시험에서의 문턱 전압의 변동량이 트랜지스터의 신뢰성의 지표로서 주목해야 할 중요한 항목 중 하나가 된다.

[0106] 반도체층(108)에 갈륨을 포함하지 않거나 갈륨의 함유율이 낮은 금속 산화물을 사용함으로써, 양의 바이어스 인가에 대한 신뢰성이 높은 트랜지스터로 할 수 있다. 즉 PBTS 시험에서의 문턱 전압의 변동량이 작은 트랜지스터로 할 수 있다. 또한 갈륨을 포함한 금속 산화물을 사용하는 경우에는, 인듐의 함유율보다 갈륨의 함유율을 낮게 하는 것이 바람직하다. 이로써, 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[0107] PBTS 시험에서의 문턱 전압의 변동의 요인 중 하나로서, 반도체층과 게이트 절연층의 계면 또는 계면 근방에서의 결함 준위로의 캐리어(여기서는 전자)의 트랩을 들 수 있다. 결함 준위 밀도가 높아질수록 상술한 계면에 많은 캐리어가 트랩되기 때문에 PBTS 시험에서의 열화가 현저해진다. 반도체층에서 게이트 절연층과 접하는 영역에서의 갈륨의 함유율을 낮게 함으로써, 상기 결함 준위의 생성을 억제할 수 있기 때문에 PBTS 시험에서의 문턱 전압의 변동을 억제할 수 있다.

[0108] 갈륨을 포함하지 않거나 갈륨의 함유율이 낮은 금속 산화물을 반도체층에 사용함으로써 PBTS 시험에서의 문턱 전압의 변동을 억제할 수 있는 이유로서는 예를 들어 다음을 생각할 수 있다. 금속 산화물에 포함되는 갈륨은 다른 금속 원소(예를 들어 인듐 또는 아연)보다 산소를 유인하기 쉬운 성질을 가진다. 그러므로 갈륨을 많이 포함한 금속 산화물과 게이트 절연층의 계면에서, 갈륨이 게이트 절연층 내의 과잉 산소와 결합됨으로써, 캐리어(여기서는 전자)의 트랩 사이트가 발생되기 쉬워지는 것으로 추정된다. 그러므로 게이트에 양의 전위를 공급한 경우에, 반도체층과 게이트 절연층의 계면에 캐리어가 트랩됨으로써, 문턱 전압이 변동되는 것으로 생각된다.

[0109] 더 구체적으로는 반도체층(108)에 In-Ga-Zn 산화물을 사용한 경우, 인듐의 원자수비가 갈륨의 원자수비보다 높은 금속 산화물을 반도체층(108)에 적용할 수 있다. 또한 아연의 원자수비가 갈륨의 원자수비보다 높은 금속 산화물을 사용하는 것이 더 바람직하다. 바꿔 말하면, 금속 원소의 원자수비가 In>Ga 및 Zn>Ga의 양쪽을 만족시키는 금속 산화물을 반도체층(108)에 적용하는 것이 바람직하다.

[0110] 반도체층(108)에는 포함되는 금속 원소의 원자수에 대한 갈륨의 원자수의 비율이 0atomic%보다 높고 50atomic% 이하, 바람직하게는 0.1atomic% 이상 40atomic% 이하, 더 바람직하게는 0.1atomic% 이상 35atomic% 이하, 더 바람직하게는 0.1atomic% 이상 30atomic% 이하, 더 바람직하게는 0.1atomic% 이상 25atomic% 이하, 더 바람직하게는 0.1atomic% 이상 20atomic% 이하, 더 바람직하게는 0.1atomic% 이상 15atomic% 이하, 더 바람직하게는 0.1atomic% 이상 10atomic% 이하인 금속 산화물을 사용하는 것이 바람직하다. 반도체층 내의 갈륨의 함유율을 낮게 함으로써 PBTS 시험에 대한 내성이 높은 트랜지스터로 할 수 있다. 또한 금속 산화물이 갈륨을 포함하면, 금속 산화물에 산소 결손(V_O: Oxygen Vacancy)이 발생하기 어려워지는 효과가 나타난다.

[0111] 반도체층(108)에 갈륨을 포함하지 않는 금속 산화물을 적용하여도 좋다. 예를 들어 반도체층(108)에는 In-Zn 산화물을 적용할 수 있다. 이때 금속 산화물에 포함되는 금속 원소의 원자수에 대한 인듐의 원자수비를 높게 함으로써, 트랜지스터의 전계 효과 이동도를 높일 수 있다. 한편, 금속 산화물에 포함되는 금속 원소의 원자수에 대한 아연의 원자수비를 높게 하면, 결정성이 높은 금속 산화물이 되기 때문에, 트랜지스터의 전기 특성의 변동이 억제되어 신뢰성을 높일 수 있다. 또한 반도체층(108)에는 산화 인듐 등의 갈륨 및 아연을 포함하지 않는 금속 산화물을 적용하여도 좋다. 갈륨을 포함하지 않는 금속 산화물을 사용함으로써, 특히 PBTS 시험에서의 문턱 전압의 변동을 매우 작게 할 수 있다.

[0112] 예를 들어 반도체층(108)에는 인듐과 아연을 포함한 산화물을 사용할 수 있다. 이때 금속 원소의 원자수비가 예를 들어 In:Zn=2:3, 또는 이들의 근방인 금속 산화물을 사용할 수 있다.

[0113] 또한 대표적으로 갈륨을 예로 들어 설명하였지만, 갈륨 대신에 원소 M을 사용한 경우에도 적용할 수 있다. 반도체층(108)에는 인듐의 원자수의 비율이 원소 M의 원자수의 비율보다 높은 금속 산화물을 적용하는 것이 바람직하다. 또한 아연의 원자수의 비율이 원소 M의 원자수의 비율보다 높은 금속 산화물을 적용하는 것이 바람직하다.

[0114] 반도체층(108)에 원소 M의 함유율이 낮은 금속 산화물을 적용함으로써, 양의 바이어스 인가에 대한 신뢰성이 높은 트랜지스터로 할 수 있다. 양의 바이어스 인가에 대한 높은 신뢰성이 요구되는 트랜지스터에 상기 트랜지스터를 적용함으로써 신뢰성이 높은 반도체 장치로 할 수 있다.

[0115] 이어서 광에 대한 트랜지스터의 신뢰성에 대하여 설명한다.

[0116] 트랜지스터에 광이 입사함으로써 트랜지스터의 전기 특성이 변동되는 경우가 있다. 특히 광이 입사할 수 있는 영역에 적용되는 트랜지스터는 광 조사하에서의 전기 특성의 변동이 작고 광에 대한 신뢰성이 높은 것이 바람직하다. 광에 대한 신뢰성은 예를 들어 NBTIS 시험에서의 문턱 전압의 변동량에 의하여 평가할 수 있다.

[0117] 금속 산화물에서의 원소 M의 함유율을 높게 함으로써, 광에 대한 신뢰성이 높은 트랜지스터로 할 수 있다. 즉 NBTIS 시험에서의 문턱 전압의 변동량이 작은 트랜지스터로 할 수 있다. 구체적으로는 원소 M의 원자수의 비율이 인듐의 원자수의 비율 이상인 금속 산화물은 밴드 갭이 더 커지므로 트랜지스터의 NBTIS 시험에서의 문턱 전압의 변동량을 작게 할 수 있다. 반도체층(108)에 포함되는 금속 산화물의 밴드 갭은 2.0eV 이상이 바람직하고, 2.5eV 이상이 더 바람직하고, 3.0eV 이상이 더 바람직하고, 3.2eV 이상이 더 바람직하고, 3.3eV 이상이 더 바람직하고, 3.4eV 이상이 더 바람직하고, 3.5eV 이상이 더 바람직하다.

[0118] 예를 들어 반도체층(108)에는 금속 원소의 원자수비가 In:M:Zn=1:1:1, In:M:Zn=1:1:1.2, In:M:Zn=1:3:2, In:M:Zn=1:3:3, In:M:Zn=1:3:4, 또는 이들의 근방인 금속 산화물을 사용할 수 있다.

[0119] 반도체층(108)에는 특히 포함되는 금속 원소의 원자수에 대한 원소 M의 원자수의 비율이 20atomic% 이상 70atomic% 이하, 바람직하게는 30atomic% 이상 70atomic% 이하, 더 바람직하게는 30atomic% 이상 60atomic% 이하, 더 바람직하게는 40atomic% 이상 60atomic% 이하, 더 바람직하게는 50atomic% 이상 60atomic% 이하인 금속 산화물을 적합하게 사용할 수 있다.

[0120] 반도체층(108)에 In-Ga-Zn 산화물을 사용하는 경우, 금속 원소의 원자수에 대한 인듐의 원자수비가 갈륨의 원자수비 이하인 금속 산화물을 적용할 수 있다. 예를 들어 금속 원소의 원자수비가 In:Ga:Zn=1:1:1, In:Ga:Zn=1:1:1.2, In:Ga:Zn=1:3:2, In:Ga:Zn=1:3:3, In:Ga:Zn=1:3:4, 또는 이들의 근방인 금속 산화물을 사용

할 수 있다.

[0121] 반도체층(108)에는 특히 포함되는 금속 원소의 원자수에 대한 갈륨의 원자수의 비율이 20atomic% 이상 60atomic% 이하, 바람직하게는 20atomic% 이상 50atomic% 이하, 더 바람직하게는 30atomic% 이상 50atomic% 이하, 더 바람직하게는 40atomic% 이상 60atomic% 이하, 더 바람직하게는 50atomic% 이상 60atomic% 이하인 금속 산화물을 적합하게 사용할 수 있다.

[0122] 반도체층(108)에 원소 M의 함유율이 높은 금속 산화물을 적용함으로써, 광에 대한 신뢰성이 높은 트랜지스터로 할 수 있다. 광에 대한 높은 신뢰성이 요구되는 트랜지스터에 상기 트랜지스터를 적용함으로써 신뢰성이 높은 반도체 장치로 할 수 있다.

[0123] 상술한 바와 같이, 반도체층(108)에 적용하는 금속 산화물의 조성에 따라 트랜지스터의 전기 특성 및 신뢰성이 다르다. 따라서 트랜지스터에 요구되는 전기 특성 및 신뢰성에 따라 금속 산화물의 조성을 다르게 함으로써 전기 특성이 우수하고 신뢰성이 높은 반도체 장치로 할 수 있다.

[0124] 반도체층(108)은 2개 이상의 금속 산화물층의 적층 구조를 가져도 좋다. 반도체층(108)에 포함되는 2개 이상의 금속 산화물층은 조성이 서로 같거나 실질적으로 같아도 좋다. 조성이 같은 금속 산화물층의 적층 구조로 함으로써, 예를 들어 같은 스퍼터링 타깃을 사용하여 형성할 수 있기 때문에, 제조 비용을 절감할 수 있다.

[0125] 반도체층(108)에 포함되는 2개 이상의 금속 산화물층은 조성이 서로 달라도 좋다. 예를 들어 In:M:Zn=1:3:4[원자수비] 또는 그 근방의 조성을 가지는 제 1 금속 산화물층과, 상기 제 1 금속 산화물층 위에 제공되는 In:M:Zn=1:1:1[원자수비] 또는 그 근방의 조성을 가지는 제 2 금속 산화물층의 적층 구조를 적합하게 사용할 수 있다. 또한 원소 M으로서 갈륨 또는 알루미늄을 사용하는 것이 특히 바람직하다. 예를 들어 인듐 산화물, 인듐 갈륨 산화물, 및 IGZO 중에서 선택되는 어느 하나와, IAZO, IAGZO, 및 ITZO(등록 상표) 중에서 선택되는 어느 하나의 적층 구조를 사용하여도 좋다.

[0126] 반도체층(108)에는 결정성을 가지는 금속 산화물층을 사용하는 것이 바람직하다. 예를 들어 CAAC(C-Axis Aligned Crystal) 구조, 다결정 구조, 미결정(nc: nano-crystal) 구조 등을 가지는 금속 산화물층을 사용할 수 있다. 결정성을 가지는 금속 산화물층을 반도체층(108)으로서 사용함으로써, 반도체층(108) 내의 결함 준위 밀도를 감소시킬 수 있어, 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[0127] 반도체층(108)으로서 사용하는 금속 산화물층의 결정성이 높을수록 반도체층(108) 내의 결함 준위 밀도를 더 감소시킬 수 있다. 한편, 결정성이 낮은 금속 산화물층을 사용함으로써, 큰 전류를 흘릴 수 있는 트랜지스터를 실현할 수 있다.

[0128] 반도체층(108)은 결정성이 서로 다른 2개 이상의 금속 산화물층의 적층 구조를 가져도 좋다. 예를 들어 제 1 금속 산화물층과, 상기 제 1 금속 산화물층 위에 제공되는 제 2 금속 산화물층의 적층 구조로 하고, 제 2 금속 산화물층이 제 1 금속 산화물층보다 결정성이 높은 영역을 가지는 구성으로 할 수 있다. 또는 제 2 금속 산화물층이 제 1 금속 산화물층보다 결정성이 낮은 영역을 가지는 구성으로 할 수 있다. 반도체층(108)에 포함되는 2개 이상의 금속 산화물층은 조성이 서로 같거나 실질적으로 같아도 좋다. 조성이 같은 금속 산화물층의 적층 구조로 함으로써, 예를 들어 같은 스퍼터링 타깃을 사용하여 형성할 수 있기 때문에, 제조 비용을 절감할 수 있다. 예를 들어 같은 스퍼터링 타깃을 사용하여 산소 유량비 또는 산소 분압을 서로 다르게 함으로써, 결정성이 서로 다른 2개 이상의 금속 산화물층의 적층 구조를 형성할 수 있다. 또한 반도체층(108)에 포함되는 2개 이상의 금속 산화물층은 조성이 서로 달라도 좋다.

[0129] 반도체층(108)의 두께는 3nm 이상 100nm 이하가 바람직하고, 5nm 이상 100nm 이하가 더 바람직하고, 10nm 이상 100nm 이하가 더 바람직하고, 10nm 이상 70nm 이하가 더 바람직하고, 15nm 이상 70nm 이하가 더 바람직하고, 15nm 이상 50nm 이하가 더 바람직하고, 20nm 이상 50nm 이하가 더 바람직하고, 20nm 이상 40nm 이하가 더 바람직하고, 25nm 이상 40nm 이하가 더 바람직하다.

[0130] 여기서, 반도체층(108) 내에 형성될 수 있는 산소 결손에 대하여 설명한다.

[0131] 반도체층(108)에 산화물 반도체를 사용하는 경우, 산화물 반도체에 포함되는 수소가 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에, 산화물 반도체 내에 산소 결손(V_O)이 형성되는 경우가 있다. 또한 산소 결손에 수소가 들어간 결함(이하, V_OH라고 기재함)은 도너로서 기능하고, 캐리어인 전자를 생성하는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자를 생성하는 경우가 있다. 따라서 수소가 많이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 또한 산화물 반도체 내의

수소는 열, 전계 등의 스트레스로 인하여 이동하기 쉽기 때문에, 산화물 반도체에 수소가 많이 포함되면, 트랜지스터의 신뢰성이 악화될 우려도 있다.

[0132] V_OH는 산화물 반도체의 도너로서 기능할 수 있다. 그러나 상기 결함을 정량적으로 평가하는 것은 어렵다. 그러므로 산화물 반도체는 도너 농도가 아니라 캐리어 농도로 평가되는 경우가 있다. 따라서 본 명세서 등에서는 산화물 반도체의 파라미터로서, 도너 농도 대신에 전계가 인가되지 않는 상태를 상정한 캐리어 농도를 사용하는 경우가 있다. 즉 본 명세서 등에 기재되는 "캐리어 농도"는 "도너 농도"라고 바꿔 말할 수 있는 경우가 있다.

[0133] 따라서 반도체층(108)에 산화물 반도체를 사용하는 경우, 반도체층(108) 내의 V_OH를 가능한 한 감소시켜, 고순도 진성 또는 실질적으로 고순도 진성으로 하는 것이 바람직하다. 이와 같이, V_OH가 충분히 감소된 산화물 반도체를 얻기 위해서는, 산화물 반도체 내의 물, 수소 등의 불순물을 제거하는 것(탈수, 탈수소화 처리라고 기재하는 경우가 있음)과, 산화물 반도체에 산소를 공급하여 산소 결손(V_O)을 수복(修復)하는 것이 중요하다. V_OH 등의 불순물이 충분히 감소된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다. 또한 산화물 반도체에 산소를 공급하여 산소 결손(V_O)을 수복하는 것을 가산소화 처리라고 기재하는 경우가 있다.

[0134] 반도체층(108)에 산화물 반도체를 사용하는 경우, 채널 형성 영역으로서 기능하는 영역의 산화물 반도체의 캐리어 농도는 $1\times10^{18}cm^{-3}$ 이하인 것이 바람직하고, $1\times10^{17}cm^{-3}$ 미만인 것이 더 바람직하고, $1\times10^{16}cm^{-3}$ 미만인 것이 더 바람직하고, $1\times10^{13}cm^{-3}$ 미만인 것이 더 바람직하고, $1\times10^{12}cm^{-3}$ 미만인 것이 더 바람직하다. 또한 채널 형성 영역으로서 기능하는 영역의 산화물 반도체의 캐리어 농도의 하한값은 특별히 한정되지 않지만, 예를 들어 $1\times10^{-9}cm^{-3}$으로 할 수 있다.

[0135] 산화물 반도체를 사용한 트랜지스터(이하, OS 트랜지스터라고 기재함)는 비정질 실리콘을 사용한 트랜지스터보다 전계 효과 이동도가 매우 높다. 또한 OS 트랜지스터는 오프 상태에서의 소스와 드레인 사이의 누설 전류(이하, 오프 전류라고도 함)가 매우 작기 때문에, 상기 트랜지스터에 직렬로 접속된 용량 소자에 축적된 전하는 장기간에 걸쳐 유지될 수 있다. 또한 OS 트랜지스터를 반도체 장치에 적용함으로써, 반도체 장치의 소비 전력을 절감할 수 있다.

[0136] OS 트랜지스터는 표시 장치에 적용할 수 있다. 표시 장치의 화소 회로에 포함되는 발광 소자의 발광 휘도를 높이는 경우, 발광 소자에 흘리는 전류의 양을 크게 할 필요가 있다. 이를 위해서는, 화소 회로에 포함되는 구동 트랜지스터의 소스와 드레인 사이의 전압을 높일 필요가 있다. OS 트랜지스터는 실리콘을 사용한 트랜지스터(이하, Si 트랜지스터라고 표기함)보다 소스와 드레인 사이에서의 내압이 높기 때문에, OS 트랜지스터의 소스와 드레인 사이에는 높은 전압을 인가할 수 있다. 따라서 OS 트랜지스터를 화소 회로의 구동 트랜지스터에 적용함으로써, 발광 소자에 흐르는 전류의 양을 크게 하여 발광 소자의 발광 휘도를 높일 수 있다.

[0137] 트랜지스터가 포화 영역에서 동작하는 경우, OS 트랜지스터에서는 Si 트랜지스터에서보다 게이트와 소스 사이의 전압의 변화에 대한 소스와 드레인 사이의 전류의 변화를 작게 할 수 있다. 그러므로 화소 회로에 포함되는 구동 트랜지스터로서 OS 트랜지스터를 적용함으로써, 게이트와 소스 사이의 전압의 변화에 의하여 소스와 드레인 사이에 흐르는 전류를 정밀하게 결정할 수 있기 때문에, 발광 소자에 흐르는 전류의 양을 정밀하게 제어할 수 있다. 따라서 화소 회로의 계조 수를 늘릴 수 있다.

[0138] 트랜지스터가 포화 영역에서 동작하는 경우에 흐르는 전류의 포화 특성에 관하여, OS 트랜지스터는 소스와 드레인 사이의 전압이 서서히 높아진 경우에도 Si 트랜지스터보다 안정적인 전류(포화 전류)를 흘릴 수 있다. 그러므로 OS 트랜지스터를 구동 트랜지스터로서 사용함으로써, 예를 들어 발광 소자의 전류-전압 특성에 편차가 생긴 경우에도 발광 소자에 안정적인 전류를 흘릴 수 있다. 즉 OS 트랜지스터가 포화 영역에서 동작하는 경우, 소스와 드레인 사이의 전압을 높여도 소스와 드레인 사이의 전류는 거의 변화되지 않기 때문에, 발광 소자의 발광 휘도를 안정적으로 할 수 있다.

[0139] 상술한 바와 같이, 화소 회로에 포함되는 구동 트랜지스터로서 OS 트랜지스터를 사용함으로써, 예를 들어 흑색 표시 부분이 밝게 표시되는 것을 억제하거나, 발광 휘도를 상승시키거나, 계조 수를 늘리거나, 발광 소자의 편차를 억제할 수 있다.

[0140] OS 트랜지스터는 방사선 조사로 인한 전기 특성의 변동이 작고, 즉 방사선에 대한 내성이 높기 때문에, 방사선이 입사할 수 있는 환경에서도 적합하게 사용할 수 있다. OS 트랜지스터는 방사선에 대한 신뢰성이 높다고도

할 수 있다. 예를 들어 X선 플랫 패널 디텍터의 화소 회로에 OS 트랜지스터를 적합하게 사용할 수 있다. 또한 OS 트랜지스터는 우주 공간에서 사용되는 반도체 장치에 적합하게 사용할 수 있다. 방사선으로서는 전자기 방사선(예를 들어 X선 및 감마선) 및 입자 방사선(예를 들어 알파선, 베타선, 양자선, 및 중성자선)을 들 수 있다.

[0141] [절연층(110), 절연층(106)]

[0142] 본 발명의 일 형태의 트랜지스터, 및 본 발명의 일 형태의 트랜지스터가 적용된 반도체 장치, 표시 장치 등에서 절연층(절연층(110), 절연층(106))으로서 무기 절연 재료 또는 유기 절연 재료를 사용할 수 있다. 또한 절연층(절연층(110), 절연층(106))으로서 무기 절연 재료와 유기 절연 재료의 적층 구조를 사용하여도 좋다.

[0143] 무기 절연 재료로서는 산화물, 산화질화물, 질화산화물, 및 질화물 중 하나 또는 복수를 사용할 수 있다.

[0144] 또한 본 명세서 등에서 산화질화물이란, 그 조성에서 질소보다 산소의 함유량이 많은 재료를 가리킨다. 질화산화물이란, 그 조성에서 산소보다 질소의 함유량이 많은 재료를 가리킨다. 예를 들어 산화질화 실리콘이란, 그 조성에서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화 실리콘이란, 그 조성에서 산소보다 질소의 함유량이 많은 재료를 가리킨다.

[0145] 산소 및 질소의 함유량의 분석에는 예를 들어 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry) 또는 X선 광전자 분광법(XPS: X-ray Photoelectron Spectroscopy)을 사용할 수 있다. 목적 원소의 함유율이 높은(예를 들어 0.5atomic% 이상 또는 1atomic% 이상) 경우에는 XPS가 적합하다. 한편, 목적 원소의 함유율이 낮은(예를 들어 0.5atomic% 미만 또는 1atomic% 미만) 경우에는 SIMS가 적합하다. 원소의 함유량을 비교하는 경우에는 SIMS와 XPS의 양쪽의 분석 방법을 사용한 복합 해석을 수행하는 것이 더 바람직하다.

[0146] 또한 절연층 등의 막 밀도의 평가에는 예를 들어 러더퍼드 후방 산란법(RBS: Rutherford Backscattering Spectrometry) 또는 X선 반사율 측정법(XRR: X-Ray Reflection)을 사용할 수 있다. 또한 막 밀도의 차이는 단면의 투과 전자 현미경(TEM: Transmission Electron Microscopy) 이미지를 사용하여 평가할 수 있는 경우가 있다. TEM 관찰에서 막 밀도가 높으면 투과 전자(TE) 이미지가 짙어지고(어두워지고), 막 밀도가 낮으면 투과 전자(TE) 이미지가 옅어진다(밝아진다). 또한 절연층에 같은 재료를 적용하는 경우에도, 막 밀도가 다른 경우에는, 단면의 TEM 이미지에서 이들의 경계를 콘트라스트의 차이로서 관찰할 수 있는 경우가 있다.

[0147] 절연층의 질소의 함유량은 예를 들어 EDX에 의하여 확인할 수 있다. 예를 들어 절연층에 질화 실리콘, 산화질화 실리콘 등을 사용하는 경우, 실리콘의 피크의 높이에 대한 질소의 피크의 높이의 비를 사용하여 질소의 함유량을 평가할 수 있다. 또한 EDX에서 어떤 원소의 피크란, 가로축이 특성 X선의 에너지를 나타내고, 세로축이 특성 X선의 카운트 수(검출값)를 나타내는 스펙트럼에서, 상기 원소의 카운트 수가 극댓값이 되는 점을 말한다. 또는 상기 원소 고유의 특성 X선의 에너지에서의 카운트 수를 사용하여, 실리콘의 카운트 수에 대한 질소의 카운트 수의 비로 질소의 함유량의 차이를 확인하여도 좋다. 예를 들어 실리콘에는 1.739keV(Si-Kα)에서의 카운트 수를 사용할 수 있고, 질소에는 0.392keV(N-Kα)에서의 카운트 수를 사용할 수 있다.

[0148] 절연층의 수소 농도는 예를 들어 SIMS로 평가할 수 있다.

[0149] 반도체층(108)과 접하는 절연층, 또는 반도체층(108)의 주변에 위치하는 절연층으로서 산소를 방출하는 절연층을 사용함으로써, 상기 절연층으로부터 반도체층(108)에 산소를 공급할 수 있다. 반도체층(108)의 채널 형성 영역에 산소를 공급함으로써, 반도체층(108) 내의 산소 결손(V_O) 및 V_OH를 감소시킬 수 있기 때문에, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터를 실현할 수 있다. 또한 반도체층(108)에 산소를 공급하는 처리로서는, 이 외에 산소를 포함한 분위기에서의 가열 처리 또는 산소를 포함한 분위기에서의 플라스마 처리 등이 있다.

[0150] 반도체층(108)에 확산된 수소는 산화물 반도체에 포함되는 산소 원자와 반응하여 물이 되므로, 산소 결손(V_O)을 형성하는 경우가 있다. 또한 V_OH가 형성되어 캐리어 농도가 높아지는 경우가 있다. 반도체층(108)과 접하는 절연층, 또는 반도체층(108)의 주변에 위치하는 절연층으로서, 수소의 확산을 억제하는 차단막을 사용함으로써, 반도체층(108) 내의 산소 결손(V_O) 및 V_OH를 저감할 수 있어, 전기 특성이 양호하며 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[0151] 트랜지스터(100)의 채널 형성 영역의 산소 결손(V_O) 및 V_OH는 적은 것이 바람직하다. 특히 채널 길이(L100)가 짧은 경우, 채널 형성 영역의 산소 결손(V_O) 및 V_OH가 전기 특성 및 신뢰성에 미치는 영향이 커진다. 예를 들어

소스 영역 또는 드레인 영역으로부터 채널 형성 영역으로 V_OH가 확산됨으로써, 채널 형성 영역의 캐리어 농도가 높아져, 트랜지스터(100)의 문턱 전압이 변동되거나 신뢰성이 저하되는 경우가 있다. 이러한 V_OH의 확산이 전기 특성 및 신뢰성에 미치는 영향은 트랜지스터(100)의 채널 길이(L100)가 짧을수록 커진다. 반도체층(108), 특히 반도체층(108)의 채널 형성 영역의 산소 결손(V_O) 및 V_OH를 감소시킴으로써, 전기 특성이 양호하고 신뢰성이 높은 채널 길이가 짧은 트랜지스터를 실현할 수 있다.

[0152] 반도체층(108)과 접하는 절연층, 또는 반도체층(108)의 주변에 위치하는 절연층은 그 자체로부터의 불순물(예를 들어 물 및 수소)의 방출이 적은 것이 바람직하다. 방출되는 불순물이 적으면, 불순물이 반도체층(108)으로 확산되는 것이 억제되기 때문에, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[0153] 반도체층(108)의 형성보다 나중에 수행되는 공정에서 가해지는 열로 인하여 반도체층(108)으로부터 산소가 이탈되는 경우가 있다. 그러나 반도체층(108)과 접하는 절연층, 또는 반도체층(108)의 주변에 위치하는 절연층으로부터 반도체층(108)에 산소가 공급됨으로써, 산소 결손(V_O) 및 V_OH가 증가되는 것을 억제할 수 있다. 또한 반도체층(108)의 형성보다 나중에 수행되는 공정에서 처리 온도의 자유도를 높일 수 있다. 구체적으로는 반도체층(108)의 형성보다 나중에 수행되는 공정에서도 처리 온도를 높게 할 수 있다. 따라서 전기 특성이 양호하고 신뢰성이 높은 트랜지스터(100)를 형성할 수 있다.

[0154] 절연층(110)으로서는 무기 절연 재료 또는 유기 절연 재료를 사용할 수 있다. 절연층(110b)은 무기 절연 재료와 유기 절연 재료의 적층 구조를 가져도 좋다.

[0155] 절연층(110)으로서 무기 절연 재료를 적합하게 사용할 수 있다. 무기 절연 재료로서는 산화물, 산화질화물, 질화산화물, 및 질화물 중 하나 또는 복수를 사용할 수 있다. 절연층(110)으로서 예를 들어 산화 실리콘, 산화질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 이트륨, 산화 지르코늄, 산화 갈륨, 산화 탄탈럼, 산화 마그네슘, 산화 란타넘, 산화 세륨, 산화 네오디뮴, 질화 실리콘, 질화산화 실리콘, 및 질화 알루미늄 중 하나 또는 복수를 사용할 수 있다.

[0156] 절연층(110)은 2층 이상의 적층 구조를 가져도 좋다. 도 1의 (B) 등에서는 절연층(110)이 절연층(110a)과, 절연층(110a) 위의 절연층(110b)과, 절연층(110b) 위의 절연층(110c)의 3층 적층 구조를 가지는 구성을 나타내었다. 절연층(110a), 절연층(110b), 및 절연층(110c) 각각에는 상술한 재료를 사용할 수 있다. 또한 절연층(110a), 절연층(110b), 및 절연층(110c) 각각에는 같은 재료를 사용하여도 좋고, 서로 다른 재료를 사용하여도 좋다.

[0157] 절연층(110a), 절연층(110b), 및 절연층(110c) 각각으로부터 방출되는 불순물(예를 들어 물 및 수소)이 적은 것이 바람직하다.

[0158] 절연층(110b)의 막 두께는 절연층(110a)의 막 두께보다 두껍게 할 수 있다. 또한 절연층(110b)의 막 두께는 절연층(110c)의 막 두께보다 두껍게 할 수 있다. 절연층(110b)의 성막 속도는 빠른 것이 바람직하다. 막 두께가 두꺼운 막의 성막 속도를 빠르게 함으로써, 생산성을 높일 수 있다.

[0159] 절연층(110a) 및 절연층(110c)은 각각 절연층(110b)으로부터 가스가 이탈되는 것을 억제하는 차단막으로서 기능한다. 절연층(110a) 및 절연층(110c)에는 각각 가스를 확산시키기 어려운 재료를 사용하는 것이 바람직하다. 절연층(110a)은 절연층(110b)보다 막 밀도가 높은 영역을 가지는 것이 바람직하다. 또한 절연층(110c)은 절연층(110b)보다 막 밀도가 높은 영역을 가지는 것이 바람직하다. 절연층의 막 밀도를 높게 함으로써 불순물(예를 들어 물 및 수소)에 대한 차단성을 높일 수 있다. 절연층의 성막 속도를 느리게 함으로써 막 밀도가 높아지므로 불순물의 차단성을 높일 수 있다.

[0160] 절연층(110b)으로서 산화물 또는 산화질화물을 사용하는 것이 바람직하다. 절연층(110b)으로서 가열에 의하여 산소를 방출하는 막을 사용하는 것이 바람직하다. 절연층(110b)으로서 예를 들어 산화 실리콘 또는 산화질화 실리콘을 적합하게 사용할 수 있다.

[0161] 절연층(110b)이 산소를 방출함으로써, 절연층(110b)으로부터 반도체층(108)에 산소를 공급할 수 있다. 절연층(110b)은 산소의 확산 계수가 높은 것이 바람직하다. 산소의 확산 계수를 높임으로써 절연층(110b) 내로 산소가 확산되기 쉬워지기 때문에, 반도체층(108)에 산소를 효율적으로 공급할 수 있다.

[0162] 절연층(110a), 절연층(110b), 및 절연층(110c)은 스퍼터링법, ALD법, 또는 플라스마 CVD법 등의 성막 방법으로 형성하는 것이 바람직하다.

[0163] 특히 스퍼터링법을 사용하여 수소 가스를 포함하지 않는 성막 가스를 사용함으로써, 수소의 함유량이 매우 적은 막으로 할 수 있다. 그러므로 반도체층(108)에 수소가 공급되는 것이 억제되어, 트랜지스터(100)의 전기 특성을 안정화시킬 수 있다. 산화 실리콘을 스퍼터링법으로 성막하는 경우에는 예를 들어 산소 가스를 포함하는 분위기에서 실리콘 타깃을 사용하여 성막할 수 있다. 또한 질화 실리콘을 스퍼터링법으로 성막하는 경우에는 예를 들어 질소 가스를 포함하는 분위기에서 실리콘 타깃을 사용하여 성막할 수 있다. 또한 산화 알루미늄을 스퍼터링법으로 성막하는 경우에는 예를 들어 산소 가스를 포함하는 분위기에서 알루미늄 타깃을 사용하여 성막할 수 있다.

[0164] 또한 산화 실리콘 및 질화 실리콘은 예를 들어 PEALD법을 사용하여 성막할 수 있다. 또한 산화 알루미늄 및 산화 하프늄은 예를 들어 열 ALD법을 사용하여 성막할 수 있다. PEALD법 및 열 ALD법을 사용하여 절연층을 성막함으로써 치밀한 절연층을 형성할 수 있기 때문에 산소 및 수소에 대한 차단성을 높일 수 있다.

[0165] 절연층(110a)에는 절연층(110b)보다 질소의 함유량이 많은 재료를 사용할 수 있다. 또한 절연층(110c)에는 절연층(110b)보다 질소의 함유량이 많은 재료를 사용할 수 있다. 절연층의 질소의 함유량을 많게 함으로써 불순물(예를 들어 물 및 수소)에 대한 차단성을 높일 수 있다.

[0166] 절연층(110a) 및 절연층(110c)은 각각 산소를 투과시키기 어려운 것이 바람직하다. 절연층(110a) 및 절연층(110c)은 각각 절연층(110b)으로부터 산소가 이탈되는 것을 억제하는 차단막으로서 기능한다. 또한 절연층(110a) 및 절연층(110c)은 각각 수소를 투과시키기 어려운 것이 바람직하다. 절연층(110a) 및 절연층(110c)은 트랜지스터의 외부로부터 절연층(110a) 및 절연층(110c)을 통하여 반도체층(108)으로 수소가 확산되는 것을 억제하는 차단막으로서 기능한다. 절연층(110a) 및 절연층(110c)은 막 밀도가 높은 것이 바람직하다. 막 밀도를 높게 함으로써, 산소 및 수소의 차단성을 높일 수 있다. 절연층(110b)에 산화 실리콘 또는 산화질화 실리콘을 사용하는 경우, 절연층(110a) 및 절연층(110c)에는 각각 질화 실리콘 또는 질화산화 실리콘을 사용할 수 있다. 또한 절연층(110a) 및 절연층(110c)으로서 산화 하프늄 또는 산화 알루미늄을 적합하게 사용할 수 있다.

[0167] 또한 절연층(110a) 및 절연층(110c)으로서 각각 질화 실리콘, 질화산화 실리콘, 산화 하프늄, 및 산화 알루미늄에서 선택되는 2개 이상을 적층한 구조를 사용할 수 있다.

[0168] 절연층(110b)에 포함되는 산소가 절연층(110b)에서 반도체층(108)과 접하지 않는 영역(예를 들어 절연층(110b)의 상면)으로부터 위쪽으로 확산되면, 절연층(110b)으로부터 반도체층(108)에 공급되는 산소의 양이 감소되는 경우가 있다. 절연층(110b) 위에 절연층(110c)을 제공함으로써, 절연층(110b)에 포함되는 산소가 절연층(110b)에서 반도체층(108)과 접하지 않는 영역으로부터 위쪽으로 확산되는 것을 억제할 수 있다. 마찬가지로, 절연층(110b) 아래에 절연층(110a)을 제공함으로써, 절연층(110b)에 포함되는 산소가 절연층(110b)에서 반도체층(108)과 접하지 않는 영역으로부터 아래쪽으로 확산되는 것을 억제할 수 있다. 따라서 절연층(110b)으로부터 반도체층(108)에 공급되는 산소의 양이 증가하므로, 반도체층(108) 내의 산소 결손(V_O) 및 V_OH를 감소시킬 수 있다.

[0169] 절연층(110b)에 포함되는 산소에 의하여 도전층(112a) 및 도전층(112b)이 산화되어 저항이 높아지는 경우가 있다. 도전층(112a) 및 도전층(112b)이 산화되면, 절연층(110b)으로부터 반도체층(108)에 공급되는 산소의 양이 감소되는 경우가 있다. 절연층(110b)과 도전층(112a) 사이에 절연층(110a)을 제공함으로써, 도전층(112a)이 산화되어 저항이 높아지는 것을 억제할 수 있다. 마찬가지로, 절연층(110b)과 도전층(112b) 사이에 절연층(110c)을 제공함으로써, 도전층(112b)이 산화되어 저항이 높아지는 것을 억제할 수 있다. 또한 절연층(110b)으로부터 반도체층(108)에 공급되는 산소의 양이 증가하므로, 반도체층(108) 내의 산소 결손(V_O) 및 V_OH를 감소시킬 수 있다.

[0170] 또한 절연층(110a) 및 절연층(110c)을 제공함으로써 반도체층(108)에 대한 수소의 확산이 억제되어 반도체층(108) 내의 산소 결손(V_O) 및 V_OH를 저감할 수 있다.

[0171] 절연층(110a) 및 절연층(110c)은 각각 산소 및 수소의 차단막으로서 기능하는 막 두께를 가지는 것이 바람직하다. 막 두께가 얇으면, 차단막으로서의 기능이 저하되는 경우가 있다. 한편, 막 두께가 두꺼우면, 절연층(110b)과 접하는 반도체층(108)의 영역이 좁아져 반도체층(108)에 공급되는 산소의 양이 감소되는 경우가 있다. 절연층(110a) 및 절연층(110c)의 막 두께는 각각 1nm 이상, 2nm 이상이 바람직하고, 200nm 이하, 100nm 이하, 60nm 이하, 50nm 이하, 40nm 이하, 30nm 이하, 20nm 이하, 10nm 이하, 또는 5nm 이하가 바람직하다.

[0172] 게이트 절연층으로서 기능하는 절연층(106)은 결함 밀도가 낮은 것이 바람직하다. 절연층(106)의 결함 밀도가

낮으면, 전기 특성이 양호한 트랜지스터를 실현할 수 있다. 또한 절연층(106)은 절연 내압이 높은 것이 바람직하다. 절연층(106)의 절연 내압이 높으면, 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[0173] 절연층(106)에는 예를 들어 절연성을 가지는 산화물, 산화질화물, 질화산화물, 및 질화물 중 하나 또는 복수를 사용할 수 있다. 절연층(106)에는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 질화 알루미늄, 산화 하프늄, 산화질화 하프늄, 산화 갈륨, 산화질화 갈륨, 산화 이트륨, 산화질화 이트륨, 및 Ga-Zn 산화물 중 하나 또는 복수를 사용할 수 있다. 절연층(106)은 단층이어도 좋고, 적층이어도 좋다. 절연층(106)은 예를 들어 산화물과 질화물의 적층 구조를 가져도 좋다.

[0174] 또한 미세한 크기의 트랜지스터에서 게이트 절연층의 막 두께가 얇아지면 누설 전류가 커지는 경우가 있다. 게이트 절연층에 비유전율이 높은 재료(high-k 재료라고도 함)를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 전압을 감소시킬 수 있다. high-k 재료로서는 산화 갈륨, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 포함한 산화물, 알루미늄 및 하프늄을 포함한 산화질화물, 실리콘 및 하프늄을 포함한 산화물, 실리콘 및 하프늄을 포함한 산화질화물, 또는 실리콘 및 하프늄을 포함한 질화물을 들 수 있다.

[0175] 절연층(106)으로부터 방출되는 불순물(예를 들어 물 및 수소)이 적은 것이 바람직하다. 절연층(106)으로부터 방출되는 불순물이 적으면, 불순물이 반도체층(108)으로 확산되는 것이 억제되기 때문에, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[0176] 절연층(106)은 반도체층(108) 위에 형성되기 때문에, 반도체층(108)에 대한 대미지가 적은 조건에서 형성될 수 있는 막인 것이 바람직하다. 예를 들어 성막 속도(성막 레이트라고도 함)가 충분히 느린 조건에서 형성될 수 있는 것이 바람직하다. 예를 들어 플라스마 CVD법에 의하여 절연층(106)을 형성하는 경우, 저전력 조건에서 형성함으로써, 반도체층(108)에 대한 대미지를 작게 할 수 있다.

[0177] 여기서, 반도체층(108)에 금속 산화물을 사용하는 구성을 예로 들어 절연층(106)에 대하여 구체적으로 설명한다.

[0178] 반도체층(108)과의 계면 특성을 향상시키기 위하여, 절연층(106)에서 적어도 반도체층(108)과 접하는 측에는 산화물 또는 산화질화물을 사용하는 것이 바람직하다. 절연층(106)으로서는 예를 들어 산화 실리콘 및 산화질화 실리콘 중 하나 이상을 적합하게 사용할 수 있다. 또한 절연층(106)으로서는 가열에 의하여 산소를 방출하는 막을 사용하는 것이 더 바람직하다.

[0179] 또한 절연층(106)은 적층 구조를 가져도 좋다. 절연층(106)에는 반도체층(108)과 접하는 측의 산화물막과, 도전층(104)과 접하는 측의 질화물막의 적층 구조를 적용할 수 있다. 상기 산화물막에는 예를 들어 산화 실리콘 및 산화질화 실리콘 중 하나 이상을 적합하게 사용할 수 있다. 또한 상기 질화물막에는 예를 들어 질화 실리콘을 적합하게 사용할 수 있다.

[0180] 절연층(106)의 막 두께는 0.5nm 이상 20nm 이하로 하는 것이 바람직하고, 0.5nm 이상 15nm 이하로 하는 것이 더 바람직하고, 0.5nm 이상 10nm 이하로 하는 것이 더 바람직하다. 절연층(106)은 적어도 일부에서 상술한 바와 같은 막 두께의 영역을 가지면 좋다.

[0181] 또한 절연층(106)은 반도체층(108)에 산소를 공급하는 기능을 가지는 것이 바람직하다.

[0182] [도전층(112a), 도전층(112b), 도전층(104)]

[0183] 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 도전층(112a), 소스 전극 및 드레인 전극 중 다른 쪽, 및 제2 게이트 전극으로서 기능하는 도전층(112b)은 각각, 크로뮴, 구리, 알루미늄, 금, 은, 아연, 탄탈럼, 타이타늄, 텅스텐, 망가니즈, 니켈, 철, 코발트, 몰리브데넘, 나이오븀, 및 루테늄 중 하나 또는 복수, 또는 상술한 금속 중 하나 또는 복수를 성분으로 하는 합금을 사용하여 형성할 수 있다. 도전층(112a) 및 도전층(112b)에는 각각 구리, 은, 금, 또는 알루미늄 중 하나 또는 복수를 포함하는, 저항이 낮은 도전 재료를 적합하게 사용할 수 있다. 특히 구리 또는 알루미늄은 양산성이 우수하기 때문에 바람직하다.

[0184] 도전층(112a) 및 도전층(112b)으로서는 각각 도전성을 가지는 금속 산화물(산화물 도전체라고도 함)을 사용할 수 있다. 산화물 도전체(OC: Oxide Conductor)로서는 예를 들어 In-Sn 산화물(ITO), In-W 산화물, In-W-Zn 산화물, In-Ti 산화물, In-Ti-Sn 산화물, In-Zn 산화물, In-Sn-Si 산화물(ITSO), 및 In-Ga-Zn 산화물이 있다.

[0185] 여기서, 산화물 도전체(OC)에 대하여 설명한다. 예를 들어 반도체 특성을 가지는 금속 산화물에 산소 결손(V_O)을 형성하고 상기 산소 결손에 수소를 첨가하면, 전도대 근방에 도너 준위가 형성된다. 이 결과, 금속 산화물

은 도전성이 높아져 도전체가 된다. 도전체가 된 금속 산화물을 산화물 도전체라고 할 수 있다.

[0186] 도전층(112a) 및 도전층(112b)은 각각 상술한 산화물 도전체(금속 산화물)를 포함한 도전막과, 금속 또는 합금을 포함한 도전막의 적층 구조를 가져도 좋다. 금속 또는 합금을 포함한 도전막을 사용함으로써, 저항을 감소시킬 수 있다.

[0187] 도전층(112a) 및 도전층(112b)에는 각각 Cu-X 합금막(X는 Mn, Ni, Cr, Fe, Co, Mo, Ta, 또는 Ti)을 적용하여도 좋다. Cu-X 합금막을 사용함으로써 웨트 에칭 공정으로 가공할 수 있기 때문에 제조 비용을 절감할 수 있다.

[0188] 또한 도전층(112a) 및 도전층(112b) 각각에 같은 재료를 사용하여도 좋고, 상이한 재료를 사용하여도 좋다.

[0189] 여기서, 반도체층(108)에 금속 산화물을 사용하는 구성을 예로 들어 도전층(112a) 및 도전층(112b)에 대하여 구체적으로 설명한다.

[0190] 반도체층(108)에 산화물 반도체를 사용하는 경우, 반도체층(108)에 포함되는 산소에 의하여 도전층(112a) 및 도전층(112b)이 산화되어 저항이 높아지는 경우가 있다. 또한 반도체층(108)에 포함되는 산소에 의하여 도전층(112a) 및 도전층(112b)이 산화되면, 반도체층(108) 내의 산소 결손(V_O)이 증가하는 경우가 있다.

[0191] 도전층(112a) 및 도전층(112b)에는 각각 산화되기 어려운 도전 재료, 산화되어도 전기 저항이 낮게 유지되는 도전 재료, 또는 산화물 도전체를 사용하는 것이 바람직하다. 예를 들어 타이타늄, In-Sn 산화물(ITO), 또는 In-Sn-Si 산화물(ITSO)을 적합하게 사용할 수 있다. 도전층(112a) 및 도전층(112b)에는 질화물 도전체를 사용하여도 좋다. 질화물 도전체로서는 질화 탄탈럼 및 질화 타이타늄을 들 수 있다. 도전층(112a) 및 도전층(112b)은 각각 상술한 재료의 적층 구조를 가져도 좋다.

[0192] 도전층(112a) 및 도전층(112b)에 산화되기 어려운 재료를 사용함으로써, 도전층(112a) 및 도전층(112b)이 반도체층(108)에 포함되는 산소에 의하여 산화되어 저항이 높아지는 것을 억제할 수 있다. 또한 반도체층(108) 내의 산소 결손(V_O)이 증가되는 것을 억제할 수 있다.

[0193] 상술한 바와 같이, 반도체층(108)과 접하는 도전층(112a) 및 도전층(112b)에는 산화되기 어려운 재료를 사용하는 것이 바람직하다. 그러나 산화되기 어려운 재료를 사용하는 경우, 도전층(112a) 및 도전층(112b)의 저항이 높아지는 경우가 있다. 예를 들어 도전층(112a) 및 도전층(112b)을 연장시켜 배선으로서 기능시키는 경우, 도전층(112a) 및 도전층(112b)의 저항은 낮은 것이 바람직하다. 그래서 도전층(112a) 및 도전층(112b)을 각각 적층 구조로 하고, 반도체층(108)과 접하는 영역을 가지는 측의 도전층에 산화되기 어려운 재료를 사용하고, 반도체층(108)과 접하는 영역을 가지지 않는 측의 도전층에 저항이 낮은 재료를 사용함으로써, 도전층(112a) 및 도전층(112b) 전체의 저항을 낮게 할 수 있다. 또한 반도체층(108) 내의 산소 결손(V_O) 및 V_OH를 저감할 수 있다.

[0194] 상술한 바와 같이, 특히 채널 길이(L100)가 짧은 경우, 채널 형성 영역의 산소 결손(V_O) 및 V_OH가 전기 특성 및 신뢰성에 미치는 영향이 커진다. 도전층(112a) 및 도전층(112b)에 각각 산화되기 어려운 재료를 사용함으로써, 반도체층(108) 내의 산소 결손(V_O) 및 V_OH의 증가를 억제할 수 있다. 따라서 전기 특성이 양호하고 신뢰성이 높은 채널 길이가 짧은 트랜지스터를 실현할 수 있다.

[0195] 도전층(112a) 및 도전층(112b)을 적층 구조로 하는 경우, 반도체층(108)과 접하는 영역을 가지는 측의 도전층에는 산화물 도전체 및 질화물 도전체 중 하나 또는 복수를 적합하게 사용할 수 있다. 한편, 반도체층(108)과 접하는 영역을 가지지 않는 측의 도전층에는 상술한 재료보다 저항이 낮은 재료를 사용하는 것이 바람직하다. 예를 들어 구리, 알루미늄, 타이타늄, 텅스텐, 및 몰리브데넘 중 하나 또는 복수, 혹은 상술한 금속 중 하나 또는 복수를 성분으로서 포함하는 합금을 적합하게 사용할 수 있다. 예를 들어 반도체층(108)과 접하는 영역을 가지는 측의 도전층에 In-Sn-Si 산화물(ITSO)을, 반도체층(108)과 접하는 영역을 가지지 않는 측의 도전층에 텅스텐을 적합하게 사용할 수 있다.

[0196] 또한 도전층(112a)의 구성은 도전층(112a)에 요구되는 배선 저항에 따라 결정하면 좋다. 예를 들어 배선(도전층(112a))의 길이가 짧고, 요구되는 배선 저항이 비교적 높은 경우에는, 도전층(112a)을 단층 구조로 하고 산화되기 어려운 재료를 적용하여도 좋다. 한편, 배선(도전층(112a))의 길이가 길고, 요구되는 배선 저항이 비교적 낮은 경우에는, 산화되기 어려운 재료와 전기 저항률이 낮은 재료의 적층 구조를 도전층(112a)에 적용하는 것이 바람직하다.

[0197] 제 1 게이트 전극으로서 기능하는 도전층(104)은 예를 들어 크로뮴, 구리, 알루미늄, 금, 은, 아연, 탄탈럼, 타이타늄, 텅스텐, 망가니즈, 니켈, 철, 코발트, 몰리브데넘, 및 나이오븀 중 하나 또는 복수, 혹은 상술한 금속 중 하나 또는 복수를 성분으로서 포함하는 합금을 사용하여 형성할 수 있다. 또한 도전층(104)에는 상기 도전층(112a) 및 도전층(112b)에 사용할 수 있는 질화물 및 산화물을 적용하여도 좋다.

[0198] 또한 도전층(104)은 2층 적층 구조를 가져도 좋다. 예를 들어 아래층의 도전층으로서는 질화물 또는 산화물을 사용할 수 있고, 위층의 도전층으로서는 크로뮴, 구리, 알루미늄, 금, 은, 아연, 몰리브데넘, 탄탈럼, 타이타늄, 텅스텐, 망가니즈, 니켈, 철, 코발트, 및 나이오븀 중 하나 또는 복수, 혹은 상술한 금속 중 하나 또는 복수를 성분으로 하는 합금을 사용할 수 있다.

[0199] [기판(102)]

[0200] 기판(102)의 재질에 큰 제한은 없지만, 적어도 나중에 수행되는 가열 처리에 견딜 수 있을 정도의 내열성을 가질 필요가 있다. 예를 들어 실리콘 또는 탄소화 실리콘을 재료로서 사용한 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 저마늄 등으로 이루어지는 화합물 반도체 기판, SOI(Silicon On Insulator) 기판, 유리 기판, 석영 기판, 사파이어 기판, 세라믹 기판, 또는 유기 수지 기판을 기판(102)으로서 사용하여도 좋다. 또한 이들 기판 위에 반도체 소자가 제공된 것을 기판(102)으로서 사용하여도 좋다. 또한 반도체 기판 및 절연성 기판의 형상은 원형이어도 좋고, 각형이어도 좋다.

[0201] 기판(102)으로서 가요성 기판을 사용하고, 가요성 기판 위에 트랜지스터(100) 등을 직접 형성하여도 좋다. 또는 기판(102)과 트랜지스터(100) 등 사이에 박리층을 제공하여도 좋다. 박리층은, 그 위에 반도체 장치를 일부 또는 전부 완성시킨 후, 기판(102)으로부터 분리하고 다른 기판으로 전재하기 위하여 사용될 수 있다. 이 경우, 트랜지스터(100) 등을 내열성이 낮은 기판 또는 가요성 기판으로도 전재할 수 있다.

[0202] 이하에서는 상기 트랜지스터의 변형예에 대하여 설명한다. 또한 상기와 중복되는 부분에 대해서는 그 기재를 참조하고 설명을 생략하는 경우가 있다.

[0203] <트랜지스터의 변형예 1>

[0204] 도 3의 (A)에 나타낸 트랜지스터(100A)는 개구(141) 및 오목부(143)의 단면 형상이 도 1의 (B)에 나타낸 트랜지스터(100)와 주로 다르다.

[0205] 구체적으로는 트랜지스터(100)에서는 개구(141)의 내벽(절연층(110a), 절연층(110b), 절연층(110c), 및 도전층(112b)의 측면) 및 오목부(143)의 내벽(절연층(110b)의 측면)이 각각 기판면에 대하여 실질적으로 수직으로 형성되어 있는 반면, 트랜지스터(100A)에서는 테이퍼 형상을 가진다.

[0206] 개구(141)는 저면에 갈수록 폭(평면에서 보았을 때의 개구(141)의 직경)이 좁은 형상을 가진다. 즉 개구(141)에서 도전층(112a) 측의 폭이 도전층(112b) 측의 폭보다 좁은 형상을 가진다. 이와 같이, 단면에서 보았을 때 저면에 갈수록 폭이 좁아지는 형상을 가지는 개구를, 본 명세서 등에서는 "순 테이퍼 형상"의 개구라고 하는 경우가 있다. 개구(141)가 순 테이퍼 형상을 가지는 경우, 각 Θ141은 0° 보다 크고 90° 미만이 된다.

[0207] 마찬가지로, 오목부(143)도 순 테이퍼 형상을 가진다. 즉 오목부(143)에서 도전층(112a) 측의 폭(평면에서 보았을 때의 오목부(143)의 직경)이 도전층(112b) 측의 폭보다 좁은 형상을 가진다. 이 경우, 각 Θ143은 90° 보다 크고 180° 미만이 된다.

[0208] 개구(141) 및 오목부(143)가 각각 순 테이퍼 형상을 가짐으로써, 개구(141) 및 오목부(143) 내에 성막하는 막의 피복성을 향상시킬 수 있다. 또한 성막 장치의 선택의 폭을 넓힐 수 있다.

[0209] <트랜지스터의 변형예 2>

[0210] 도 3의 (B)에 나타낸 트랜지스터(100B)는 개구(141) 및 오목부(143)의 단면 형상이 도 1의 (B)에 나타낸 트랜지스터(100) 및 도 3의 (A)에 나타낸 트랜지스터(100A)와 주로 다르다.

[0211] 구체적으로는 트랜지스터(100)에서는 개구(141)의 내벽 및 오목부(143)의 내벽이 각각 기판면에 대하여 실질적으로 수직으로 형성되어 있지만, 트랜지스터(100B)에서는 테이퍼 형상을 가진다. 또한 트랜지스터(100A)에서는 개구(141) 및 오목부(143)가 모두 순 테이퍼 형상을 가지지만, 트랜지스터(100B)에서는 개구(141)와 오목부(143)가 서로 다른 테이퍼 형상을 가진다.

[0212] 개구(141)는 트랜지스터(100A)와 마찬가지로 순 테이퍼 형상을 가진다. 즉 각 Θ141은 0° 보다 크고 90° 미만

이다.

[0213] 한편, 오목부(143)는 저면에 갈수록 폭(평면에서 보았을 때의 오목부(143)의 직경)이 넓은 형상을 가진다. 즉 오목부(143)에서 도전층(112a) 측의 폭이 도전층(112b) 측의 폭보다 넓은 형상을 가진다. 이와 같이, 단면에서 보았을 때 저면에 갈수록 폭이 넓어지는 형상을 가지는 오목부를, 본 명세서 등에서는 "역 테이퍼 형상"의 오목부라고 하는 경우가 있다. 오목부(143)가 역 테이퍼 형상을 가지는 경우, 각 Θ143은 0° 보다 크고 90° 미만이 된다.

[0214] 즉 트랜지스터(100B)에서는 개구(141)가 순 테이퍼 형상을 가지고, 오목부(143)가 역 테이퍼 형상을 가진다. 도 3의 (B)에서는 트랜지스터(100B)의 각 Θ141의 크기와 각 Θ143의 크기가 실질적으로 같은 정도가 되도록 나타내었다. 바꿔 말하면, 개구(141)의 내벽과 상기 내벽과 대향하는 오목부(143)의 내벽이 실질적으로 평행하게 되도록 나타내었다.

[0215] 개구(141)의 내벽과 오목부(143)의 내벽이 실질적으로 평행하면, 트랜지스터(100B)의 제 2 게이트 절연층(절연층(110b) 및 절연층(110c)에서 도전층(112b)과 반도체층(108) 사이에 끼워진 영역. 평면에서 보았을 때, 개구(141)와 오목부(143) 사이에 끼워진 영역이라고 바꿔 말하여도 좋음)의 막 두께를 실질적으로 균일하게 할 수 있다. 이에 의하여, 제 2 게이트 전극으로서 기능하는 도전층(112b)으로부터의 전계를 도전층(112b)과 대향하는 반도체층(108)의 백 채널 영역에 대하여 거의 균일하게 인가할 수 있다. 이에 의하여, 안정된 전기 특성 및 신뢰성을 가지는 트랜지스터를 실현할 수 있다.

[0216] <트랜지스터의 변형예 3>

[0217] 도 4의 (A)에 나타낸 트랜지스터(100C)는 오목부(143)의 깊이가 도 1의 (B)에 나타낸 트랜지스터(100)와 주로 다르다.

[0218] 구체적으로는 트랜지스터(100)에서는 오목부(143)의 저면이 절연층(110b)의 막 내에 위치하는 반면, 트랜지스터(100C)에서는 오목부(143)의 저면이 절연층(110a)의 상면에 위치한다. 즉 트랜지스터(100C)에서는 오목부(143)의 깊이가 트랜지스터(100)보다 깊다고 할 수 있다.

[0219] 트랜지스터(100C)에서는 도전층(112b)에서 제 2 게이트 전극으로서 기능하는 부분의 길이(L112b)가 트랜지스터(100)에서의 길이(L112b)보다 길다. 따라서 반도체층(108)의 백 채널 영역의 거의 전체 면에 도전층(112b)으로부터의 전계를 인가할 수 있다. 이에 의하여, 안정된 전기 특성 및 신뢰성을 가지는 트랜지스터를 실현할 수 있다.

[0220] <트랜지스터의 변형예 4>

[0221] 도 4의 (B)에 나타낸 트랜지스터(100D)는 도전층(112a)의 형상 및 오목부(143)의 깊이가 도 1의 (B)에 나타낸 트랜지스터(100) 및 도 4의 (A)에 나타낸 트랜지스터(100C)와 주로 다르다.

[0222] 구체적으로는 트랜지스터(100) 및 트랜지스터(100C)에서는 일점쇄선 A1-A2 간에서의 기판(102) 위의 전체 면에 도전층(112a)이 제공되고, 상기 도전층(112a) 위에 개구(141) 및 오목부(143)가 제공되어 있다. 한편, 트랜지스터(100D)에서는 일점쇄선 A1-A2 간에서의 기판(102) 위의 일부에만 도전층(112a)이 제공되고, 상기 도전층(112a)을 매립하도록 절연층(103)이 제공되어 있다. 또한 개구(141)가 도전층(112a) 위에 제공되고, 오목부(143)는 도전층(112a)을 가지지 않는 영역에 제공되어 있다. 또한 오목부(143)의 저면은 절연층(110a)보다 아래층의 절연층(103)의 막 내에 위치하고, 상기 오목부(143)를 매립하도록 절연층(110c) 및 도전층(112b)이 제공되어 있다. 또한 절연층(103)에는 상술한 절연층(110), 절연층(106)에 사용할 수 있는 재료를 사용할 수 있다.

[0223] 즉 트랜지스터(100D)에서는 오목부(143)의 깊이가 트랜지스터(100) 및 트랜지스터(100C)보다 깊다고 할 수 있다. 그러므로 트랜지스터(100D)에서는 도전층(112b)에서 제 2 게이트 전극으로서 기능하는 부분의 길이(L112b)가 트랜지스터(100)에서의 길이(L112b) 및 트랜지스터(100C)에서의 길이(L112b)보다 길다. 따라서 반도체층(108)의 백 채널 영역의 전체 면에 도전층(112b)으로부터의 전계를 확실하게 인가할 수 있다. 이에 의하여, 안정된 전기 특성 및 신뢰성을 가지는 트랜지스터를 실현할 수 있다.

[0224] <트랜지스터의 변형예 5>

[0225] 도 5의 (A)에 나타낸 트랜지스터(100E)는 오목부(143)의 폭(평면에서 보았을 때의 오목부(143)의 직경)이 도 1의 (B)에 나타낸 트랜지스터(100)와 주로 다르다.

[0226] 구체적으로는 트랜지스터(100E)에서는 오목부(143)의 폭(S143)이 트랜지스터(100)보다 좁다.

[0227] 예를 들어 평면에서 보았을 때(도 1의 (A) 참조)의 오목부(143)의 직경이 작아지도록 오목부(143)의 폭(S143)을 좁게 함으로써(즉 오목부(143)의 외주 측의 직경을 작게 함으로써), 기판면 내에서의 트랜지스터의 점유 면적을 축소할 수 있다. 이에 의하여, 트랜지스터를 미세화할 수 있고, 상기 트랜지스터를 가지는 반도체 장치를 고집적화할 수 있다.

[0228] 또한 예를 들어 평면에서 보았을 때(도 1의 (A) 참조)의 오목부(143)의 내주 측의 직경이 커지도록 오목부(143)의 폭(S143)을 좁게 함으로써, 나중에 개구(141)를 형성할 때 일어날 수 있는 위치 어긋남의 영향을 저감할 수 있다. 또한 본 발명의 일 형태의 트랜지스터의 제작 방법예에 대해서는 후술한다.

[0229] <트랜지스터의 변형예 6>

[0230] 도 5의 (B)에 나타낸 트랜지스터(100F)는 오목부(143)의 폭(평면에서 보았을 때의 오목부(143)의 직경)이 도 1의 (B)에 나타낸 트랜지스터(100) 및 도 5의 (A)에 나타낸 트랜지스터(100E)와 주로 다르다.

[0231] 구체적으로는 트랜지스터(100F)에서는 오목부(143)의 폭(S143)이 트랜지스터(100) 및 트랜지스터(100E)보다 넓다.

[0232] 오목부(143)의 폭(S143)을 넓힘으로써, 절연층(110c), 도전층(112b), 및 절연층(106)을 오목부(143)의 저면까지 확실하게 형성할 수 있고, 이들 층과 오목부(143)의 저면 사이에 공동 등의 공간이 생기는 것을 저감할 수 있다.

[0233] <트랜지스터의 변형예 7>

[0234] 도 6의 (A)에 나타낸 트랜지스터(100G)는 제 1 게이트 전극으로서 기능하는 도전층(104)의 형상이 도 1의 (B)에 나타낸 트랜지스터(100)와 주로 다르다.

[0235] 구체적으로는 트랜지스터(100)에서는 도전층(104)의 단부가 개구(141)의 외측까지 연장되고, 절연층(106)의 실질적으로 평탄한 상면(절연층(110), 도전층(112b), 및 반도체층(108)이 중첩되는 영역 위)에 위치한다. 한편, 트랜지스터(100G)에서는 도전층(104)의 단부가 트랜지스터(100)보다 내측(개구(141) 측)에 위치한다.

[0236] 트랜지스터(100)에서 도전층(104)과 도전층(112b)이 중첩되는 영역은 기생 용량으로서 기능할 수 있다. 따라서 트랜지스터(100G)와 같이 개구(141)의 외부로 연장되는 도전층(104)의 영역을 가능한 한 줄임으로써, 도전층(104)과 도전층(112b) 사이에 생기는 기생 용량을 줄일 수 있다. 이에 의하여, 상기 기생 용량이 트랜지스터의 전기 특성에 악영향을 미치는 것을 억제할 수 있다.

[0237] <트랜지스터의 변형예 8>

[0238] 도 6의 (B)에 나타낸 트랜지스터(100H)는 제 1 게이트 전극으로서 기능하는 도전층(104)의 형상이 도 1의 (B)에 나타낸 트랜지스터(100) 및 도 6의 (A)에 나타낸 트랜지스터(100G)와 주로 다르다.

[0239] 구체적으로는 트랜지스터(100) 및 트랜지스터(100G)에서는 도전층(104)이 개구(141)의 내벽 및 저면을 따른 형상을 가지고, 개구(141)의 내부에서 도전층(104)의 상면은 오목부를 가진다. 한편, 트랜지스터(100H)에서는 개구(141)를 완전히 충전하도록 도전층(104)이 제공되어 있고, 또한 도전층(104)의 상면은 실질적으로 평탄한 형상을 가진다.

[0240] 도전층(104)이 상술한 형상을 가짐으로써, 트랜지스터의 상면의 요철을 저감할 수 있다. 따라서 트랜지스터 위에 형성하는 층의 피복성을 향상시킬 수 있다.

[0241] <트랜지스터의 변형예 9>

[0242] 도 7의 (A)에 나타낸 트랜지스터(100I)는 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 도전층의 구성이 도 1의 (B)에 나타낸 트랜지스터(100)와 주로 다르다.

[0243] 구체적으로는, 트랜지스터(100)에서는 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 도전층이 도전층(112a)만의 단층 구조를 가진다. 한편, 트랜지스터(100I)에서는 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 도전층의 일부가 도전층(112a)과 도전층(112c)의 적층 구조를 가진다.

[0244] 도전층(112c)은 도전층(112a) 위에서 개구(141)를 끼우도록 제공되어 있다. 절연층(110a)은 반도체층(108)의 하면(백 채널 영역 측의 면), 도전층(112a)의 상면의 일부, 그리고 개구(141)를 끼워 대향하는 도전층(112c)의 측면 및 상면에 접하여 제공되어 있다.

[0245] 트랜지스터(100I)에서는 도전층(112a)과 도전층(112c)의 적층이 소스 전극 및 드레인 전극 중 한쪽으로서 기능한다.

[0246] 도전층(112a)은 반도체층(108)과 접하는 영역을 가지는 도전층이다. 따라서 도전층(112a)에는 산화되기 어려운 재료를 사용하는 것이 바람직하다. 한편, 반도체층(108)과 접하는 영역을 가지지 않는 도전층(112c)에는 도전층(112a)보다 저항이 낮은 재료를 사용할 수 있다. 또한 도전층(112a)에 사용할 수 있는 산화되기 어려운 재료 및 도전층(112c)에 사용할 수 있는 저항이 낮은 재료의 자세한 사항에 대해서는 앞의 기재 내용을 참조할 수 있다. 트랜지스터(100I)와 같이, 소스 전극 및 드레인 전극 중 한쪽으로서 산화되기 어려운 도전층(도전층(112a))과 저항이 낮은 도전층(도전층(112c))의 적층을 사용함으로써, 상기 적층을 배선으로서 사용할 수도 있다.

[0247] <트랜지스터의 변형예 10>

[0248] 도 7의 (B)에 나타낸 트랜지스터(100J)는 반도체층(108)과 도전층(112b)의 위치 관계가 도 1의 (B)에 나타낸 트랜지스터(100)와 주로 다르다.

[0249] 구체적으로는 트랜지스터(100J)에서는 절연층(110)에 도전층(112a)에 도달하는 개구(145)가 제공되고, 반도체층(108)이 개구(145)와 중첩되는 영역을 가지도록 도전층(112a)의 상면(개구(145)의 저면이라고도 할 수 있음), 절연층(110)의 측면(개구(145)의 내벽이라고도 할 수 있음), 및 절연층(110)의 상면에 접하여 제공되어 있다. 그리고 반도체층(108)의 상면 및 측면, 그리고 절연층(110)의 상면에 접하여 도전층(112b)이 제공되어 있다. 도전층(112b)은 오목부(143)를 매립하도록 제공되고, 오목부(143) 내에서 절연층(110)을 개재하여 반도체층(108)과 중첩되는(대향하는) 영역을 가지도록 제공되어 있다.

[0250] 즉 트랜지스터(100)가 반도체층(108)의 하면(기판(102) 측의 면)에 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 도전층(112b)의 상면이 접하는 보텀 콘택트형 트랜지스터인 반면, 트랜지스터(100J)는 반도체층(108)의 상면에 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 도전층(112b)의 하면(기판(102) 측의 면)이 접하는 톱 콘택트(Top Contact)형 트랜지스터이다.

[0251] 이와 같이, 본 발명의 일 형태의 트랜지스터는 용도 또는 제작 방법 등에 따라 보텀 콘택트형 트랜지스터이어도 좋고, 톱 콘택트형 트랜지스터이어도 좋다.

[0252] <트랜지스터의 변형예 11>

[0253] 도 8의 (A)에 트랜지스터(100K)의 평면도를 나타내었다. 또한 도 8의 (B)에 트랜지스터(100K)의 도 8의 (A)에 나타낸 일점쇄선 C1-C2에 대응하는 단면도를 나타내었다. 트랜지스터(100K)는 개구(141) 및 오목부(143)의 평면 형상이 도 1의 (A)에 나타낸 트랜지스터(100)와 주로 다르다.

[0254] 구체적으로는 트랜지스터(100)에서 개구(141) 및 오목부(143)의 평면이 모두 실질적으로 원형인 형상을 가진다(도 1의 (A) 참조). 이에 대하여, 트랜지스터(100K)에서는 개구(141) 및 오목부(143)의 평면은 모두 실질적으로 사각형인 형상을 가진다(도 8의 (A) 참조). 한편, 단면 형상에 대해서는 트랜지스터(100)와 트랜지스터(100K)는 거의 차이가 보이지 않는다(도 1의 (B) 및 도 8의 (B) 참조).

[0255] 이와 같이, 본 발명의 일 형태의 트랜지스터는 개구(141) 및 오목부(143)의 평면 형상이 원형 이외의 형상을 가져도 좋다. 또한 도 8의 (A)에서는 개구(141) 및 오목부(143)의 평면 형상이 실질적으로 사각형인 예를 나타내었지만, 이에 한정되지 않는다. 개구(141) 및 오목부(143)의 평면 형상은 각각 예를 들어 원형, 타원형, 삼각형, 사각형(직사각형, 마름모형, 정사각형을 포함함), 오각형 등의 다각형, 또는 이들 다각형의 모서리가 둥근 형상으로 하여도 좋다.

[0256] 또한 개구(141)의 평면 형상과 오목부(143)의 평면 형상은 각각 같은 형상인 것이 바람직하다. 예를 들어 개구(141)의 평면 형상이 원형인 경우에는 오목부(143)의 평면 형상도 원형인 것이 바람직하고, 개구(141)의 평면 형상이 사각형인 경우에는 오목부(143)의 평면 형상도 사각형인 것이 바람직하다. 또한 평면에서 보았을 때(도 1의 (A) 및 도 8의 (A) 참조), 개구(141)의 중심과 오목부(143)의 중심은 가능한 한 일치하는 것이 바람직하다. 이에 의하여, 본 발명의 일 형태의 트랜지스터에서의 제 2 게이트 절연층의 막 두께를 어느 영역에서도 실질적으로 균일하게 할 수 있다. 이에 의하여, 제 2 게이트 전극으로서 기능하는 도전층(112b)으로부터의 전계를 도전층(112b)과 대향하는 반도체층(108)의 백 채널 영역에 대하여 거의 균일하게 인가할 수 있다. 이에 의하여, 안정된 전기 특성 및 신뢰성을 가지는 트랜지스터를 실현할 수 있다.

[0257] 상술한 바와 같이, 본 발명의 일 형태의 트랜지스터는 제 2 게이트 전극을 가지기 때문에, 트랜지스터의 Id-Vd

특성에서의 포화성을 높일 수 있다. 이에 의하여, 예를 들어 상기 트랜지스터를 표시부를 가지는 반도체 장치에 적용하는 경우에 표시부의 계조 수를 늘릴 수 있다. 또한 표시부의 발광 휘도를 안정시킬 수 있다.

[0258] 또한 본 발명의 일 형태의 트랜지스터는 높은 신뢰성을 가진다. 따라서 상기 트랜지스터를 적용하는 반도체 장치의 신뢰성을 높일 수 있다. 특히 제 1 게이트 전극에 전압을 인가한 상태에서의 트랜지스터 특성의 열화를 억제할 수 있다. 예를 들어 n채널형 트랜지스터에서 소스 전위에 대하여 제 1 게이트 전극에 양의 전위가 인가된 상태에서의 특성의 열화를 억제할 수 있다.

[0259] 또한 본 발명의 일 형태의 트랜지스터에서는 문턱 전압을 적합하게 제어하여 노멀리 오프의 특성을 얻기 용이해진다. 예를 들어 n채널형 트랜지스터에서 제 2 게이트 전극과 소스 전극을 전기적으로 접속한 구성(겸용하는 구성)으로 함으로써, 문턱값이 마이너스의 값이 되는 것을 적합하게 방지할 수 있다.

[0260] 또한 본 발명의 일 형태의 트랜지스터는 채널 길이를 매우 작은 값으로 설정할 수 있기 때문에, 온 전류가 큰 트랜지스터를 실현할 수 있다. 따라서 예를 들어 트랜지스터의 주파수 특성을 높일 수 있다. 또한 예를 들어 상기 트랜지스터를 적용하는 반도체 장치의 동작 속도를 높일 수 있다.

[0261] 상술한 바와 같이, 본 발명의 일 형태의 트랜지스터에서는, 하나의 도전층(도전층(112b))이 소스 전극 및 드레인 전극 중 다른 쪽으로서의 기능과 제 2 게이트 전극으로서의 기능을 겸비한다. 따라서 소스 전극 및 드레인 전극 중 다른 쪽과 제 2 게이트 전극을 따로따로 제공하는 경우에 비하여, 본 발명의 일 형태의 트랜지스터를 가지는 회로에서는 배선 수를 삭감할 수 있다. 그러므로 회로 전체를 간략화할 수 있다. 또한 제작 시의 공정 수가 저감되어 생산성 향상을 도모할 수도 있다.

[0262] <트랜지스터의 제작 방법예>

[0263] 이하에서는 본 발명의 일 형태의 트랜지스터의 제작 방법에 대하여 도면(도 9의 (A) 내지 도 11의 (C))을 참조하여 설명한다. 또한 여기서는 도 1의 (B)에 나타낸 트랜지스터(100)를 제작하는 경우의 예에 대하여 설명한다.

[0264] 트랜지스터(100)를 구성하는 박막(절연막, 반도체막, 도전막 등)은 스퍼터링법, 화학 기상 퇴적(CVD: Chemical Vapor Deposition)법, 진공 증착법, 펄스 레이저 퇴적(PLD: Pulsed Laser Deposition)법, ALD법 등을 사용하여 형성할 수 있다.

[0265] 스퍼터링법으로서는 스퍼터링용 전원에 고주파 전원을 사용하는 RF 스퍼터링법, 직류 전원을 사용하는 DC 스퍼터링법, 그리고 전극에 인가하는 전압을 펄스적으로 변화시키는 펄스 DC 스퍼터링법이 있다. RF 스퍼터링법은 주로 절연막을 성막하는 경우에 사용되고, DC 스퍼터링법은 주로 금속 도전막을 성막하는 경우에 사용된다. 또한 펄스 DC 스퍼터링법은 주로 산화물, 질화물, 또는 탄화물 등의 화합물을 반응성 스퍼터링법으로 성막하는 경우에 사용된다.

[0266] CVD법은 플라스마를 이용하는 플라스마 CVD(PECVD)법, 열을 이용하는 열 CVD(TCVD: Thermal CVD)법, 및 광을 이용하는 광 CVD(Photo CVD)법 등으로 분류할 수 있다. 또한 사용하는 원료 가스에 따라 금속 CVD(MCVD: Metal CVD)법, 유기 금속 CVD(MOCVD: Metal Organic CVD)법으로 분류할 수 있다.

[0267] 플라스마 CVD법은 비교적 낮은 온도에서 고품질의 막을 얻을 수 있다. 또한 열 CVD법은 플라스마를 사용하지 않기 때문에, 피처리물에 대한 플라스마 대미지를 저감할 수 있는 성막 방법이다. 예를 들어 반도체 장치에 포함되는 배선, 전극, 및 소자(트랜지스터 및 용량 소자 등) 등은 플라스마로부터 전하를 받음으로써 차지 업하는 경우가 있다. 이때 축적된 전하에 의하여 반도체 장치에 포함되는 배선, 전극, 또는 소자 등이 파괴되는 경우가 있다. 한편, 플라스마를 사용하지 않는 열 CVD법의 경우, 이와 같은 플라스마 대미지가 생기지 않기 때문에, 반도체 장치의 수율을 높일 수 있다. 또한 열 CVD법을 사용하면, 성막 시에 플라스마 대미지가 생기지 않기 때문에, 결함이 적은 막을 얻을 수 있다.

[0268] ALD법으로서는 전구체 및 반응제의 반응을 열 에너지만으로 수행하는 열 ALD법, 플라스마 여기된 반응제를 사용하는 PEALD법 등을 사용할 수 있다.

[0269] CVD법 및 ALD법은 타깃 등으로부터 방출되는 입자가 퇴적되는 스퍼터링법과는 다르다. 따라서 피처리물의 형상의 영향을 받기 어렵고, 단차 피복성이 양호한 성막 방법이다. 특히, ALD법은 우수한 단차 피복성과 우수한 두께 균일성을 가지기 때문에, 예를 들어 종횡비가 높은 개구부의 표면을 피복하는 경우에 적합하다. 다만, ALD법은 성막 속도가 비교적 느리기 때문에, 성막 속도가 빠른 CVD법 등의 다른 성막 방법과 조합하여 사용하는 것

이 바람직한 경우도 있다.

[0270] 또한 CVD법은 원료 가스의 유량비에 따라 임의의 조성을 가지는 막을 성막할 수 있다. 예를 들어 CVD법은 성막하면서 원료 가스의 유량비를 변화시킴으로써, 조성이 연속적으로 변화된 막을 성막할 수 있다. 원료 가스의 유량비를 변화시키면서 성막하는 경우, 복수의 성막실을 사용하여 성막하는 경우와 비교하여, 반송이나 압력 조정에 걸리는 시간이 불필요한 만큼, 성막에 걸리는 시간을 짧게 할 수 있다. 따라서 반도체 장치의 생산성을 높일 수 있는 경우가 있다.

[0271] 또한 ALD법은 복수 종류의 상이한 전구체를 동시에 도입함으로써 임의의 조성을 가지는 막을 성막할 수 있다. 또는 복수 종류의 상이한 전구체를 도입하는 경우, 전구체 각각의 사이클 수를 제어함으로써, 임의의 조성을 가지는 막을 성막할 수 있다.

[0272] 트랜지스터(100)를 구성하는 박막(절연막, 반도체막, 도전막 등)은 스핀 코팅, 딥, 스프레이 도포, 잉크젯, 디스펜싱, 스크린 인쇄, 오프셋 인쇄, 닥터 나이프, 슬릿 코팅, 롤 코팅, 커튼 코팅, 나이프 코팅 등의 방법에 의하여 형성할 수 있다.

[0273] 트랜지스터(100)를 구성하는 박막은 포토리소그래피법 등을 사용할 수 있다. 그 이외에 나노임프린트법, 샌드블라스트법, 리프트 오프법 등을 사용하여 박막을 가공하여도 좋다. 또한 메탈 마스크 등의 차폐 마스크를 사용하는 성막 방법으로 섬 형상의 박막을 직접 형성하여도 좋다.

[0274] 포토리소그래피법으로서 대표적으로는 다음 두 가지 방법이 있다. 하나는 가공하고자 하는 박막 위에 레지스트 마스크를 형성하고, 에칭 등에 의하여 상기 박막을 가공하고, 레지스트 마스크를 제거하는 방법이다. 다른 하나는 감광성을 가지는 박막을 형성한 후에, 노광, 현상을 수행하여 상기 박막을 원하는 형상으로 가공하는 방법이다.

[0275] 포토리소그래피법에서는 노광에 사용하는 광으로서, 예를 들어 i선(파장 365nm), g선(파장 436nm), h선(파장 405nm), 또는 이들을 혼합시킨 광을 사용할 수 있다. 이들 외에, 자외선, KrF 레이저 광, 또는 ArF 레이저 광 등을 사용할 수도 있다. 또한 액침 노광 기술에 의하여 노광을 수행하여도 좋다. 또한 노광에 사용하는 광으로서는 극단 자외(EUV: Extreme Ultra-Violet)광 또는 X선을 사용하여도 좋다. 또한 노광에 사용되는 광 대신에 전자 빔을 사용할 수도 있다. 극단 자외광, X선, 또는 전자 빔을 사용하면, 매우 미세한 가공을 수행할 수 있기 때문에 바람직하다. 또한 전자 빔 등의 빔을 주사하여 노광을 수행하는 경우에는 포토마스크가 불필요하다.

[0276] 박막의 에칭에는 예를 들어 드라이 에칭법, 웨트 에칭법, 또는 샌드블라스트법을 사용할 수 있다. 또한 이들 에칭 방법을 조합하여 사용하여도 좋다.

[0277] 이하에서는 트랜지스터(100)의 제작 방법의 일례에 대하여 설명한다.

[0278] 먼저, 기판(102) 위에 도전층(112a)을 형성하고, 도전층(112a) 위에 절연층(110a), 절연층(110b)을 각각 이 순서대로 형성한다(도 9의 (A) 참조).

[0279] 기판(102)으로서는 예를 들어 상술한 재료를 사용할 수 있다.

[0280] 도전층(112a)은 예를 들어 상술한 재료를 사용하여 스퍼터링법에 의하여 형성할 수 있다.

[0281] 절연층(110a) 및 절연층(110b)은 예를 들어 상술한 재료를 사용하여 PECVD법에 의하여 형성할 수 있다. 절연층(110a) 및 절연층(110b)은 대기에 노출시키지 않고 진공 중에서 연속하여 형성하는 것이 바람직하다. 이에 의하여, 절연층(110a)의 표면에 대기 유래의 불순물이 부착되는 것을 억제할 수 있다. 상기 불순물로서는 예를 들어 물 및 유기물이 있다.

[0282] 절연층(110a) 및 절연층(110b) 형성 시의 기판 온도는 각각 180℃ 이상 450℃ 이하가 바람직하고, 200℃ 이상 450℃ 이하가 더 바람직하고, 250℃ 이상 450℃ 이하가 더 바람직하고, 300℃ 이상 450℃ 이하가 더 바람직하고, 300℃ 이상 400℃ 이하가 더 바람직하고, 350℃ 이상 400℃ 이하가 더 바람직하다. 상기 절연층(막) 형성 시의 기판 온도가 상술한 범위 내에 있으면, 이들로부터 방출되는 불순물(예를 들어 물 및 수소)을 줄일 수 있어, 불순물이 나중에 형성하는 반도체층(108)으로 확산되는 것을 억제할 수 있다. 이에 의하여, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[0283] 또한 절연층(110a) 및 절연층(110b)은 반도체층(108)보다 먼저 형성되기 때문에, 상기 절연층(막) 형성 시에 가해지는 열로 인하여 반도체층(108)으로부터 산소가 이탈되는 것을 우려할 필요는 없다.

[0284] 또한 절연층(110b)을 형성한 후에 가열 처리를 수행하여도 좋다. 상기 가열 처리를 수행함으로써, 절연층(110b)의 표면 및 막 내로부터 물 및 수소를 이탈시킬 수 있다.

[0285] 가열 처리의 온도는 150℃ 이상 기판의 변형점 미만이 바람직하고, 200℃ 이상 450℃ 이하가 더 바람직하고, 250℃ 이상 450℃ 이하가 더 바람직하고, 300℃ 이상 450℃ 이하가 더 바람직하고, 300℃ 이상 400℃ 이하가 더 바람직하고, 350℃ 이상 400℃ 이하가 더 바람직하다. 가열 처리는 비활성 기체, 질소, 및 산소 중 하나 이상을 포함하는 분위기에서 수행할 수 있다. 질소를 포함하는 분위기 또는 산소를 포함하는 분위기로서 건조 공기(CDA: Clean Dry Air)를 사용하여도 좋다. 또한 상기 분위기에서는 수소, 물 등의 함유량이 가능한 한 적은 것이 바람직하다. 상기 분위기로서는 이슬점이 -60℃ 이하, 바람직하게는 -100℃ 이하인 고순도 가스를 사용하는 것이 바람직하다. 수소, 물 등의 함유량이 가능한 한 적은 분위기를 사용함으로써, 절연층(110)에 수소, 물 등이 들어가는 것을 가능한 한 방지할 수 있다. 가열 처리에는 오븐, 급속 가열(RTA: Rapid Thermal Annealing) 장치 등을 사용할 수 있다. RTA 장치를 사용함으로써, 가열 처리 시간을 단축할 수 있다.

[0286] 또한 절연층(110b) 형성 후에, 절연층(110b)에 대하여 산소를 공급하는 처리를 수행하여도 좋다.

[0287] 본 발명의 일 형태에서는 절연층(110b)을 형성한 후, 절연층(110b) 위에 금속 산화물층을 형성함으로써 절연층(110b)에 산소를 공급한다. 또한 상기 금속 산화물층을 형성한 후, 가열 처리를 수행하여도 좋다. 금속 산화물층을 형성한 후에 가열 처리를 수행함으로써, 금속 산화물층으로부터 절연층(110b)에 산소를 효과적으로 공급하고, 절연층(110b) 내에 산소를 함유시킬 수 있다. 절연층(110b)에 공급된 산소가 추후의 공정에서 반도체층(108)에 공급됨으로써 반도체층(108) 내의 산소 결손(V_O) 및 V_OH를 저감할 수 있다.

[0288] 금속 산화물층 형성 후 또는 상술한 가열 처리 후에, 금속 산화물층을 통하여 절연층(110b)에 산소를 더 공급하여도 좋다. 산소의 공급 방법으로서는 예를 들어 이온 주입법, 이온 도핑법, 플라스마 잠입 이온 주입법, 또는 플라스마 처리를 사용할 수 있다. 상기 플라스마 처리에서는 산소 가스를 고주파 전력으로 플라스마화시키는 장치를 적합하게 사용할 수 있다. 가스를 고주파 전력으로 플라스마화시키는 장치로서는, 예를 들어 플라스마 에칭 장치 및 플라스마 애싱 장치가 있다.

[0289] 금속 산화물층은 절연층이어도 좋고, 도전층이어도 좋다. 금속 산화물층에는 예를 들어 산화 알루미늄, 산화 하프늄, 하프늄 알루미네이트, 인듐 산화물, 인듐 주석 산화물(ITO), 또는 실리콘을 포함한 인듐 주석 산화물(ITSO)을 사용할 수도 있다.

[0290] 금속 산화물층에는 반도체층(108)과 동일한 원소를 하나 이상 포함하는 산화물 재료를 사용하는 것이 바람직하다. 특히 반도체층(108)에 적용할 수 있는 산화물 반도체 재료를 사용하는 것이 바람직하다.

[0291] 금속 산화물층은 예를 들어 산소를 포함하는 분위기에서 형성하는 것이 바람직하다. 특히 산소를 포함하는 분위기에서 스퍼터링법에 의하여 형성하는 것이 바람직하다. 이로써, 금속 산화물층 형성 시에 절연층(110b)에 대하여 산소를 적합하게 공급할 수 있다.

[0292] 이어서, 금속 산화물층을 제거한다. 금속 산화물층의 제거에는 예를 들어 웨트 에칭법을 적합하게 사용할 수 있다.

[0293] 절연층(110b)에 대하여 산소를 공급하는 처리는 상술한 방법에 한정되지 않는다. 예를 들어 절연층(110b)에 대하여 이온 도핑법, 이온 주입법, 플라스마 처리 등에 의하여 산소 라디칼, 산소 원자, 산소 원자 이온, 산소 분자 이온 등을 공급하여도 좋다. 또한 절연층(110b) 위에 산소의 이탈을 억제하는 막을 형성한 후, 상기 막을 통하여 절연층(110b)에 산소를 공급하여도 좋다. 상기 막은 산소를 공급한 후에 제거되는 것이 바람직하다. 상술한 산소의 이탈을 억제하는 막으로서는, 인듐, 아연, 갈륨, 주석, 알루미늄, 크로뮴, 탄탈럼, 타이타늄, 몰리브데넘, 니켈, 철, 코발트, 및 텅스텐 중 하나 이상을 가지는 도전막 또는 반도체막을 사용할 수 있다.

[0294] 다음으로 절연층(110b) 위에 포토리소그래피 공정에 의하여 레지스트 마스크를 형성(도시하지 않았음)한 후, 절연층(110b)을 가공함으로써 절연층(110b)에 오목부(143)를 형성한다(도 9의 (B) 참조). 오목부(143) 형성에는 예를 들어 드라이 에칭법을 적합하게 사용할 수 있다.

[0295] 다음으로 절연층(110b)의 상면(오목부(143)의 내벽 및 저면을 포함함)을 덮도록 절연층(110c)을 형성한다(도 9의 (C) 참조). 절연층(110c)은 예를 들어 상술한 재료를 사용하여 PECVD법에 의하여 형성할 수 있다. 절연층(110c)은 절연층(110a)과 같은 재료로 형성되는 것이 바람직하다.

[0296] 다음으로 절연층(110c) 위에 나중에 도전층(112b)이 되는 도전막(112bf)을 형성한다(도 10의 (A) 참조). 도전

막(112bf)은 예를 들어 상술한 재료를 사용하여 스퍼터링법에 의하여 형성할 수 있다.

[0297] 다음으로 도전막(112bf) 위에 포토리소그래피 공정에 의하여 레지스트 마스크를 형성한다(도시하지 않았음). 상기 레지스트 마스크는 평면에서 보았을 때(도 1의 (A) 참조) 오목부(143)로 둘러싸인 영역 내(가능한 한 상기 영역 내의 중심에 가까운 위치)를 제외한 위치에 형성한다. 그 후, 도전막(112bf), 절연층(110c), 절연층(110b), 및 절연층(110a)을 각각 가공함으로써, 도전막(112bf), 절연층(110c), 절연층(110b), 및 절연층(110a)에 도전층(112a)에 도달하는 개구(141)를 형성한다(도 10의 (B) 참조). 또한 상기 가공에 의하여 도전막(112bf)으로부터 도전층(112b)이 형성된다.

[0298] 이와 같이, 본 발명의 일 형태에서는 절연층(110b)에 미리 오목부(143)를 형성하고, 그 후 오목부(143)로 둘러싸인 영역 내에서의 도전막(112bf)을 가공함으로써 개구(141) 및 도전층(112b)을 형성한다. 도전층(112b)은 나중에 트랜지스터(100)의 소스 전극 및 드레인 전극 중 다른 쪽 및 제 2 게이트 전극으로서 기능하는 도전층이다. 따라서 소스 전극 및 드레인 전극 중 다른 쪽과 제 2 게이트 전극을 따로따로 형성하는 경우에 비하여 공정 수를 삭감할 수 있다.

[0299] 다음으로 도전층(112b)의 상면, 도전층(112a)의 상면(즉 개구(141)의 저면), 그리고 도전층(112b), 절연층(110c), 절연층(110b), 및 절연층(110a)의 측면(즉 개구(141)의 내벽)을 덮도록, 나중에 반도체층(108)이 되는 금속 산화물막(108f)을 형성한다(도 10의 (C) 참조). 금속 산화물막(108f)은 금속 산화물 타깃을 사용한 스퍼터링법에 의하여 형성하는 것이 바람직하다.

[0300] 금속 산화물막(108f)은 가능한 한 결함이 적은 치밀한 막인 것이 바람직하다. 또한 금속 산화물막(108f)은 수소 원소를 포함한 불순물이 가능한 한 감소된, 순도가 높은 막인 것이 바람직하다. 특히 금속 산화물막(108f)으로서는 결정성을 가지는 금속 산화물막을 사용하는 것이 바람직하다.

[0301] 금속 산화물막(108f)을 성막할 때, 산소 가스와 불활성 가스(예를 들어 헬륨 가스, 아르곤 가스, 제논 가스 등)를 혼합시켜도 좋다. 금속 산화물막(108f)을 성막할 때의 성막 가스 전체에 차지하는 산소 가스의 비율(산소 유량비)이 높을수록 금속 산화물막(108f)의 결정성을 높일 수 있는 경우가 있다. 이에 의하여, 신뢰성이 높은 트랜지스터(100)를 실현할 수 있는 경우가 있다. 한편, 산소 유량비가 낮을수록 금속 산화물막(108f)의 결정성이 낮아지는 경우가 있다. 이에 의하여, 온 전류가 큰 트랜지스터(100)를 실현할 수 있는 경우가 있다.

[0302] 금속 산화물막(108f)의 형성 시에는, 기판 온도가 높을수록 결정성이 높고 치밀한 금속 산화물막으로 할 수 있는 경우가 있다. 한편, 기판 온도가 낮을수록 결정성이 낮고 전기 전도성이 높은 금속 산화물막(108f)으로 할 수 있는 경우가 있다.

[0303] 금속 산화물막(108f) 형성 시의 기판 온도는 실온 이상 250℃ 이하, 바람직하게는 실온 이상 200℃ 이하, 더 바람직하게는 실온 이상 140℃ 이하로 하면 좋다. 예를 들어 기판 온도를 실온 이상 140℃ 이하로 하면, 생산성이 높아지기 때문에 바람직하다.

[0304] 반도체층(108)에 적층 구조를 적용하는 경우에는, 먼저 형성하는 금속 산화물막을 성막한 후에, 그 표면을 대기에 노출시키지 않고, 다음 금속 산화물막을 연속적으로 성막하는 것이 바람직하다.

[0305] 또한 예를 들어 금속 산화물을 포함하는 반도체층(108)은 구성 금속 원소를 포함하는 전구체와 산화제를 사용하여 ALD법으로 성막할 수 있다.

[0306] 예를 들어 In-Ga-Zn 산화물을 성막하는 경우에는, 인듐을 포함하는 전구체, 갈륨을 포함하는 전구체, 및 아연을 포함하는 전구체의 3개의 전구체를 사용할 수 있다. 또는 인듐을 포함하는 전구체와, 갈륨 및 아연을 포함하는 전구체의 2개의 전구체를 사용하여도 좋다.

[0307] 인듐을 포함하는 전구체로서 트라이에틸인듐, 트리스(2,2,6,6-테트라메틸-3,5-헵테인다이온산)인듐, 사이클로펜타다이엔일인듐, 염화 인듐(III), (3-(다이메틸아미노)프로필)다이메틸인듐 등을 사용할 수 있다.

[0308] 또한 갈륨을 포함하는 전구체로서 트라이메틸갈륨, 트라이에틸갈륨, 트리스(다이메틸아마이드)갈륨(III), 갈륨(III)아세틸아세토네이트, 트리스(2,2,6,6-테트라메틸-3,5-헵테인다이온산)갈륨, 다이메틸클로로갈륨, 다이에틸클로로갈륨, 염화 갈륨(III) 등을 사용할 수 있다.

[0309] 또한 아연을 포함하는 전구체로서 다이메틸아연, 다이에틸아연, 비스(2,2,6,6-테트라메틸-3,5-헵테인다이온산)아연, 염화 아연 등을 사용할 수 있다.

[0310] 산화제로서는 예를 들어 오존, 산소, 물 등을 사용할 수 있다.

[0311] 얻어지는 막의 조성을 제어하는 방법으로서는, 원료 가스의 유량비, 원료 가스를 흘리는 시간, 원료 가스를 흘리는 순서 등의 조정을 들 수 있다. 또한 이들을 조정함으로써, 조성이 연속적으로 변화되는 막을 성막할 수도 있다. 또한 조성이 상이한 막을 연속적으로 성막할 수도 있다.

[0312] 금속 산화물막(108f) 형성 후에 가열 처리를 수행하여도 좋다. 상기 가열 처리를 수행함으로써 금속 산화물막(108f)의 표면 및 막 중에서 물 및 수소를 이탈시킬 수 있다. 또한 상기 가열 처리에 의하여 절연층(110b)으로부터 금속 산화물막(108f)에 산소를 공급할 수 있다. 또한 상기 가열 처리에 의하여 금속 산화물막(108f)의 막질이 향상(예를 들어 결함의 저감, 결정성의 향상 등)되는 경우가 있다. 또한 가열 처리의 조건에 대해서는 상술한 절연층(110a) 및 절연층(110b)의 형성 후에 사용할 수 있는 가열 처리의 조건을 적용할 수 있다.

[0313] 또한 상기 가열 처리는 불필요하면 수행하지 않아도 된다. 또한 여기서는 가열 처리를 수행하지 않고, 추후의 공정에서 수행되는 가열 처리로 상기 가열 처리를 겸하여도 좋다. 또한 추후의 공정에서의 고온하의 처리(예를 들어 성막 공정 등) 등으로 상기 가열 처리를 겸할 수 있는 경우도 있다.

[0314] 다음으로 개구(141)의 내벽과 중첩되는 영역을 가지도록 금속 산화물막(108f)을 섬 형상으로 가공하여 반도체층(108)을 형성한다(도 11의 (A) 참조).

[0315] 반도체층(108) 형성에는 웨트 에칭법 및 드라이 에칭법 중 한쪽 또는 양쪽을 사용할 수 있다. 반도체층(108) 형성에는 예를 들어 웨트 에칭법을 적합하게 사용할 수 있다.

[0316] 다음으로 반도체층(108) 및 도전층(112b)의 상면을 덮도록 절연층(106)을 형성한다(도 11의 (B) 참조). 절연층(106)은 예를 들어 상술한 재료를 사용하여 PECVD법에 의하여 형성할 수 있다.

[0317] 반도체층(108)에 산화물 반도체를 사용하는 경우, 절연층(106)에는 수소가 저감되고 산소를 포함한 절연성 재료를 사용하는 것이 바람직하다. 이로써 절연층(106)과 접하는 영역을 가지는 반도체층(108)이 n형화되기 어려워진다. 또한 절연층(106)으로부터 반도체층(108)에 산소를 효율적으로 공급할 수 있기 때문에 반도체층(108)의 산소 결손(V_O)을 저감시킬 수 있다. 반도체층(108)은 나중에 트랜지스터(100)의 채널이 형성되는 반도체층으로서 기능하는 층이다. 따라서 절연층(106)에 상술한 바와 같은 재료를 사용함으로써, 전기 특성이 양호하고 신뢰성이 높은 트랜지스터(100)를 실현할 수 있다.

[0318] 트랜지스터(100)의 게이트 절연층으로서 기능하는 절연층(106) 형성 시의 온도를 높게 함으로써 결함이 적은 절연층으로 할 수 있다. 그러나 절연층(106) 형성 시의 온도가 높으면, 반도체층(108)에서 산소가 이탈되어, 반도체층(108) 내의 산소 결손(V_O) 및 산소 결손에 수소가 들어감으로써 생성되는 V_OH가 증가하는 경우가 있다.

절연층(106) 형성 시의 기판 온도는 180℃ 이상 450℃ 이하가 바람직하고, 200℃ 이상 450℃ 이하가 더 바람직하고, 250℃ 이상 450℃ 이하가 더 바람직하고, 300℃ 이상 450℃ 이하가 더 바람직하고, 300℃ 이상 400℃ 이하가 더 바람직하다. 절연층(106) 형성 시의 기판 온도를 상술한 범위로 함으로써, 절연층(106)의 결함을 적게 하는 것과 동시에, 반도체층(108)에서 산소가 이탈되는 것을 억제할 수 있다. 따라서 전기 특성이 양호하고 신뢰성이 높은 트랜지스터(100)를 실현할 수 있다.

[0319] 절연층(106)을 형성하기 전에 반도체층(108)의 표면에 대하여 플라스마 처리를 수행하여도 좋다. 상기 플라스마 처리에 의하여, 반도체층(108)의 표면에 흡착된 물 등의 불순물을 저감할 수 있다. 그러므로 반도체층(108)과 절연층(106)의 계면의 불순물을 저감할 수 있어 신뢰성이 높은 트랜지스터(100)를 실현할 수 있다. 특히 반도체층(108) 형성 공정부터 절연층(106) 형성 공정까지 사이에 반도체층(108)의 표면이 대기에 노출되는 경우에는 적합하다. 플라스마 처리는 예를 들어 산소, 오존, 질소, 일산화 이질소, 아르곤 등의 분위기에서 수행할 수 있다. 또한 플라스마 처리와 절연층(106)의 성막은 대기에 노출시키지 않고 연속하여 수행되는 것이 바람직하다.

[0320] 다음으로 절연층(106) 위에 나중에 도전층(104)이 되는 도전막(104f)을 형성한다(도 11의 (C) 참조). 도전막(104f)은 예를 들어 상술한 재료를 사용하여 스퍼터링법에 의하여 형성할 수 있다.

[0321] 다음으로 도전막(104f) 위에 포토리소그래피 공정에 의하여 레지스트 마스크를 형성한다(도시하지 않았음). 또한 상기 레지스트 마스크는 적어도 개구(141)와 중첩되는 영역을 가지도록 제공한다. 그 후, 상기 레지스트 마스크를 통하여 도전막(104f)을 가공함으로써, 개구(141)와 중첩되는 영역을 가지는 도전층(104)을 형성한다. 도전층(104)은 트랜지스터(100)의 게이트 전극이 되는 도전층이다. 도전층(104) 형성에는 웨트 에칭법 및 드라이 에칭법 중 한쪽 또는 양쪽을 사용할 수 있다. 도전층(104) 형성에는 예를 들어 웨트 에칭법을 적합하게 사용할 수 있다.

[0322] 이상의 공정을 통하여, 트랜지스터(100)를 제작할 수 있다(도 1의 (B) 참조).

[0323] 상술한 바와 같이, 본 발명의 일 형태의 트랜지스터는 수직형 트랜지스터의 일종이기 때문에, 소스 전극, 반도체층, 및 드레인 전극을 각각 기판 위에 중첩시켜 제공할 수 있다. 따라서 예를 들어 플레이너형 트랜지스터 등과 비교하여 기판면 내에서의 트랜지스터의 점유 면적을 대폭 축소할 수 있다. 또한 본 발명의 일 형태의 트랜지스터는 채널 길이를 매우 작게 할 수 있고, 제 2 게이트 전극을 가지기 때문에, 온 전류를 크게 할 수 있고, Id-Vd 특성에서의 포화성을 높일 수 있다. 또한 신뢰성을 높일 수도 있다. 또한 본 발명의 일 형태의 트랜지스터에서는, 하나의 도전층이 소스 전극 및 드레인 전극 중 다른 쪽으로서의 기능과 제 2 게이트 전극으로서의 기능을 겸비한다. 그러므로 소스 전극 및 드레인 전극 중 다른 쪽과 제 2 게이트 전극을 따로따로 제공하는 경우에 비하여, 상기 트랜지스터를 가지는 회로에서는 배선 수를 삭감할 수 있게 되어, 회로 전체를 간략화할 수 있다. 또한 제작 시의 공정 수가 저감되어 생산성 향상을 도모할 수도 있다.

[0324] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다. 또한 본 명세서에서 하나의 실시형태에 복수의 구성예가 기재된 경우에는 구성예를 적절히 조합할 수 있다.

[0325] (실시형태 2)

[0326] 본 실시형태에서는 본 발명의 일 형태의 트랜지스터를 가지는 표시 장치에 대하여 도 12 내지 도 20의 (F)를 사용하여 설명한다.

[0327] 본 실시형태의 표시 장치는 고해상도 표시 장치 또는 대형 표시 장치로 할 수 있다. 따라서 본 실시형태의 표시 장치는 예를 들어 텔레비전 장치, 데스크톱 또는 노트북형 퍼스널 컴퓨터, 컴퓨터용 등의 모니터, 디지털 사이니지, 및 파친코기 등의 대형 게임기 등 비교적 큰 화면을 가지는 전자 기기 외에, 디지털 카메라, 디지털 비디오 카메라, 디지털 액자, 휴대 전화기, 휴대용 게임기, 휴대 정보 단말기, 및 음향 재생 장치의 표시부에 사용할 수 있다.

[0328] 또한 본 실시형태의 표시 장치는 고정세 표시 장치로 할 수 있다. 따라서 본 실시형태의 표시 장치는 예를 들어 손목시계형 및 팔찌형 등의 정보 단말기(웨어러블 기기)의 표시부, 그리고 헤드 마운트 디스플레이(HMD) 등의 VR용 기기 및 안경형 AR용 기기 등 머리에 장착할 수 있는 웨어러블 기기의 표시부에 사용할 수 있다.

[0329] 본 발명의 일 형태의 반도체 장치는 표시 장치 또는 이 표시 장치를 가지는 모듈에 사용할 수 있다. 상기 표시 장치를 가지는 모듈로서는 상기 표시 장치에 플렉시블 프린트 회로 기판(Flexible Printed Circuit, 이하 FPC라고 표기함) 또는 TCP(Tape Carrier Package) 등의 커넥터가 장착된 모듈, COG(Chip On Glass) 방식 또는 COF(Chip On Film) 방식 등에 의하여 집적 회로(IC)가 실장된 모듈 등을 들 수 있다.

[0330] [표시 장치(50A)]

[0331] 도 12는 표시 장치(50A)의 사시도이다.

[0332] 표시 장치(50A)는 기판(152)과 기판(151)이 접합된 구성을 가진다. 도 12에서는 기판(152)을 파선으로 나타내었다.

[0333] 표시 장치(50A)는 표시부(162), 접속부(140), 회로부(164), 배선(165) 등을 가진다. 도 12에서는 표시 장치(50A)에 IC(173) 및 FPC(172)가 실장되어 있는 예를 나타내었다. 그러므로 도 12에 나타낸 구성은 표시 장치(50A)와, IC와, FPC를 포함하는 표시 모듈이라고도 할 수 있다.

[0334] 접속부(140)는 표시부(162) 외측에 제공된다. 접속부(140)는 표시부(162)의 하나의 변 또는 복수의 변을 따라 제공될 수 있다. 접속부(140)는 하나이어도 좋고 복수이어도 좋다. 도 12에는 표시부의 4변을 둘러싸도록 접속부(140)가 제공되어 있는 예를 나타내었다. 접속부(140)에서는 표시 소자의 공통 전극과 도전층이 전기적으로 접속되어 있고 공통 전극에 전위를 공급할 수 있다.

[0335] 회로부(164)는 예를 들어 주사선 구동 회로(게이트 드라이버라고도 함)를 가진다. 또한 회로부(164)는 주사선 구동 회로 및 신호선 구동 회로(소스 드라이버라고도 함)의 양쪽을 가져도 좋다.

[0336] 배선(165)은 표시부(162) 및 회로부(164)에 신호 및 전력을 공급하는 기능을 가진다. 상기 신호 및 전력은 FPC(172)를 통하여 외부로부터 배선(165)에 입력되거나 IC(173)로부터 배선(165)에 입력된다.

[0337] 도 12에는 COG 방식 또는 COF 방식 등에 의하여 기판(151)에 IC(173)가 제공된 예를 나타내었다. IC(173)에는 예를 들어 주사선 구동 회로 및 신호선 구동 회로 중 한쪽 또는 양쪽을 가지는 IC를 적용할 수 있다. 또한 표

시 장치(50A) 및 표시 모듈은 IC를 제공하지 않는 구성으로 하여도 좋다. 또한 IC를 COF 방식 등으로 FPC에 실장하여도 좋다.

[0338] 본 발명의 일 형태의 트랜지스터는 예를 들어 표시 장치(50A)의 표시부(162) 및 회로부(164) 중 한쪽 또는 양쪽에 적용할 수 있다.

[0339] 예를 들어 본 발명의 일 형태의 트랜지스터를 표시 장치의 화소 회로에 적용하는 경우, 화소 회로의 점유 면적을 축소할 수 있고, 고정세 표시 장치로 할 수 있다. 또한 예를 들어 본 발명의 일 형태의 트랜지스터를 표시 장치의 구동 회로(예를 들어 게이트선 구동 회로 및 소스선 구동 회로 중 한쪽 또는 양쪽)에 적용하는 경우, 구동 회로의 점유 면적을 축소할 수 있어, 슬림 베젤의 표시 장치로 할 수 있다. 또한 본 발명의 일 형태의 트랜지스터는 전기 특성이 양호하기 때문에 표시 장치에 사용함으로써 표시 장치의 신뢰성을 높일 수 있다.

[0340] 표시부(162)는 표시 장치(50A)에서 화상이 표시되는 영역이고, 주기적으로 배열된 복수의 화소(210)를 가진다. 도 12에는 하나의 화소(210)의 확대도를 나타내었다.

[0341] 본 실시형태의 표시 장치에서의 화소의 배열은 특별히 한정되지 않고, 다양한 방법을 적용할 수 있다. 화소의 배열로서는 예를 들어 스트라이프 배열, S 스트라이프 배열, 매트릭스 배열, 델타 배열, 베이어 배열, 및 펜타일 배열이 있다.

[0342] 도 12에 나타낸 화소(210)는 적색의 광을 방출하는 부화소(11R), 녹색의 광을 방출하는 부화소(11G), 및 청색의 광을 방출하는 부화소(11B)를 가진다.

[0343] 부화소(11R), 부화소(11G), 부화소(11B)는 각각 표시 소자와, 상기 표시 소자의 구동을 제어하는 회로를 가진다.

[0344] 표시 소자로서는 다양한 소자를 사용할 수 있고, 예를 들어 액정 소자 및 발광 소자를 사용할 수 있다. 상기 외에도, 셔터 방식 또는 광 간섭 방식의 MEMS(Micro Electro Mechanical Systems) 소자, 마이크로캡슐 방식, 전기 영동 방식, 일렉트로 웨팅 방식, 또는 전자 분류체(電子粉流體, Electronic Liquid Powder)(등록 상표) 방식 등을 적용한 표시 소자 등을 사용할 수도 있다. 또한 광원과, 퀀텀닷(quantum dot) 재료를 사용한 색 변환 기술을 적용한 QLED(Quantum-dot LED)를 사용하여도 좋다.

[0345] 액정 소자로서는 예를 들어 투과형 액정 소자, 반사형 액정 소자, 및 반투과형 액정 소자가 있다.

[0346] 발광 소자로서는 예를 들어 LED, OLED(Organic LED), 반도체 레이저 등의 자발광형 발광 소자가 있다. LED로서 예를 들어 미니 LED, 마이크로 LED 등을 사용할 수 있다.

[0347] 발광 소자가 포함하는 발광 물질로서는 예를 들어 형광을 방출하는 물질(형광 재료), 인광을 방출하는 물질(인광 재료), 열 활성화 지연 형광을 나타내는 물질(열 활성화 지연 형광(Thermally Activated Delayed Fluorescence: TADF) 재료), 및 무기 화합물(퀀텀닷 재료 등)이 있다.

[0348] 발광 소자의 발광색은 적외선, 적색, 녹색, 청색, 시안, 마젠타, 황색, 또는 백색 등으로 할 수 있다. 또한 발광 소자를 마이크로캐비티 구조로 함으로써 색 순도를 높일 수 있다.

[0349] 발광 소자가 가지는 한 쌍의 전극 중 한쪽 전극은 양극으로서 기능하고, 다른 쪽 전극은 음극으로서 기능한다.

[0350] 본 실시형태에서는 주로, 표시 소자로서 발광 소자를 사용하는 경우를 예로 들어 설명한다.

[0351] 또한 본 발명의 일 형태의 표시 장치는 발광 소자가 형성되어 있는 기판과 반대 방향으로 광을 방출하는 상면 방출형(톱 이미션형), 발광 소자가 형성되어 있는 기판 측으로 광을 방출하는 하면 방출형(보텀 이미션형), 및 양면으로 광을 방출하는 양면 방출형(듀얼 이미션형) 중 어느 것이어도 좋다.

[0352] 도 13은 표시 장치(50A) 중 FPC(172)를 포함한 영역의 일부, 회로부(164)의 일부, 표시부(162)의 일부, 접속부(140)의 일부, 및 단부를 포함한 영역의 일부를 각각 절단한 경우의 단면의 일례를 나타낸 것이다.

[0353] 도 13에 나타낸 표시 장치(50A)는 기판(151)과 기판(152) 사이에 트랜지스터(205D), 트랜지스터(205R), 트랜지스터(205G), 트랜지스터(205B), 발광 소자(130R), 발광 소자(130G), 및 발광 소자(130B) 등을 가진다. 발광 소자(130R)는 적색의 광을 나타내는 부화소(11R)에 포함되는 표시 소자이고, 발광 소자(130G)는 녹색의 광을 나타내는 부화소(11G)에 포함되는 표시 소자이고, 발광 소자(130B)는 청색의 광을 나타내는 부화소(11B)에 포함되는 표시 소자이다.

[0354] 표시 장치(50A)에는 SBS 구조가 적용되어 있다. SBS 구조는 발광 소자마다 재료 및 구성을 최적화할 수 있기

때문에, 재료 및 구성의 선택의 자유도가 높아져, 휘도 및 신뢰성을 용이하게 향상시킬 수 있다.

[0355] 또한 표시 장치(50A)는 톱 이미션형 표시 장치이다. 톱 이미션형에서는 트랜지스터 등을 발광 소자의 발광 영역과 중첩하여 배치할 수 있기 때문에, 보텀 이미션형보다 화소의 개구율을 높게 할 수 있다.

[0356] 트랜지스터(205D), 트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B)는 모두 기판(151) 위에 형성되어 있다. 이들 트랜지스터는 동일한 재료를 사용하여 동일한 공정으로 제작할 수 있다.

[0357] 본 실시형태에서는 트랜지스터(205D), 트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B)로서 OS 트랜지스터를 사용하는 예에 대하여 설명한다. 트랜지스터(205D), 트랜지스터(205R), 트랜지스터(205G), 트랜지스터(205B)로서는 본 발명의 일 형태의 트랜지스터를 사용할 수 있다. 즉 표시 장치(50A)는 표시부(162) 및 회로부(164)의 양쪽에 본 발명의 일 형태의 트랜지스터를 가진다. 표시부(162)에 본 발명의 일 형태의 트랜지스터를 사용함으로써, 화소 크기를 축소하고, 정세도를 높일 수 있다. 또한 회로부(164)에 본 발명의 일 형태의 트랜지스터를 사용함으로써, 회로부(164)의 점유 면적을 축소할 수 있어, 베젤을 좁힐 수 있다. 본 발명의 일 형태의 트랜지스터에 대해서는 앞의 실시형태의 기재를 참조할 수 있다.

[0358] 구체적으로는 트랜지스터(205D), 트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B)는 각각 제 1 게이트 전극으로서 기능하는 도전층(104), 제 1 게이트 절연층으로서 기능하는 절연층(106), 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 도전층(112a), 소스 전극 및 드레인 전극 중 다른 쪽 및 제 2 게이트 전극으로서 기능하는 도전층(112b), 금속 산화물을 포함하는 반도체층(108), 제 2 게이트 절연층으로서 기능하는 절연층(110)(절연층(110a), 절연층(110b), 및 절연층(110c))을 가진다. 여기서는 동일한 도전막을 가공하여 얻어지는 복수의 층을 같은 해치 패턴으로 표시하였다. 절연층(110)은 도전층(112b)과 반도체층(108) 사이에 위치한다. 절연층(106)은 도전층(104)과 반도체층(108) 사이에 위치한다.

[0359] 또한 본 실시형태의 표시 장치가 가지는 트랜지스터는 본 발명의 일 형태의 트랜지스터에 한정되지 않는다. 예를 들어 본 발명의 일 형태의 트랜지스터와 다른 구조를 가지는 트랜지스터를 조합하여 가져도 좋다.

[0360] 본 실시형태의 표시 장치는 예를 들어 플레이너(planar)형 트랜지스터, 스태거형 트랜지스터, 및 역스태거형 트랜지스터 중 어느 하나 이상을 가져도 좋다. 본 실시형태의 표시 장치가 가지는 트랜지스터는 톱 게이트형 또는 보텀 게이트형 중 어느 것으로 하여도 좋다. 또는 채널이 형성되는 반도체층의 상하에 게이트 전극이 제공되어도 좋다.

[0361] 또한 본 실시형태의 표시 장치는 실리콘을 채널 형성 영역에 사용한 트랜지스터(Si 트랜지스터)를 가져도 좋다.

[0362] 실리콘으로서는 단결정 실리콘, 다결정 실리콘, 비정질 실리콘 등을 들 수 있다. 특히 반도체층에 LTPS를 가지는 트랜지스터(이하 LTPS 트랜지스터라고도 함)를 사용할 수 있다. LTPS 트랜지스터는 전계 효과 이동도가 높고 주파수 특성이 양호하다.

[0363] 화소 회로에 포함되는 발광 소자의 발광 휘도를 높이는 경우, 발광 소자에 흘리는 전류의 양을 크게 할 필요가 있다. 이를 위해서는, 화소 회로에 포함되는 구동 트랜지스터의 소스와 드레인 사이의 전압을 높일 필요가 있다. OS 트랜지스터는 Si 트랜지스터보다 소스와 드레인 사이에서의 내압이 높기 때문에, OS 트랜지스터의 소스와 드레인 사이에는 높은 전압을 인가할 수 있다. 따라서 화소 회로에 포함되는 구동 트랜지스터를 OS 트랜지스터로 함으로써, 발광 소자에 흐르는 전류의 양을 크게 하여 발광 소자의 발광 휘도를 높일 수 있다.

[0364] 또한 트랜지스터가 포화 영역에서 동작하는 경우, OS 트랜지스터에서는 Si 트랜지스터에서보다 게이트와 소스 사이의 전압의 변화에 대한 소스와 드레인 사이의 전류의 변화를 작게 할 수 있다. 그러므로 화소 회로에 포함되는 구동 트랜지스터로서 OS 트랜지스터를 적용함으로써, 게이트와 소스 사이의 전압의 변화에 의하여 소스와 드레인 사이에 흐르는 전류를 정밀하게 결정할 수 있기 때문에, 발광 소자에 흐르는 전류의 양을 제어할 수 있다. 따라서 화소 회로의 계조 수를 늘릴 수 있다.

[0365] 또한 트랜지스터가 포화 영역에서 동작하는 경우에 흐르는 전류의 포화 특성에 관하여, OS 트랜지스터는 소스와 드레인 사이의 전압이 서서히 높아진 경우에도 Si 트랜지스터보다 안정적인 전류(포화 전류)를 흘릴 수 있다. 그러므로 OS 트랜지스터를 구동 트랜지스터로서 사용함으로써, 예를 들어 EL 소자의 전류-전압 특성에 편차가 생긴 경우에도 발광 소자에 안정적인 전류를 흘릴 수 있다. 즉 OS 트랜지스터는 포화 영역에서 동작하는 경우에 있어서, 소스와 드레인 사이의 전압을 변화시켜도 소스와 드레인 사이의 전류가 거의 변화되지 않기 때문에, 발광 소자의 발광 휘도를 안정적으로 할 수 있다.

[0366] 회로부(164)에 포함되는 트랜지스터와 표시부(162)에 포함되는 트랜지스터는 같은 구조를 가져도 좋고, 다른 구

조를 가져도 좋다. 회로부(164)에 포함되는 복수의 트랜지스터에는 하나의 구조를 채용하여도 좋고, 2종류 이상의 구조를 채용하여도 좋다. 마찬가지로, 표시부(162)에 포함되는 복수의 트랜지스터에는 하나의 구조를 채용하여도 좋고, 2종류 이상의 구조를 채용하여도 좋다.

[0367] 표시부(162)가 가지는 모든 트랜지스터를 OS 트랜지스터로 하여도 좋고, 표시부(162)가 가지는 모든 트랜지스터를 Si 트랜지스터로 하여도 좋고, 표시부(162)가 가지는 트랜지스터의 일부를 OS 트랜지스터로 하고, 나머지를 Si 트랜지스터로 하여도 좋다.

[0368] 예를 들어 표시부(162)에 LTPS 트랜지스터와 OS 트랜지스터의 양쪽을 사용함으로써, 소비 전력이 낮고 구동 능력이 높은 표시 장치를 실현할 수 있다. 또한 LTPS 트랜지스터와 OS 트랜지스터를 조합한 구성을 LTPO라고 부르는 경우가 있다. 또한 더 적합한 예로서는 배선 사이의 도통, 비도통을 제어하기 위한 스위치로서 기능하는 트랜지스터 등으로서 OS 트랜지스터를 적용하고, 전류를 제어하는 트랜지스터 등으로서 LTPS 트랜지스터를 적용하는 구성을 들 수 있다.

[0369] 예를 들어 표시부(162)가 가지는 트랜지스터 중 하나는 발광 소자에 흐르는 전류를 제어하기 위한 트랜지스터로서 기능하고, 구동 트랜지스터라고 부를 수도 있다. 구동 트랜지스터의 소스 및 드레인 중 한쪽은 발광 소자의 화소 전극과 전기적으로 접속된다. 상기 구동 트랜지스터에는 LTPS 트랜지스터를 사용하는 것이 바람직하다. 이 경우, 화소 회로에서 발광 소자에 흐르는 전류를 크게 할 수 있다.

[0370] 한편, 표시부(162)가 가지는 트랜지스터 중 다른 하나는 화소의 선택, 비선택을 제어하기 위한 스위치로서 기능하고, 선택 트랜지스터라고 부를 수도 있다. 선택 트랜지스터의 게이트는 게이트선과 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 소스선(신호선)과 전기적으로 접속된다. 선택 트랜지스터에는 OS 트랜지스터를 적용하는 것이 바람직하다. 이 경우, 프레임 주파수를 현저히 작게(예를 들어 1fps 이하) 하여도 화소의 계조를 유지할 수 있기 때문에, 정지 화상을 표시할 때에 드라이버를 정지시킴으로써 소비 전력을 저감할 수 있다.

[0371] 트랜지스터(205D), 트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B)를 덮도록 절연층(218)이 제공되고, 절연층(218) 위에 절연층(235)이 제공되어 있다.

[0372] 절연층(218)은 트랜지스터의 보호층으로서 기능하는 것이 바람직하다. 절연층(218)에는 물 및 수소 등의 불순물이 확산되기 어려운 재료를 사용하는 것이 바람직하다. 이 경우, 절연층(218)을 배리어층으로서 기능시킬 수 있다. 이러한 구성으로 함으로써, 외부로부터 트랜지스터로 불순물이 확산되는 것을 효과적으로 억제할 수 있어 표시 장치의 신뢰성을 높일 수 있다.

[0373] 절연층(218)은 1층 이상의 무기 절연막을 가지는 것이 바람직하다. 무기 절연막으로서는 예를 들어 산화 절연막, 질화 절연막, 산화질화 절연막, 및 질화산화 절연막이 있다. 이들 무기 절연막의 구체적인 예는 상술한 바와 같다.

[0374] 절연층(235)은 평탄화층으로서의 기능을 가지는 것이 바람직하고, 유기 절연막이 적합하다. 유기 절연막에 사용할 수 있는 재료로서는, 아크릴 수지, 폴리이미드 수지, 에폭시 수지, 폴리아마이드 수지, 폴리이미드아마이드 수지, 실록산 수지, 벤조사이클로뷰텐계 수지, 페놀 수지, 및 이들 수지의 전구체 등을 들 수 있다. 또한 절연층(235)은 유기 절연막과 무기 절연막의 적층 구조를 가져도 좋다. 절연층(235)의 가장 바깥쪽 층은 에칭 보호층으로서의 기능을 가지는 것이 바람직하다. 이로써 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B) 등의 가공 시에 절연층(235)에 오목부가 형성되는 것을 억제할 수 있다. 또는 절연층(235)에는 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B) 등의 가공 시에 오목부가 제공되어도 좋다.

[0375] 절연층(235) 위에 발광 소자(130R), 발광 소자(130G), 및 발광 소자(130B)가 제공되어 있다.

[0376] 발광 소자(130R)는 절연층(235) 위의 화소 전극(111R)과, 화소 전극(111R) 위의 EL층(113R)과, EL층(113R) 위의 공통 전극(115)을 가진다. 도 13에 나타낸 발광 소자(130R)는 적색의 광(R)을 방출한다. EL층(113R)은 적색의 광을 방출하는 발광층을 가진다.

[0377] 발광 소자(130G)는 절연층(235) 위의 화소 전극(111G)과, 화소 전극(111G) 위의 EL층(113G)과, EL층(113G) 위의 공통 전극(115)을 가진다. 도 13에 나타낸 발광 소자(130G)는 녹색의 광(G)을 방출한다. EL층(113G)은 녹색의 광을 방출하는 발광층을 가진다.

[0378] 발광 소자(130B)는 절연층(235) 위의 화소 전극(111B)과, 화소 전극(111B) 위의 EL층(113B)과, EL층(113B) 위의 공통 전극(115)을 가진다. 도 13에 나타낸 발광 소자(130B)는 청색의 광(B)을 방출한다. EL층(113B)은 청

색의 광을 방출하는 발광층을 가진다.

[0379] 또한 도 13에 나타낸 EL층(113R), EL층(113G), 및 EL층(113B)은 모두 같은 막 두께를 가지지만, 이에 한정되지 않는다. EL층(113R), EL층(113G), 및 EL층(113B) 각각의 막 두께는 서로 달라도 좋다. 예를 들어 EL층(113R), EL층(113G), 및 EL층(113B)은 각각으로부터 방출되는 광을 강화시키는 광로 길이에 따라 막 두께를 설정하는 것이 바람직하다. 이로써 마이크로캐비티 구조를 실현하고, 각 발광 소자로부터 방출되는 광의 색 순도를 높일 수 있다.

[0380] 화소 전극(111R)은 절연층(106), 절연층(218), 및 절연층(235)에 제공된 개구를 통하여 트랜지스터(205R)에 포함되는 도전층(112b)에 전기적으로 접속되어 있다. 마찬가지로, 화소 전극(111G)은 트랜지스터(205G)에 포함되는 도전층(112b)과 전기적으로 접속되고, 화소 전극(111B)은 트랜지스터(205B)에 포함되는 도전층(112b)과 전기적으로 접속되어 있다.

[0381] 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B) 각각의 단부는 절연층(237)에 의하여 덮여 있다. 절연층(237)은 격벽(제방, 뱅크, 스페이서라고도 함)으로서 기능한다. 절연층(237)은 무기 절연 재료 및 유기 절연 재료 중 한쪽 또는 양쪽을 사용하여 단층 구조 또는 적층 구조로 제공할 수 있다. 절연층(237)에는 예를 들어 절연층(218)에 사용할 수 있는 재료 및 절연층(235)에 사용할 수 있는 재료를 적용할 수 있다. 절연층(237)에 의하여 화소 전극과 공통 전극을 전기적으로 절연할 수 있다. 또한 절연층(237)에 의하여 인접한 발광 소자들을 전기적으로 절연할 수 있다.

[0382] 공통 전극(115)은 발광 소자(130R), 발광 소자(130G), 및 발광 소자(130B)에서 공유되는 하나의 연속적인 막이다. 복수의 발광 소자가 공통적으로 가지는 공통 전극(115)은 접속부(140)에 제공된 도전층(123)과 전기적으로 접속된다. 도전층(123)으로서는 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B)과 같은 재료를 사용하여 같은 공정으로 형성된 도전층을 사용하는 것이 바람직하다.

[0383] 본 발명의 일 형태의 표시 장치에서, 화소 전극 및 공통 전극 중 광을 추출하는 측의 전극에는 가시광을 투과시키는 도전막을 사용한다. 또한 광을 추출하지 않는 측의 전극에는 가시광을 반사하는 도전막을 사용하는 것이 바람직하다.

[0384] 또한 광을 추출하지 않는 측의 전극에도 가시광을 투과시키는 도전막을 사용하여도 좋다. 이 경우, 반사층과 EL층 사이에 상기 전극을 배치하는 것이 바람직하다. 즉 EL층으로부터 방출되는 광은 상기 반사층에 의하여 반사되어 표시 장치로부터 추출되어도 좋다.

[0385] 발광 소자의 한 쌍의 전극을 형성하는 재료로서는 금속, 합금, 전기 전도성 화합물, 및 이들의 혼합물 등을 적절히 사용할 수 있다. 상기 재료로서 구체적으로는, 알루미늄, 마그네슘, 타이타늄, 크로뮴, 망가니즈, 철, 코발트, 니켈, 구리, 갈륨, 아연, 인듐, 주석, 몰리브데넘, 탄탈럼, 텅스텐, 팔라듐, 금, 백금, 은, 이트륨, 네오디뮴 등의 금속, 및 이들을 적절히 조합하여 포함한 합금을 들 수 있다. 또한 상기 재료로서는 인듐 주석 산화물(In-Sn 산화물, ITO라고도 함), In-Si-Sn 산화물(ITSO라고도 함), 인듐 아연 산화물(In-Zn 산화물), 및 In-W-Zn 산화물 등을 들 수 있다. 또한 상기 재료로서는 알루미늄, 니켈, 및 란타넘의 합금(Al-Ni-La) 등의 알루미늄을 포함한 합금(알루미늄 합금), 그리고 은과 마그네슘의 합금 및 은과 팔라듐과 구리의 합금(Ag-Pd-Cu, APC라고도 표기함) 등의 은을 포함한 합금을 들 수 있다. 이들 외에, 상기 재료로서는 위에서 예시하지 않은 원소 주기율표의 1족 또는 2족에 속하는 원소(예를 들어 리튬, 세슘, 칼슘, 스트론튬), 유로퓸, 이터븀 등의 희토류 금속, 및 이들을 적절히 조합하여 포함한 합금, 그래핀 등을 들 수 있다.

[0386] 발광 소자에는 미소 광공진기(마이크로캐비티) 구조가 적용되어 있는 것이 바람직하다. 따라서 발광 소자의 한 쌍의 전극 중 한쪽은 가시광 투과성 및 가시광 반사성을 가지는 전극(반투과·반반사 전극)을 가지는 것이 바람직하고, 다른 쪽은 가시광 반사성을 가지는 전극(반사 전극)을 가지는 것이 바람직하다. 발광 소자가 마이크로캐비티 구조를 가지는 경우, 발광층으로부터 얻어지는 발광을 양쪽 전극 사이에서 공진시켜, 발광 소자로부터 방출되는 광을 강하게 할 수 있다.

[0387] 투명 전극의 광 투과율은 40% 이상으로 한다. 예를 들어 발광 소자의 투명 전극에는 가시광(파장 400nm 이상 750nm 미만의 광) 투과율이 40% 이상인 전극을 사용하는 것이 바람직하다. 반투과·반반사 전극의 가시광 반사율은 10% 이상 95% 이하, 바람직하게는 30% 이상 80% 이하로 한다. 반사 전극의 가시광 반사율은 40% 이상 100% 이하, 바람직하게는 70% 이상 100% 이하로 한다. 또한 이들 전극의 저항률은 $1\times10^{-2}\Omega$cm 이하가 바람직하다.

[0388] EL층(113R), EL층(113G), 및 EL층(113B)은 각각 섬 형상으로 제공되어 있다. 도 13에서는 인접한 EL층(113R)의 단부와 EL층(113G)의 단부가 중첩되고, 인접한 EL층(113G)의 단부와 EL층(113B)의 단부가 중첩되어 있다. 또한 도시하지 않았지만, 인접한 EL층(113R)의 단부와 EL층(113B)의 단부가 중첩되어 있다. 파인 메탈 마스크를 사용하여 섬 형상의 EL층을 성막하는 경우, 도 13에 나타낸 바와 같이, 인접한 EL층의 단부가 중첩되는 경우가 있지만, 이에 한정되지 않는다. 즉 인접한 EL층들은 서로 중첩되지 않고 서로 떨어져 있어도 좋다. 또한 표시 장치에는 인접한 EL층들이 서로 중첩되는 부분과, 인접한 EL층들이 서로 중첩되지 않고 서로 떨어져 있는 부분의 양쪽이 존재하여도 좋다.

[0389] EL층(113R), EL층(113G), 및 EL층(113B)은 각각 적어도 발광층을 가진다. 발광층은 1종류 또는 복수 종류의 발광 물질을 포함한다. 발광 물질로서는 청색, 자색, 청자색, 녹색, 황록색, 황색, 주황색, 또는 적색 등의 발광색을 나타내는 물질을 적절히 사용한다. 또한 발광 물질로서 근적외광을 방출하는 물질을 사용할 수도 있다.

[0390] 발광 물질로서는 형광 재료, 인광 재료, TADF 재료, 및 퀀텀닷 재료 등을 들 수 있다.

[0391] 발광층은 발광 물질(게스트 재료)에 더하여 1종류 또는 복수 종류의 유기 화합물(호스트 재료, 어시스트 재료 등)을 포함하여도 좋다. 1종류 또는 복수 종류의 유기 화합물로서는, 정공 수송성이 높은 물질(정공 수송성 재료) 및 전자 수송성이 높은 물질(전자 수송성 재료) 중 한쪽 또는 양쪽을 사용할 수 있다. 또한 1종류 또는 복수 종류의 유기 화합물로서 양극성 물질(전자 수송성 및 정공 수송성이 높은 물질) 또는 TADF 재료를 사용하여도 좋다.

[0392] 발광층은 예를 들어 인광 재료와, 들뜬 복합체를 형성하기 쉬운 정공 수송성 재료와 전자 수송성 재료의 조합을 포함하는 것이 바람직하다. 이러한 구성으로 함으로써, 들뜬 복합체로부터 발광 물질(인광 재료)로의 에너지 이동인 ExTET(Exciplex-Triplet Energy Transfer)를 사용한 발광을 효율적으로 얻을 수 있다. 발광 물질의 가장 낮은 에너지 측의 흡수대의 파장과 중첩되는 발광을 나타내는 들뜬 복합체를 형성하는 조합을 선택함으로써, 에너지 이동이 원활해져 발광을 효율적으로 얻을 수 있다. 이 구성에 의하여, 발광 소자의 고효율, 저전압 구동, 장수명을 동시에 실현할 수 있다.

[0393] EL층은 발광층 외에, 정공 주입성이 높은 물질을 포함한 층(정공 주입층), 정공 수송성 재료를 포함한 층(정공 수송층), 전자 차단성이 높은 물질을 포함한 층(전자 차단층), 전자 주입성이 높은 물질을 포함한 층(전자 주입층), 전자 수송성 재료를 포함한 층(전자 수송층), 및 정공 차단성이 높은 물질을 포함한 층(정공 차단층) 중 하나 또는 복수를 포함할 수 있다. 이들 외에, EL층은 양극성 재료 및 TADF 재료 중 한쪽 또는 양쪽을 포함하여도 좋다.

[0394] 발광 소자에는 저분자 화합물 및 고분자 화합물 중 어느 쪽이든 사용할 수 있고, 무기 화합물이 포함되어도 좋다. 발광 소자를 구성하는 층은 각각 증착법(진공 증착법을 포함함), 전사법, 인쇄법, 잉크젯법, 도포법 등의 방법으로 형성할 수 있다.

[0395] 발광 소자에는 싱글 구조(발광 유닛을 하나만 포함한 구조)를 적용하여도 좋고, 탠덤 구조(발광 유닛을 복수로 포함한 구조)를 적용하여도 좋다. 발광 유닛은 적어도 하나의 발광층을 포함한다. 탠덤 구조는 복수의 발광 유닛이 전하 발생층을 개재하여 직렬로 접속된 구조이다. 전하 발생층은 한 쌍의 전극 사이에 전압을 인가한 경우에, 2개의 발광 유닛 중 한쪽에 전자를 주입하고, 다른 쪽에 정공을 주입하는 기능을 가진다. 탠덤 구조를 적용함으로써, 고휘도 발광이 가능한 발광 소자로 할 수 있다. 또한 탠덤 구조는 싱글 구조를 적용하는 경우에 비하여 같은 휘도를 얻는 데 필요한 전류를 감소시킬 수 있기 때문에, 신뢰성을 높일 수 있다. 또한 탠덤 구조를 스택 구조라고 불러도 좋다.

[0396] 도 13에서 탠덤 구조를 가지는 발광 소자를 사용하는 경우, EL층(113R)은 적색의 광을 방출하는 발광 유닛을 복수로 포함하고, EL층(113G)은 녹색의 광을 방출하는 발광 유닛을 복수로 포함하고, EL층(113B)은 청색의 광을 방출하는 발광 유닛을 복수로 포함하는 것이 바람직하다.

[0397] 발광 소자(130R), 발광 소자(130G), 및 발광 소자(130B) 위에는 보호층(131)이 제공되어 있다. 보호층(131)과 기판(152)은 접착층(142)에 의하여 접착되어 있다. 기판(152)에는 차광층(117)이 제공되어 있다. 발광 소자의 밀봉에는 예를 들어 고체 밀봉 구조 또는 중공 밀봉 구조를 적용할 수 있다. 도 13에서는 기판(152)과 기판(151) 사이의 공간이 접착층(142)으로 충전되는, 고체 밀봉 구조가 적용되어 있다. 또는 상기 공간이 불활성 가스(질소 또는 아르곤 등)로 충전되는, 중공 밀봉 구조를 적용하여도 좋다. 이때 접착층(142)은 발광 소자와 중첩되지 않도록 제공되어도 좋다. 또한 상기 공간은 테두리 형상으로 제공된 접착층(142)과는 다른 수지로 충전되어도 좋다.

[0398] 보호층(131)은 적어도 표시부(162)에 제공되어 있고, 표시부(162) 전체를 덮도록 제공되는 것이 바람직하다. 보호층(131)은 표시부(162)뿐만 아니라 접속부(140) 및 회로부(164)를 덮도록 제공되는 것이 바람직하다. 또한 보호층(131)은 표시 장치(50A)의 단부까지 연장되어 제공되는 것이 바람직하다. 한편, 접속부(204)는 FPC(172)와 도전층(167)을 전기적으로 접속하기 위하여 보호층(131)이 제공되지 않은 부분을 가진다.

[0399] 발광 소자(130R), 발광 소자(130G), 및 발광 소자(130B) 위에 보호층(131)을 제공함으로써, 발광 소자의 신뢰성을 높일 수 있다.

[0400] 보호층(131)은 단층 구조를 가져도 좋고, 2층 이상의 적층 구조를 가져도 좋다. 또한 보호층(131)의 도전성은 한정되지 않는다. 보호층(131)으로서는 절연막, 반도체막, 및 도전막 중 적어도 1종류를 사용할 수 있다.

[0401] 보호층(131)이 무기막을 가짐으로써, 예를 들어 공통 전극(115)의 산화가 방지되거나, 발광 소자에 불순물(수분 및 산소 등)이 들어가는 것이 억제되어 발광 소자의 열화를 억제할 수 있기 때문에, 표시 장치의 신뢰성을 높일 수 있다.

[0402] 보호층(131)으로서는 예를 들어 산화 절연막, 질화 절연막, 산화질화 절연막, 및 질화산화 절연막 등의 무기 절연막을 사용할 수 있다. 이들 무기 절연막의 구체적인 예는 상술한 바와 같다. 특히 보호층(131)은 질화 절연막 또는 질화산화 절연막을 포함하는 것이 바람직하고, 질화 절연막을 포함하는 것이 더 바람직하다.

[0403] 또한 보호층(131)에는 ITO, In-Zn 산화물, Ga-Zn 산화물, Al-Zn 산화물, 또는 IGZO 등을 포함한 무기막을 사용할 수도 있다. 상기 무기막은 저항이 높은 것이 바람직하고, 구체적으로는 공통 전극(115)보다 저항이 높은 것이 바람직하다. 상기 무기막은 질소를 더 포함하여도 좋다.

[0404] 발광 소자로부터 방출되는 광을 보호층(131)을 통하여 추출하는 경우, 보호층(131)은 가시광 투과성이 높은 것이 바람직하다. 예를 들어 ITO, IGZO, 및 산화 알루미늄은 각각 가시광 투과성이 높은 무기 재료이기 때문에 바람직하다.

[0405] 보호층(131)은 예를 들어 산화 알루미늄막과 산화 알루미늄막 위의 질화 실리콘막의 적층 구조, 또는 산화 알루미늄막과 산화 알루미늄막 위의 IGZO막의 적층 구조를 가질 수 있다. 상기 적층 구조로 함으로써, 불순물(물 및 산소 등)이 EL층 측에 들어가는 것을 억제할 수 있다.

[0406] 또한 보호층(131)은 유기막을 포함하여도 좋다. 예를 들어 보호층(131)은 유기막과 무기막의 양쪽을 포함하여도 좋다. 보호층(131)에 사용할 수 있는 유기막으로서는 예를 들어 절연층(235)으로서 사용할 수 있는 유기 절연막 등이 있다.

[0407] 기판(151)에서 기판(152)과 중첩되지 않은 영역에는 접속부(204)가 제공되어 있다. 접속부(204)에서는 배선(165)이 도전층(166), 도전층(167), 및 접속층(242)을 통하여 FPC(172)와 전기적으로 접속되어 있다. 배선(165)이 도전층(112a)과 동일한 도전막을 가공하여 얻어진 도전층의 단층 구조를 가지는 예를 나타내었다. 도전층(166)이 도전층(112b)과 동일한 도전막을 가공하여 얻어진 도전층의 단층 구조를 가지는 예를 나타낸다. 도전층(167)이 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B)과 동일한 도전막을 가공하여 얻어진 도전층의 단층 구조를 가지는 예를 나타낸다. 접속부(204)의 상면에서는 도전층(167)이 노출된다. 이에 의하여, 접속부(204)와 FPC(172)를 접속층(242)을 통하여 전기적으로 접속할 수 있다.

[0408] 표시 장치(50A)는 톱 이미션형 표시 장치이다. 발광 소자로부터 방출되는 광은 기판(152) 측에 방출된다. 기판(152)에는 가시광 투과성이 높은 재료를 사용하는 것이 바람직하다. 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B)은 가시광을 반사하는 재료를 포함하고, 대향 전극(공통 전극(115))은 가시광을 투과시키는 재료를 포함한다.

[0409] 기판(152) 중 기판(151) 측의 면에는 차광층(117)을 제공하는 것이 바람직하다. 차광층(117)은 인접한 발광 소자 사이, 접속부(140), 및 회로부(164) 등에 제공될 수 있다.

[0410] 또한 기판(152) 중 기판(151) 측의 면 또는 보호층(131) 위에 컬러 필터 등의 착색층을 제공하여도 좋다. 컬러 필터를 발광 소자와 중첩하여 제공하면, 화소로부터 방출되는 광의 색 순도를 높일 수 있다.

[0411] 또한 기판(152)의 외측(기판(151)과 반대쪽 면)에는 각종 광학 부재를 배치할 수 있다. 광학 부재로서는 예를 들어 편광판, 위상차판, 광 확산층(확산 필름 등), 반사 방지층, 및 집광 필름이 있다. 또한 기판(152)의 외측에는 먼지의 부착을 억제하는 대전 방지막, 오염이 부착되기 어렵게 하는 발수막, 사용에 따른 손상의 발생을 억제하는 하드 코트막, 충격 흡수층 등의 표면 보호층을 배치하여도 좋다. 예를 들어 표면 보호층으로서 유리

층 또는 실리카층(SiO_x층)을 제공함으로써, 표면의 오염 및 손상의 발생을 억제할 수 있어 바람직하다. 또한 표면 보호층에는 DLC(diamond like carbon), 산화 알루미늄(AlO_x), 폴리에스터계 재료, 또는 폴리카보네이트계 재료 등을 사용하여도 좋다. 또한 표면 보호층에는 가시광 투과율이 높은 재료를 사용하는 것이 바람직하다. 또한 표면 보호층에는 경도가 높은 재료를 사용하는 것이 바람직하다.

[0412] 기판(151) 및 기판(152)에는 각각 유리, 석영, 세라믹, 사파이어, 수지, 금속, 합금, 반도체 등을 사용할 수 있다. 발광 소자로부터의 광이 추출되는 측의 기판에는 상기 광을 투과시키는 재료를 사용한다. 기판(151) 및 기판(152)에 가요성을 가지는 재료를 사용하면, 표시 장치의 가요성을 높이고, 플렉시블 디스플레이를 실현할 수 있다. 또한 기판(151) 및 기판(152) 중 적어도 한쪽으로서 편광판을 사용하여도 좋다.

[0413] 기판(151) 및 기판(152)에는 각각 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN) 등의 폴리에스터 수지, 폴리아크릴로나이트릴 수지, 아크릴 수지, 폴리이미드 수지, 폴리메틸메타크릴레이트 수지, 폴리카보네이트(PC) 수지, 폴리에터설폰(PES) 수지, 폴리아마이드 수지(나일론, 아라미드 등), 폴리실록산 수지, 사이클로올레핀 수지, 폴리스타이렌 수지, 폴리아마이드이미드 수지, 폴리우레탄 수지, 폴리염화 바이닐 수지, 폴리염화 바이닐리덴 수지, 폴리프로필렌 수지, 폴리테트라플루오로에틸렌(PTFE) 수지, ABS 수지, 셀룰로스 나노 섬유 등을 사용할 수 있다. 기판(151) 및 기판(152) 중 적어도 한쪽으로서 가요성을 가질 정도의 두께를 가지는 유리를 사용하여도 좋다.

[0414] 또한 표시 장치에 원편광판을 중첩시키는 경우, 표시 장치에 포함되는 기판으로서는 광학적 등방성이 높은 기판을 사용하는 것이 바람직하다. 광학적 등방성이 높은 기판은 복굴절이 작다(복굴절량이 적다고도 할 수 있음). 광학적 등방성이 높은 필름으로서는, 트라이아세틸셀룰로스(TAC, 셀룰로스트라이아세테이트라고도 함) 필름, 사이클로올레핀 폴리머(COP) 필름, 사이클로올레핀 공중합체(COC) 필름, 및 아크릴 필름 등을 들 수 있다.

[0415] 접착층(142)에는 자외선 경화형 등의 광 경화형 접착제, 반응 경화형 접착제, 열 경화형 접착제, 혐기형 접착제 등 각종 경화형 접착제를 사용할 수 있다. 이들 접착제로서는 에폭시 수지, 아크릴 수지, 실리콘 수지, 페놀 수지, 폴리이미드 수지, 이미드 수지, PVC(폴리바이닐클로라이드) 수지, PVB(폴리바이닐뷰티랄) 수지, EVA(에틸렌바이닐아세테이트) 수지 등을 들 수 있다. 특히 에폭시 수지 등의 투습성이 낮은 재료가 바람직하다. 또한 2액 혼합형 수지를 사용하여도 좋다. 또한 접착 시트 등을 사용하여도 좋다.

[0416] 접속층(242)으로서는 이방성 도전 필름(ACF: Anisotropic Conductive Film), 이방성 도전 페이스트(ACP: Anisotropic Conductive Paste) 등을 사용할 수 있다.

[0417] [표시 장치(50B)]

[0418] 도 14에 나타낸 표시 장치(50B)는 각 색의 부화소가 각각의 착색층(컬러 필터 등)과, 발광 소자에서 공유되는 EL층(113)을 포함하는 점이 표시 장치(50A)와 주로 다르다. 또한 표시 장치에 대한 이하의 설명에서는, 앞에서 설명한 표시 장치와 같은 부분에 대해서는 설명을 생략하는 경우가 있다.

[0419] 도 14에 나타낸 표시 장치(50B)에서는, 기판(151)과 기판(152) 사이에 트랜지스터(205D), 트랜지스터(205R), 트랜지스터(205G), 트랜지스터(205B), 발광 소자(130R), 발광 소자(130G), 발광 소자(130B), 적색의 광을 투과시키는 착색층(132R), 녹색의 광을 투과시키는 착색층(132G), 및 청색의 광을 투과시키는 착색층(132B) 등이 제공된다.

[0420] 발광 소자(130R)는 화소 전극(111R)과, 화소 전극(111R) 위의 EL층(113)과, EL층(113) 위의 공통 전극(115)을 가진다. 발광 소자(130R)로부터 방출되는 광은 착색층(132R)을 통하여 표시 장치(50B)의 외부에 적색의 광으로서 추출된다.

[0421] 발광 소자(130G)는 화소 전극(111G)과, 화소 전극(111G) 위의 EL층(113)과, EL층(113) 위의 공통 전극(115)을 가진다. 발광 소자(130G)로부터 방출되는 광은 착색층(132G)을 통하여 표시 장치(50B)의 외부에 녹색의 광으로서 추출된다.

[0422] 발광 소자(130B)는 화소 전극(111B)과, 화소 전극(111B) 위의 EL층(113)과, EL층(113) 위의 공통 전극(115)을 가진다. 발광 소자(130B)로부터 방출되는 광은 착색층(132B)을 통하여 표시 장치(50B)의 외부에 청색의 광으로서 추출된다.

[0423] 발광 소자(130R), 발광 소자(130G), 및 발광 소자(130B)에서는 EL층(113)과 공통 전극(115)이 각각 공유된다. 각 색의 부화소에서 EL층(113)이 공유되는 구성은 각 색의 부화소에서 각각의 EL층을 제공하는 구성에 비하여

제작 공정 수를 줄일 수 있다.

[0424] 예를 들어 도 14에 나타낸 발광 소자(130R), 발광 소자(130G), 및 발광 소자(130B)는 각각 백색의 광을 방출한다. 발광 소자(130R), 발광 소자(130G), 및 발광 소자(130B)로부터 방출되는 백색의 광이 각각 착색층(132R), 착색층(132G), 및 착색층(132B)을 투과함으로써, 원하는 색의 광을 얻을 수 있다.

[0425] 백색의 광을 방출하는 발광 소자에서는 2개 이상의 발광층이 포함되는 것이 바람직하다. 2개의 발광층을 사용하여 백색 발광을 얻는 경우, 2개의 발광층의 발광색이 보색 관계가 되는 발광층을 선택하면 좋다. 예를 들어 제 1 발광층의 발광색과 제 2 발광층의 발광색을 보색 관계가 되도록 함으로써, 발광 소자 전체로서 백색의 광을 방출하는 구성을 얻을 수 있다. 또한 3개 이상의 발광층을 사용하여 백색 발광을 얻는 경우에는, 3개 이상의 발광층의 발광색이 혼합됨으로써, 발광 소자 전체로서 백색의 광을 방출하는 구성으로 하면 좋다.

[0426] EL층(113)은 예를 들어 청색의 광을 방출하는 발광 물질을 가지는 발광층 및 청색보다 파장이 긴 가시광을 방출하는 발광 물질을 가지는 발광층을 가지는 것이 바람직하다. EL층(113)은 예를 들어 황색의 광(Y)을 방출하는 발광층 및 청색의 광을 방출하는 발광층을 포함하는 것이 바람직하다. 또는 EL층(113)은 예를 들어 적색의 광을 방출하는 발광층, 녹색의 광을 방출하는 발광층, 및 청색의 광을 방출하는 발광층을 가지는 것이 바람직하다.

[0427] 백색의 광을 방출하는 발광 소자는 탠덤 구조를 가지는 것이 바람직하다. 구체적으로는 황색의 광을 방출하는 발광 유닛과 청색의 광을 방출하는 발광 유닛을 가지는 2단 탠덤 구조, 적색과 녹색의 광을 방출하는 발광 유닛과 청색의 광을 방출하는 발광 유닛을 가지는 2단 탠덤 구조, 청색의 광을 방출하는 발광 유닛과, 황색, 황록색, 또는 녹색의 광을 방출하는 발광 유닛과, 청색의 광을 방출하는 발광 유닛을 이 순서대로 가지는 3단 탠덤 구조, 또는 청색의 광을 방출하는 발광 유닛과, 황색, 황록색, 또는 녹색의 광과 적색의 광을 방출하는 발광 유닛과, 청색의 광을 방출하는 발광 유닛을 이 순서대로 가지는 3단 탠덤 구조 등을 적용할 수 있다. 예를 들어 발광 유닛의 적층 수와 색의 순서로서는, 양극 측으로부터 B, Y의 2단 구조, B, 발광 유닛 X의 2단 구조, B, Y, B의 3단 구조, B, X, B의 3단 구조가 있고, 발광 유닛 X에서의 발광층의 적층 수와 색의 순서로서는, 양극 측으로부터 R, Y의 2층 구조, R, G의 2층 구조, G, R의 2층 구조, G, R, G의 3층 구조, 또는 R, G, R의 3층 구조 등이 있다. 또한 2개의 발광층 사이에 다른 층이 제공되어도 좋다.

[0428] 또는 예를 들어 도 14에 나타낸 발광 소자(130R), 발광 소자(130G), 및 발광 소자(130B)는 각각 청색의 광을 방출한다. 이때 EL층(113)은 청색의 광을 방출하는 발광층을 하나 이상 가진다. 청색의 광을 나타내는 부화소(11B)에서는 발광 소자(130B)로부터 방출되는 청색의 광을 추출할 수 있다. 또한 적색의 광을 나타내는 부화소(11R) 및 녹색의 광을 나타내는 부화소(11G)에서는 발광 소자(130R) 또는 발광 소자(130G)와 기판(152) 사이에 색 변환층을 제공함으로써, 발광 소자(130R) 또는 발광 소자(130G)로부터 방출되는 청색의 광을 더 긴 파장의 광으로 변환하여 적색 또는 녹색의 광으로서 추출할 수 있다. 또한 발광 소자(130R) 위에서는 색 변환층과 기판(152) 사이에 착색층(132R)을 제공하고, 발광 소자(130G) 위에서는 색 변환층과 기판(152) 사이에 착색층(132G)을 제공하는 것이 바람직하다. 발광 소자로부터 방출된 광의 일부는 변환되지 않고 색 변환층을 투과하는 경우가 있다. 색 변환층을 투과한 광이 착색층을 통하여 추출됨으로써, 원하는 색의 광 이외의 광이 착색층에 의하여 흡수되기 때문에, 부화소가 나타내는 광의 색 순도를 높일 수 있다.

[0429] [표시 장치(50C)]

[0430] 도 15에 나타낸 표시 장치(50C)는 보텀 이미션형 구조를 가지는 점이 표시 장치(50B)와 주로 다르다.

[0431] 발광 소자로부터 방출되는 광은 기판(151) 측에 방출된다. 기판(151)에는 가시광 투과성이 높은 재료를 사용하는 것이 바람직하다. 한편, 기판(152)에 사용하는 재료의 광 투과성은 한정되지 않는다.

[0432] 기판(151)과 트랜지스터 사이에는 차광층(117)을 형성하는 것이 바람직하다. 도 15에는 기판(151) 위에 차광층(117)이 제공되고, 차광층(117) 위에 절연층(153)이 제공되고, 절연층(153) 위에 트랜지스터(205D), 트랜지스터(205R)(도시하지 않았음), 트랜지스터(205G), 및 트랜지스터(205B) 등이 제공된 예를 나타내었다. 또한 절연층(218) 위에 착색층(132R)(도시하지 않았음), 착색층(132G), 및 착색층(132B)이 제공되고, 착색층(132R), 착색층(132G), 및 착색층(132B) 위에 절연층(235)이 제공되어 있다.

[0433] 착색층(132R)과 중첩되는 발광 소자(130R)(도시하지 않았음)는 화소 전극(111R)(도시하지 않았음)과, EL층(113)과, 공통 전극(115)을 가진다.

[0434] 착색층(132G)과 중첩되는 발광 소자(130G)는 화소 전극(111G)과, EL층(113)과, 공통 전극(115)을 가진다.

[0435] 착색층(132B)과 중첩되는 발광 소자(130B)는 화소 전극(111B)과, EL층(113)과, 공통 전극(115)을 가진다.

[0436] 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B)에는 각각 가시광 투과성이 높은 재료를 사용한다. 공통 전극(115)에는 가시광을 반사하는 재료를 사용하는 것이 바람직하다. 보텀 이미션형 구조를 가지는 표시 장치에서는 공통 전극(115)에 저항이 낮은 금속 등을 사용할 수 있기 때문에, 공통 전극(115)의 저항에 기인한 전압 감소를 억제할 수 있어, 높은 표시 품질을 실현할 수 있다.

[0437] 본 발명의 일 형태의 트랜지스터는 미세화가 가능하고, 기판면 내에서의 트랜지스터의 점유 면적을 축소할 수 있기 때문에, 보텀 이미션형 구조를 가지는 표시 장치에서 화소의 개구율을 높이거나 화소의 크기를 축소할 수 있다.

[0438] [표시 장치(50D)]

[0439] 도 16에 나타낸 표시 장치(50D)는 수광 소자(130S)를 가지는 점이 표시 장치(50A)와 주로 다르다.

[0440] 표시 장치(50D)는 화소에 발광 소자와 수광 소자를 가진다. 표시 장치(50D)에서는 발광 소자로서 유기 EL 소자를 사용하고, 수광 소자로서 유기 포토다이오드를 사용하는 것이 바람직하다. 유기 EL 소자 및 유기 포토다이오드는 동일 기판 위에 형성될 수 있다. 따라서 유기 EL 소자를 사용한 표시 장치에 유기 포토다이오드를 내장시킬 수 있다.

[0441] 발광 소자 및 수광 소자를 화소에 포함하는 표시 장치(50D)에서는 화소가 수광 기능을 가지기 때문에, 화상을 표시하면서 대상물의 접촉 또는 근접을 검출할 수 있다. 따라서 표시부(162)는 화상 표시 기능에 더하여 촬상 기능 및 센싱 기능 중 한쪽 또는 양쪽을 가진다. 예를 들어 표시 장치(50D)에 포함되는 모든 부화소를 사용하여 화상을 표시할 뿐만 아니라, 일부의 부화소가 광원으로서의 광을 나타내고, 다른 일부의 부화소가 광 검출을 수행하고, 나머지 부화소가 화상을 표시할 수도 있다.

[0442] 따라서 표시 장치(50D)와 별도로 수광부 및 광원을 제공하지 않아도 되므로, 전자 기기의 부품 점수를 줄일 수 있다. 예를 들어 전자 기기에 제공되는 생체 인증 장치 또는 스크롤 등을 수행하기 위한 정전 용량 방식의 터치 패널 등을 별도로 제공할 필요가 없다. 따라서 표시 장치(50D)를 사용함으로써, 제조 비용이 절감된 전자 기기를 제공할 수 있다.

[0443] 수광 소자를 이미지 센서로서 사용하는 경우, 표시 장치(50D)는 수광 소자를 사용하여 화상을 촬상할 수 있다. 예를 들어 이미지 센서를 사용하여 지문, 장문, 홍채, 맥 형상(정맥 형상, 동맥 형상을 포함함), 또는 얼굴 등을 사용한 개인 인증을 위한 촬상을 수행할 수 있다.

[0444] 또한 수광 소자는 터치 센서(디렉트 터치 센서라고도 함) 또는 비접촉 센서(호버 센서, 호버 터치 센서, 터치리스 센서라고도 함) 등에 사용할 수 있다. 터치 센서는 표시 장치와 대상물(손가락, 손, 또는 펜 등)이 직접 접한 경우에 대상물을 검출할 수 있다. 또한 비접촉 센서는 대상물이 표시 장치에 접촉하지 않아도 상기 대상물을 검출할 수 있다.

[0445] 수광 소자(130S)는 절연층(235) 위의 화소 전극(111S)과, 화소 전극(111S) 위의 기능층(113S)과, 기능층(113S) 위의 공통 전극(115)을 가진다. 기능층(113S)에는 표시 장치(50D)의 외부로부터 광(Lin)이 입사한다.

[0446] 화소 전극(111S)은 절연층(106), 절연층(218), 및 절연층(235)에 제공된 개구를 통하여 트랜지스터(205S)에 포함되는 도전층(112b)에 전기적으로 접속되어 있다.

[0447] 화소 전극(111S)의 단부는 절연층(237)으로 덮여 있다.

[0448] 공통 전극(115)은 수광 소자(130S), 발광 소자(130R)(도시하지 않았음), 발광 소자(130G), 및 발광 소자(130B)에서 공유되는 하나의 연속적인 막이다. 발광 소자와 수광 소자에서 공유되는 공통 전극(115)은 접속부(140)에 제공된 도전층(123)에 전기적으로 접속된다.

[0449] 기능층(113S)은 적어도 활성층(광전 변환층이라고도 함)을 가진다. 활성층은 반도체를 포함한다. 상기 반도체로서는 실리콘 등의 무기 반도체 및 유기 화합물을 포함한 유기 반도체를 들 수 있다. 본 실시형태에서는 활성층에 포함되는 반도체로서 유기 반도체를 사용하는 예를 제시한다. 유기 반도체를 사용함으로써, 발광층과 활성층을 같은 방법(예를 들어 진공 증착법)으로 형성할 수 있기 때문에, 제조 장치를 공통화할 수 있어 바람직하다.

[0450] 기능층(113S)은 활성층 이외에도, 정공 수송성이 높은 물질, 전자 수송성이 높은 물질, 또는 양극성 물질(전자

수송성 및 정공 수송성이 높은 물질) 등을 포함한 층을 더 가져도 좋다. 또한 상기에 한정되지 않고, 정공 주입성이 높은 물질, 정공 차단 재료, 전자 주입성이 높은 물질, 또는 전자 차단 재료 등을 포함한 층을 더 포함하여도 좋다. 수광 소자에 포함되는 활성층 이외의 층에는 예를 들어 상술한 발광 소자에 사용할 수 있는 재료를 사용할 수 있다.

[0451] 수광 소자에는 저분자 화합물 및 고분자 화합물 중 어느 쪽이든 사용할 수 있고, 무기 화합물이 포함되어도 좋다. 수광 소자를 구성하는 층은 각각 증착법(진공 증착법을 포함함), 전사법, 인쇄법, 잉크젯법, 도포법 등의 방법으로 형성할 수 있다.

[0452] [표시 장치(50E)]

[0453] 도 17에 나타낸 표시 장치(50E)는 MML 구조가 적용된 표시 장치의 일례이다. 즉 표시 장치(50E)는 파인 메탈 마스크를 사용하지 않고 제작된 발광 소자를 가진다. 또한 기판(151)에서 절연층(235)까지의 적층 구조 및 보호층(131)에서 기판(152)까지의 적층 구조는 표시 장치(50A)와 같기 때문에 설명을 생략한다.

[0454] 도 17에서 절연층(235) 위에 발광 소자(130R), 발광 소자(130G), 및 발광 소자(130B)가 제공되어 있다.

[0455] 발광 소자(130R)는 절연층(235) 위의 도전층(124R)과, 도전층(124R) 위의 도전층(126R)과, 도전층(126R) 위의 층(133R)과, 층(133R) 위의 공통층(114)과, 공통층(114) 위의 공통 전극(115)을 가진다. 도 17에 나타낸 발광 소자(130R)는 적색의 광(R)을 방출한다. 층(133R)은 적색의 광을 방출하는 발광층을 가진다. 발광 소자(130R)에서 층(133R) 및 공통층(114)을 통틀어 EL층이라고 부를 수 있다. 또한 도전층(124R) 및 도전층(126R) 중 한쪽 또는 양쪽을 화소 전극이라고 부를 수 있다.

[0456] 발광 소자(130G)는 절연층(235) 위의 도전층(124G)과, 도전층(124G) 위의 도전층(126G)과, 도전층(126G) 위의 층(133G)과, 층(133G) 위의 공통층(114)과, 공통층(114) 위의 공통 전극(115)을 가진다. 도 17에 나타낸 발광 소자(130G)는 녹색의 광(G)을 방출한다. 층(133G)은 녹색의 광을 방출하는 발광층을 가진다. 발광 소자(130G)에서 층(133G) 및 공통층(114)을 통틀어 EL층이라고 부를 수 있다. 또한 도전층(124G) 및 도전층(126G) 중 한쪽 또는 양쪽을 화소 전극이라고 부를 수 있다.

[0457] 발광 소자(130B)는 절연층(235) 위의 도전층(124B)과, 도전층(124B) 위의 도전층(126B)과, 도전층(126B) 위의 층(133B)과, 층(133B) 위의 공통층(114)과, 공통층(114) 위의 공통 전극(115)을 가진다. 도 17에 나타낸 발광 소자(130B)는 청색의 광(B)을 방출한다. 층(133B)은 청색의 광을 방출하는 발광층을 가진다. 발광 소자(130B)에서 층(133B) 및 공통층(114)을 통틀어 EL층이라고 부를 수 있다. 또한 도전층(124B) 및 도전층(126B) 중 한쪽 또는 양쪽을 화소 전극이라고 부를 수 있다.

[0458] 본 명세서 등에서는 발광 소자에 포함되는 EL층 중 각 발광 소자에 제공된 섬 형상의 층을 층(133B), 층(133G), 또는 층(133R)이라고 하고, 복수의 발광 소자에서 공유되는 층을 공통층(114)이라고 한다. 또한 본 명세서 등에서는 공통층(114)을 포함시키지 않고, 층(133R), 층(133G), 및 층(133B)만을 가리켜 섬 형상의 EL층, 섬 형상으로 형성된 EL층 등이라고 하는 경우도 있다.

[0459] 층(133R), 층(133G), 및 층(133B)은 서로 떨어져 있다. EL층을 각 발광 소자에 섬 형상으로 제공함으로써, 인접한 발광 소자 간의 누설 전류를 억제할 수 있다. 이에 의하여, 의도하지 않은 발광에 기인한 크로스토크를 방지할 수 있어, 콘트라스트가 매우 높은 표시 장치를 실현할 수 있다.

[0460] 또한 도 17에서 층(133R), 층(133G), 및 층(133B)은 모두 같은 막 두께를 가지지만, 이에 한정되지 않는다. 층(133R), 층(133G), 및 층(133B)은 막 두께가 서로 달라도 좋다.

[0461] 도전층(124R)은 절연층(106), 절연층(218), 및 절연층(235)에 제공된 개구를 통하여 트랜지스터(205R)에 포함되는 도전층(112b)에 전기적으로 접속되어 있다. 마찬가지로, 도전층(124G)은 트랜지스터(205G)에 포함되는 도전층(112b)에 전기적으로 접속되고, 도전층(124B)은 트랜지스터(205B)에 포함되는 도전층(112b)에 전기적으로 접속되어 있다.

[0462] 도전층(124R), 도전층(124G), 및 도전층(124B)은 각각 절연층(235)에 제공된 개구를 덮도록 형성된다. 도전층(124R), 도전층(124G), 및 도전층(124B)의 오목부에는 각각 층(128)이 매립되어 있다.

[0463] 층(128)은 도전층(124R), 도전층(124G), 및 도전층(124B)의 오목부를 평탄화하는 기능을 가진다. 도전층(124R), 도전층(124G), 도전층(124B), 및 층(128) 위에는 각각 도전층(124R), 도전층(124G), 및 도전층(124B)에 전기적으로 접속되는 도전층(126R), 도전층(126G), 및 도전층(126B)이 제공되어 있다. 따라서 도전층

(124R), 도전층(124G), 및 도전층(124B)의 오목부와 중첩되는 영역도 발광 영역으로서 사용할 수 있기 때문에, 화소의 개구율을 높일 수 있다. 도전층(124R) 및 도전층(126R), 도전층(124G) 및 도전층(126G), 그리고 도전층(124B) 및 도전층(126B)에는 각각 반사 전극으로서 기능하는 도전층을 사용하는 것이 바람직하다.

[0464] 층(128)은 절연층이어도 좋고, 도전층이어도 좋다. 층(128)에는 각종 무기 절연 재료, 유기 절연 재료, 및 도전 재료를 적절히 사용할 수 있다. 특히 층(128)은 절연 재료를 사용하여 형성되는 것이 바람직하고, 유기 절연 재료를 사용하여 형성되는 것이 특히 바람직하다. 층(128)에는 예를 들어 상술한 절연층(237)에 사용할 수 있는 유기 절연 재료를 적용할 수 있다.

[0465] 도 17에는 층(128)의 상면이 평탄부를 가지는 예를 나타내었지만, 층(128)의 형상은 특별히 한정되지 않는다. 층(128)의 상면은 볼록한 곡면, 오목한 곡면, 및 평면 중 적어도 하나를 가질 수 있다.

[0466] 또한 층(128)의 상면의 높이와 도전층(124R)의 상면의 높이는 일치하거나 실질적으로 일치하여도 좋고, 서로 달라도 좋다. 예를 들어 층(128)의 상면의 높이는 도전층(124R)의 상면의 높이보다 낮아도 좋고 높아도 좋다.

[0467] 도전층(126R)의 단부는 도전층(124R)의 단부와 일치하여도 좋고, 도전층(124R)의 단부의 측면을 덮어도 좋다. 도전층(124R) 및 도전층(126R) 각각의 단부는 테이퍼 형상을 가지는 것이 바람직하다. 구체적으로는 도전층(124R) 및 도전층(126R) 각각의 단부는 테이퍼각이 90° 미만인 테이퍼 형상을 가지는 것이 바람직하다. 화소 전극의 단부가 테이퍼 형상을 가지는 경우, 화소 전극의 측면을 따라 제공되는 층(133R)은 경사진 부분을 가진다. 화소 전극의 측면을 테이퍼 형상으로 함으로써, 화소 전극의 측면을 따라 제공되는 EL층의 피복성을 양호하게 할 수 있다.

[0468] 또한 도전층(124G), 도전층(126G) 및 도전층(124B), 도전층(126B)은 도전층(124R), 도전층(126R)과 같기 때문에 자세한 설명은 생략한다.

[0469] 도전층(126R)의 상면 및 측면은 층(133R)으로 덮여 있다. 마찬가지로, 도전층(126G)의 상면 및 측면은 층(133G)으로 덮여 있고, 도전층(126B)의 상면 및 측면은 층(133B)으로 덮여 있다. 따라서 도전층(126R), 도전층(126G), 및 도전층(126B)이 제공된 영역 전체를 각각 발광 소자(130R), 발광 소자(130G), 및 발광 소자(130B)의 발광 영역으로서 사용할 수 있기 때문에, 화소의 개구율을 높일 수 있다.

[0470] 층(133R), 층(133G), 및 층(133B) 각각의 상면의 일부 및 측면은 절연층(125) 및 절연층(127)으로 덮여 있다. 층(133R), 층(133G), 층(133B), 절연층(125), 및 절연층(127) 위에 공통층(114)이 제공되고, 공통층(114) 위에 공통 전극(115)이 제공되어 있다. 공통층(114) 및 공통 전극(115)은 각각 복수의 발광 소자에서 공유되는 하나의 연속적인 막이다.

[0471] 도 17에서 도전층(126R)과 층(133R) 사이에는 도 13 등에 나타낸 절연층(237)이 제공되어 있지 않다. 즉 표시 장치(50E)에는 화소 전극에 접하고, 화소 전극의 상면 단부를 덮는 절연층(격벽, 뱅크, 스페이서 등이라고도 함)이 제공되어 있지 않다. 그러므로 인접한 발광 소자 사이의 간격을 매우 좁게 할 수 있다. 따라서 정세도 또는 해상도가 높은 표시 장치로 할 수 있다. 또한 상기 절연층을 형성하기 위한 마스크도 불필요하므로, 표시 장치의 제조 비용을 절감할 수 있다.

[0472] 상술한 바와 같이, 층(133R), 층(133G), 및 층(133B)은 각각 발광층을 가진다. 층(133R), 층(133G), 및 층(133B)은 각각 발광층과, 발광층 위의 캐리어 수송층(전자 수송층 또는 정공 수송층)을 가지는 것이 바람직하다. 또는 층(133R), 층(133G), 및 층(133B)은 각각 발광층과, 발광층 위의 캐리어 차단층(정공 차단층 또는 전자 차단층)을 가지는 것이 바람직하다. 또는 층(133R), 층(133G), 및 층(133B)은 각각 발광층과, 발광층 위의 캐리어 차단층과, 캐리어 차단층 위의 캐리어 수송층을 가지는 것이 바람직하다. 층(133R), 층(133G), 및 층(133B)의 표면은 표시 장치의 제작 공정 중에 노출되기 때문에, 캐리어 수송층 및 캐리어 차단층 중 한쪽 또는 양쪽을 발광층 위에 제공함으로써, 발광층이 가장 바깥쪽으로 노출되는 것이 억제되어, 발광층이 받는 대미지를 줄일 수 있다. 이에 의하여, 발광 소자의 신뢰성을 높일 수 있다.

[0473] 공통층(114)은 예를 들어 전자 주입층 또는 정공 주입층을 가진다. 또는 공통층(114)은 전자 수송층과 전자 주입층의 적층이어도 좋고, 정공 수송층과 정공 주입층의 적층이어도 좋다. 공통층(114)은 발광 소자(130R)와, 발광 소자(130G)와, 발광 소자(130B)에서 공유되어 있다.

[0474] 층(133R), 층(133G), 및 층(133B) 각각의 측면은 절연층(125)으로 덮여 있다. 절연층(127)은 절연층(125)을 개재하여 층(133R), 층(133G), 및 층(133B) 각각의 측면을 덮는다.

[0475] 층(133R), 층(133G), 및 층(133B)의 측면(또한 상면의 일부)이 절연층(125) 및 절연층(127) 중 적어도 한쪽으로

덮여 있으면, 공통층(114)(또는 공통 전극(115))이 화소 전극 및 층(133R), 층(133G), 및 층(133B)의 각각의 측면과 접하는 것이 억제되어, 발광 소자의 단락을 억제할 수 있다. 이에 의하여, 발광 소자의 신뢰성을 높일 수 있다.

[0476] 절연층(125)은 층(133R), 층(133G), 및 층(133B) 각각의 측면과 접하는 것이 바람직하다. 절연층(125)이 층(133R), 층(133G), 및 층(133B)과 접하는 구성으로 함으로써, 층(133R), 층(133G), 및 층(133B)의 막 박리를 방지할 수 있어, 발광 소자의 신뢰성을 높일 수 있다.

[0477] 절연층(127)은 절연층(125)의 오목부를 충전하도록 절연층(125) 위에 제공된다. 절연층(127)은 절연층(125)의 측면의 적어도 일부를 덮는 것이 바람직하다.

[0478] 절연층(125) 및 절연층(127)을 제공함으로써, 인접한 섬 형상의 층 사이를 메울 수 있기 때문에, 섬 형상의 층 위에 제공되는 층(예를 들어 캐리어 주입층 및 공통 전극 등)의 피형성면의 큰 요철을 저감하여 더 평탄하게 할 수 있다. 따라서 캐리어 주입층 및 공통 전극 등의 피복성을 높일 수 있다.

[0479] 공통층(114) 및 공통 전극(115)은 층(133R), 층(133G), 층(133B), 절연층(125), 및 절연층(127) 위에 제공된다. 절연층(125) 및 절연층(127)을 제공하기 전의 단계에서는, 화소 전극 및 섬 형상의 EL층이 제공되는 영역과, 화소 전극 및 섬 형상의 EL층이 제공되지 않는 영역(발광 소자 사이의 영역)의 차이에 기인한 단차가 발생한다. 본 발명의 일 형태의 표시 장치에서는 절연층(125) 및 절연층(127)을 가짐으로써 상기 단차를 평탄화할 수 있어, 공통층(114) 및 공통 전극(115)의 피복성을 향상시킬 수 있다. 따라서 공통층(114) 및 공통 전극(115)의 단절로 인한 접속 불량을 억제할 수 있다. 또한 단차로 인하여 공통 전극(115)이 국소적으로 얇아져 전기 저항이 상승하는 것을 억제할 수 있다.

[0480] 절연층(127)의 상면은 평탄성이 보다 높은 형상을 가지는 것이 바람직하다. 절연층(127)의 상면은 평면, 볼록한 곡면, 및 오목한 곡면 중 적어도 하나를 가져도 좋다. 예를 들어 절연층(127)의 상면은 평탄성이 높은, 매끈한 볼록 곡면 형상을 가지는 것이 바람직하다.

[0481] 절연층(125)은 무기 재료를 가지는 절연층으로 할 수 있다. 절연층(125)으로서는 예를 들어 산화 절연막, 질화 절연막, 산화질화 절연막, 및 질화산화 절연막 등의 무기 절연막을 사용할 수 있다. 이들 무기 절연막의 구체적인 예는 상술한 바와 같다. 절연층(125)은 단층 구조를 가져도 좋고, 적층 구조를 가져도 좋다. 특히 산화 알루미늄은 에칭 시에 EL층에 대한 선택비가 높고, 후술하는 절연층(127)의 형성 시에 EL층을 보호하는 기능을 가지기 때문에 바람직하다. 특히 ALD법에 의하여 형성한 산화 알루미늄막, 산화 하프늄막, 또는 산화 실리콘막 등의 무기 절연막을 절연층(125)에 적용함으로써, 핀홀이 적고, EL층을 보호하는 기능이 우수한 절연층(125)을 형성할 수 있다. 또한 절연층(125)은 ALD법에 의하여 형성된 막과 스퍼터링법에 의하여 형성된 막의 적층 구조를 가져도 좋다. 절연층(125)은 예를 들어 ALD법에 의하여 형성된 산화 알루미늄막과 스퍼터링법에 의하여 형성된 질화 실리콘막의 적층 구조를 가져도 좋다.

[0482] 절연층(125)은 물 및 산소 중 적어도 한쪽에 대한 배리어 절연층으로서의 기능을 가지는 것이 바람직하다. 또한 절연층(125)은 물 및 산소 중 적어도 한쪽의 확산을 억제하는 기능을 가지는 것이 바람직하다. 또한 절연층(125)은 물 및 산소 중 적어도 한쪽을 포획 또는 고착하는(게터링이라고도 함) 기능을 가지는 것이 바람직하다.

[0483] 또한 본 명세서 등에서 배리어 절연층이란, 배리어성을 가지는 절연층을 가리킨다. 또한 본 명세서 등에서 배리어성이란, 대응하는 물질의 확산을 억제하는 기능(투과성이 낮다고도 함)을 가리킨다. 또는 배리어성이란, 대응하는 물질을 포획 또는 고착하는(게터링이라고도 함) 기능을 가리킨다.

[0484] 절연층(125)이 배리어 절연층으로서의 기능 또는 게터링 기능을 가지면, 외부로부터 각 발광 소자로 확산될 수 있는 불순물(대표적으로는, 물 및 산소 중 적어도 한쪽)의 침입이 억제될 수 있다. 상기 구성으로 함으로써, 신뢰성이 높은 발광 소자 및 신뢰성이 높은 표시 장치를 제공할 수 있다.

[0485] 또한 절연층(125)은 불순물 농도가 낮은 것이 바람직하다. 이 경우, 절연층(125)으로부터 EL층에 불순물이 혼입되어 EL층이 열화되는 것을 억제할 수 있다. 또한 절연층(125)에서 불순물 농도를 낮게 함으로써, 물 및 산소 중 적어도 한쪽에 대한 배리어성을 높일 수 있다. 예를 들어 절연층(125)은 수소 농도 및 탄소 농도 중 한쪽, 바람직하게는 양쪽이 충분히 낮은 것이 바람직하다.

[0486] 절연층(125) 위에 제공되는 절연층(127)은 인접한 발광 소자 사이에 형성된 절연층(125)의 큰 요철을 평탄화하는 기능을 가진다. 바꿔 말하면, 절연층(127)은 공통 전극(115)이 형성되는 면의 평탄성을 향상시키는 효과를 가진다.

[0487] 절연층(127)으로서는 유기 재료를 가지는 절연층을 적합하게 사용할 수 있다. 유기 재료로서는 감광성 유기 수지를 사용하는 것이 바람직하고, 예를 들어 아크릴 수지를 포함한 감광성 수지 조성물을 사용하는 것이 바람직하다. 또한 본 명세서 등에서 아크릴 수지란, 폴리메타크릴산 에스터 또는 메타크릴 수지만을 가리키는 것이 아니고, 넓은 의미의 아크릴계 폴리머 전체를 가리키는 경우가 있다.

[0488] 또한 절연층(127)에는 아크릴 수지, 폴리이미드 수지, 에폭시 수지, 이미드 수지, 폴리아마이드 수지, 폴리이미드아마이드 수지, 실리콘(silicone) 수지, 실록산 수지, 벤조사이클로뷰텐계 수지, 페놀 수지, 및 이들 수지의 전구체 등을 사용하여도 좋다. 또한 절연층(127)에는 폴리바이닐알코올(PVA), 폴리바이닐뷰티랄, 폴리바이닐피롤리돈, 폴리에틸렌글라이콜, 폴리글리세린, 풀루란, 수용성 셀룰로스, 또는 알코올 가용성 폴리아마이드 수지 등의 유기 재료를 사용하여도 좋다. 또한 감광성 유기 수지로서는 포토레지스트를 사용하여도 좋다. 감광성 유기 수지로서는 포지티브형 재료 및 네거티브형 재료 중 어느 쪽을 사용하여도 좋다.

[0489] 절연층(127)에는 가시광을 흡수하는 재료를 사용하여도 좋다. 절연층(127)이 발광 소자로부터 방출되는 광을 흡수함으로써, 발광 소자로부터 절연층(127)을 통하여 인접한 발광 소자에 광이 누설되는 것(미광)을 억제할 수 있다. 이에 의하여, 표시 장치의 표시 품질을 높일 수 있다. 또한 표시 장치에 편광판을 사용하지 않아도 표시 품질을 높일 수 있기 때문에, 표시 장치를 경량화 및 박형화할 수 있다.

[0490] 가시광을 흡수하는 재료로서는, 흑색 등의 안료를 포함한 재료, 염료를 포함한 재료, 광 흡수성을 가지는 수지 재료(예를 들어 폴리이미드 등), 및 컬러 필터에 사용할 수 있는 수지 재료(컬러 필터 재료)를 들 수 있다. 특히 2색 또는 3색 이상의 컬러 필터 재료를 적층 또는 혼합한 수지 재료를 사용하면, 가시광의 차폐 효과를 높일 수 있기 때문에 바람직하다. 특히 3색 이상의 컬러 필터 재료를 혼합함으로써, 흑색 또는 흑색에 가까운 수지층으로 할 수 있다.

[0491] [표시 장치(50F)]

[0492] 도 18에 나타낸 표시 장치(50F)는 각 색의 부화소가 층(133)을 가지는 발광 소자와 착색층(컬러 필터 등)을 각각 포함하는 점이 표시 장치(50E)와 주로 다르다.

[0493] 도 18에 나타낸 표시 장치(50F)에서는, 기판(151)과 기판(152) 사이에 트랜지스터(205D), 트랜지스터(205R), 트랜지스터(205G), 트랜지스터(205B), 발광 소자(130R), 발광 소자(130G), 발광 소자(130B), 적색의 광을 투과시키는 착색층(132R), 녹색의 광을 투과시키는 착색층(132G), 및 청색의 광을 투과시키는 착색층(132B) 등이 제공된다.

[0494] 발광 소자(130R)로부터 방출되는 광은 착색층(132R)을 통하여 표시 장치(50F)의 외부에 적색의 광으로서 추출된다. 마찬가지로, 발광 소자(130G)로부터 방출되는 광은 착색층(132G)을 통하여 표시 장치(50F)의 외부에 녹색의 광으로서 추출된다. 발광 소자(130B)로부터 방출되는 광은 착색층(132B)을 통하여 표시 장치(50F)의 외부에 청색의 광으로서 추출된다.

[0495] 발광 소자(130R), 발광 소자(130G), 및 발광 소자(130B)는 각각 층(133)을 가진다. 이들 3개의 층(133)은 동일한 재료를 사용하여 동일한 공정으로 형성된다. 또한 이들 3개의 층(133)은 서로 떨어져 있다. EL층을 각 발광 소자에 섬 형상으로 제공함으로써, 인접한 발광 소자 간의 누설 전류를 억제할 수 있다. 이에 의하여, 의도하지 않은 발광에 기인한 크로스토크를 방지할 수 있어, 콘트라스트가 매우 높은 표시 장치를 실현할 수 있다.

[0496] 예를 들어 도 18에 나타낸 발광 소자(130R), 발광 소자(130G), 및 발광 소자(130B)는 각각 백색의 광을 방출한다. 발광 소자(130R), 발광 소자(130G), 및 발광 소자(130B)로부터 방출되는 백색의 광이 각각 착색층(132R), 착색층(132G), 및 착색층(132B)을 투과함으로써, 원하는 색의 광을 얻을 수 있다.

[0497] 또는 예를 들어 도 18에 나타낸 발광 소자(130R), 발광 소자(130G), 및 발광 소자(130B)는 각각 청색의 광을 방출한다. 이때 층(133)은 청색의 광을 방출하는 발광층을 하나 이상 가진다. 청색의 광을 나타내는 부화소(11B)에서는 발광 소자(130B)로부터 방출되는 청색의 광을 추출할 수 있다. 또한 적색의 광을 나타내는 부화소(11R) 및 녹색의 광을 나타내는 부화소(11G)에서는 발광 소자(130R) 또는 발광 소자(130G)와 기판(152) 사이에 색 변환층을 제공함으로써, 발광 소자(130R) 또는 발광 소자(130G)로부터 방출되는 청색의 광을 더 긴 파장의 광으로 변환하여 적색 또는 녹색의 광으로서 추출할 수 있다. 또한 발광 소자(130R) 위에서는 색 변환층과 기판(152) 사이에 착색층(132R)을 제공하고, 발광 소자(130G) 위에서는 색 변환층과 기판(152) 사이에 착색층(132G)을 제공하는 것이 바람직하다. 색 변환층을 투과한 광이 착색층을 통하여 추출됨으로써, 원하는 색의 광

이외의 광이 착색층에 의하여 흡수되기 때문에, 부화소가 나타내는 광의 색 순도를 높일 수 있다.

[0498] [표시 장치(50G)]

[0499] 도 19에 나타낸 표시 장치(50G)는 보텀 이미션형 구조를 가지는 점이 표시 장치(50F)와 주로 다르다.

[0500] 발광 소자로부터 방출되는 광은 기판(151) 측에 방출된다. 기판(151)에는 가시광 투과성이 높은 재료를 사용하는 것이 바람직하다. 한편, 기판(152)에 사용하는 재료의 광 투과성은 한정되지 않는다.

[0501] 기판(151)과 트랜지스터 사이에는 차광층(117)을 형성하는 것이 바람직하다. 도 19에는 기판(151) 위에 차광층(117)이 제공되고, 차광층(117) 위에 절연층(153)이 제공되고, 절연층(153) 위에 트랜지스터(205D), 트랜지스터(205R)(도시하지 않았음), 트랜지스터(205G), 및 트랜지스터(205B) 등이 제공된 예를 나타내었다. 또한 절연층(218) 위에 착색층(132R)(도시하지 않았음), 착색층(132G), 및 착색층(132B)이 제공되고, 착색층(132R), 착색층(132G), 및 착색층(132B) 위에 절연층(235)이 제공되어 있다.

[0502] 착색층(132R)과 중첩되는 발광 소자(130R)(도시하지 않았음)는 도전층(124R)(도시하지 않았음)과, 도전층(126R)(도시하지 않았음)과, 층(133)과, 공통층(114)과, 공통 전극(115)을 가진다.

[0503] 착색층(132G)과 중첩되는 발광 소자(130G)는 도전층(124G)과, 도전층(126G)과, 층(133)과, 공통층(114)과, 공통 전극(115)을 가진다.

[0504] 착색층(132B)과 중첩되는 발광 소자(130B)는 도전층(124B)과, 도전층(126B)과, 층(133)과, 공통층(114)과, 공통 전극(115)을 가진다.

[0505] 도전층(124R), 도전층(124G), 도전층(124B), 도전층(126R), 도전층(126G), 및 도전층(126B)에는 각각 가시광 투과성이 높은 재료를 사용한다. 공통 전극(115)에는 가시광을 반사하는 재료를 사용하는 것이 바람직하다. 보텀 이미션형 구조를 가지는 표시 장치에서는 공통 전극(115)에 저항이 낮은 금속 등을 사용할 수 있기 때문에, 공통 전극(115)의 저항에 기인한 전압 감소를 억제할 수 있어, 높은 표시 품질을 실현할 수 있다.

[0506] 본 발명의 일 형태의 트랜지스터는 미세화가 가능하고, 기판면 내에서의 트랜지스터의 점유 면적을 축소할 수 있기 때문에, 보텀 이미션형 구조를 가지는 표시 장치에서 화소의 개구율을 높이거나 화소의 크기를 축소할 수 있다.

[0507] [표시 장치의 제작 방법예]

[0508] 이하에서는 MML 구조가 적용된 표시 장치의 제작 방법에 대하여 도 20의 (A) 내지 (F)를 사용하여 설명한다. 여기서는 파인 메탈 마스크를 사용하지 않고 발광 소자를 제작하는 공정에 대하여 자세히 설명한다. 도 20의 (A) 내지 (F)는 각 공정에서의 표시부(162)에 포함되는 3개의 발광 소자와 접속부(140)의 단면도이다.

[0509] 발광 소자의 제작에는 증착법 등의 진공 프로세스 및 스핀 코팅법, 잉크젯법 등의 용액 프로세스를 사용할 수 있다. 증착법으로서는, 스퍼터링법, 이온 플레이팅법, 이온 빔 증착법, 분자선 증착법, 진공 증착법 등의 물리 기상 증착법(PVD법), 및 화학 기상 증착법(CVD법) 등을 들 수 있다. 특히 EL층에 포함되는 기능층(정공 주입층, 정공 수송층, 정공 차단층, 발광층, 전자 차단층, 전자 수송층, 전자 주입층, 전하 발생층 등)은 증착법(진공 증착법 등), 도포법(딥 코팅법, 다이 코팅법, 바 코팅법, 스핀 코팅법, 스프레이 코팅법 등), 인쇄법(잉크젯법, 스크린(공판 인쇄)법, 오프셋(평판 인쇄)법, 플렉소 인쇄(철판 인쇄)법, 그라비어법, 또는 마이크로 콘택트법 등) 등의 방법으로 형성될 수 있다.

[0510] 이하에서 설명하는 표시 장치의 제작 방법에서는, 섬 형상의 층(발광층을 포함한 층)은 파인 메탈 마스크를 사용하여 형성되는 것이 아니라, 발광층을 면 전체에 성막한 후에 포토리소그래피법을 사용하여 가공함으로써 형성된다. 따라서 여태까지 실현이 어려웠던 고정세 표시 장치 또는 고개구율 표시 장치를 실현할 수 있다. 또한 발광층을 각 색으로 구분 형성할 수 있기 때문에, 매우 선명하고, 콘트라스트가 높고, 표시 품질이 높은 표시 장치를 실현할 수 있다. 또한 발광층 위에 희생층을 제공함으로써, 표시 장치의 제작 공정 중에 발광층이 받는 대미지를 저감하여 발광 소자의 신뢰성을 높일 수 있다.

[0511] 예를 들어 표시 장치가 청색의 광을 방출하는 발광 소자, 녹색의 광을 방출하는 발광 소자, 및 적색의 광을 방출하는 발광 소자의 3종류의 발광 소자로 구성되는 경우, 발광층을 성막하고, 포토리소그래피에 의한 가공을 3번 수행함으로써, 3종류의 섬 형상의 발광층을 형성할 수 있다.

[0512] 먼저, 트랜지스터(205R), 트랜지스터(205G), 및 트랜지스터(205B) 등(모두 도시하지 않았음)이 제공된 기판

(151) 위에 화소 전극(111R), 화소 전극(111G), 화소 전극(111B), 및 도전층(123)을 형성한다(도 20의 (A)).

[0513] 화소 전극이 되는 도전막은 예를 들어 스퍼터링법 또는 진공 증착법을 사용하여 형성될 수 있다. 포토리소그래피 공정에 의하여 상기 도전막 위에 레지스트 마스크를 형성한 후, 상기 도전막을 가공함으로써, 화소 전극(111R), 화소 전극(111G), 화소 전극(111B), 및 도전층(123)을 형성할 수 있다. 상기 도전막의 가공에는 웨트 에칭법 및 드라이 에칭법 중 한쪽 또는 양쪽을 사용할 수 있다.

[0514] 이어서, 나중에 층(133B)이 되는 막(133Bf)을 화소 전극(111R), 화소 전극(111G), 화소 전극(111B) 위에 형성한다(도 20의 (A)). 막(133Bf)(나중에 층(133B)이 됨)은 청색의 광을 방출하는 발광층을 포함한다.

[0515] 또한 본 실시형태에서는 청색의 광을 방출하는 발광 소자에 포함되는 섬 형상의 EL층을 먼저 형성한 후, 다른 색의 광을 방출하는 발광 소자에 포함되는 섬 형상의 EL층을 형성하는 예에 대하여 설명한다.

[0516] 섬 형상의 EL층을 형성하는 공정에서, 2번째 이후에 형성되는 색의 발광 소자의 화소 전극은 앞의 공정에서 대미지를 받는 경우가 있다. 이 경우, 2번째 이후에 형성된 색의 발광 소자의 구동 전압이 높아지는 경우가 있다.

[0517] 그래서 본 발명의 일 형태의 표시 장치를 제작하는 경우에는, 가장 파장이 짧은 광을 방출하는 발광 소자(예를 들어 청색의 발광 소자)의 섬 형상의 EL층부터 형성하는 것이 바람직하다. 예를 들어 섬 형상의 EL층은 청색, 녹색, 적색의 순서 또는 청색, 적색, 녹색의 순서로 형성하는 것이 바람직하다.

[0518] 이에 의하여, 청색의 발광 소자에서 화소 전극과 EL층의 계면의 상태를 양호하게 유지하고, 청색의 발광 소자의 구동 전압이 높아지는 것을 억제할 수 있다. 또한 청색의 발광 소자의 수명을 길게 하고, 신뢰성을 높일 수 있다. 또한 적색 및 녹색의 발광 소자는 청색의 발광 소자에 비하여 구동 전압의 상승 등의 영향이 적기 때문에, 상술한 제작 순서를 채용함으로써 표시 장치 전체로서 구동 전압을 감소시킬 수 있고, 신뢰성을 높일 수 있다.

[0519] 또한 섬 형상의 EL층의 형성 순서는 상기에 한정되지 않고, 예를 들어 적색, 녹색, 청색의 순서로 하여도 좋다.

[0520] 도 20의 (A)에 나타낸 바와 같이, 도전층(123) 위에는 막(133Bf)이 형성되어 있지 않다. 예를 들어 에어리어 마스크를 사용함으로써, 막(133Bf)을 원하는 영역에만 성막할 수 있다. 에어리어 마스크를 사용한 성막 공정과 레지스트 마스크를 사용한 가공 공정을 채용함으로써, 비교적 간단한 공정으로 발광 소자를 제작할 수 있다.

[0521] 막(133Bf)에 포함되는 화합물의 내열 온도는 각각 100℃ 이상 180℃ 이하가 바람직하고, 120℃ 이상 180℃ 이하가 더 바람직하고, 140℃ 이상 180℃ 이하가 더 바람직하다. 이에 의하여, 발광 소자의 신뢰성을 높일 수 있다. 또한 표시 장치의 제작 공정에서 가해지는 온도의 상한을 높일 수 있다. 따라서 표시 장치에 사용되는 재료 및 형성 방법의 선택의 폭을 넓힐 수 있어, 수율 및 신뢰성을 향상시킬 수 있다.

[0522] 내열 온도는 예를 들어 유리 전이점, 연화점, 융점, 열분해 온도, 및 5% 중량 감소 온도 중 어느 하나, 바람직하게는 이들 중 가장 온도가 낮은 것으로 할 수 있다.

[0523] 막(133Bf)은 예를 들어 증착법, 구체적으로는 진공 증착법에 의하여 형성할 수 있다. 또한 막(133Bf)은 전사법, 인쇄법, 잉크젯법, 또는 도포법 등의 방법으로 형성하여도 좋다.

[0524] 이어서, 막(133Bf) 위 및 도전층(123) 위에 희생층(118B)을 형성한다(도 20의 (A)). 희생층(118B)이 되는 막 위에 포토리소그래피 공정에 의하여 레지스트 마스크를 형성한 후, 상기 막을 가공함으로써, 희생층(118B)을 형성할 수 있다.

[0525] 막(133Bf) 위에 희생층(118B)을 제공함으로써, 표시 장치의 제작 공정 중에 막(133Bf)이 받는 대미지를 저감할 수 있기 때문에, 발광 소자의 신뢰성을 높일 수 있다.

[0526] 희생층(118B)은 화소 전극(111R), 화소 전극(111G), 및 화소 전극(111B)의 각 단부를 덮도록 제공되는 것이 바람직하다. 이 경우, 추후의 공정에서 형성되는 층(133B)의 단부가 화소 전극(111B)의 단부보다 외측에 위치한다. 화소 전극(111B)의 상면 전체를 발광 영역으로서 사용할 수 있기 때문에, 화소의 개구율을 높일 수 있다. 또한 층(133B)의 단부는 층(133B) 형성 후의 공정에서 대미지를 받을 가능성이 있기 때문에, 화소 전극(111B)의 단부보다 외측에 위치한다. 즉 층(133B)의 단부는 발광 영역으로서 사용되지 않는 것이 바람직하다. 이 경우, 발광 소자의 특성의 편차를 억제할 수 있고, 신뢰성을 높일 수 있다.

[0527] 또한 층(133B)이 화소 전극(111B)의 상면 및 측면을 덮음으로써, 층(133B) 형성 후의 각 공정을 화소 전극(111B)이 노출되지 않은 상태에서 수행할 수 있다. 화소 전극(111B)의 단부가 노출되어 있으면, 에칭 공정 등

에서 부식이 생기는 경우가 있다. 화소 전극(111B)의 부식을 억제함으로써, 발광 소자의 수율 및 특성을 향상시킬 수 있다.

[0528] 또한 희생층(118B)을 도전층(123)과 중첩되는 위치에도 제공하는 것이 바람직하다. 이 경우, 도전층(123)이 표시 장치의 제작 공정 중에 대미지를 받는 것을 억제할 수 있다.

[0529] 희생층(118B)으로서는, 막(133Bf)의 가공 조건에 대한 내성이 높은 막, 구체적으로는 막(133Bf)에 대한 에칭 선택비가 높은 막을 사용한다.

[0530] 희생층(118B)은 막(133Bf)에 포함되는 각 화합물의 내열 온도보다 낮은 온도에서 형성한다. 희생층(118B) 형성 시의 기판 온도는 각각 대표적으로는 200℃ 이하, 바람직하게는 150℃ 이하, 더 바람직하게는 120℃ 이하, 더 바람직하게는 100℃ 이하, 더 바람직하게는 80℃ 이하이다.

[0531] 막(133Bf)에 포함되는 화합물의 내열 온도가 높으면, 희생층(118B)의 성막 온도를 높게 할 수 있기 때문에 바람직하다. 예를 들어 희생층(118B) 형성 시의 기판 온도를 100℃ 이상, 120℃ 이상, 또는 140℃ 이상으로 할 수도 있다. 무기 절연막은 성막 온도가 높을수록 더 치밀하고 배리어성이 더 높은 막이 될 수 있다. 따라서 이러한 온도에서 희생층을 성막함으로써, 막(133Bf)이 받는 대미지를 더 저감할 수 있어, 발광 소자의 신뢰성을 높일 수 있다.

[0532] 또한 막(133Bf) 위에 형성되는 다른 각 층(예를 들어 절연막(125f))의 성막 온도에 대해서도 상기를 적용할 수 있다.

[0533] 희생층(118B)은 예를 들어 스퍼터링법, ALD법(열 ALD법, PEALD법을 포함함), CVD법, 진공 증착법을 사용하여 형성할 수 있다. 또한 상술한 습식의 성막 방법을 사용하여 형성하여도 좋다.

[0534] 희생층(118B)(희생층(118B)이 적층 구조를 가지는 경우에는 막(133Bf)에 접하여 제공되는 층)은 막(133Bf)에 대한 대미지가 적은 형성 방법을 사용하여 형성되는 것이 바람직하다. 예를 들어 스퍼터링법보다 ALD법 또는 진공 증착법을 사용하는 것이 바람직하다.

[0535] 희생층(118B)은 웨트 에칭법 또는 드라이 에칭법에 의하여 가공할 수 있다. 희생층(118B)은 이방성 에칭에 의하여 가공하는 것이 바람직하다.

[0536] 웨트 에칭법을 사용하는 경우에는, 드라이 에칭법을 사용하는 경우에 비하여, 희생층(118B) 가공 시에 막(133Bf)에 가해지는 대미지를 저감할 수 있다. 웨트 에칭법을 사용하는 경우, 예를 들어 현상액, 수산화 테트라메틸암모늄(TMAH) 수용액, 희석된 플루오린화 수소산, 옥살산, 인산, 아세트산, 질산, 또는 이들 중 2개 이상을 포함한 혼합 용액 등을 사용하는 것이 바람직하다. 또한 웨트 에칭법을 사용하는 경우에는, 물, 인산, 희석된 플루오린화 수소산, 및 질산을 포함한 혼산계 약액을 사용하여도 좋다. 또한 웨트 에칭 처리에 사용하는 약액은 알칼리성이어도 좋고, 산성이어도 좋다.

[0537] 희생층(118B)으로서는 예를 들어 금속막, 합금막, 금속 산화물막, 반도체막, 무기 절연막, 및 유기 절연막 중 1종류 또는 복수 종류를 사용할 수 있다.

[0538] 희생층(118B)에는 예를 들어 금, 은, 백금, 마그네슘, 니켈, 텅스텐, 크로뮴, 몰리브데넘, 철, 코발트, 구리, 팔라듐, 타이타늄, 알루미늄, 이트륨, 지르코늄, 및 탄탈럼 등의 금속 재료, 또는 상기 금속 재료를 포함한 합금 재료를 사용할 수 있다.

[0539] 희생층(118B)에는 In-Ga-Zn 산화물, 산화 인듐, In-Zn 산화물, In-Sn 산화물, 인듐 타이타늄 산화물(In-Ti 산화물), 인듐 주석 아연 산화물(In-Sn-Zn 산화물), 인듐 타이타늄 아연 산화물(In-Ti-Zn 산화물), 인듐 갈륨 주석 아연 산화물(In-Ga-Sn-Zn 산화물), 실리콘을 포함한 인듐 주석 산화물 등의 금속 산화물을 사용할 수 있다.

[0540] 또한 상기 갈륨 대신에 원소 M(M은 알루미늄, 실리콘, 붕소, 이트륨, 구리, 바나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 중에서 선택된 1종류 또는 복수 종류)을 사용하여도 좋다.

[0541] 예를 들어 반도체 제조 공정과의 친화성이 높은 재료로서, 실리콘 또는 저마늄 등의 반도체 재료를 사용할 수 있다. 또는 상기 반도체 재료의 산화물 또는 질화물을 사용할 수 있다. 또는 탄소 등의 비금속 재료 또는 그 화합물을 사용할 수 있다. 또는 타이타늄, 탄탈럼, 텅스텐, 크로뮴, 알루미늄 등의 금속 또는 이들 중 하나 이상을 포함한 합금을 들 수 있다. 또는 산화 타이타늄 또는 산화 크로뮴 등 상기 금속을 포함한 산화물, 혹은 질화 타이타늄, 질화 크로뮴, 또는 질화 탄탈럼 등의 질화물을 사용할 수 있다.

[0542] 또한 희생층(118B)으로서는, 보호층(131)에 사용할 수 있는 각종 무기 절연막을 사용할 수 있다. 특히 산화 절연막은 질화 절연막보다 막(133Bf)과의 밀착성이 높기 때문에 바람직하다. 예를 들어 희생층(118B)에는 산화 알루미늄, 산화 하프늄, 산화 실리콘 등의 무기 절연 재료를 사용할 수 있다. 희생층(118B)으로서는 예를 들어 ALD법을 사용하여 산화 알루미늄막을 형성할 수 있다. ALD법을 사용함으로써, 하지(특히 막(133Bf))에 대한 대미지를 저감할 수 있기 때문에 바람직하다.

[0543] 예를 들어 희생층(118B)에는 ALD법을 사용하여 형성된 무기 절연막(예를 들어 산화 알루미늄막)과 스퍼터링법을 사용하여 형성된 무기막(예를 들어 In-Ga-Zn 산화물막, 실리콘막, 또는 텅스텐막)의 적층 구조를 사용할 수 있다.

[0544] 또한 희생층(118B)과, 나중에 형성되는 절연층(125)의 양쪽에 같은 무기 절연막을 사용할 수 있다. 예를 들어 희생층(118B)과 절연층(125)의 양쪽에 ALD법을 사용하여 형성된 산화 알루미늄막을 사용할 수 있다. 여기서, 희생층(118B)과 절연층(125)에는 같은 성막 조건을 적용하여도 좋고, 서로 다른 성막 조건을 적용하여도 좋다. 예를 들어 희생층(118B)을 절연층(125)과 같은 조건으로 성막함으로써, 희생층(118B)을 물 및 산소 중 적어도 한쪽에 대한 배리어성이 높은 절연층으로 할 수 있다. 한편, 희생층(118B)은 추후의 공정에서 대부분 또는 전부가 제거되기 때문에, 가공이 용이한 층인 것이 바람직하다. 그러므로 희생층(118B)은 절연층(125)보다 성막 시의 기판 온도가 낮은 조건으로 성막되는 것이 바람직하다.

[0545] 희생층(118B)에 유기 재료를 사용하여도 좋다. 예를 들어 유기 재료로서, 적어도 막(133Bf)의 최상부에 위치하는 막에 대하여 화학적으로 안정된 용매에 용해될 수 있는 재료를 사용하여도 좋다. 특히 물 또는 알코올에 용해되는 재료를 적합하게 사용할 수 있다. 이러한 재료의 성막 시에는, 물 또는 알코올 등의 용매에 용해된 재료를 습식의 성막 방법에 의하여 도포한 후에, 용매를 증발시키기 위한 가열 처리를 수행하는 것이 바람직하다. 이때 감압 분위기하에서 가열 처리를 수행하면, 저온에서 용매를 단시간에 제거할 수 있기 때문에, 막(133Bf)에 대한 열적 대미지를 저감할 수 있어 바람직하다.

[0546] 희생층(118B)에는 폴리바이닐알코올(PVA), 폴리바이닐뷰티랄, 폴리바이닐피롤리돈, 폴리에틸렌글라이콜, 폴리글리세린, 풀루란, 수용성 셀룰로스, 알코올 가용성 폴리아마이드 수지, 또는 퍼플루오로폴리머 등의 플루오린 수지 등의 유기 수지를 사용하여도 좋다.

[0547] 예를 들어 희생층(118B)에는 증착법 또는 상기 습식의 성막 방법 중 어느 것을 사용하여 형성된 유기막(예를 들어 PVA막)과 스퍼터링법을 사용하여 형성된 무기막(예를 들어 질화 실리콘막)의 적층 구조를 사용할 수 있다.

[0548] 또한 본 발명의 일 형태의 표시 장치에서는 희생막의 일부가 희생층으로서 잔존하는 경우가 있다.

[0549] 이어서, 희생층(118B)을 하드 마스크로서 사용하여 막(133Bf)을 가공함으로써 층(133B)을 형성한다(도 20의 (B)).

[0550] 이에 의하여, 도 20의 (B)에 나타낸 바와 같이, 화소 전극(111B) 위에 층(133B) 및 희생층(118B)의 적층 구조가 잔존한다. 또한 화소 전극(111R) 및 화소 전극(111G)이 노출된다. 또한 접속부(140)에 상당하는 영역에서는 도전층(123) 위에 희생층(118B)이 잔존한다.

[0551] 막(133Bf)은 이방성 에칭에 의하여 가공하는 것이 바람직하다. 특히 이방성의 드라이 에칭법을 사용하는 것이 바람직하다. 또는 웨트 에칭법을 사용하여도 좋다.

[0552] 그 후, 막(133Bf)의 형성 공정, 희생층(118B)의 형성 공정, 및 층(133B)의 형성 공정과 같은 공정을 적어도 발광 재료를 변경하여 2번 반복함으로써, 화소 전극(111R) 위에 층(133R)과 희생층(118R)의 적층 구조가 형성되고, 화소 전극(111G) 위에 층(133G)과 희생층(118G)의 적층 구조가 형성된다(도 20의 (C)). 구체적으로는 층(133R)은 적색의 광을 방출하는 발광층을 포함하도록 형성되고, 층(133G)은 녹색의 광을 방출하는 발광층을 포함하도록 형성된다. 희생층(118R), 희생층(118G)에는 희생층(118B)에 사용할 수 있는 재료를 적용할 수 있고, 동일한 재료를 사용하여도 좋고, 서로 다른 재료를 사용하여도 좋다.

[0553] 또한 층(133B), 층(133G), 층(133R)의 측면은 각각 피형성면에 대하여 수직 또는 실질적으로 수직인 것이 바람직하다. 예를 들어 피형성면과 이들 측면이 이루는 각도를 60° 이상 90° 이하로 하는 것이 바람직하다.

[0554] 상술한 바와 같이, 포토리소그래피법을 사용하여 형성된 층(133B), 층(133G), 및 층(133R) 중 인접한 2개 사이의 거리는 8μm 이하, 5μm 이하, 3μm 이하, 2μm 이하, 또는 1μm 이하까지 좁힐 수 있다. 여기서 상기 거리는 예를 들어 층(133B), 층(133G), 및 층(133R) 중 인접한 2개의 대향하는 단부 사이의 거리에 의하여 규정할 수 있다. 이와 같이, 섬 형상의 EL층 사이의 거리를 좁힘으로써, 정세도가 높고 개구율이 높은 표시 장치를 제

공할 수 있다.

[0555] 다음으로 화소 전극, 층(133B), 층(133G), 층(133R), 희생층(118B), 희생층(118G), 및 희생층(118R)을 덮도록 나중에 절연층(125)이 되는 절연막(125f)을 형성하고, 절연막(125f) 위에 절연층(127)을 형성한다(도 20의 (D)).

[0556] 절연막(125f)으로서는 두께가 3nm 이상, 5nm 이상, 또는 10nm 이상이고 200nm 이하, 150nm 이하, 100nm 이하, 또는 50nm 이하인 절연막을 형성하는 것이 바람직하다.

[0557] 절연막(125f)은 예를 들어 ALD법을 사용하여 형성되는 것이 바람직하다. ALD법을 사용하면, EL층에 대한 성막 대미지를 저감할 수 있고, 피복성이 높은 막을 성막할 수 있기 때문에 바람직하다. 절연막(125f)으로서는 예를 들어 ALD법을 사용하여 산화 알루미늄막을 형성하는 것이 바람직하다.

[0558] 이 외에, 절연막(125f)은 ALD법보다 성막 속도가 빠른 스퍼터링법, CVD법, 또는 PECVD법을 사용하여 형성되어도 좋다. 이에 의하여, 신뢰성이 높은 표시 장치를 높은 생산성으로 제작할 수 있다.

[0559] 절연층(127)이 되는 절연막은 예를 들어 아크릴 수지를 포함한 감광성 수지 조성물을 사용하여, 상술한 습식의 성막 방법(예를 들어 스핀 코팅)으로 형성되는 것이 바람직하다. 성막 후에는 가열 처리(프리 베이킹(pre-baking)이라고도 함)를 수행하여 상기 절연막 내에 포함되는 용매를 제거하는 것이 바람직하다. 이어서, 가시광선 또는 자외선을 상기 절연막의 일부에 조사하여 절연막의 일부를 감광시킨다. 그리고 현상을 수행하여 절연막에서 노광된 영역을 제거한다. 다음으로, 가열 처리(포스트 베이킹(post-baking)이라고도 함)를 수행한다. 이에 의하여, 도 20의 (D)에 나타낸 절연층(127)을 형성할 수 있다. 또한 절연층(127)의 형상은 도 20의 (D)에 나타낸 형상에 한정되지 않는다. 예를 들어 절연층(127)의 상면은 볼록한 곡면, 오목한 곡면, 및 평면 중 하나 또는 복수를 가질 수 있다. 또한 절연층(127)은 희생층(118B), 희생층(118G), 및 희생층(118R) 중 적어도 하나의 단부의 측면을 덮어도 좋다.

[0560] 다음으로 도 20의 (E)에 나타낸 바와 같이, 절연층(127)을 마스크로서 사용하여 에칭 처리를 수행함으로써, 절연막(125f), 희생층(118B), 희생층(118G), 및 희생층(118R)의 일부를 제거한다. 이에 의하여, 절연막(125f), 희생층(118B), 희생층(118G), 및 희생층(118R)의 각각에 개구가 형성되고, 절연층(125)이 형성되며, 층(133B), 층(133G), 층(133R), 및 도전층(123)의 상면이 노출된다. 또한 절연층(127) 및 절연층(125)과 중첩되는 위치에 희생층(118B), 희생층(118G), 및 희생층(118R)의 일부가 잔존하는 경우가 있다(각각 희생층(119B), 희생층(119G), 및 희생층(119R)).

[0561] 에칭 처리는 드라이 에칭법 또는 웨트 에칭법을 사용할 수 있다. 또한 절연막(125f)을 희생층(118B), 희생층(118G), 및 희생층(118R)과 같은 재료를 사용하여 성막한 경우에는, 에칭 처리를 일괄적으로 수행할 수 있기 때문에 바람직하다.

[0562] 상술한 바와 같이, 절연층(127), 절연층(125), 희생층(118B), 희생층(118G), 및 희생층(118R)을 제공함으로써, 각 발광 소자 사이의 공통 전극(115)에서 분단된 부분에 기인한 접속 불량 및 국소적으로 막 두께가 얇은 부분에 기인한 전기 저항의 상승이 발생하는 것을 억제할 수 있다. 이에 의하여, 본 발명의 일 형태의 표시 장치는 표시 품질이 향상될 수 있다.

[0563] 이어서, 절연층(127), 층(133B), 층(133G), 및 층(133R) 위에 공통층(114), 공통 전극(115)을 이 순서대로 형성한다(도 20의 (F)).

[0564] 공통층(114)은 증착법(진공 증착법을 포함함), 전사법, 인쇄법, 잉크젯법, 도포법 등의 방법으로 형성할 수 있다.

[0565] 공통 전극(115)은 예를 들어 스퍼터링법 또는 진공 증착법을 사용하여 형성될 수 있다. 또는 증착법으로 형성된 막과 스퍼터링법으로 형성된 막을 적층하여도 좋다.

[0566] 상술한 바와 같이, 본 발명의 일 형태의 표시 장치의 제작 방법에서는, 섬 형상의 층(133B), 섬 형상의 층(133G), 및 섬 형상의 층(133R)은 파인 메탈 마스크를 사용하여 형성되는 것이 아니라, 막을 면 전체에 성막한 후에 가공함으로써 형성되기 때문에, 섬 형상의 층을 균일한 두께로 형성할 수 있다. 그러므로 고정세 표시 장치 또는 고개구율 표시 장치를 실현할 수 있다. 또한 정세도 또는 개구율이 높고, 부화소 간의 거리가 매우 짧은 경우에도, 인접한 부화소에서 층(133B), 층(133G), 및 층(133R)이 서로 접하는 것을 억제할 수 있다. 따라서 부화소 간의 누설 전류의 발생을 억제할 수 있다. 이에 의하여, 의도하지 않은 발광에 기인한 크로스토크를

방지할 수 있어, 콘트라스트가 매우 높은 표시 장치를 실현할 수 있다.

[0567] 또한 인접한 섬 형상의 EL층 사이에 단부에 테이퍼 형상을 가지는 절연층(127)을 제공함으로써, 공통 전극(115) 형성 시에 단절이 발생하는 것을 억제하고, 공통 전극(115)에 국소적으로 막 두께가 얇은 부분이 형성되는 것을 방지할 수 있다. 이에 의하여, 공통층(114) 및 공통 전극(115)에서 분단된 부분에 기인한 접속 불량 및 국소적으로 막 두께가 얇은 부분에 기인한 전기 저항의 상승이 발생하는 것을 억제할 수 있다. 따라서 본 발명의 일 형태의 표시 장치는 높은 정세도와 높은 표시 품질을 둘 다 실현할 수 있다.

[0568] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0569] (실시형태 3)

[0570] 본 실시형태에서는 본 발명의 일 형태의 트랜지스터를 가지는 표시 장치에 적용할 수 있는 회로에 대하여 설명한다.

[0571] <화소 회로의 구성예>

[0572] 도 21의 (A) 및 (B), 도 22의 (A) 및 (B), 그리고 도 23에 화소(230)의 구성예를 나타내었다. 화소(230)는 예를 들어 앞의 실시형태의 도 12에 나타낸 화소(210)에 대응한다. 화소(230)는 화소 회로(51)(화소 회로(51A), 화소 회로(51B), 화소 회로(51C), 화소 회로(51D), 또는 화소 회로(51E)) 및 발광 소자(61)를 가진다.

[0573] 여기서 본 실시형태 등에서 설명하는 발광 소자란, 유기 EL 소자(OLED) 등의 자발광형 표시 소자를 말한다. 또한 화소 회로에 전기적으로 접속되는 발광 소자는 LED, 마이크로 LED, QLED, 반도체 레이저 등의 자발광형 발광 소자로 하는 것이 가능하다.

[0574] 도 21의 (A)에 나타낸 화소 회로(51A)는 트랜지스터(52A), 트랜지스터(52B), 및 용량 소자(53)를 가지는 2Tr1C형 화소 회로이다.

[0575] 트랜지스터(52A)의 소스 및 드레인 중 한쪽은 배선(SL)과 전기적으로 접속되고, 트랜지스터(52A)의 게이트는 배선(GL)과 전기적으로 접속된다. 트랜지스터(52A)의 소스 및 드레인 중 다른 쪽은 트랜지스터(52B)의 게이트 및 용량 소자(53) 중 한쪽 단자와 전기적으로 접속된다. 트랜지스터(52B)의 소스 및 드레인 중 한쪽은 배선(ANO)과 전기적으로 접속된다. 트랜지스터(52B)의 소스 및 드레인 중 다른 쪽은 용량 소자(53)의 다른 쪽 단자 및 발광 소자(61)의 애노드와 전기적으로 접속된다. 발광 소자(61)의 캐소드는 배선(VCOM)과 전기적으로 접속된다. 트랜지스터(52A)의 소스 및 드레인 중 다른 쪽, 트랜지스터(52B)의 게이트, 및 용량 소자(53)의 다른 쪽 단자가 전기적으로 접속되는 영역이 노드(ND)로서 기능한다.

[0576] 배선(GL)은 표시를 수행하는 화소(230)에 대하여, 상기 화소가 가지는 트랜지스터(52A)를 온 상태로 하기 위한 전위를 공급하는 배선이다. 배선(SL)은 상기 트랜지스터(52A)에 화상 신호를 공급하기 위한 전위를 공급하는 배선이다. 배선(VCOM)은 발광 소자(61)에 전류를 공급하기 위한 전위를 공급하는 배선이다. 트랜지스터(52A)는 배선(GL)의 전위에 의거하여 배선(SL)과 트랜지스터(52B)의 게이트 사이의 도통 상태 또는 비도통 상태를 제어하는 기능을 가진다. 예를 들어 배선(ANO)에는 VDD가 공급되고, 배선(VCOM)에는 VSS가 공급된다.

[0577] 트랜지스터(52A)를 온 상태로 함으로써 배선(SL)으로부터 노드(ND)에 화상 신호가 공급된다. 그 후, 트랜지스터(52A)를 오프 상태로 함으로써 화상 신호가 노드(ND)에 유지된다. 노드(ND)에 공급된 화상 신호를 확실하게 유지하기 위하여 트랜지스터(52A)에는 오프 전류가 적은 트랜지스터를 사용하는 것이 바람직하다. 예를 들어 트랜지스터(52A)로서 OS 트랜지스터를 사용하는 것이 바람직하다.

[0578] 트랜지스터(52B)는 발광 소자(61)에 흐르는 전류의 양을 제어하는 기능을 가진다. 용량 소자(53)는 트랜지스터(52B)의 게이트 전위를 유지하는 기능을 가진다. 발광 소자(61)가 방출하는 광의 강도는 트랜지스터(52B)의 게이트(노드(ND))에 공급되는 화상 신호에 따라 제어된다.

[0579] 도 21의 (A)에 나타낸 화소 회로(51A)에서 트랜지스터(52B)는 제 2 게이트(백 게이트라고도 함)를 가진다. 트랜지스터(52B)의 제 2 게이트는 트랜지스터(52B)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속된다.

[0580] 트랜지스터(52B)로서, 예를 들어 앞의 실시형태에서 설명한 트랜지스터(100) 등을 사용할 수 있다. 트랜지스터(52B)로서 트랜지스터(100) 등을 사용함으로써, 표시 장치가 가지는 표시부의 계조 수를 늘릴 수 있다. 또한 표시 장치가 가지는 발광 휘도를 안정시킬 수 있다. 또한 표시 장치의 신뢰성을 높일 수 있다. 또한 표시 장치의 표시 품질을 높일 수 있다.

[0581] 도 21의 (B)에 나타낸 화소 회로(51B)는 트랜지스터(52A), 트랜지스터(52B), 트랜지스터(52C), 및 용량 소자(53)를 가지는 3Tr1C형 화소 회로이다. 도 21의 (B)에 나타낸 화소 회로(51B)는 도 21의 (A)에 나타낸 화소 회로(51A)에 트랜지스터(52C)를 추가한 구성을 가진다.

[0582] 트랜지스터(52C)의 소스 및 드레인 중 한쪽은 트랜지스터(52B)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속된다. 트랜지스터(52C)의 소스 및 드레인 중 다른 쪽은 배선(V0)과 전기적으로 접속된다. 예를 들어 배선(V0)에는 기준 전위가 공급된다.

[0583] 트랜지스터(52C)는 배선(GL)의 전위에 기초하여 트랜지스터(52B)의 소스 및 드레인 중 다른 쪽과 배선(V0) 사이의 도통 상태 또는 비도통 상태를 제어하는 기능을 가진다. 배선(V0)은 기준 전위를 공급하기 위한 배선이다. 트랜지스터(52B)로서 n채널형 트랜지스터를 사용하는 경우에는 트랜지스터(52C)를 통하여 공급되는 배선(V0)의 기준 전위에 의하여 트랜지스터(52B)의 게이트-소스 사이 전압의 편차를 억제할 수 있다.

[0584] 또한 배선(V0)을 사용하여, 화소 파라미터의 설정에 사용할 수 있는 전류값을 취득할 수 있다. 더 구체적으로는 배선(V0)은 트랜지스터(52B)에 흐르는 전류, 또는 발광 소자(61)에 흐르는 전류를 외부에 출력하기 위한 모니터선으로서 기능시킬 수 있다. 배선(V0)에 출력된 전류는 소스 폴로어 회로 등에 의하여 전압으로 변환되고 외부에 출력할 수 있다. 또는 A-D 컨버터 등에 의하여 디지털 신호로 변환되고 외부에 출력할 수 있다.

[0585] 도 21의 (B)에 나타낸 화소 회로(51B)에서 트랜지스터(52B)는 제 2 게이트를 가진다. 트랜지스터(52B)의 제 2 게이트는 트랜지스터(52B)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속된다.

[0586] 트랜지스터(52B)로서, 예를 들어 앞의 실시형태에서 설명한 트랜지스터(100) 등을 사용할 수 있다.

[0587] 도 22의 (A)에 나타낸 화소 회로(51C)는 도 21의 (B)에 나타낸 화소 회로(51B)에 트랜지스터(52D)를 추가한 구성을 가진다. 도 22의 (A)에 나타낸 화소 회로(51C)는 트랜지스터(52A), 트랜지스터(52B), 트랜지스터(52C), 트랜지스터(52D), 및 용량 소자(53)를 가지는 4Tr1C형 화소 회로이다.

[0588] 트랜지스터(52D)의 소스 및 드레인 중 한쪽은 노드(ND)와 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 배선(V0)과 전기적으로 접속되어 있다.

[0589] 화소 회로(51C)에는 배선(GL1), 배선(GL2), 및 배선(GL3)이 전기적으로 접속되어 있다. 배선(GL1)은 트랜지스터(52A)의 게이트에 전기적으로 접속되고, 배선(GL2)은 트랜지스터(52C)의 게이트에 전기적으로 접속되고, 배선(GL3)은 트랜지스터(52D)의 게이트에 전기적으로 접속되어 있다. 또한 본 실시형태 등에서 배선(GL1), 배선(GL2), 및 배선(GL3)을 통틀어 배선(GL)이라고 부르는 경우가 있다. 따라서 배선(GL)은 하나에 한정되지 않고, 복수 개인 경우가 있다.

[0590] 트랜지스터(52C)와 트랜지스터(52D)를 동시에 도통 상태로 함으로써, 트랜지스터(52B)의 소스와 게이트가 같은 전위가 되어, 트랜지스터(52B)를 비도통 상태로 할 수 있다. 이에 의하여, 발광 소자(61)에 흐르는 전류를 강제적으로 차단할 수 있다. 이러한 화소 회로는 표시 기간과 소등 기간을 교대로 제공하는 표시 방법을 사용하는 경우에 적합하다.

[0591] 도 22의 (B)에 나타낸 화소 회로(51D)는 상기 화소 회로(51C)에 용량 소자(53A)를 추가한 경우의 예이다. 용량 소자(53A)는 저장 커패시터로서 기능한다. 도 22의 (A)에 나타낸 화소 회로(51C)는 4Tr1C형 화소 회로이다. 또한 도 22의 (B)에 나타낸 화소 회로(51D)는 4Tr2C형 화소 회로이다.

[0592] 도 22의 (A)에 나타낸 화소 회로(51C) 및 도 22의 (B)에 나타낸 화소 회로(51D)에서 트랜지스터(52B)는 제 2 게이트를 가진다. 트랜지스터(52B)의 제 2 게이트는 트랜지스터(52B)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속된다. 트랜지스터(52B)로서, 예를 들어 앞의 실시형태에서 설명한 트랜지스터(100) 등을 사용할 수 있다.

[0593] 도 23에 나타낸 화소 회로(51E)는 트랜지스터(52A), 트랜지스터(52B), 트랜지스터(52C), 트랜지스터(52D), 트랜지스터(52E), 트랜지스터(52F), 및 용량 소자(53)를 가지는 6Tr1C형 화소 회로이다. 트랜지스터(52B)는 제 2 게이트를 가진다.

[0594] 트랜지스터(52A)의 소스 및 드레인 중 한쪽은 배선(SL)과 전기적으로 접속되고, 트랜지스터(52A)의 게이트는 배선(GL2)과 전기적으로 접속된다. 트랜지스터(52D)의 소스 및 드레인 중 한쪽은 배선(ANO)과 전기적으로 접속되고, 트랜지스터(52D)의 게이트는 배선(GL1)과 전기적으로 접속된다. 트랜지스터(52D)의 소스 및 드레인 중 다른 쪽은 트랜지스터(52B)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(52B)의 소스 및 드레인 중 다른 쪽은 트랜지스터(52A)의 소스 및 드레인 중 다른 쪽, 및 트랜지스터(52F)의 소스 및 드레인 중 한쪽

과 전기적으로 접속된다. 트랜지스터(52F)의 게이트는 배선(GL3)과 전기적으로 접속된다.

[0595] 트랜지스터(52E)의 소스 및 드레인 중 한쪽은 트랜지스터(52D)의 소스 및 드레인 중 다른 쪽, 및 트랜지스터(52B)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(52E)의 소스 및 드레인 중 다른 쪽은 트랜지스터(52B)의 게이트 및 용량 소자(53)의 한쪽 단자와 전기적으로 접속된다. 용량 소자(53)의 다른 쪽 단자는 트랜지스터(52F)의 소스 및 드레인 중 다른 쪽, 발광 소자(61)의 애노드, 및 트랜지스터(52C)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(52E)의 게이트 및 트랜지스터(52C)의 게이트는 배선(GL4)과 전기적으로 접속된다. 트랜지스터(52C)의 소스 및 드레인 중 다른 쪽은 배선(V0)과 전기적으로 접속된다. 트랜지스터(52E)의 소스 및 드레인 중 다른 쪽, 트랜지스터(52B)의 게이트, 및 용량 소자(53)의 한쪽 단자가 전기적으로 접속되는 영역이 노드(ND)로서 기능한다.

[0596] 도 23에서 트랜지스터(52B)는 제 2 게이트를 가진다. 트랜지스터(52B)의 제 2 게이트는 트랜지스터(52B)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속된다.

[0597] 트랜지스터(52B)로서, 예를 들어 앞의 실시형태에서 설명한 트랜지스터(100) 등을 사용할 수 있다. 또는 트랜지스터(52D) 및 트랜지스터(52F) 등에 트랜지스터(100) 등을 사용할 수 있는 경우가 있다.

[0598] 본 발명의 일 형태의 트랜지스터를 표시 장치의 화소 회로에 사용함으로써 화소 회로의 점유 면적을 축소할 수 있다. 따라서 표시 장치의 정세도를 높일 수 있다. 예를 들어 정세도가 1000ppi 이상, 바람직하게는 2000ppi 이상, 더 바람직하게는 3000ppi 이상, 더 바람직하게는 4000ppi 이상, 더 바람직하게는 5000ppi 이상, 더 바람직하게는 6000ppi 이상이며, 10000ppi 이하, 9000ppi 이하, 또는 8000ppi 이하인 표시 장치를 실현할 수 있다.

[0599] 또한 화소 회로의 점유 면적이 축소됨으로써 표시 장치의 화소수를 증가시킬(해상도를 높게 할) 수 있다. 예를 들어 HD(화소수 1280×720), FHD(화소수 1920×1080), WQHD(화소수 2560×1440), WQXGA(화소수 2560×1600), 4K2K(화소수 3840×2160), 또는 8K4K(화소수 7680×4320) 등 매우 높은 해상도의 표시 장치를 실현할 수 있다.

[0600] 따라서 본 발명의 일 형태의 트랜지스터를 표시 장치의 화소 회로에 사용함으로써 표시 장치의 표시 품질을 높일 수 있다. 또한 EL 소자를 사용한 보텀 이미션형 표시 장치에서는 화소의 개구율을 높일 수 있다. 개구율이 높은 화소는 개구율이 낮은 화소와 같은 휘도의 발광을, 개구율이 낮은 화소보다 적은 전류 밀도로 실현할 수 있다. 따라서 표시 장치의 신뢰성을 높일 수 있다.

[0601] <순서 회로의 구성예>

[0602] 도 24에는 순서 회로(10)의 구성예를 나타내었다. 순서 회로(10)는 회로(11)와 회로(12)를 가진다. 회로(11)와 회로(12)는 배선(15a) 및 배선(15b)을 통하여 전기적으로 접속되어 있다. 예를 들어 순서 회로는 표시 장치의 구동 회로의 일부에 사용될 수 있다. 특히 표시 장치의 주사선 구동 회로(게이트 드라이버 회로라고도 함)의 일부에 적합하게 사용될 수 있다.

[0603] 회로(12)는 신호(LIN)의 전위 및 신호(RIN)의 전위에 따라 배선(15a)에 제 1 신호를 출력하고, 배선(15b)에 제 2 신호를 출력하는 기능을 가진다. 여기서 제 2 신호는 제 1 신호를 반전한 신호이다. 즉 제 1 신호와 제 2 신호가 각각 고전위와 저전위의 2종류의 전위를 가지는 신호인 경우, 회로(12)로부터 배선(15a)에 고전위가 출력되면 배선(15b)에 저전위가 출력되고, 배선(15a)에 저전위가 출력되면 배선(15b)에 고전위가 출력된다.

[0604] 회로(11)는 트랜지스터(21), 트랜지스터(22), 및 용량 소자(C1)를 가진다. 트랜지스터(21) 및 트랜지스터(22)는 n채널형 트랜지스터이다. 트랜지스터(21) 및 트랜지스터(22)로서는 채널이 형성되는 반도체로서 반도체 특성을 나타내는 금속 산화물(이하, 산화물 반도체라고도 함)을 적합하게 사용할 수 있다. 또한 산화물 반도체에 한정되지 않고 실리콘(단결정 실리콘, 다결정 실리콘, 또는 비정질 실리콘), 저마늄 등으로 이루어지는 반도체를 사용하여도 좋고, 화합물 반도체를 사용하여도 좋다.

[0605] 트랜지스터(21) 및 트랜지스터(22)로서 본 발명의 일 형태의 트랜지스터를 적합하게 사용할 수 있다. 예를 들어 트랜지스터(21)로서, 앞의 실시형태에서 설명한 트랜지스터(100) 등을 적합하게 사용할 수 있다.

[0606] 트랜지스터(21)는 한 쌍의 게이트(이하, 제 1 게이트, 제 2 게이트라고 부름)를 가진다. 트랜지스터(21)는 제 1 게이트가 배선(15b)과 전기적으로 접속되고, 제 2 게이트가 그 자체의 소스 및 드레인 중 한쪽 및 전위(VSS)(제 1 전위라고도 함)가 공급되는 배선과 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 트랜지스터(22)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(22)는 게이트가 배선(15a)과 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽이 신호(CLK)가 공급되는 배선과 전기적으로 접속된다. 용량 소자(C1)는 한 쌍의 전극을 가지고, 한쪽 전극이 트랜지스터(22)의 소스 및 드레인 중 한쪽 및 트랜지스터(21)의 소스 및

드레인 중 다른 쪽과 전기적으로 접속되고, 다른 쪽 전극이 트랜지스터(22)의 게이트 및 배선(15a)과 전기적으로 접속된다. 또한 트랜지스터(21)의 소스 및 드레인 중 다른 쪽, 트랜지스터(22)의 소스 및 드레인 중 한쪽, 및 용량 소자(C1)의 한쪽 전극은 출력 단자(OUT)와 전기적으로 접속된다. 또한 출력 단자(OUT)는 회로(11)로부터의 출력 전위가 공급되는 부분이고, 배선의 일부 또는 전극의 일부이어도 좋다.

[0607] 트랜지스터(22)의 소스 및 드레인 중 다른 쪽에는 신호(CLK)로서 제 2 전위와 제 3 전위가 번갈아 공급된다. 제 2 전위는 전위(VSS)보다 고전위(예를 들어 전위(VDD))로 할 수 있다. 제 3 전위는 제 2 전위보다 낮은 전위로 할 수 있다. 제 3 전위로서 적합하게는 전위(VSS)를 사용할 수 있다. 또한 신호(CLK) 대신에 전위(VDD)를 트랜지스터(22)의 소스 및 드레인 중 다른 쪽에 공급하는 구성으로 하여도 좋다.

[0608] 배선(15a)에 고전위가 공급되고 배선(15b)에 저전위가 공급되면, 트랜지스터(22)가 도통 상태가 되고, 트랜지스터(21)가 비도통 상태가 된다. 이때 출력 단자(OUT)와 신호(CLK)가 공급되는 배선 사이가 도통 상태가 된다.

[0609] 회로(11)에서 출력 단자(OUT)와 트랜지스터(22)의 게이트는 용량 소자(C1)를 통하여 전기적으로 접속되기 때문에, 부트스트랩 효과에 의하여 출력 단자(OUT)의 전위가 상승함에 따라 트랜지스터(22)의 게이트의 전위가 상승한다. 여기서 용량 소자(C1)를 가지지 않는 경우에는 신호(CLK)의 제 2 전위와 배선(15a)에 공급되는 고전위에 같은 전위(전위(VDD)라고 함)를 사용하면, 출력 단자(OUT)의 전위는 전위(VDD)로부터 트랜지스터(22)의 문턱 전압만큼 저하된다. 그러나 용량 소자(C1)를 가짐으로써 트랜지스터(22)의 게이트의 전위는 전위(VDD)의 2배에 가까운 전위(구체적으로는 전위(VDD)와 전위(VSS)의 차의 2배에 가까운 전위, 또는 전위(VDD)와 제 3 전위의 차의 2배에 가까운 전위)까지 상승되므로 트랜지스터(22)의 문턱 전압의 영향을 받지 않고, 출력 단자(OUT)에는 전위(VDD)를 출력할 수 있다. 이로써 전원 전위의 종류를 늘리지 않고, 출력 성능이 높은 순서 회로(10)를 실현할 수 있다.

[0610] 한편, 배선(15a)에 저전위가 공급되고 배선(15b)에 고전위가 공급되면, 트랜지스터(22)가 비도통 상태가 되고, 트랜지스터(21)가 도통 상태가 된다. 이때 출력 단자(OUT)와 전위(VSS)가 공급되는 배선 사이가 도통 상태가 되어, 출력 단자(OUT)에는 전위(VSS)가 출력된다.

[0611] 여기서 순서 회로(10)는 표시 장치의 구동 회로로서 사용할 수 있다. 특히 주사선 구동 회로로서 적합하게 사용할 수 있다. 이때 출력 단자(OUT)에 표시 장치의 복수의 화소에 접속되는 주사선을 접속하는 경우, 순서 회로(10)로부터 출력 단자(OUT)에 출력되는 출력 신호의 듀티비는 신호(CLK) 등에 비하여 현저히 작다. 이 경우, 트랜지스터(21)는 비도통 상태인 기간보다 도통 상태인 기간이 현저히 길어진다. 즉 트랜지스터(21)는 제 1 게이트에 고전위가 공급되는 기간이 저전위가 공급되는 기간보다 현저히 길게 되어, 트랜지스터 특성의 열화를 유발할 우려가 있다. 그러나 상술한 바와 같이 본 발명의 일 형태의 트랜지스터는 신뢰성이 높기 때문에, 본 발명의 일 형태의 트랜지스터를 트랜지스터(21)로서 사용함으로써 제 1 게이트에 고전위가 공급된 상태에서의 트랜지스터 특성의 열화를 억제할 수 있다.

[0612] 또한 본 발명의 일 형태의 트랜지스터를 트랜지스터(21)로서 사용함으로써, 문턱 전압이 마이너스의 값이 되는 것을 적합하게 방지하고, 트랜지스터(21)를 노멀리 오프의 특성으로 하는 것이 용이해진다. 트랜지스터(21)가 노멀리 온의 특성을 가지는 경우, 트랜지스터(21)의 제 2 게이트와 소스의 전압이 0V일 때 소스-드레인 간의 누설 전류가 생겨 출력 단자(OUT)의 전위를 유지할 수 없게 된다. 그러므로 트랜지스터(21)를 오프 상태로 하기 위해서는 트랜지스터(21)의 제 2 게이트에 전위(VSS)보다 낮은 전위를 공급할 필요가 있고, 복수의 전원이 필요하다. 그러나 상술한 바와 같이, 본 발명의 일 형태의 트랜지스터는 제 2 게이트와 소스가 전기적으로 접속된 구성(하나의 도전층이 기능을 겸비함)이기 때문에, 본 발명의 일 형태의 트랜지스터를 트랜지스터(21)로서 사용함으로써 전원 전위의 종류를 늘리지 않고 출력 성능이 높은 순서 회로(10)를 실현할 수 있다.

[0613] 또한 본 발명의 일 형태의 트랜지스터를 트랜지스터(21)로서 사용함으로써, 트랜지스터(21)의 Id-Vd 특성에서의 포화성을 높일 수 있다. 따라서 회로(11)의 설계가 용이해지고 회로(11)를 안정적으로 동작이 가능한 회로로 할 수 있다.

[0614] 본 실시형태에 기재된 구성은 다른 실시형태에 기재된 구성과 적절히 조합하여 사용할 수 있다.

[0615] (실시형태 4)

[0616] 본 실시형태에서는, 본 발명의 일 형태의 전자 기기에 대하여 도 25의 (A) 내지 도 27의 (G)를 사용하여 설명한다.

[0617] 본 실시형태의 전자 기기는 표시부에 본 발명의 일 형태의 표시 장치를 가진다. 본 발명의 일 형태의 표시 장

치는 고정세화 및 고해상도화가 용이하다. 따라서 다양한 전자 기기의 표시부에 사용할 수 있다.

[0618] 전자 기기로서는 예를 들어 텔레비전 장치, 데스크톱형 또는 노트북형 퍼스널 컴퓨터, 컴퓨터용 등의 모니터, 디지털 사이니지, 파친코기 등의 대형 게임기 등 비교적 큰 화면을 가지는 전자 기기 외에, 디지털 카메라, 디지털 비디오 카메라, 디지털 액자, 휴대 전화기, 휴대용 게임기, 휴대 정보 단말기, 음향 재생 장치 등이 있다.

[0619] 특히 본 발명의 일 형태의 표시 장치는 정세도를 높일 수 있기 때문에, 비교적 작은 표시부를 가지는 전자 기기에 적합하게 사용할 수 있다. 이와 같은 전자 기기로서는, 예를 들어 손목시계형 및 팔찌형 정보 단말기(웨어러블 기기), 그리고 헤드 마운트 디스플레이 등의 VR용 기기, 안경형 AR용 기기, 및 MR용 기기 등, 머리에 장착할 수 있는 웨어러블 기기 등이 있다.

[0620] 본 발명의 일 형태의 표시 장치는 HD(화소수 1280×720), FHD(화소수 1920×1080), WQHD(화소수 2560×1440), WQXGA(화소수 2560×1600), 4K(화소수 3840×2160), 8K(화소수 7680×4320)와 같은 매우 높은 해상도를 가지는 것이 바람직하다. 특히 4K, 8K, 또는 그 이상의 해상도로 하는 것이 바람직하다. 또한 본 발명의 일 형태의 표시 장치에서의 화소 밀도(정세도)는 100ppi 이상이 바람직하고, 300ppi 이상이 바람직하고, 500ppi 이상이 더 바람직하고, 1000ppi 이상이 더 바람직하고, 2000ppi 이상이 더 바람직하고, 3000ppi 이상이 더 바람직하고, 5000ppi 이상이 더 바람직하고, 7000ppi 이상이 더 바람직하다. 이와 같이 높은 해상도 및 높은 정세도 중 한쪽 또는 양쪽을 가진 표시 장치를 사용함으로써 현장감 및 깊이감 등을 더 높일 수 있다. 또한 본 발명의 일 형태의 표시 장치의 화면 비율(종횡비)은 특별히 한정되지 않는다. 예를 들어 표시 장치는 1:1(정사각형), 4:3, 16:9, 16:10 등 다양한 화면 비율에 대응할 수 있다.

[0621] 본 실시형태의 전자 기기는 센서(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 검지하거나, 검출하거나, 또는 측정하는 기능을 가지는 것)를 가져도 좋다.

[0622] 본 실시형태의 전자 기기는 다양한 기능을 가질 수 있다. 예를 들어 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)를 실행하는 기능, 무선 통신 기능, 기록 매체에 기록된 프로그램 또는 데이터를 판독하는 기능 등을 가질 수 있다.

[0623] 도 25의 (A) 내지 (D)를 사용하여 머리에 장착할 수 있는 웨어러블 기기의 일례에 대하여 설명한다. 이들 웨어러블 기기는 AR의 콘텐츠를 표시하는 기능, VR의 콘텐츠를 표시하는 기능, SR의 콘텐츠를 표시하는 기능, 및 MR의 콘텐츠를 표시하는 기능 중 적어도 하나를 가진다. 전자 기기가 AR, VR, SR, 및 MR 등 중 적어도 하나의 콘텐츠를 표시하는 기능을 가짐으로써 사용자의 몰입감을 높일 수 있다.

[0624] 도 25의 (A)에 나타낸 전자 기기(700A) 및 도 25의 (B)에 나타낸 전자 기기(700B)는 각각 한 쌍의 표시 패널(751)과, 한 쌍의 하우징(721)과, 통신부(미도시)와, 한 쌍의 장착부(723)와, 제어부(미도시)와, 촬상부(미도시)와, 한 쌍의 광학 부재(753)와, 프레임(757)과, 한 쌍의 코 받침(758)을 가진다.

[0625] 표시 패널(751)에는 본 발명의 일 형태의 표시 장치를 적용할 수 있다. 따라서 정세도가 매우 높은 표시가 가능한 전자 기기로 할 수 있다.

[0626] 전자 기기(700A) 및 전자 기기(700B)는 각각 광학 부재(753)의 표시 영역(756)에, 표시 패널(751)에 표시한 화상을 투영할 수 있다. 광학 부재(753)는 투광성을 가지기 때문에, 사용자는 광학 부재(753)를 통하여 보이는 투과 이미지에 겹쳐, 표시 영역에 표시된 화상을 볼 수 있다. 따라서 전자 기기(700A) 및 전자 기기(700B)는 각각 AR 표시가 가능한 전자 기기이다.

[0627] 전자 기기(700A) 및 전자 기기(700B)에는 촬상부로서, 앞쪽 방향을 촬상할 수 있는 카메라가 제공되어도 좋다. 또한 전자 기기(700A) 및 전자 기기(700B)는 각각 자이로 센서 등의 가속도 센서를 가짐으로써, 사용자의 머리의 방향을 검지하여 그 방향에 대응한 화상을 표시 영역(756)에 표시할 수도 있다.

[0628] 통신부는 무선 통신기를 가지고, 상기 무선 통신기에 의하여 영상 신호 등을 공급할 수 있다. 또한 무선 통신기 대신에, 또는 무선 통신기에 더하여 영상 신호 및 전원 전위가 공급되는 케이블을 접속 가능한 커넥터를 가져도 좋다.

[0629] 전자 기기(700A) 및 전자 기기(700B)에는 배터리가 제공되고, 무선 및 유선 중 한쪽 또는 양쪽으로 충전할 수 있다.

[0630] 하우징(721)에는 터치 센서 모듈이 제공되어도 좋다. 터치 센서 모듈은 하우징(721)의 외측 면이 터치되는 것을 검출하는 기능을 가진다. 터치 센서 모듈에 의하여 사용자의 탭 조작 또는 슬라이드 조작 등을 검출하여 다양한 처리를 실행할 수 있다. 예를 들어 탭 조작에 의하여 동영상의 일시 정지 또는 재개 등의 처리의 실행이 가능하고, 슬라이드 조작에 의하여 빨리 감기 또는 빨리 되감기의 처리의 실행 등이 가능하다. 또한 2개의 하우징(721) 각각에 터치 센서 모듈을 제공함으로써 조작의 폭을 넓힐 수 있다.

[0631] 터치 센서 모듈로서는 다양한 터치 센서를 적용할 수 있다. 예를 들어 정전 용량 방식, 저항막 방식, 적외선 방식, 전자기 유도 방식, 표면 탄성파 방식, 광학 방식 등 다양한 방식을 채용할 수 있다. 특히 정전 용량 방식 또는 광학 방식의 센서를 터치 센서 모듈에 적용하는 것이 바람직하다.

[0632] 광학 방식의 터치 센서를 사용하는 경우에는 수광 소자로서 광전 변환 소자를 사용할 수 있다. 광전 변환 소자의 활성층에는 무기 반도체 및 유기 반도체 중 한쪽 또는 양쪽을 사용할 수 있다.

[0633] 도 25의 (C)에 나타낸 전자 기기(800A) 및 도 25의 (D)에 나타낸 전자 기기(800B)는 각각 한 쌍의 표시부(820)와, 하우징(821)과, 통신부(822)와, 한 쌍의 장착부(823)와, 제어부(824)와, 한 쌍의 촬상부(825)와, 한 쌍의 렌즈(832)를 가진다.

[0634] 표시부(820)에는 본 발명의 일 형태의 표시 장치를 적용할 수 있다. 따라서 정세도가 매우 높은 표시가 가능한 전자 기기로 할 수 있다. 이에 의하여 사용자는 높은 몰입감을 느낄 수 있다.

[0635] 표시부(820)는 하우징(821)의 내부의 렌즈(832)를 통하여 볼 수 있는 위치에 제공된다. 또한 한 쌍의 표시부(820)에 상이한 화상을 표시시킴으로써, 시차를 이용한 3차원 표시도 가능하다.

[0636] 전자 기기(800A) 및 전자 기기(800B)는 각각 VR용 전자 기기라고 할 수 있다. 전자 기기(800A) 또는 전자 기기(800B)를 장착한 사용자는 렌즈(832)를 통하여 표시부(820)에 표시되는 화상을 볼 수 있다.

[0637] 전자 기기(800A) 및 전자 기기(800B)는 각각 렌즈(832) 및 표시부(820)가 사용자의 눈 위치에 따라 최적의 위치가 되도록, 이들의 좌우 위치를 조정 가능한 기구를 가지는 것이 바람직하다. 또한 렌즈(832)와 표시부(820)의 거리를 변경함으로써 초점을 조정하는 기구를 가지는 것이 바람직하다.

[0638] 장착부(823)에 의하여 사용자는 전자 기기(800A) 또는 전자 기기(800B)를 머리에 장착할 수 있다. 또한 도 25의 (C) 등에서는 안경다리(템플이라고도 함)와 같은 형상을 예시하였지만 이에 한정되지 않는다. 장착부(823)는 사용자가 장착할 수 있으면 좋고, 예를 들어 헬멧형 또는 밴드형이어도 좋다.

[0639] 촬상부(825)는 외부의 정보를 취득하는 기능을 가진다. 촬상부(825)가 취득한 데이터는 표시부(820)에 출력할 수 있다. 촬상부(825)에는 이미지 센서를 사용할 수 있다. 또한 망원, 광각 등, 복수의 화각에 대응할 수 있도록 복수의 카메라를 제공하여도 좋다.

[0640] 또한 여기서는 촬상부(825)를 가지는 예를 나타내었지만 대상물의 거리를 측정할 수 있는 측거 센서(이하 검지부라고도 함)를 제공하면 좋다. 즉 촬상부(825)는 검지부의 일 형태이다. 검지부로서는 예를 들어 이미지 센서 또는 라이다(LIDAR: Light Detection And Ranging) 등의 거리 화상 센서를 사용할 수 있다. 카메라로 얻은 화상과, 거리 화상 센서로 얻은 화상을 사용함으로써 더 많은 정보를 취득하고, 정밀도가 더 높은 제스처 조작이 가능해진다.

[0641] 전자 기기(800A)는 골전도 이어폰으로서 기능하는 진동 기구를 가져도 좋다. 예를 들어 표시부(820), 하우징(821), 및 장착부(823) 중 어느 하나 또는 복수에 상기 진동 기구를 가지는 구성을 적용할 수 있다. 이에 의하여 헤드폰, 이어폰, 또는 스피커 등의 음향 기기가 별도로 필요하지 않아, 전자 기기(800A)를 장착하기만 하면 영상과 음성을 즐길 수 있다.

[0642] 전자 기기(800A) 및 전자 기기(800B)는 각각 입력 단자를 가져도 좋다. 입력 단자에는 영상 출력 기기 등으로부터의 영상 신호, 및 전자 기기 내에 제공되는 배터리를 충전하기 위한 전력 등을 공급하는 케이블을 접속할 수 있다.

[0643] 본 발명의 일 형태의 전자 기기는 이어폰(750)과 무선 통신을 하는 기능을 가져도 좋다. 이어폰(750)은 통신부(미도시)를 가지고, 무선 통신 기능을 가진다. 이어폰(750)은 무선 통신 기능에 의하여 전자 기기로부터 정보(예를 들어 음성 데이터)를 수신할 수 있다. 예를 들어 도 25의 (A)에 나타낸 전자 기기(700A)는 무선 통신 기능에 의하여 이어폰(750)에 정보를 송신하는 기능을 가진다. 또한 예를 들어 도 25의 (C)에 나타낸 전자 기기(800A)는 무선 통신 기능에 의하여 이어폰(750)에 정보를 송신하는 기능을 가진다.

[0644] 전자 기기가 이어폰부를 가져도 좋다. 도 25의 (B)에 나타낸 전자 기기(700B)는 이어폰부(727)를 가진다. 예를 들어 이어폰부(727)와 제어부는 서로 유선으로 접속되는 구성으로 할 수 있다. 이어폰부(727)와 제어부를 연결하는 배선의 일부는 하우징(721) 또는 장착부(723)의 내부에 배치되어도 좋다.

[0645] 마찬가지로, 도 25의 (D)에 나타낸 전자 기기(800B)는 이어폰부(827)를 가진다. 예를 들어 이어폰부(827)와 제어부(824)는 서로 유선으로 접속되는 구성으로 할 수 있다. 이어폰부(827)와 제어부(824)를 연결하는 배선의 일부는 하우징(821) 또는 장착부(823)의 내부에 배치되어도 좋다. 또한 이어폰부(827)와 장착부(823)가 자석을 가져도 좋다. 이에 의하여 이어폰부(827)를 장착부(823)에 자기력으로 고정할 수 있어 수납이 용이해지기 때문에 바람직하다.

[0646] 또한 전자 기기는 이어폰 또는 헤드폰 등을 접속할 수 있는 음성 출력 단자를 가져도 좋다. 또한 전자 기기는 음성 입력 단자 및 음성 입력 기구 중 한쪽 또는 양쪽을 가져도 좋다. 음성 입력 기구로서는, 예를 들어 마이크로폰 등의 집음 장치를 사용할 수 있다. 전자 기기가 음성 입력 기구를 가짐으로써, 전자 기기에 소위 헤드셋으로서의 기능을 부여하여도 좋다.

[0647] 이와 같이 본 발명의 일 형태의 전자 기기는 안경형(전자 기기(700A) 및 전자 기기(700B) 등) 및 고글형(전자 기기(800A) 및 전자 기기(800B) 등) 어느 쪽에 적용하여도 적합하다.

[0648] 본 발명의 일 형태의 전자 기기는 유선 또는 무선에 의하여 이어폰에 정보를 송신할 수 있다.

[0649] 도 26의 (A)에 나타낸 전자 기기(6500)는 스마트폰으로서 사용할 수 있는 휴대 정보 단말기이다.

[0650] 전자 기기(6500)는 하우징(6501), 표시부(6502), 전원 버튼(6503), 버튼(6504), 스피커(6505), 마이크로폰(6506), 카메라(6507), 및 광원(6508) 등을 가진다. 표시부(6502)는 터치 패널 기능을 가진다.

[0651] 표시부(6502)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다.

[0652] 도 26의 (B)는 하우징(6501)의 마이크로폰(6506) 측의 단부를 포함한 단면 개략도이다.

[0653] 하우징(6501)의 표시면 측에는 투광성을 가지는 보호 부재(6510)가 제공되고, 하우징(6501)과 보호 부재(6510)로 둘러싸인 공간 내에 표시 패널(6511), 광학 부재(6512), 터치 센서 패널(6513), 인쇄 기판(6517), 배터리(6518) 등이 배치되어 있다.

[0654] 보호 부재(6510)에는 표시 패널(6511), 광학 부재(6512), 및 터치 센서 패널(6513)이 접착층(미도시)에 의하여 고정되어 있다.

[0655] 표시부(6502)보다 외측의 영역에서 표시 패널(6511)의 일부가 접혀 있고, 이 접힌 부분에 FPC(6515)가 접속되어 있다. FPC(6515)에는 IC(6516)가 실장되어 있다. FPC(6515)는 인쇄 기판(6517)에 제공된 단자에 접속되어 있다.

[0656] 표시 패널(6511)에는 본 발명의 일 형태의 가요성을 가지는 표시 장치를 적용할 수 있다. 그러므로 매우 가벼운 전자 기기를 실현할 수 있다. 또한 표시 패널(6511)이 매우 얇기 때문에, 전자 기기의 두께를 늘리지 않고 대용량 배터리(6518)를 탑재할 수도 있다. 또한 표시 패널(6511)의 일부를 접어 표시부(6502)의 이면 측에 FPC(6515)와의 접속부를 배치함으로써, 슬림 베젤의 전자 기기를 실현할 수 있다.

[0657] 도 26의 (C)에 텔레비전 장치의 일례를 나타내었다. 텔레비전 장치(7100)에서는, 하우징(7101)에 표시부(7000)가 포함되어 있다. 여기서는 스탠드(7103)에 의하여 하우징(7101)이 지지되어 있다.

[0658] 표시부(7000)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다.

[0659] 도 26의 (C)에 나타낸 텔레비전 장치(7100)의 조작은 하우징(7101)이 가지는 조작 스위치 및 별체의 리모트 컨트롤러(7111)에 의하여 수행할 수 있다. 또는 표시부(7000)에 터치 센서를 가져도 좋고, 손가락 등으로 표시부(7000)를 터치함으로써 텔레비전 장치(7100)를 조작하여도 좋다. 리모트 컨트롤러(7111)는 상기 리모트 컨트롤러(7111)로부터 출력되는 정보를 표시하는 표시부를 가져도 좋다. 리모트 컨트롤러(7111)가 가지는 조작 키 또는 터치 패널에 의하여 채널 및 음량을 조작할 수 있고, 표시부(7000)에 표시되는 영상을 조작할 수 있다.

[0660] 또한 텔레비전 장치(7100)는 수신기 및 모뎀 등을 가지는 구성으로 한다. 수신기에 의하여 일반적인 텔레비전 방송을 수신할 수 있다. 또한 모뎀을 통하여 유선 또는 무선으로 통신 네트워크에 접속함으로써 단방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자 사이, 또는 수신자들 사이 등)의 정보 통신을 수행할 수도 있다.

[0661] 도 26의 (D)에 노트북형 퍼스널 컴퓨터의 일례를 나타내었다. 노트북형 퍼스널 컴퓨터(7200)는 하우징(7211), 키보드(7212), 포인팅 디바이스(7213), 외부 접속 포트(7214) 등을 가진다. 하우징(7211)에 표시부(7000)가 포함되어 있다.

[0662] 표시부(7000)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다.

[0663] 도 26의 (E) 및 (F)에 디지털 사이니지의 일례를 나타내었다.

[0664] 도 26의 (E)에 나타낸 디지털 사이니지(7300)는 하우징(7301), 표시부(7000), 및 스피커(7303) 등을 가진다. 또한 LED 램프, 조작 키(전원 스위치 또는 조작 스위치를 포함함), 접속 단자, 각종 센서, 마이크로폰 등을 가질 수 있다.

[0665] 도 26의 (F)는 원기둥 모양의 기둥(7401)에 장착된 디지털 사이니지(7400)를 나타낸 것이다. 디지털 사이니지(7400)는 기둥(7401)의 곡면을 따라 제공된 표시부(7000)를 가진다.

[0666] 도 26의 (E) 및 (F)에서는 표시부(7000)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다.

[0667] 표시부(7000)가 넓을수록 한번에 제공할 수 있는 정보량을 늘릴 수 있다. 또한 표시부(7000)가 넓을수록 사람의 눈에 띄기 쉽기 때문에, 예를 들어 광고의 홍보 효과를 높일 수 있다.

[0668] 표시부(7000)에 터치 패널을 적용함으로써, 표시부(7000)에 화상 또는 동영상을 표시할 뿐만 아니라, 사용자가 직관적으로 조작할 수 있어 바람직하다. 또한 노선 정보 또는 교통 정보 등의 정보를 제공하기 위한 용도로 사용하는 경우에는, 직관적인 조작에 의하여 사용성을 높일 수 있다.

[0669] 또한 도 26의 (E) 및 (F)에 나타낸 바와 같이, 디지털 사이니지(7300) 또는 디지털 사이니지(7400)는 사용자가 소유하는 스마트폰 등의 정보 단말기(7311) 또는 정보 단말기(7411)와 무선 통신에 의하여 연계 가능한 것이 바람직하다. 예를 들어 표시부(7000)에 표시되는 광고의 정보를 정보 단말기(7311) 또는 정보 단말기(7411)의 화면에 표시할 수 있다. 또한 정보 단말기(7311) 또는 정보 단말기(7411)를 조작함으로써 표시부(7000)의 표시를 전환할 수 있다.

[0670] 디지털 사이니지(7300) 또는 디지털 사이니지(7400)에 정보 단말기(7311) 또는 정보 단말기(7411)의 화면을 조작 수단(컨트롤러)으로 한 게임을 실행시킬 수도 있다. 이에 의하여, 불특정 다수의 사용자가 동시에 게임에 참가하여 즐길 수 있다.

[0671] 도 27의 (A) 내지 (G)에 나타낸 전자 기기는 하우징(9000), 표시부(9001), 스피커(9003), 조작 키(9005)(전원 스위치 또는 조작 스위치를 포함함), 접속 단자(9006), 센서(9007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 검지, 검출, 또는 측정하는 기능을 포함하는 것), 마이크로폰(9008) 등을 가진다.

[0672] 도 27의 (A) 내지 (G)에서는 표시부(9001)에 본 발명의 일 형태의 표시 장치를 적용할 수 있다.

[0673] 도 27의 (A) 내지 (G)에 나타낸 전자 기기는 다양한 기능을 가진다. 예를 들어 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능, 무선 통신 기능, 기록 매체에 기록된 프로그램 또는 데이터를 판독하여 처리하는 기능 등을 가질 수 있다. 또한 전자 기기의 기능은 이들에 한정되지 않고, 다양한 기능을 가질 수 있다. 전자 기기는 복수의 표시부를 가져도 좋다. 또한 전자 기기는 카메라 등이 제공되고, 정지 화상 또는 동영상을 촬영하고 기록 매체(외부 기록 매체 또는 카메라에 내장된 기록 매체)에 저장하는 기능, 촬영한 화상을 표시부에 표시하는 기능 등을 가져도 좋다.

[0674] 도 27의 (A) 내지 (G)에 나타낸 전자 기기의 자세한 사항에 대하여 이하에서 설명한다.

[0675] 도 27의 (A)는 휴대 정보 단말기(9101)를 나타낸 사시도이다. 휴대 정보 단말기(9101)는 예를 들어 스마트폰으로서 사용할 수 있다. 또한 휴대 정보 단말기(9101)에는 스피커(9003), 접속 단자(9006), 센서(9007) 등을 제공하여도 좋다. 또한 휴대 정보 단말기(9101)는 문자 및 화상 정보를 그 복수의 면에 표시할 수 있다. 도 27의 (A)에는 3개의 아이콘(9050)을 표시한 예를 나타내었다. 또한 파선의 직사각형으로 나타낸 정보(9051)를 표시부(9001)의 다른 면에 표시할 수도 있다. 정보(9051)의 예로서는 전자 메일, SNS, 전화 등의 착신의 알림, 전자 메일 또는 SNS 등의 제목, 송신자명, 일시, 시각, 배터리의 잔량, 전파 강도 등이 있다. 또는 정보(905

1)가 표시되는 위치에는 아이콘(9050) 등을 표시하여도 좋다.

[0676] 도 27의 (B)는 휴대 정보 단말기(9102)를 나타낸 사시도이다. 휴대 정보 단말기(9102)는 표시부(9001)의 3면 이상에 정보를 표시하는 기능을 가진다. 여기서는 정보(9052), 정보(9053), 정보(9054)가 각각 상이한 면에 표시되어 있는 예를 나타내었다. 예를 들어 사용자는 옷의 가슴 포켓에 휴대 정보 단말기(9102)를 수납한 상태에서, 휴대 정보 단말기(9102) 위쪽에서 볼 수 있는 위치에 표시된 정보(9053)를 확인할 수도 있다. 사용자는 휴대 정보 단말기(9102)를 포켓에서 꺼내지 않고 표시를 확인하고, 예를 들어 전화를 받을지 여부를 판단할 수 있다.

[0677] 도 27의 (C)는 태블릿 단말기(9103)를 나타낸 사시도이다. 태블릿 단말기(9103)는 일례로서, 이동 전화, 전자 메일, 문장 열람 및 작성, 음악 재생, 인터넷 통신, 컴퓨터 게임 등의 다양한 애플리케이션의 실행이 가능하다. 태블릿 단말기(9103)는 하우징(9000)의 앞면에 표시부(9001), 카메라(9002), 마이크로폰(9008), 스피커(9003)를 가지고, 하우징(9000)의 측면에 조작용 버튼으로서의 조작 키(9005)를 가지고, 저면에 접속 단자(9006)를 가진다.

[0678] 도 27의 (D)는 손목시계형 휴대 정보 단말기(9200)를 나타낸 사시도이다. 휴대 정보 단말기(9200)는 예를 들어 스마트워치(등록 상표)로서 사용할 수 있다. 또한 표시부(9001)는 그 표시면이 만곡되어 제공되고, 만곡된 표시면을 따라 표시를 할 수 있다. 또한 휴대 정보 단말기(9200)가, 예를 들어 무선 통신이 가능한 헤드셋과 상호 통신함으로써 핸즈프리로 통화를 할 수도 있다. 또한 휴대 정보 단말기(9200)는 접속 단자(9006)에 의하여 다른 정보 단말기와 상호로 데이터를 주고받거나 충전할 수도 있다. 또한 충전 동작은 무선 급전에 의하여 수행하여도 좋다.

[0679] 도 27의 (E) 내지 (G)는 접을 수 있는 휴대 정보 단말기(9201)를 나타낸 사시도이다. 또한 도 27의 (E)는 휴대 정보 단말기(9201)를 펼친 상태의 사시도이고, 도 27의 (G)는 접은 상태의 사시도이고, 도 27의 (F)는 도 27의 (E) 및 (G) 중 한쪽으로부터 다른 쪽으로 변화되는 도중의 상태의 사시도이다. 휴대 정보 단말기(9201)는 접은 상태에서는 가반성이 우수하고, 펼친 상태에서는 이음매가 없고 넓은 표시 영역을 가지므로 표시의 일람성이 우수하다. 휴대 정보 단말기(9201)가 가지는 표시부(9001)는 힌지(9055)에 의하여 연결된 3개의 하우징(9000)으로 지지되어 있다. 예를 들어 표시부(9001)는 곡률 반경 0.1㎜ 이상 150㎜ 이하로 구부릴 수 있다.

[0680] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

부호의 설명

[0681] 10: 순서 회로

11B: 부화소

11G: 부화소

11R: 부화소

11: 회로

12: 회로

15a: 배선

15b: 배선

21: 트랜지스터

22: 트랜지스터

50A: 표시 장치

50B: 표시 장치

50C: 표시 장치

50D: 표시 장치

50E: 표시 장치

50F: 표시 장치

50G: 표시 장치

51A: 화소 회로

51B: 화소 회로

51C: 화소 회로

51D: 화소 회로

51E: 화소 회로

51: 화소 회로

52A: 트랜지스터

52B: 트랜지스터

52C: 트랜지스터

52D: 트랜지스터

52E: 트랜지스터

52F: 트랜지스터

53A: 용량 소자

53: 용량 소자

61: 발광 소자

100A: 트랜지스터

100B: 트랜지스터

100C: 트랜지스터

100D: 트랜지스터

100E: 트랜지스터

100F: 트랜지스터

100G: 트랜지스터

100H: 트랜지스터

100I: 트랜지스터

100J: 트랜지스터

100K: 트랜지스터

100: 트랜지스터

102: 기판

103: 절연층

104f: 도전막

104: 도전층

106: 절연층

108f: 금속 산화물막

108: 반도체층

110a: 절연층

110b: 절연층

110c: 절연층

110: 절연층

111B: 화소 전극

111G: 화소 전극

111R: 화소 전극

111S: 화소 전극

112a: 도전층

112b: 도전층

112bf: 도전막

112c: 도전층

113B: EL층

113G: EL층

113R: EL층

113S: 기능층

113: EL층

114: 공통층

115: 공통 전극

117: 차광층

118B: 희생층

118G: 희생층

118R: 희생층

119B: 희생층

119G: 희생층

119R: 희생층

123: 도전층

124B: 도전층

124G: 도전층

124R: 도전층

125f: 절연막

125: 절연층

126B: 도전층

126G: 도전층

126R: 도전층

127: 절연층

128: 층

130B: 발광 소자

130G: 발광 소자

130R: 발광 소자

130S: 수광 소자

131: 보호층

132B: 착색층

132G: 착색층

132R: 착색층

133B: 층

133Bf: 막

133G: 층

133R: 층

133: 층

140: 접속부

141: 개구

142: 접착층

143: 오목부

144: 영역

145: 개구

151: 기판

152: 기판

153: 절연층

162: 표시부

164: 회로부

165: 배선

166: 도전층

167: 도전층

172: FPC

173: IC

204: 접속부

205B: 트랜지스터

205D: 트랜지스터

205G: 트랜지스터

205R: 트랜지스터

205S: 트랜지스터

210: 화소

218: 절연층

230: 화소

235: 절연층

237: 절연층

242: 접속층

700A: 전자 기기

700B: 전자 기기

721: 하우징

723: 장착부

727: 이어폰부

750: 이어폰

751: 표시 패널

753: 광학 부재

756: 표시 영역

757: 프레임

758: 코 받침

800A: 전자 기기

800B: 전자 기기

820: 표시부

821: 하우징

822: 통신부

823: 장착부

824: 제어부

825: 촬상부

827: 이어폰부

832: 렌즈

6500: 전자 기기

6501: 하우징

6502: 표시부

6503: 전원 버튼

6504: 버튼

6505: 스피커

6506: 마이크로폰

6507: 카메라

6508: 광원

6510: 보호 부재

6511: 표시 패널

6512: 광학 부재

6513: 터치 센서 패널

6515: FPC

6516: IC

6517: 인쇄 기판

6518: 배터리

7000: 표시부

7100: 텔레비전 장치

7101: 하우징

7103: 스탠드

7111: 리모트 컨트롤러

7200: 노트북형 퍼스널 컴퓨터

7211: 하우징

7212: 키보드

7213: 포인팅 디바이스

7214: 외부 접속 포트

7300: 디지털 사이니지

7301: 하우징

7303: 스피커

7311: 정보 단말기

7400: 디지털 사이니지

7401: 기둥

7411: 정보 단말기

9000: 하우징

9001: 표시부

9002: 카메라

9003: 스피커

9005: 조작 키

9006: 접속 단자

9007: 센서

9008: 마이크로폰

9050: 아이콘

9051: 정보

9052: 정보

9053: 정보

9054: 정보

9055: 힌지

9101: 휴대 정보 단말기

9102: 휴대 정보 단말기

9103: 태블릿 단말기

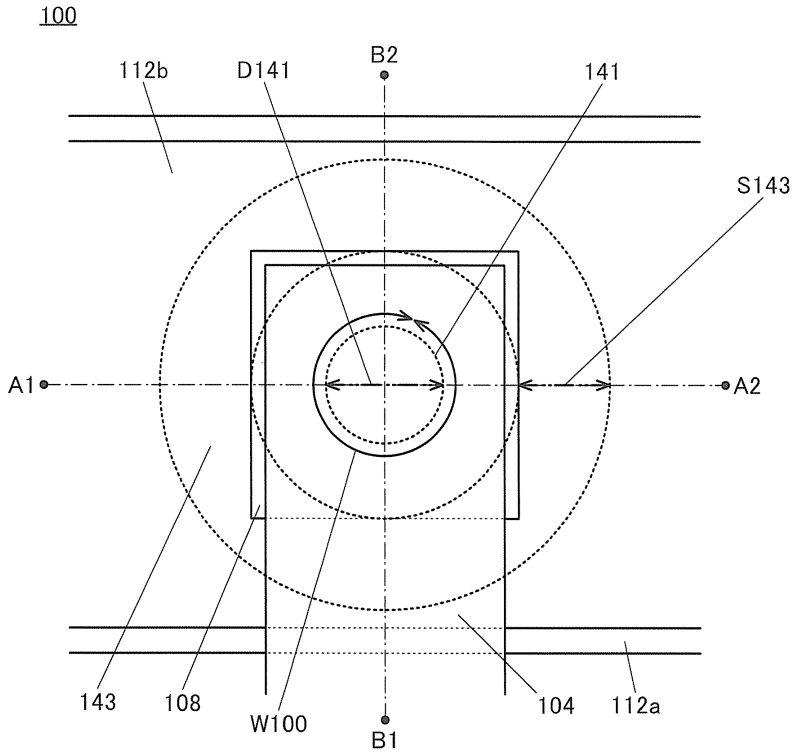
9200: 휴대 정보 단말기

9201: 휴대 정보 단말기

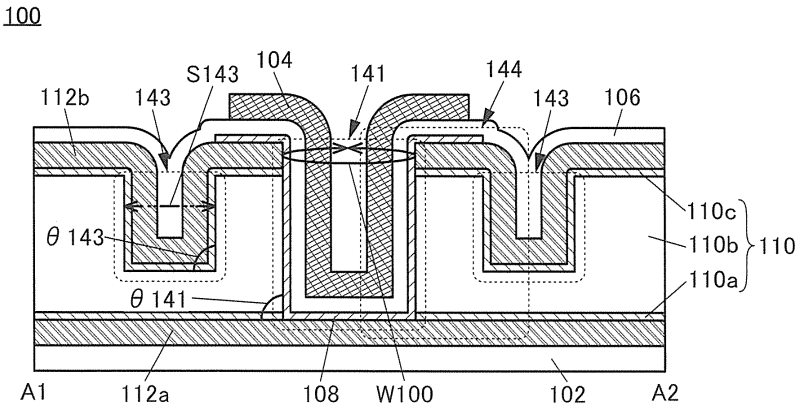
도면

도면1

(A)



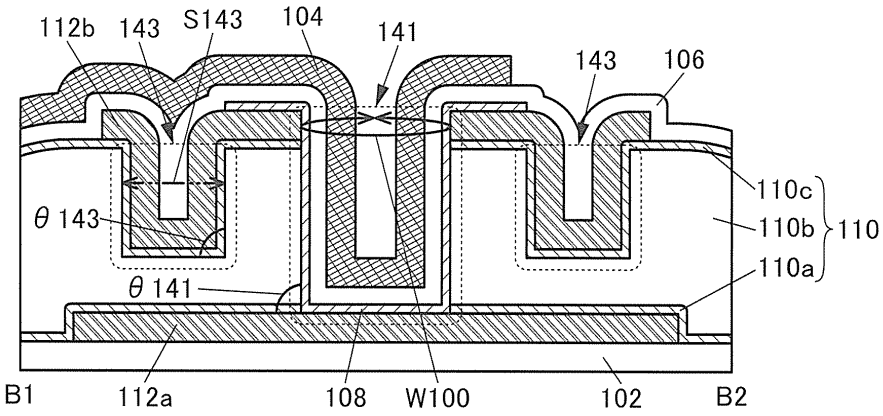
(B)



도면2

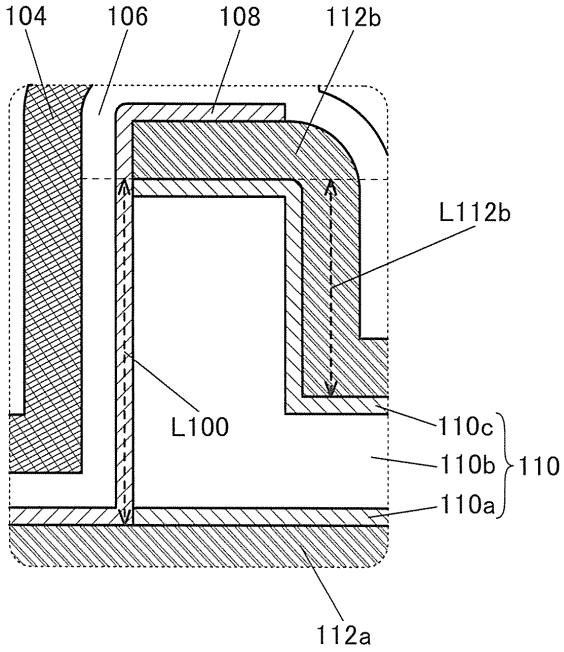
(A)

100



(B)

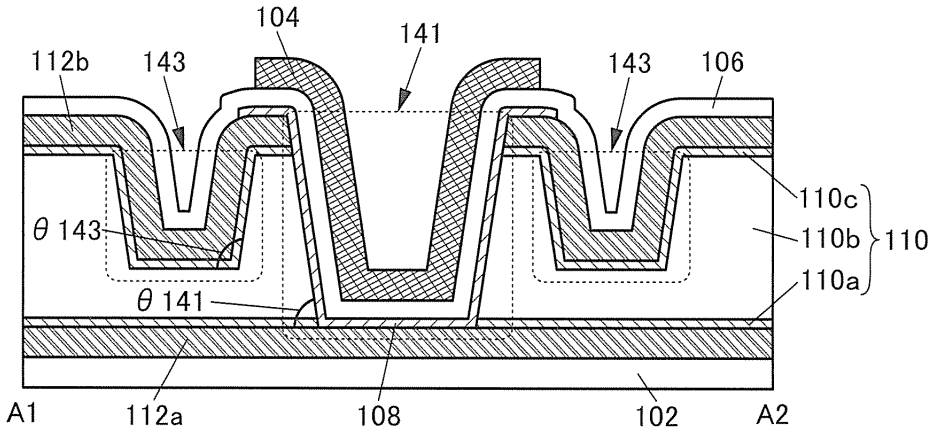
144



도면3

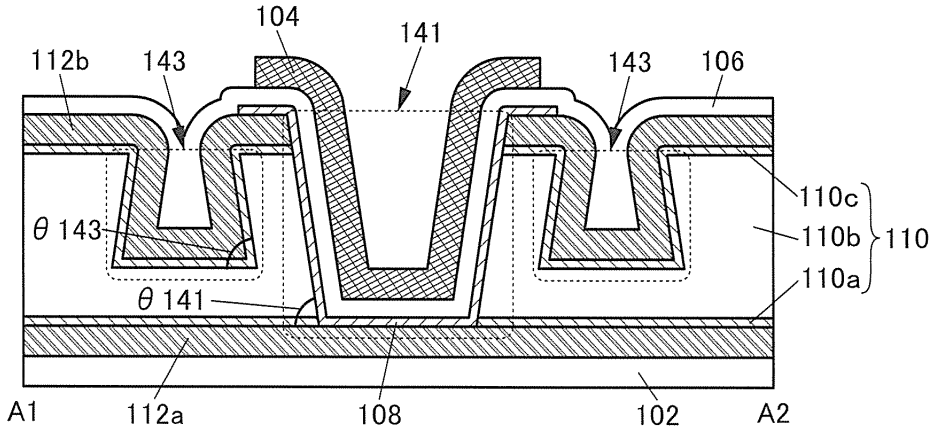
(A)

100A



(B)

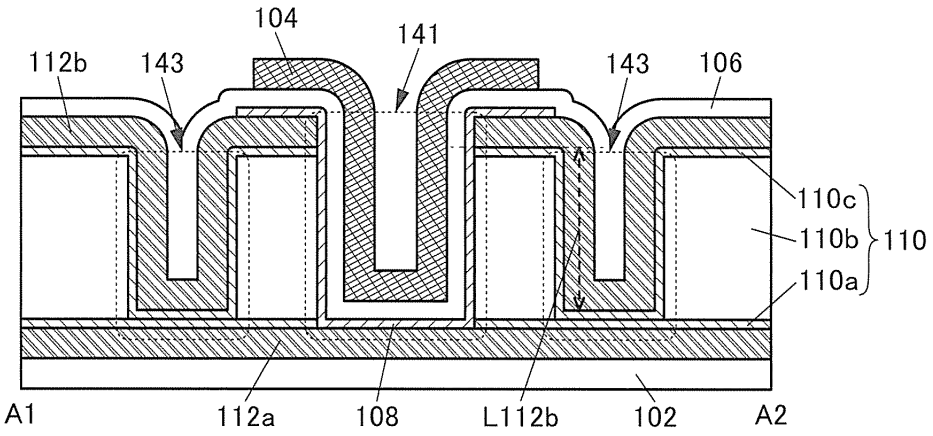
100B



도면4

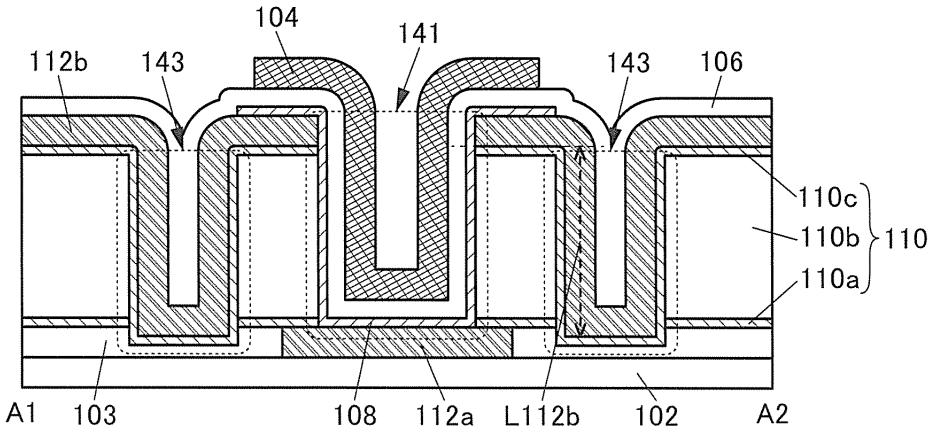
(A)

100C



(B)

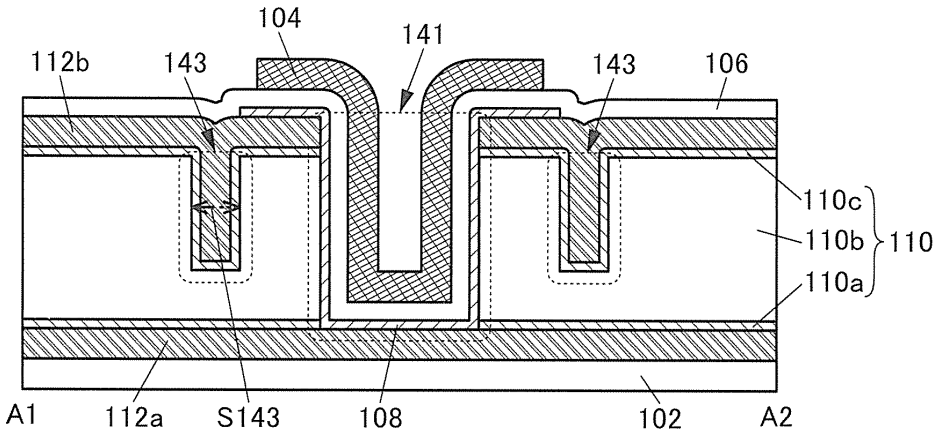
100D



도면5

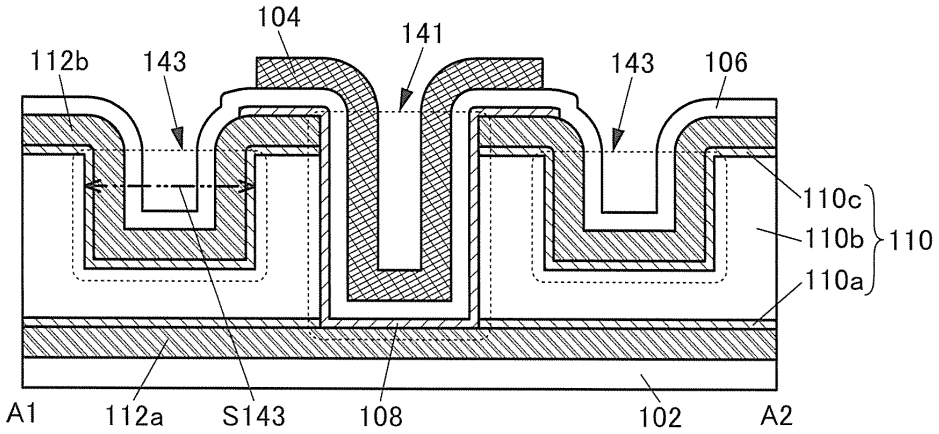
(A)

100E



(B)

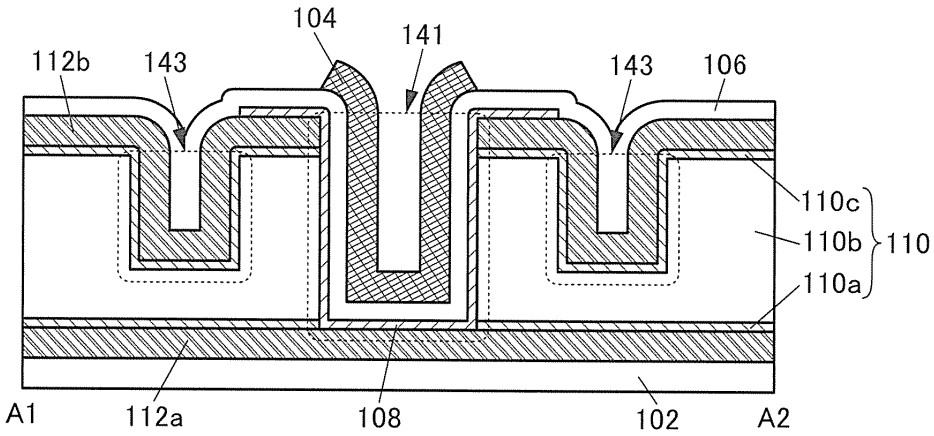
100F



도면6

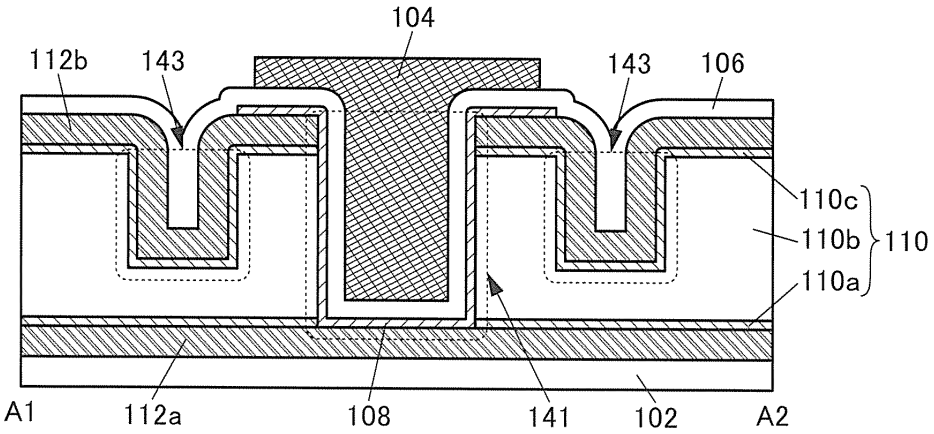
(A)

100G



(B)

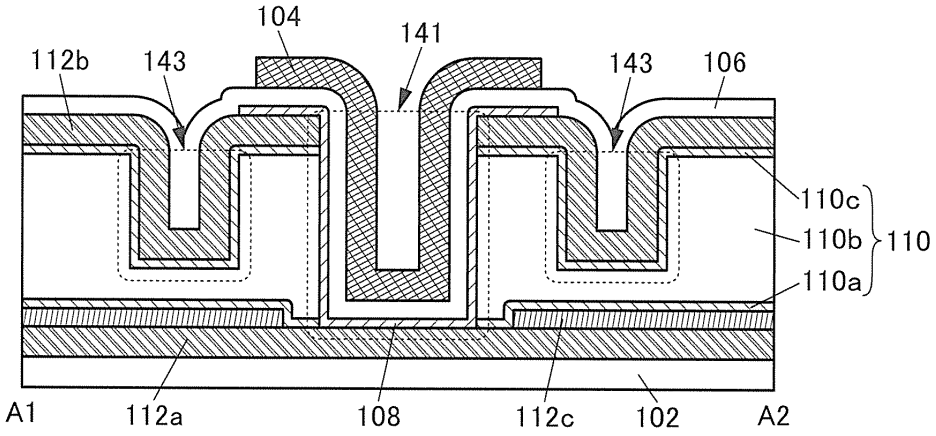
100H



도면7

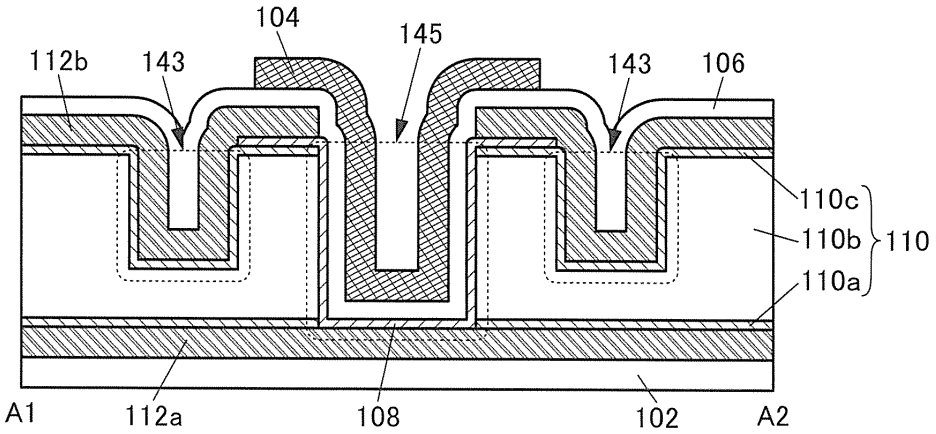
(A)

100I



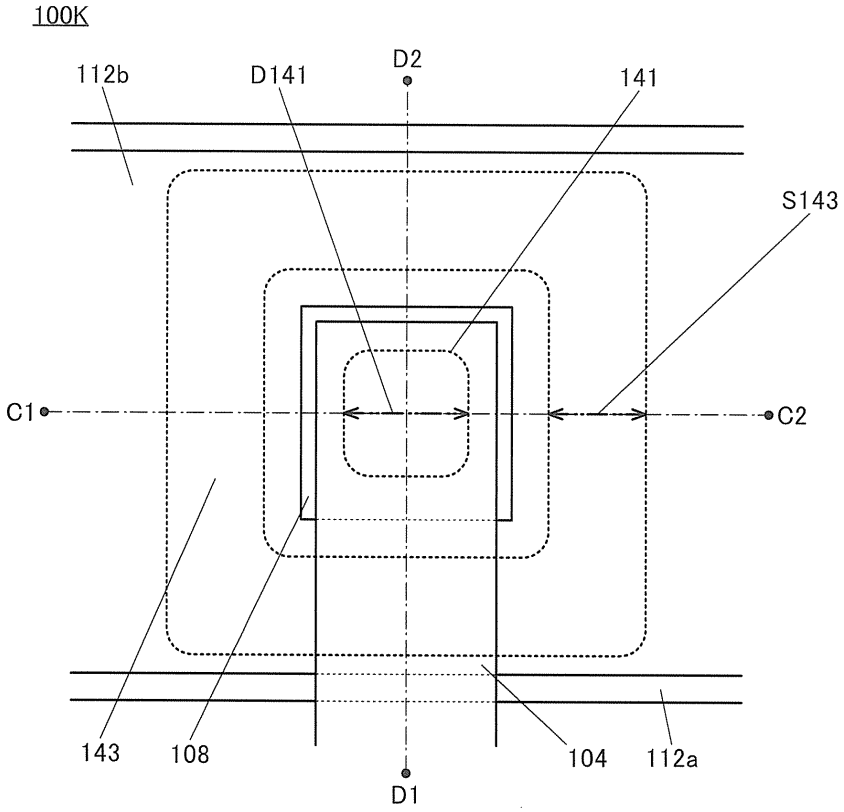
(B)

100J

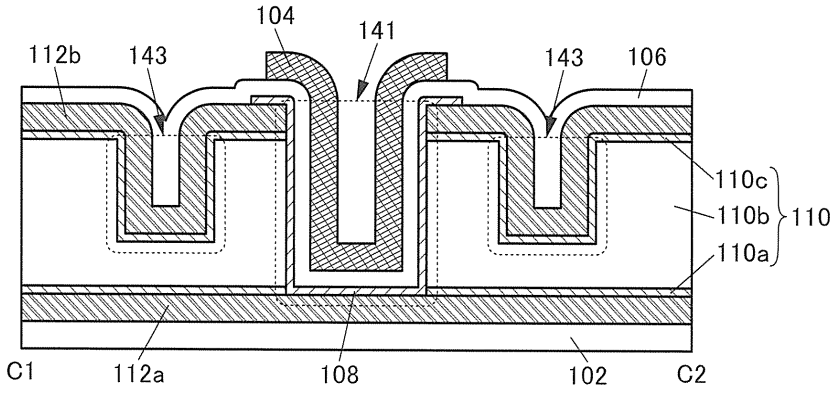


도면8

(A)

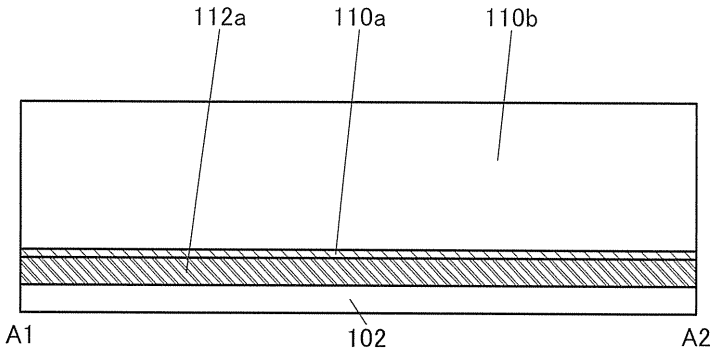

100K
112b
D141
D2
141
S143
C1
C2
143
108
104
112a
D1

(B)

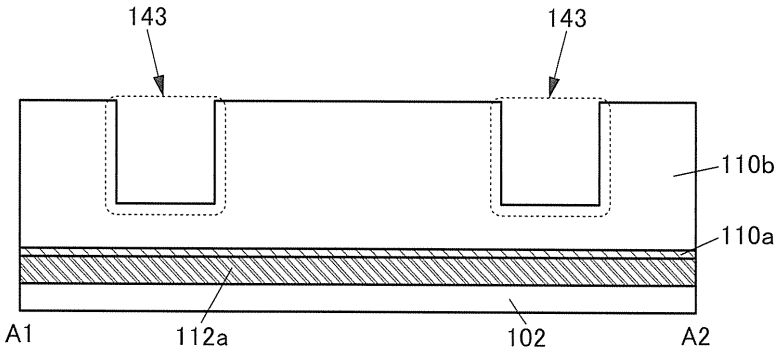

100K
104
141
112b
143
143
106
110c
110b
110
110a
C1
112a
108
102
C2

도면9

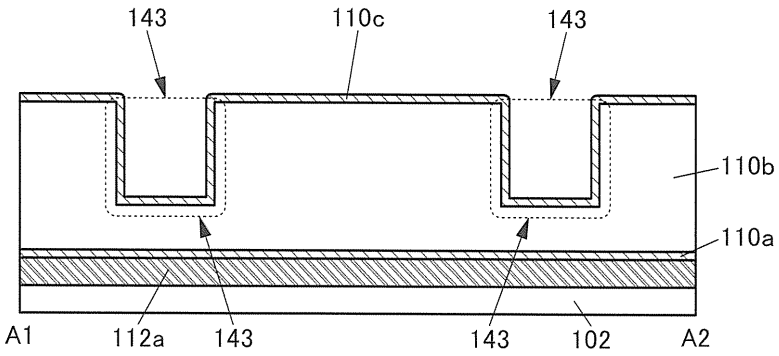
(A)


112a
110a
110b
A1
102
A2

(B)

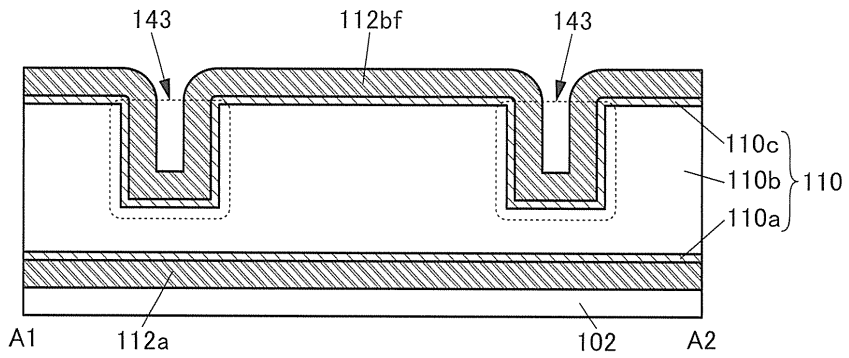

143
143
110b
110a
A1
112a
102
A2

(C)

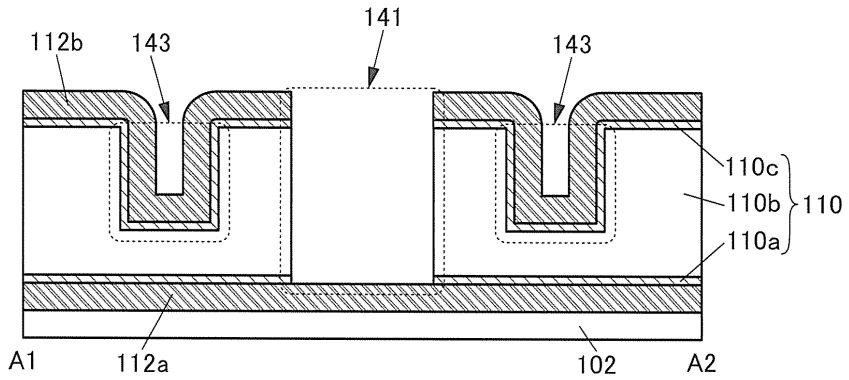

143
110c
143
110b
110a
A1
112a
143
143
102
A2

도면10

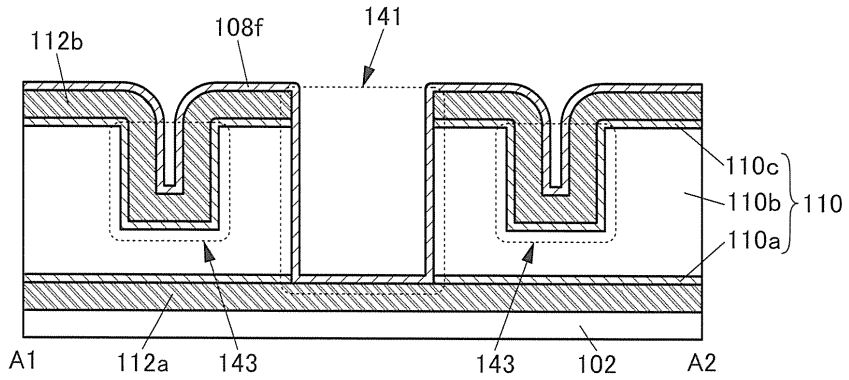
(A)


143
112bf
143
110c
110b
110
110a
A1
112a
102
A2

(B)

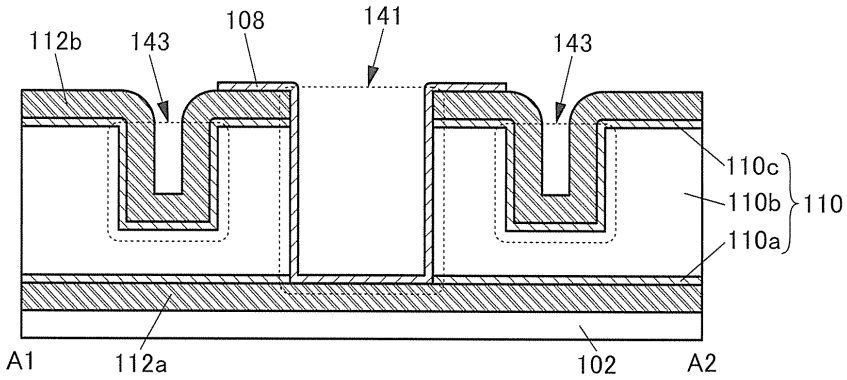

112b
143
141
143
110c
110b
110
110a
A1
112a
102
A2

(C)

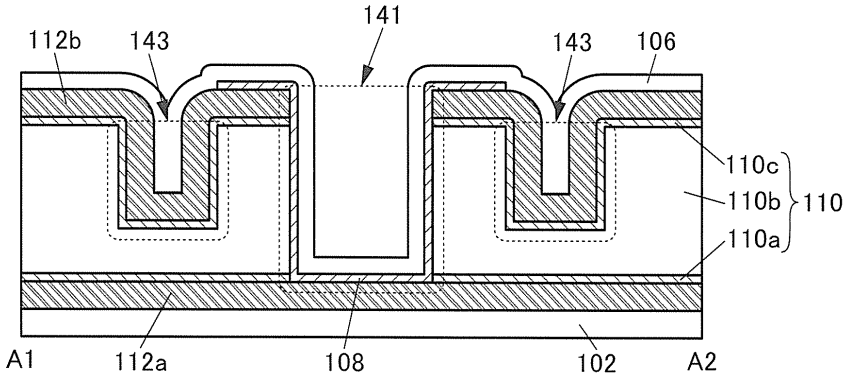

112b
108f
141
110c
110b
110
110a
A1
112a
143
143
102
A2

도면11

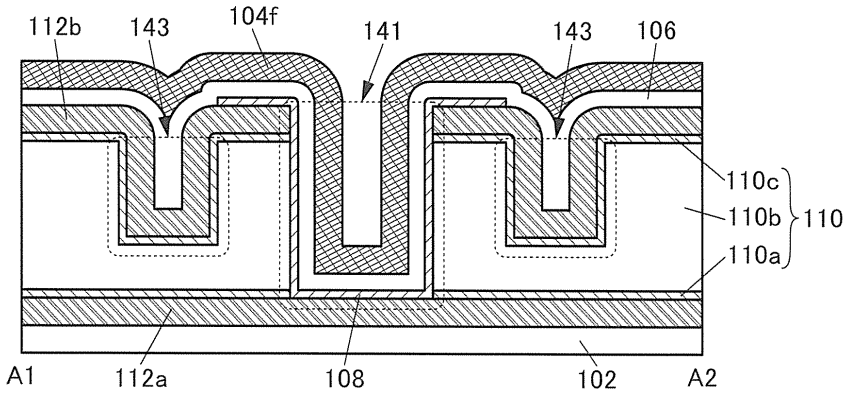
(A)


112b
143
108
141
143
110c
110b
110
110a
A1
112a
102
A2

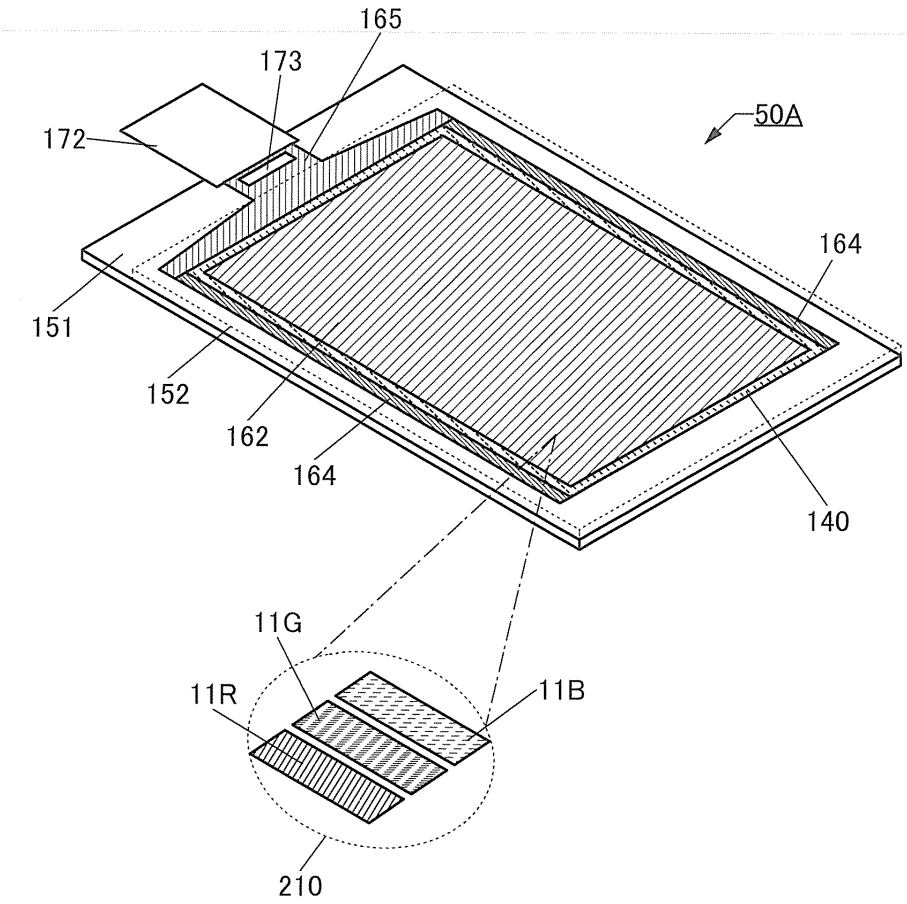
(B)


112b
143
141
143
106
110c
110b
110
110a
A1
112a
108
102
A2

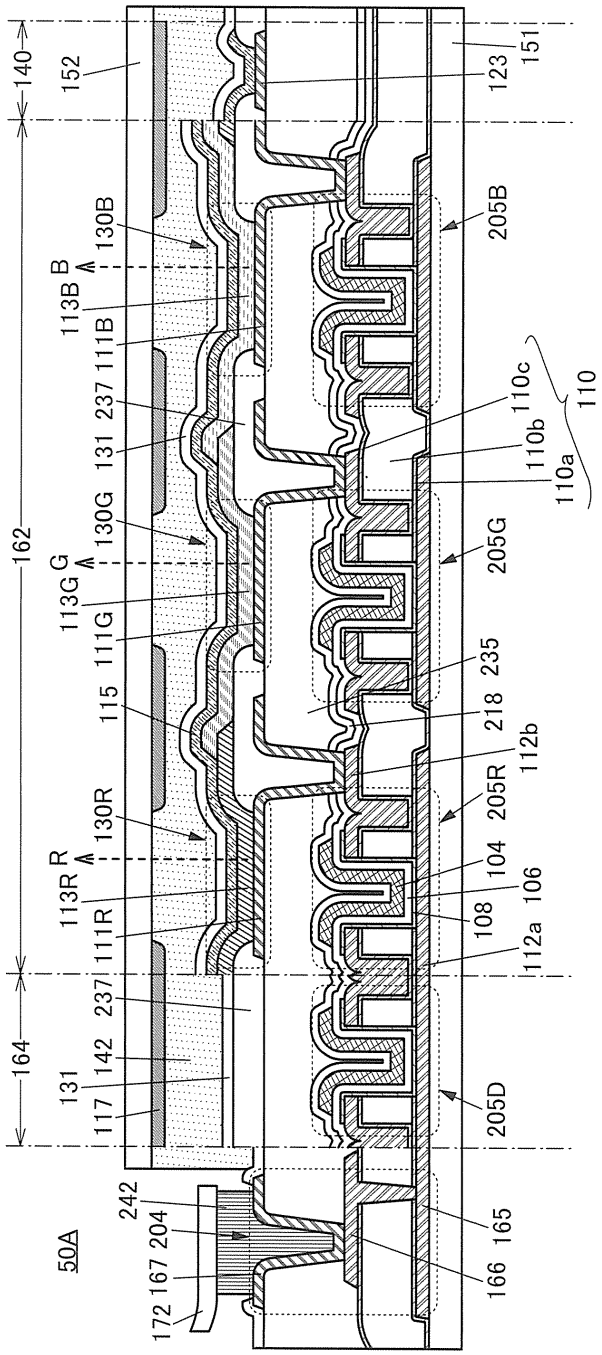
(C)


112b
143
104f
141
143
106
110c
110b
110
110a
A1
112a
108
102
A2

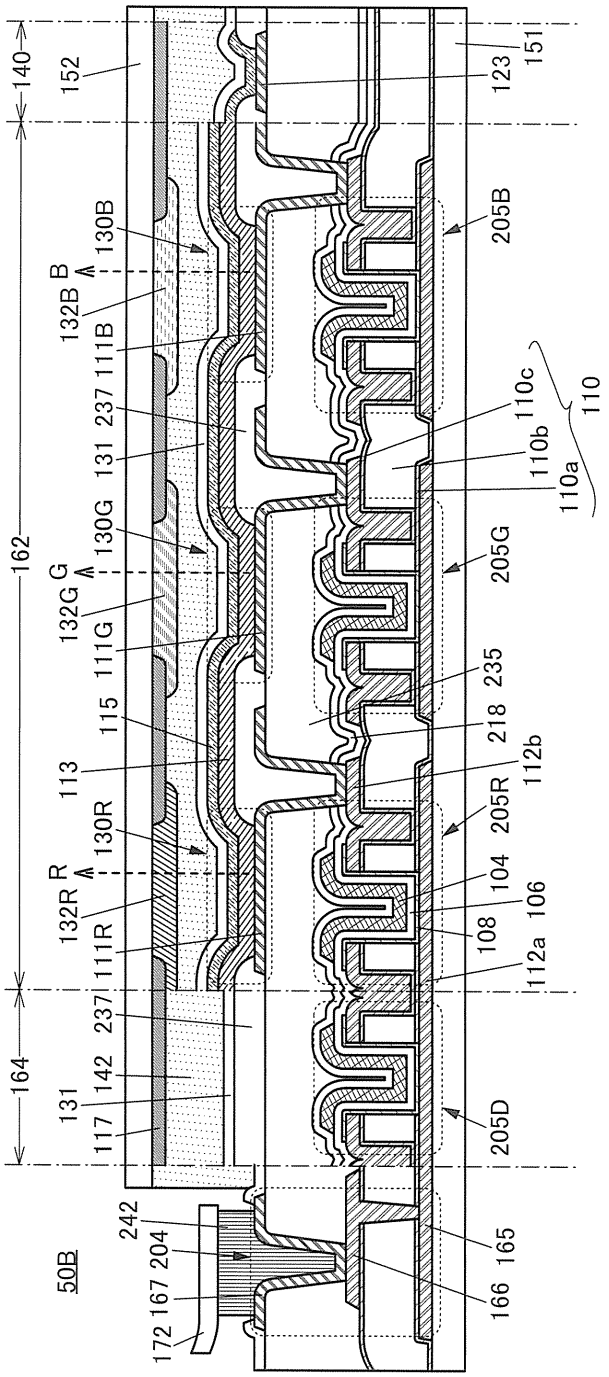
도면12



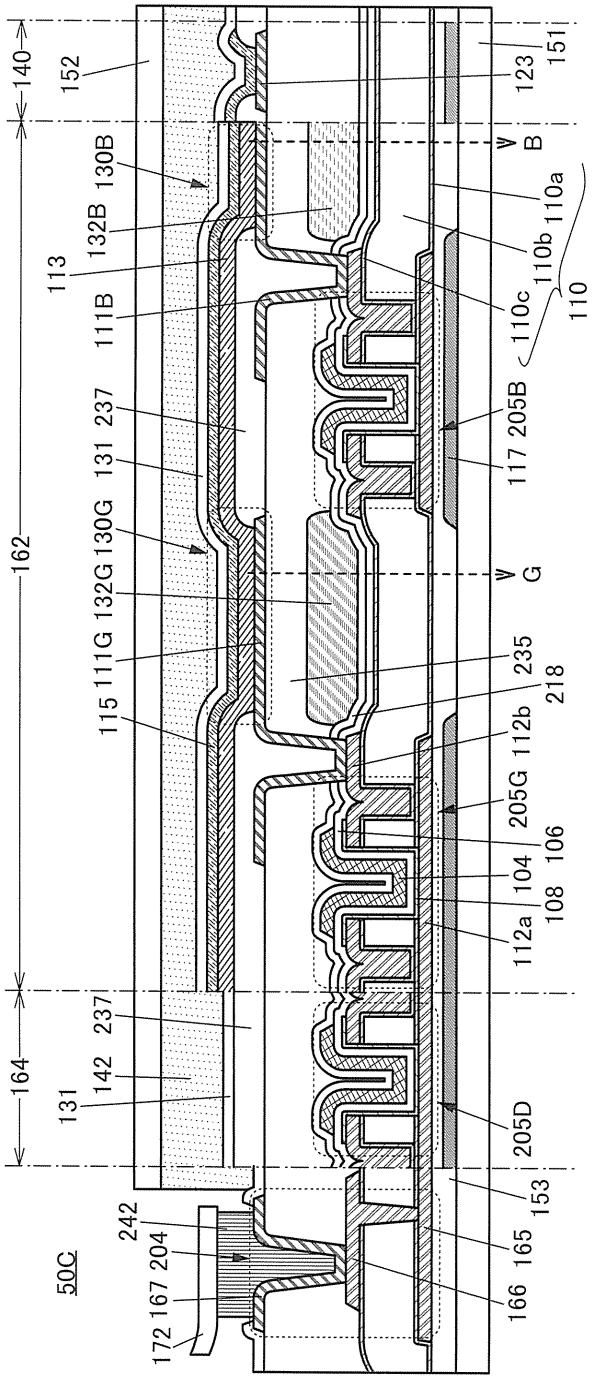
도면13


140
152
123
151
130B
205B
B
113B
111B
237
131
110c
110b
110a
110
130G
205G
G
113G
111G
115
235
218
112b
130R
205R
R
113R
111R
104
106
108
112a
237
142
131
117
205D
164
162
242
204
167
172
50A
165
166

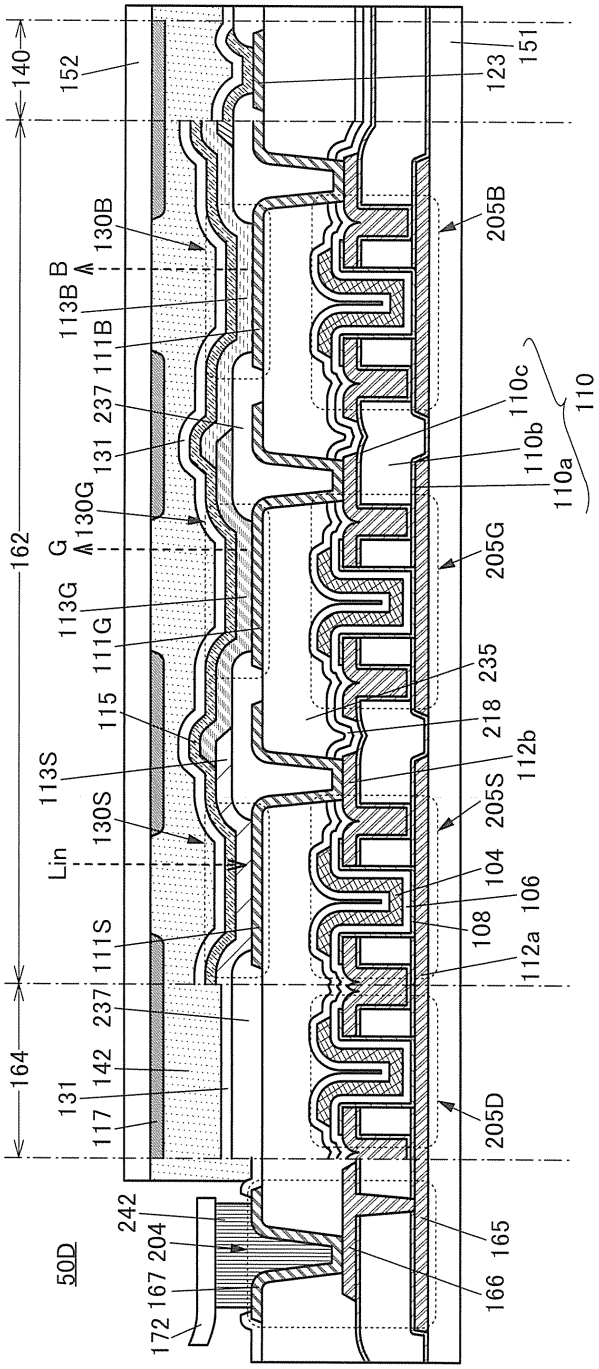
도면14


140
162
164
152
123
151
130B
132B
111B
237
131
205B
110c
110b
110a
110
130G
132G
111G
205G
115
235
218
113
112b
130R
132R
111R
205R
104
106
108
112a
237
142
131
117
205D
242
204
167
172
165
166
50B
B
G
R

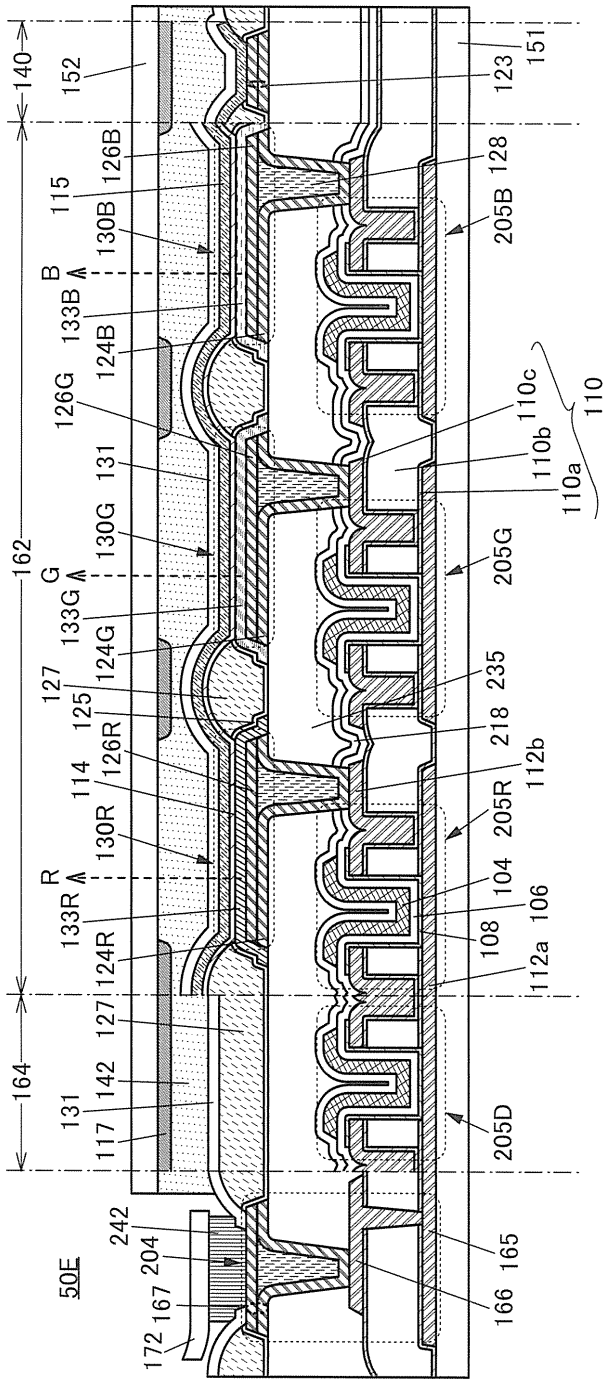
도면15


140
152
123
151
B
130B
110a
132B
113
110b
110c
110
111B
237
205B
117
131
130G
G
132G
111G
115
235
218
112b
205G
106
104
108
112a
237
142
131
205D
153
242
165
204
166
167
172
50C
162
164

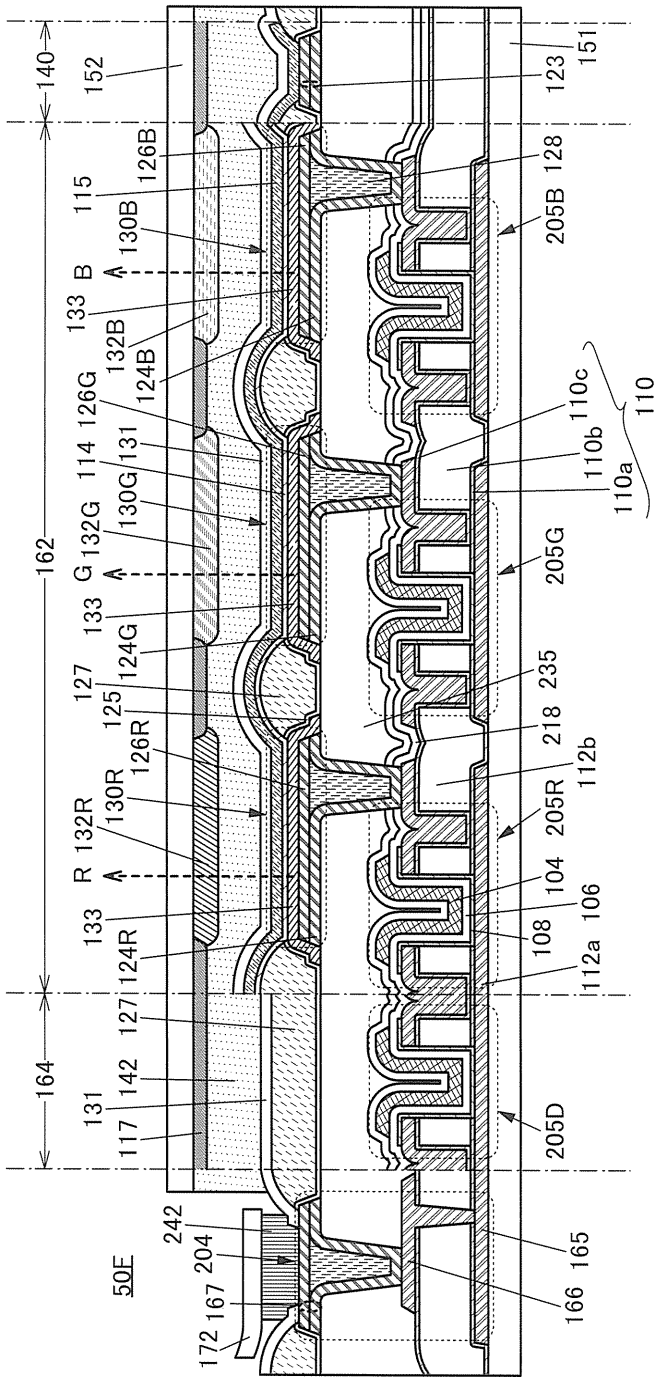
도면16


140
152
123
151
130B
B
113B
111B
237
131
130G
G
113G
111G
115
113S
130S
Lin
111S
237
142
131
117
164
162
205B
110c
110b
110a
110
205G
235
218
112b
205S
104
106
108
112a
205D
50D
242
204
167
172
165
166

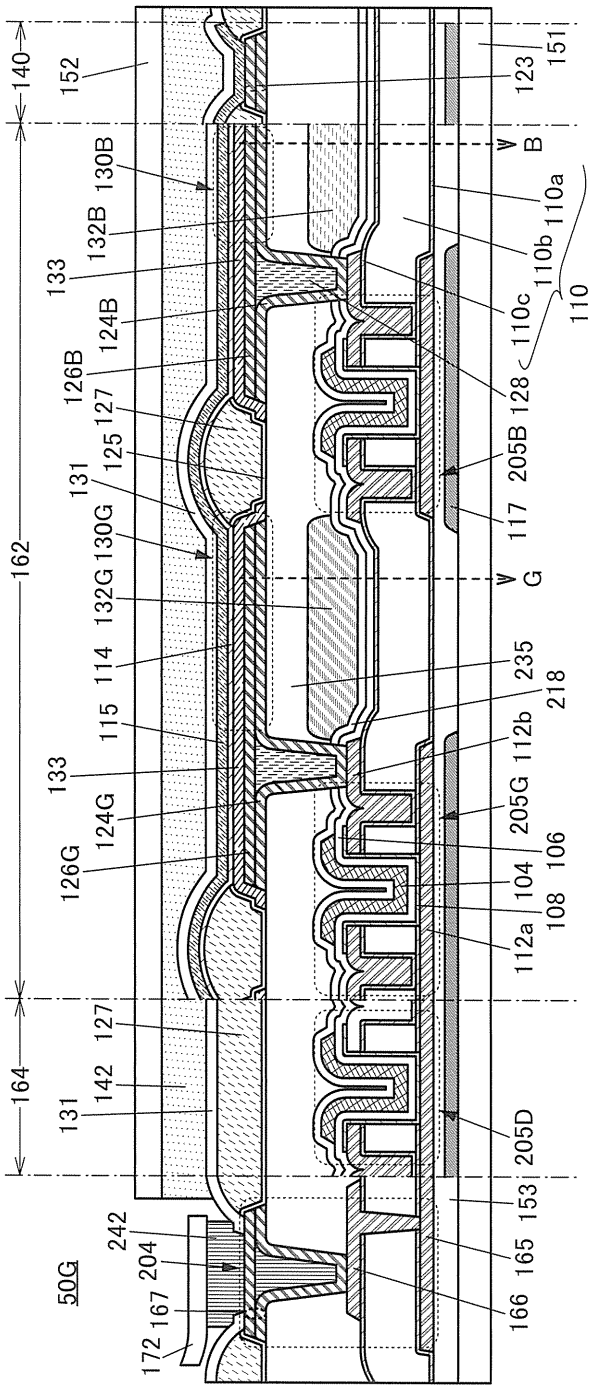
도면17


140
152
126B
115
130B
B
133B
124B
126G
131
130G
G
133G
124G
127
125
126R
114
130R
R
133R
124R
127
164
131
142
117
50E
242
204
167
172
162
151
123
128
205B
110c
110b
110a
110
205G
235
218
112b
205R
104
106
108
112a
205D
165
166

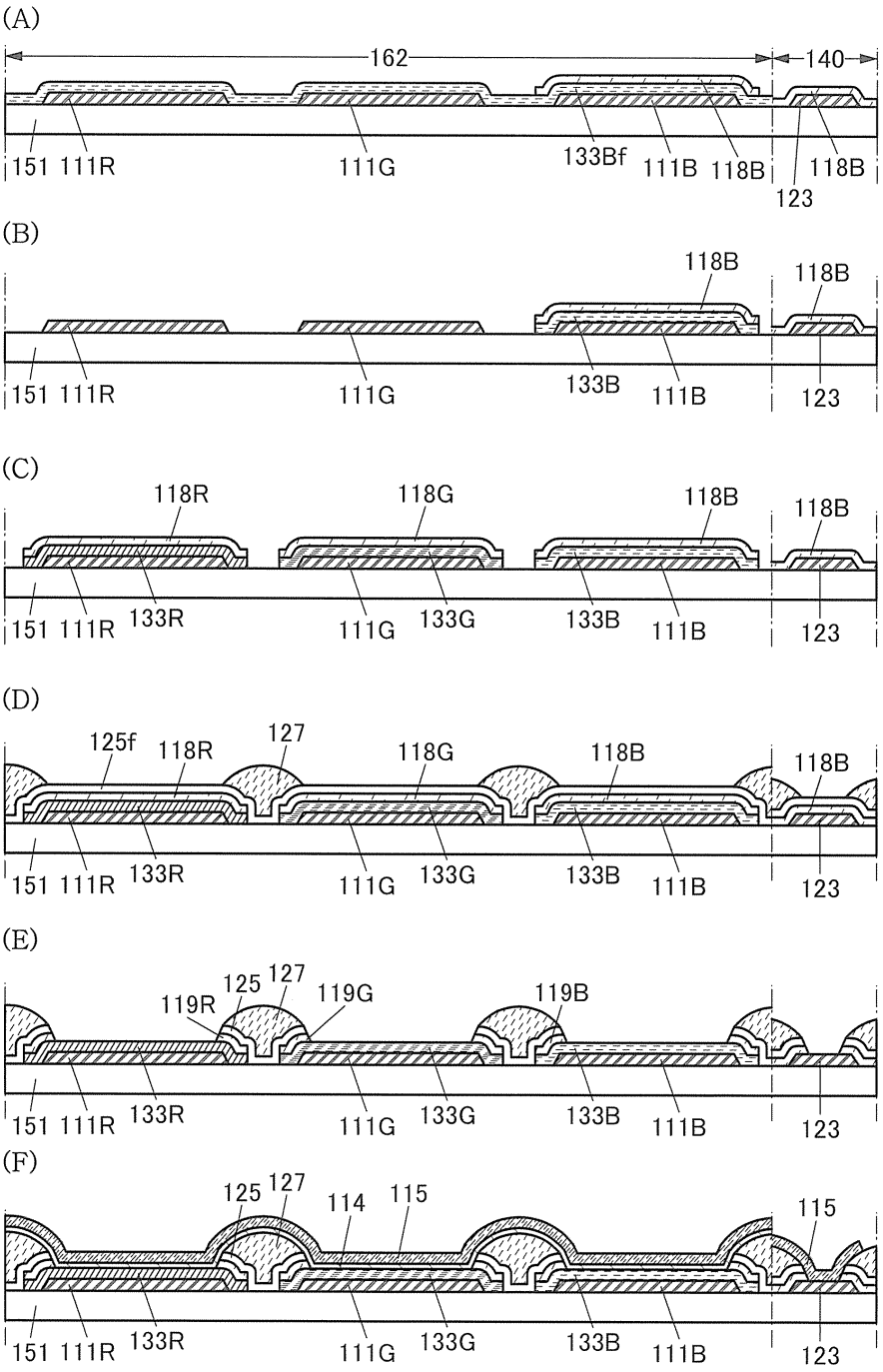
도면18


140
162
164
152
151
123
126B
128
115
130B
205B
B
133
132B
124B
126G
114
131
130G
132G
G
133
124G
127
125
126R
130R
132R
R
133
124R
127
131
142
117
110c
110b
110a
110
205G
235
218
112b
205R
104
106
108
112a
205D
242
204
167
172
165
166
50E

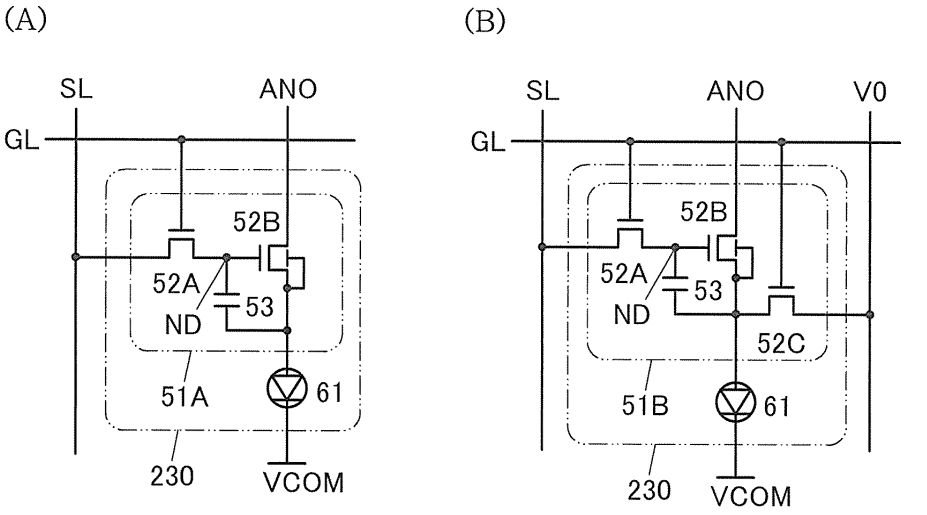
도면19


140
152
151
123
B
130B
132B
133
124B
126B
127
125
131
130G
132G
114
115
133
124G
126G
127
142
131
164
162
50G
242
204
167
172
153
165
166
205D
205G
112b
235
218
106
104
108
112a
205B
117
G
128
110c
110b
110a
110

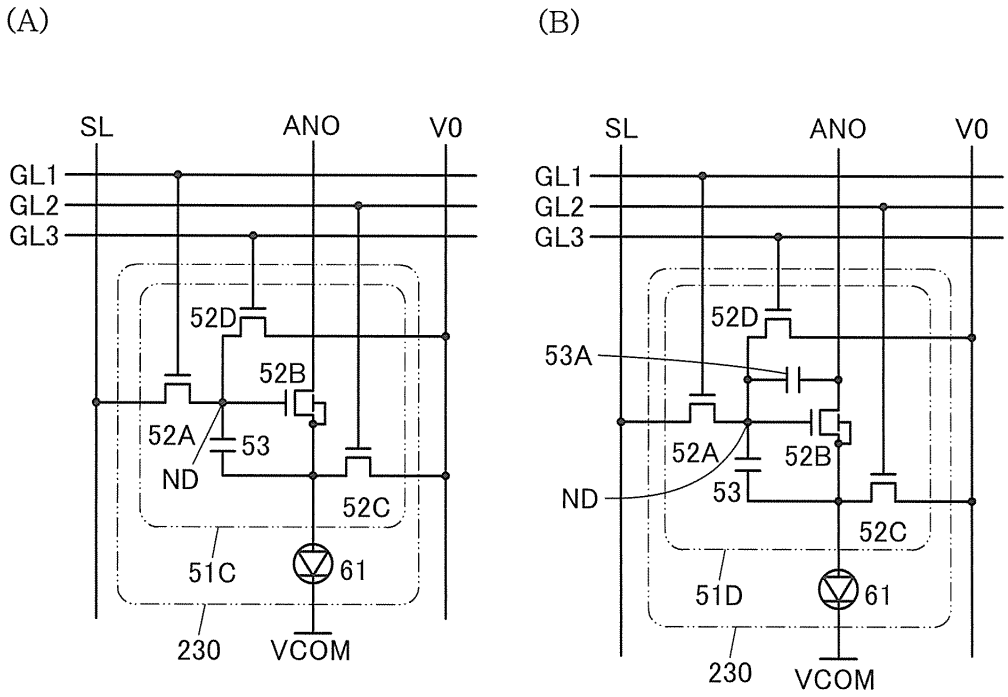
도면20


(A)
162
140
151
111R
111G
133Bf
111B
118B
118B
123
(B)
118B
118B
151
111R
111G
133B
111B
123
(C)
118R
118G
118B
118B
151
111R
133R
111G
133G
133B
111B
123
(D)
125f
118R
127
118G
118B
118B
151
111R
133R
111G
133G
133B
111B
123
(E)
119R
125
127
119G
119B
151
111R
133R
111G
133G
133B
111B
123
(F)
125
127
114
115
115
151
111R
133R
111G
133G
133B
111B
123

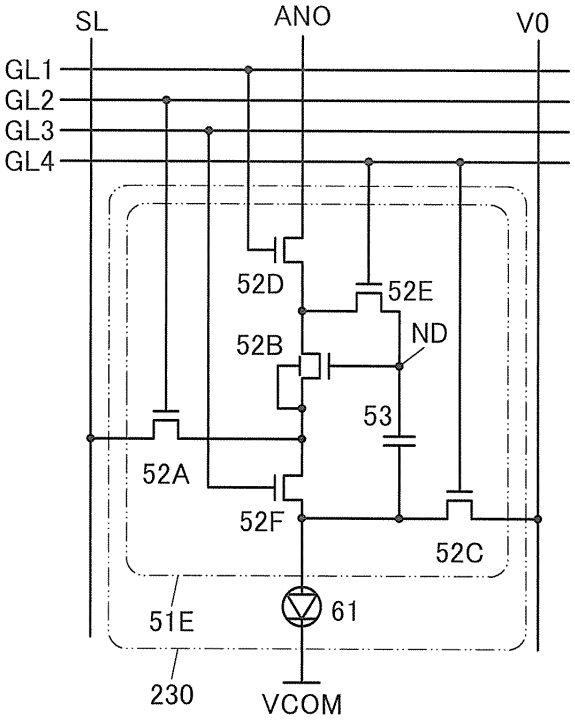
도면21


(A)
SL
ANO
GL
52B
52A
53
ND
51A
61
230
VCOM
(B)
SL
ANO
V0
GL
52B
52A
53
ND
52C
51B
61
230
VCOM

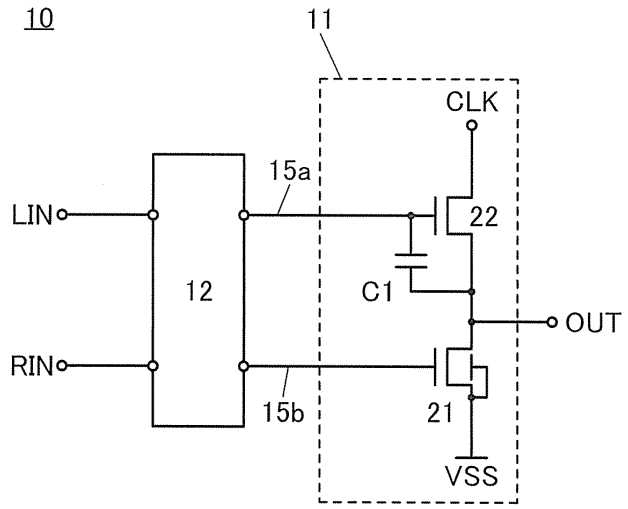
도면22


(A)
SL
ANO
V0
GL1
GL2
GL3
52D
52B
52A
53
ND
52C
51C
61
230
VCOM
(B)
SL
ANO
V0
GL1
GL2
GL3
52D
53A
52A
52B
ND
53
52C
51D
61
230
VCOM

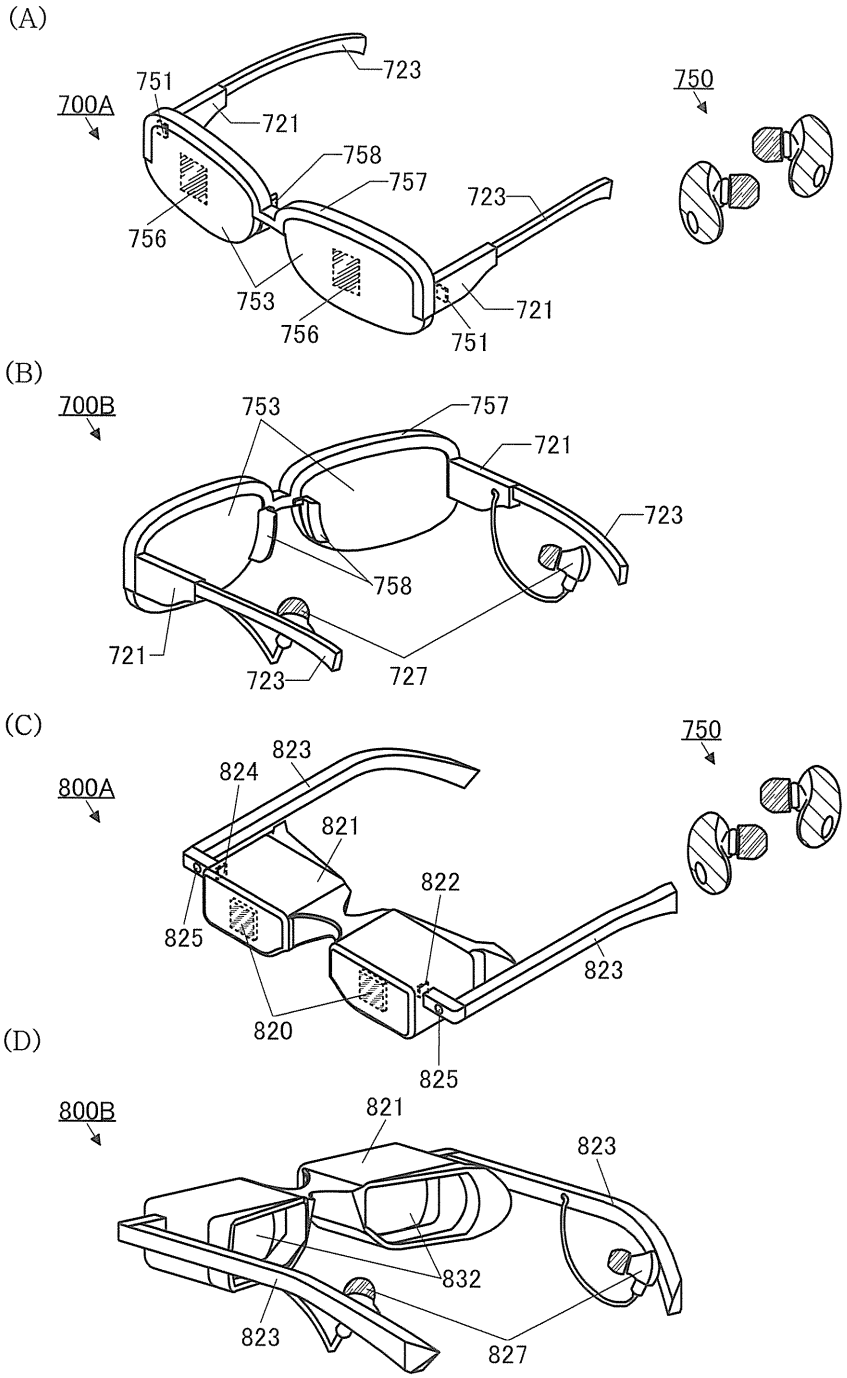
도면23


SL
ANO
V0
GL1
GL2
GL3
GL4
52D
52E
ND
52B
53
52A
52F
52C
51E
61
230
VCOM

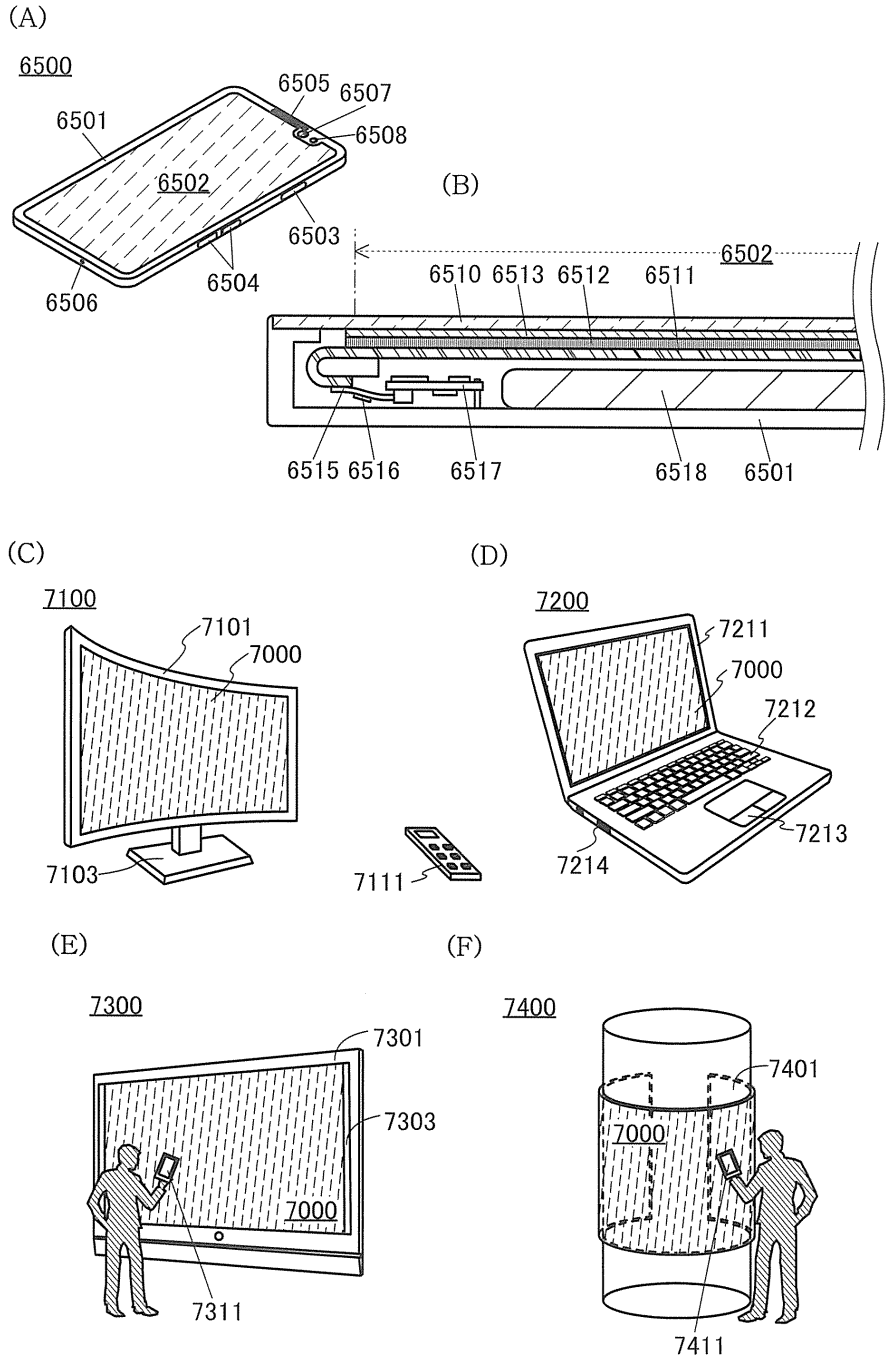
도면24


10
11
CLK
15a
LIN
22
12
C1
OUT
RIN
15b
21
VSS

도면25


(A)
700A
751
723
721
758
757
723
750
756
753
756
721
751
(B)
700B
753
757
721
723
758
721
723
727
(C)
800A
823
824
821
822
825
823
750
820
825
(D)
800B
821
823
832
823
827

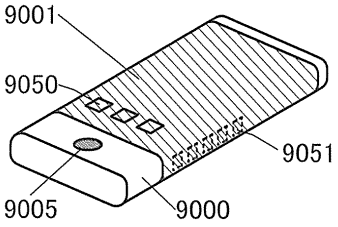
도면26


(A)
6500
6501
6505
6507
6508
6502
6503
6504
6506
(B)
6502
6510
6513
6512
6511
6515
6516
6517
6518
6501
(C)
7100
7101
7000
7103
7111
(D)
7200
7211
7000
7212
7213
7214
(E)
7300
7301
7303
7000
7311
(F)
7400
7401
7000
7411

도면27

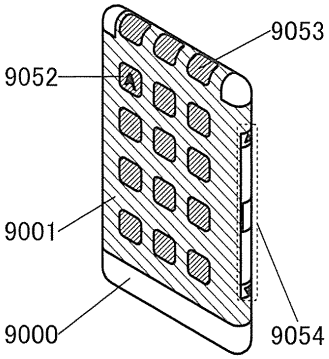
(A)

9101



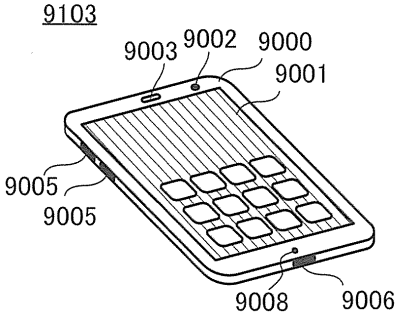
(B)

9102



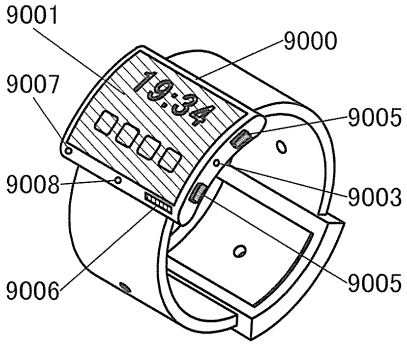
(C)

9103



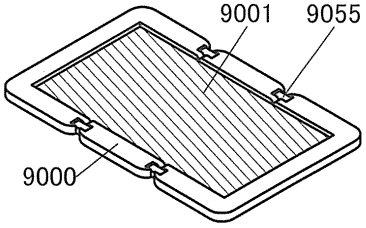
(D)

9200



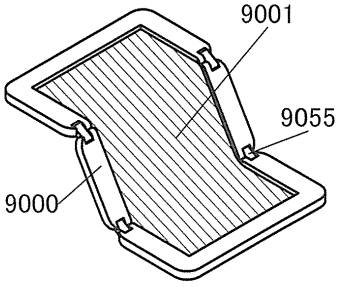
(E)

9201



(F)

9201



(G)

9201

