

發明專利說明書

200529227

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 93104836

※申請日期： 93-02-25

※IPC 分類： G11C 11/34

壹、發明名稱：(中文/英文)

低漏電流之靜態隨機存儲記憶體 / LOW LEAKAGE CURRENT STATIC
RANDOM ACCESS MEMORY

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

聯華電子股份有限公司/UNITED MICROELECTRONICS CORP.

代表人：(中文/英文)

住居所或營業所地址：(中文/英文) 曹興誠 / TSAO, HSING-CHENG

新竹市新竹科學工業園區力行二路三號/No. 3, Li-Hsin Road 2, Science-Based
Industrial Park, Hsin-Chu City 300, Taiwan, R.O.C.

國籍：(中文/英文) 中華民國 / TW

參、發明人：(共 1 人)

姓名：(中文/英文) 林世欽 / LIN, SHIH-CHIN

住居所地址：(中文/英文)

新竹縣竹北市憲政十街八十二號十樓/10F, No. 82, Hsien-Chen 10th St., Chu-Pei
City, Hsin-Chu Hsien, Taiwan, R.O.C.

國籍：(中文/英文)

中華民國 / TW

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

◎ 本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

- 1.
- 2.
- 3.
- 4.
- 5.

主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係有關於一種靜態隨機存儲記憶體，尤指一種低漏電流之靜態隨機存儲記憶體。

【先前技術】

隨著半導體製程的進步，晶圓的直徑已由過去 8 吋邁向 12 吋，線寬大小亦由過去的 0.18 微米進入 0.13 微米甚至 0.1 微米以下。然而，隨著電子元件的縮小，電子元件的次啟始電壓漏電流 (sub-threshold leakage) 以及閘極漏電流 (gate leakage) 的現象會越來越明顯，並進而影響到電子元件的運作。因此，隨著製程尺寸的縮小，習知的靜態隨機存儲記憶體所產生的漏電流會越加明顯，並使得其操作偏離了原先電路架構下所該有的預期。

請參考圖一，圖一為習知靜態隨機存儲記憶體 1 之示意圖。靜態隨機存儲記憶體 1 包含有複數個靜態隨機存儲記憶體單元 10，用來儲存資料。靜態隨機存儲記憶體單元 10 係排列成一矩陣，而受其所連接的位元線 (bit line) 18 以及字線 (word line) 20 之控制，如圖一所示，每一靜態隨機存儲記憶體單元 10 與一對位元線 18 以及一字線 20 連接。靜態隨機存儲記憶體 1 另包含複數個感測放大器 24，藉由位元線 18 連接於各個靜態隨機存儲記憶體單元 10，當靜態隨機存儲記憶體單元 10 的資料被讀取時，其資料訊號會經由感測放大器 24 加以放大。

請參考圖二，圖二為圖一中靜態隨機存儲記憶體單元 10

之電路圖。靜態隨機存儲記憶體單元 10 即為習知所謂的 6T 靜態隨機存儲記憶體單元，其包含有六個電晶體以及兩電源端 SAP 與 SAN，其中電源端 SAP 連接於 V_{DD} ，而電源端 SAN 連接於 V_{SS} 。 V_{DD} 的電位通常為正，如正 1.5 伏特，而 V_{SS} 的電位通常為零，但有些情況下會為負的電位。靜態隨機存儲記憶體單元 10 的兩 N 型金屬氧化半導體電晶體 (NMOS) 12，分別連接於 V_{SS} 。兩端點 A、B 並分別藉由兩 P 型金屬氧化半導體電晶體 (PMOS) 14 連接於 V_{DD} 。此外，端點 A 另連接於右邊的 NMOS 12 與 PMOS 14 之間極，而端點 B 則另連接於左邊的 NMOS 12 與 PMOS 14 之間極。

靜態隨機存儲記憶體單元 10 的兩 NMOS 12 及兩 PMOS 14 會形成一正反器 (flip-flop)，而使資料得以儲存。當端點 A 處於邏輯上的低電位 (接近 V_{SS}) 時，右邊的 PMOS 14 會導通，而右邊的 NMOS 12 會關閉。當右邊的 PMOS 14 導通且右邊的 NMOS 12 關閉時，端點 B 則會被拉高至邏輯上的高電位 (接近 V_{DD})。此外，當端點 B 處於邏輯上的高電位時，左邊的 PMOS 14 會關閉，而左邊的 NMOS 12 會導通。當左邊的 PMOS 14 關閉且左邊的 NMOS 12 導通時，端點 A 會拉低至邏輯上的低電位。如此一來，靜態隨機存儲記憶體單元 10 會維持在一栓鎖的狀態下，而使資料得以保存。

端點 A 及端點 B 藉由兩 NMOS 16 分別連接於一對位元線 BL、BLb。兩 NMOS 16 的閘極則連接於一字線 20，而使得靜態隨機存儲記憶體單元 10 得以進行資料的「讀取」與「寫入」動作。當靜態隨機存儲記憶體單元 10 進行讀取資料之操作時，其兩 NMOS 16 會藉由字線 20 而開啟，進而使得其所連接兩位元線 18 其一之電位被拉高，而另一位元線 18 之電位被拉低。舉例來說，若端點 A 處於邏輯上的低電位且字線 20 的電

位被拉高時，兩 NMOS 16 會導通，而使得左邊的位元線 BL 的電位被拉低，並使右邊的位元線 BLb 的電位被拉高。

然而當端點 A 處於邏輯上的高電位，且字線 20 的電位被拉低而使兩 NMOS 16 關閉時，會產生次啟始電壓漏電流，此次啟始電壓漏電流會經由端點 A 及左邊的 NMOS 12 流至電源端 V_{SS} 。請參考圖三，圖三即表示了圖二靜態隨機存儲記憶體單元 10 處於待命模式時其所產生的各次啟始電壓漏電流 22，其中靜態隨機存儲記憶體單元 10 的端點 A 處於邏輯上的低電位，而端點 B 處於邏輯上的高電位。當靜態隨機存儲記憶體單元 10 處於待命模式時，兩 NMOS 16 會關閉，而 NMOS 16 之汲極所連接的位元線 18 的電壓會掉落而低於 V_{DD} ，而因端點 A 的電位低於 V_{DD} 以及小於左側位元線 18 的電壓，故會有兩次啟始電壓漏電流 22 分別經由左側的 PMOS 14 及 NMOS 16 流到端點 A；此外，因端點 B 的電位高於右側位元線 18 的電壓以及高於 V_{SS} 的電壓，故會有兩次啟始電壓漏電流 22 分別經由端點 B 流至右側的位元線 18 以及電源端 SAN。然而，因靜態隨機存儲記憶體單元 10 處於待命模式時會產生上述的次啟始電壓漏電流 22，故當靜態隨機存儲記憶體 1 所包含的靜態隨機存儲記憶體單元 10 數目一多時，其漏電流之總和將會很大，而易使靜態隨機存儲記憶體 1 的操作受到影響。

【發明內容】

因此，本發明的目的即在於提供一種低漏電流之靜態隨機存儲記憶體，以解決上述習知靜態隨機存儲記憶體的問題。

依據本發明所申請之專利範圍，其提供了一種靜態隨機存儲記憶體，其包含有複數個用來儲存資料的靜態隨機存儲記憶

體單元、一第一開關元件、一第二開關元件以及一電容。於靜態隨機存儲記憶體單元存取期間，第一開關元件與第二開關元件會開啟，而使靜態隨機存儲記憶體單元之兩電源端以及上述電容分別電連接於 V_{DD} 與 V_{SS} 。當靜態隨機存儲記憶體單元處於待命狀態時，第一開關元件與第二開關元件會關閉，而上述電容會保持靜態隨機存儲記憶體單元兩端的電壓差大於一預定值。

在本發明的一實施例中，該靜態隨機存儲記憶體包含有至少一第一導線、至少一第二導線、複數條字線、複數對資料線對、複數個靜態隨機存儲記憶體單元、一用來輸入 V_{DD} 的第一電壓端、一用來輸入 V_{SS} 的第二電壓端、至少一第一電容、至少一第二電容、至少一第一開關元件，以及至少一第二開關元件。其中每一靜態隨機存儲記憶體單元皆連接於該第一導線、該第二導線、一對應的字線以及一對應的資料線對，用來儲存資料。該第一電容連接於該第一導線，用以保持該第一導線之電壓不小於一第一預定值。該第二電容連接於該第二導線，用以保持該第二導線之電壓不大於一第二預定值。該第一開關元件連接於該第一電壓端以及該第一導線之間，且其包含有一第一控制端，而一第一控制訊號可由該第一控制端輸入至該第一開關元件，以於存取該等靜態隨機存儲記憶體單元之期間，開啟該第一開關元件。該第二開關元件連接於該第二電壓端以及該第二導線之間，且其包含有一第二控制端，而一第二控制訊號可由該第二控制端輸入至該第二開關元件，以於存取該等靜態隨機存儲記憶體單元之期間，開啟該第二開關元件。

在本發明的另一實施例中，該靜態隨機存儲記憶體包含有一用來輸入 V_{DD} 的第一電壓端、一用來輸入 V_{SS} 的第二電壓端、複數條字線、複數對資料線對，以及複數個記憶體列。每一記

憶體列包含有一第一導線、一第二導線、複數個靜態隨機存儲記憶體單元、一第一電容、一第二電容、一第一開關元件，以及一第二開關元件，其中該等靜態隨機存儲記憶體單元用來儲存資料，且每一靜態隨機存儲記憶體單元皆連接於該第一導線、該第二導線、一對應的字線以及一對應的資料線對。該第一電容連接於該第一導線，而用來保持該第一導線之電壓不小於一第一預定值。該第二電容連接於該第二導線，用來保持該第二導線之電壓不大於一第二預定值。該第一開關元件連接於該第一電壓端以及該第一導線之間，其並包含有一第一控制端，而一第一控制訊號可由該第一控制端輸入至該第一開關元件，以於存取該等靜態隨機存儲記憶體單元之期間，開啟該第一開關元件。該第二開關元件連接於該第二電壓端以及該第二導線之間，其並包含有一第二控制端，而一第二控制訊號可由該第二控制端輸入至該第二開關元件，以於存取該等靜態隨機存儲記憶體單元之期間，開啟該第二開關元件。

【實施方式】

請參考圖四，圖四為本發明靜態隨機存儲記憶體 30 之示意圖。與靜態隨機存儲記憶體 1 相似地，靜態隨機存儲記憶體 30 亦包含有複數個用來儲存資料的靜態隨機存儲記憶體單元 10、複數條位元線 18、複數條字線 20 以及複數個感測放大器 24。靜態隨機存儲記憶體單元 10 係排列成一矩陣，並受其所連接的位元線 18 以及字線 20 的控制，而感測放大器 24 則藉由位元線 18 連接於各個靜態隨機存儲記憶體單元 10。此一部份係與習知靜態隨機存儲記憶體 1 相同，故不加以贅述。

與靜態隨機存儲記憶體 1 不同的是，靜態隨機存儲記憶體 30 另包含有複數個第一電容 56、複數個第二電容 58、複數個

第一開關元件 64 以及複數個第二開關元件 66。其中每一第一電容 56 的一端係藉由一第一導線 60 連接於一對應的第一開關元件 64 以及同列的複數個靜態隨機存儲記憶體單元 10 之第一電源端 SAP，而每一第一電容 56 的另一端則連接於 V_{SS} 。每一第二電容 58 的一端係藉由一第二導線 62 連接於一對應的第二開關元件 66 以及同列的複數個靜態隨機存儲記憶體單元 10 之第二電源端 SAN，而每一第二電容 58 的另一端則連接於 V_{DD} 。本實施例中，每一第一開關元件 64 皆為一 PMOS，其源極連接於 V_{DD} ，其閘極用於輸入一第一控制訊號 SETP 以控制第一開關元件 64 的開啟與關閉，而開關元件 64 的汲極則藉由一對應的第一導線 60 連接於一對應的第一電容 56 以及複數個同列的靜態隨機存儲記憶體單元 10 之第一電源端 SAP。每一第二開關元件 66 皆為一 NMOS，其源極連接於 V_{SS} ，其閘極用於輸入一第二控制訊號 SETN 以控制第二開關元件 66 的開啟與關閉，而第二開關元件 66 的汲極則藉由一對應的第二導線 62 連接於一對應的第二電容 58 以及複數個同列的靜態隨機存儲記憶體單元 10 之第二電源端 SAN。另外，第一控制訊號 SETP 係與第二控制訊號 SETN 相互共軛。

為說明靜態隨機存儲記憶體 30 如何地操作，請參考圖五及圖六，圖五為圖四靜態隨機存儲記憶體 30 之電路圖，圖六則為第一控制訊號 SETP 與第二控制訊號 SETN 之時序圖。當欲存取靜態隨機存儲記憶體 30 的資料時，控制訊號 SETP 會被拉至低電位而使得各個第一開關元件 64 開啟，且控制訊號 SETN 會被拉至高電位而使得各個第二開關元件 66 開啟，而如此一來電壓 V_{DD} 會經由第一導線 60 施于靜態隨機存儲記憶體 30 的第一電源端 SAP，並使得第一電容 56 被充電；同時電壓 V_{SS} 會經由第二導線 62 施于靜態隨機存儲記憶體 30 的第二電源端 SAN，並使得第二電容 58 被充電。因此，當靜態隨機存儲記憶

體 30 被存取時，其兩電源端 SAP、SAN 之間的電壓差約等於 $V_{DD} - V_{SS}$ ，而使得靜態隨機存儲記憶體 30 之存取運作得以正常地進行。當靜態隨機存儲記憶體 30 不被存取而處於待命狀態時，控制訊號 SETP 會被拉至高電位，進而關閉每一個第一開關元件 64，而控制訊號 SETN 會被拉至低電位，進而使各個第二開關元件 66 被關閉，而此時電壓 V_{DD} 即無法經由第一導線 60 施于靜態隨機存儲記憶體 30 的第一電源端 SAP，且電壓 V_{SS} 無法經由第二導線 62 施于靜態隨機存儲記憶體 30 的第二電源端 SAN。然而因為第一電容 56、第二電容 58 於之前靜態隨機存儲記憶體 30 處於存取模式時，分別經由電壓 V_{DD} 以及電壓 V_{SS} 予以充電，故第一電容 56、第二電容 58 會於靜態隨機存儲記憶體 30 處於待命模式時，分別讓第一導線 60 以及第二導線 62 維持在一定的電壓值附近，並進而使得每一靜態隨機存儲記憶體單元 10 得以因第一導線 60 與第二導線 62 之間的電壓差一直大於某一電壓值，而使其所儲存的數位資料得以保存，而不致因第一開關元件 64 與第二開關元件 66 的關閉而遺失。

此外，靜態隨機存儲記憶體單元 10 所產生的漏電流之大小係與兩電源端 SAP、SAN 之間的電位差成正相關，亦即兩電源端 SAP、SAN 之間的電位差越大，則靜態隨機存儲記憶體單元 10 所產生的漏電流會越大。然而，在靜態隨機存儲記憶體單元 10 處於待命狀態的其間，因靜態隨機存儲記憶體單元 10 兩電源端 SAP、SAN 之間的電位差會因靜態隨機存儲記憶體單元的少許的漏電流而低於 $V_{DD} - V_{SS}$ 。且因為在待命模式時兩電源端 SAP、SAN 之間的電位差，較習知靜態隨機存儲記憶體 1 處於待命模式時之兩電源端 SAP、SAN 之間的電位差（即 $V_{DD} - V_{SS}$ ）小，故其所產生的漏電流會較習知靜態隨機存儲記憶體 1 所產生的漏電流小。另外，因靜態隨機存儲記憶體單元 10

在待命模式時其兩電源端 SAP、SAN 未電連接於 V_{DD} 與 V_{SS} ，故不會如習知靜態隨機存儲記憶體 1 般會產生大的漏電流。

另外須注意的，靜態隨機存儲記憶體單元 10 的漏電流因兩電源端 SAP、SAN 之間的電位差縮小而降低，但這些少許的漏電流仍會使得第一電容 56 與第二電容 58 所儲存的電荷逐漸地流失，而使得第一導線 60 的電壓逐漸降低，並使得第二導線 62 的電壓逐漸提高。若第一導線 60 的電壓低於一第一預定電壓（如正 1.0 伏特），第二導線 62 的電壓低於一第二預定電壓（如正 0.2 伏特），而使得靜態隨機存儲記憶體單元 10 的兩電源端 SAP、SAN 之間的電位差低於一預定值（如 0.8 伏特）的話，則靜態隨機存儲記憶體單元 10 所儲存的資料會遺失。因此，未避免靜態隨機存儲記憶體單元 10 所儲存的資料因第一電容 56、第二電容 58 所儲存電荷的流失而遺失，故若靜態隨機存儲記憶體單元 10 處於待命時間過長的話，第一電容 56、第二電容 58 需被適時地加以充電，以保住靜態隨機存儲記憶體單元 10 所儲存的資料。請參考圖七，圖七為第一控制訊號 SETP 與第二控制訊號 SETN 之另一時序圖。當靜態隨機存儲記憶體單元 10 處於待命模式時，控制訊號 SETP 的電位會被拉低，且控制訊號 SETN 的電位會被提高，而使得第一開關元件 64 與第二開關元件 66 被開啟。當第一開關元件 64 與第二開關元件被開啟後，第一電容 56 與第二電容 58 即會被充電，而增大兩電源端 SAP、SAN 之間的電位差，而當兩電源端 SAP、SAN 之間的電位差回復到一預定值後，控制訊號 SETP 的電位會被提高，而控制訊號 SETN 的電位會被降低，進而使得第一開關元件 64 與第二開關元件 66 被關閉。如此一來，因第一電容 56 與第二電容 58 會適時地被充電，故靜態隨機存儲記憶體單元 10 所儲存的資料會被保住而不致遺失。

請參考圖八及圖九，圖八為本發明第二實施例靜態隨機存儲記憶體 80 之電路圖，圖九為各控制訊號 SETP0-SETPn、SETN0-SETNn 之時序圖。靜態隨機存儲記憶體 80 與靜態隨機存儲記憶體 30 不同的地方在於靜態隨機存儲記憶體 80 包含有複數個第一開關元件 64 與複數個第二開關元件 66，而同列的靜態隨機存儲記憶體單元 10 會連接於相同的第一開關元件 64 與相同的第二開關元件 66。如圖八所示，靜態隨機存儲記憶體 80 的複數個靜態隨機存儲記憶體單元 10 被區分為複數個記憶體列 81，每一記憶體列 81 包含有多個靜態隨機存儲記憶體單元 10，並連接於一對應的第一開關 64 與一對應的第二開關 66。每一第一開關 64 的操作會受到其閘極所接收到一第一控制訊號的控制，而每一第二開關 66 的操作會受到其閘極所接收到一第二控制訊號的控制，舉例來說，最上列的記憶體列 81 其所連接的第一開關 64 與第二開關 66 的閘極會分別接收到一第一控制訊號 SETP0 與一第二控制訊號 SETN0。每一記憶體列 81 的操作模式其實與靜態隨機存儲記憶體 30 的操作模式相同，以最上列的記憶體列 81 來舉例來說，當存取其複數個靜態隨機存儲記憶體單元 10 時，第一控制訊號 SETP0 會被拉至低電位而第二控制訊號 SETN0 會被拉至高電位，而使其所連接的第一開關元件 64 與第二開關元件 66 開啟，進而使得 V_{DD} 被施加於其第一導線 60 並使 V_{SS} 被施加於其第二導線 62，並使第一電容 56 與第二電容 58 被電；而當處於待命模式時，第一控制訊號 SETP0 會被拉至高電位而第二控制訊號 SETN0 會被拉至低電位，而使其所連接的第一開關元件 64 與第二開關元件 66 關閉，此時第一電容 56 會讓第一導線 60 與第一電源端 SAP 的電位維持在一第一預定值（如 1.0 伏特）之上，而第二電容 58 會讓第二導線 62 與第二電源端 SAN 的電位維持在一第二預定值（如 0.2 伏特）之下。如此一來，當最上列的記憶體列 81 其各靜態隨機存儲記憶體單元 10 處於待命模式下時，其

所儲存的資料並不會消失，同時其漏電流會因兩電源端 SAP、SAN 的電位差縮小而降低。

除此之外，為避免能源的消耗，靜態隨機存儲記憶體 80 的複數個記憶體列 81 可依序地加以存取。如圖九所示，每格一時脈週期，一控制訊號 SETPx 會從高電位被拉至低電位，而一對應的控制訊號 SETNx 會從低電位被拉至高電位，而使得第一開關元件 64 與第二開關元件 66 依序地被開啟，且其所對應的記憶體列 81 的複數個靜態隨機存儲記憶體單元 10 得以依序地被存取。另外，為避免靜態隨機存儲記憶體單元 10 所儲存的資料於待命模式時遺失，各控制訊號 SETP0-SETPn、SETN0-SETNn 於待命模式時會適時地被拉低或拉高（如圖七之控制方式），以對所對應的第一電容 56 或第二電容 58 充電，並進而使得兩電源端 SAP、SAN 之間的電位差維持在一預定值之上。

另外需說明的是，上述實施例中的第一電容 56 或第二電容 58 可以是各靜態隨機存儲記憶體單元 10 的寄生電容（intrinsic capacitance），故於製造靜態隨機存儲記憶體 30 或 80 時，並不需再另外加入額外的電容，即可讓靜態隨機存儲記憶體 30 或 80 正常地運作。此外，靜態隨機存儲記憶體 30、80 在僅只包含第一電容 56 或僅只包含第二電容 58 的情形下亦可正常地運作，而不一定需要同時包含有第一電容 56 與第二電容 58，此乃因為當靜態隨機存儲記憶體 30、80 僅包含第一電容 56 或第二電容 58 時，其第一電容 56 或第二電容 58 時仍可於靜態隨機存儲記憶體單元 10 處於待命模式時，維持其兩電源端 SAP、SAN 的電位差，而不致使其所儲存的資料消失。

相較於習知的靜態隨機存儲記憶體，本發明之靜態隨機存儲記憶體包含有至少一第一開關元件、至少一第二開關元件以及至少一電容。於靜態隨機存儲記憶體單元存取期間，該第一開關元件與該第二開關元件會開啟，而使靜態隨機存儲記憶體單元之兩電源端會分別電連接於 V_{DD} 與 V_{SS} ，使該電容電連接於 V_{DD} 與 V_{SS} 之間，並使該電容充電。當靜態隨機存儲記憶體單元處於待命狀態時，該第一開關元件與該第二開關元件會關閉，且該電容會保持靜態隨機存儲記憶體單元的兩電源端的電壓差大於一預定值，故該等靜態隨機存儲記憶體單元所儲存的資料不會消失，且因靜態隨機存儲記憶體單元兩電源端的電位差已降低，故可減小其所可能產生的漏電流。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。

【圖式簡單說明】

圖式之簡單說明

圖一為習知靜態隨機存儲記憶體之示意圖。

圖二為圖一靜態隨機存儲記憶體單元之電路圖。

圖三即表示了圖二靜態隨機存儲記憶體單元處於待命模式時其所產生的各次啟始電壓漏電流。

圖四為本發明靜態隨機存儲記憶體之示意圖。

圖五為圖四靜態隨機存儲記憶體之電路圖。

圖六則為第一控制訊號與第二控制訊號之時序圖。

圖七為第一控制訊號與第二控制訊號之另一時序圖。

圖八為本發明第二實施例靜態隨機存儲記憶體之電路圖。

圖九為各控制訊號之時序圖。

圖式之符號說明

1、30、80	靜態隨機存儲記憶體		
10	靜態隨機存儲記憶體單元		
12、16	NMOS	14	PMOS
18	位元線	20	字線
22	次啟始電壓漏電流	24	感測放大器
56	第一電容	58	第二電容
60	第一導線	62	第二導線
64	第一開關元件	66	第二開關元件
81	記憶體列		

伍、中文發明摘要：

一種靜態隨機存儲記憶體，其包含有複數個用來儲存資料的靜態隨機存儲記憶體單元、一第一開關元件、一第二開關元件以及一電容。於靜態隨機存儲記憶體單元存取期間，第一開關元件與第二開關元件會開啟，而使靜態隨機存儲記憶體單元之兩電源端分別電連接於 V_{DD} 與 V_{SS} ，並使上述電容電連接於 V_{DD} 與 V_{SS} 之間。當靜態隨機存儲記憶體單元處於待命狀態時，第一開關元件與第二開關元件會關閉，而上述電容會保持靜態隨機存儲記憶體單元兩端的電壓差大於一預定值。

陸、英文發明摘要：

A static random access memory (SRAM) has a plurality of SRAM cells, a first switch unit, a second switch unit, and a capacitor. During accessing operations of the SRAM cells, the first switch unit and the second switch unit are turned on so that two power terminals of the SRAM cells respectively electrically connect to V_{DD} and V_{SS} and that the capacitor electrically connects between V_{DD} and V_{SS} . When the SRAM cells are not accessed, the first switch unit and the second switch unit are turned off and the capacitor keeps a voltage gap between the two power terminals of the SRAM cells greater than a predetermined value.

拾、申請專利範圍：

1. 一種靜態隨機存儲記憶體 (Static Random Access Memory, SRAM)，其包含有：

至少一第一導線；

至少一第二導線；

複數條字線 (word line)；

複數對資料線對 (bit line pair)，每一資料線對包含有兩資料線；

複數個靜態隨機存儲記憶體單元，用來儲存資料，每一靜態隨機存儲記憶體單元皆連接於該第一導線、該第二導線、一對應的字線以及一對應的資料線對；

一第一電壓端，用來輸入 V_{DD} ；

一第二電壓端，用來輸入 V_{SS} ；

至少一第一電容，連接於該第一導線，用以保持該第一導線之電壓不小於一第一預定值；

至少一第二電容，連接於該第二導線，用以保持該第二導線之電壓不大於一第二預定值；

至少一第一開關元件，連接於該第一電壓端以及該第一導線之間，該第一開關元件包含有一第一控制端，而一第一控制訊號可由該第一控制端輸入至該第一開關元件，以於存取該等靜態隨機存儲記憶體單元之期間，開啟該第一開關元件；以及

至少一第二開關元件，連接於該第二電壓端以及該第二導線之間，該第二開關元件包含有一第二控制端，而一第二控制訊號可由該第二控制端輸入至該第二開關元件，以於存取該等靜態隨機存儲記憶體單元之期間，開啟該第二開關元件。

2. 如申請專利範圍第 1 項之靜態隨機存儲記憶體，其中當該等靜

態隨機存儲記憶體單元不被存取時，該第一開關元件及該第二開關元件會被關閉，而使該等靜態隨機存儲記憶體單元的兩電源端不電連接於 V_{DD} 及 V_{SS} 。

3. 如申請專利範圍第 1 項之靜態隨機存儲記憶體，其中當該等靜態隨機存儲記憶體單元不被存取，且該第一導線之電壓逼近於該第一預定值時，該第一開關元件會被開啟，以使該第一電容藉由 V_{DD} 充電，進而拉開該第一導線之電壓與該第一預定值之間的差距。

4. 如申請專利範圍第 1 項之靜態隨機存儲記憶體，其中當該等靜態隨機存儲記憶體單元不被存取，且該第二導線之電壓逼近於該第二預定值時，該第二開關元件會被開啟，以使該第二電容藉由 V_{SS} 充電，進而拉開該第二導線之電壓與該第二預定值之間的差距。

5. 如申請專利範圍第 1 項之靜態隨機存儲記憶體，其中該第一控制訊號與該第二控制訊號相互共軌。

6. 如申請專利範圍第 1 項之靜態隨機存儲記憶體，其中該第一電容與該第二電容分別為一寄生電容 (intrinsic capacitance)。

7. 一種靜態隨機存儲記憶體，其包含有：

一第一電壓端，用來輸入 V_{DD} ；

一第二電壓端，用來輸入 V_{SS} ；

複數條字線；

複數對資料線對，每一資料線對包含有兩資料線；以及

複數個記憶體列，每一記憶體列包含有：

一第一導線；

一第二導線；

複數個靜態隨機存儲記憶體單元，用來儲存資料，每一靜態隨機存

儲記憶體單元皆連接於該第一導線、該第二導線、一對應的字線以及一對應的資料線對：

- 一第一電容，連接於該第一導線，用以保持該第一導線之電壓不小於一第一預定值；
- 一第二電容，連接於該第二導線，用以保持該第二導線之電壓不大於一第二預定值；
- 一第一開關元件，連接於該第一電壓端以及該第一導線之間，該第一開關元件包含有一第一控制端，用來輸入一對應的第一控制訊號，而在存取該等靜態隨機存儲記憶體單元之期間，第一控制訊號會藉由該第一控制端開啟該第一開關元件；以及
- 一第二開關元件，連接於該第二電壓端以及該第二導線之間，該第二開關元件包含有一第二控制端，而在存取該等靜態隨機存儲記憶體單元之期間，第二控制訊號會藉由該第二控制端開啟該第二開關元件。

8. 如申請專利範圍第 7 項之靜態隨機存儲記憶體，其中當任一記憶體列之該等靜態隨機存儲記憶體單元不被存取時，該記憶體列之第一開關元件及第二開關元件會被關閉，而使該記憶體列之該等靜態隨機存儲記憶體單元的兩電源端不電連接於 V_{DD} 及 V_{SS} 。

9. 如申請專利範圍第 7 項之靜態隨機存儲記憶體，其中當任一記憶體列之該等靜態隨機存儲記憶體單元不被存取，且該記憶體列之第一導線的電壓逼近於該第一預定值時，該記憶體列之第一開關元件會被開啟，以使該記憶體列之第一電容藉由 V_{DD} 充電，進而拉開該第一導線之電壓與該第一預定值之間的差距。

10. 如申請專利範圍第 7 項之靜態隨機存儲記憶體，其中當任一記憶體列之該等靜態隨機存儲記憶體單元不被存取，且該記憶

體列之第二導線的電壓逼近於該第二預定值時，該記憶體列之第二開關元件會被開啟，以使該記憶體列之第二電容藉由 V_{SS} 充電，進而拉開該第二導線之電壓與該第二預定值之間的差距。

11. 如申請專利範圍第 7 項之靜態隨機存儲記憶體，其中該第一控制訊號與該第二控制訊號相互共軛。

12. 如申請專利範圍第 7 項之靜態隨機存儲記憶體，其中該第一電容與該第二電容分別為一寄生電容。

13. 如申請專利範圍第 7 項之靜態隨機存儲記憶體，其中該等第一開關元件與該等第二開關元件會依序地被開啟。

14. 一種靜態隨機存儲記憶體，其包含有：

複數個用來儲存資料的靜態隨機存儲記憶體單元；

至少一第一開關元件；

至少一第二開關元件；以及

至少一電容；

其中於該靜態隨機存儲記憶體單元存取期間，該第一開關元件與該第二開關元件會開啟，而使該等靜態隨機存儲記憶體單元之兩電源端分別電連接於 V_{DD} 與 V_{SS} ，以及使該電容電連接於 V_{DD} 與 V_{SS} 之間，而當該等靜態隨機存儲記憶體單元處於待命狀態時，該第一開關元件與該第二開關元件會關閉，而該等靜態隨機存儲記憶體單元之兩電源端會不電連接於 V_{DD} 與 V_{SS} ，且上述電容會保持靜態隨機存儲記憶體單元之兩電源端的電壓差大於一預定值。

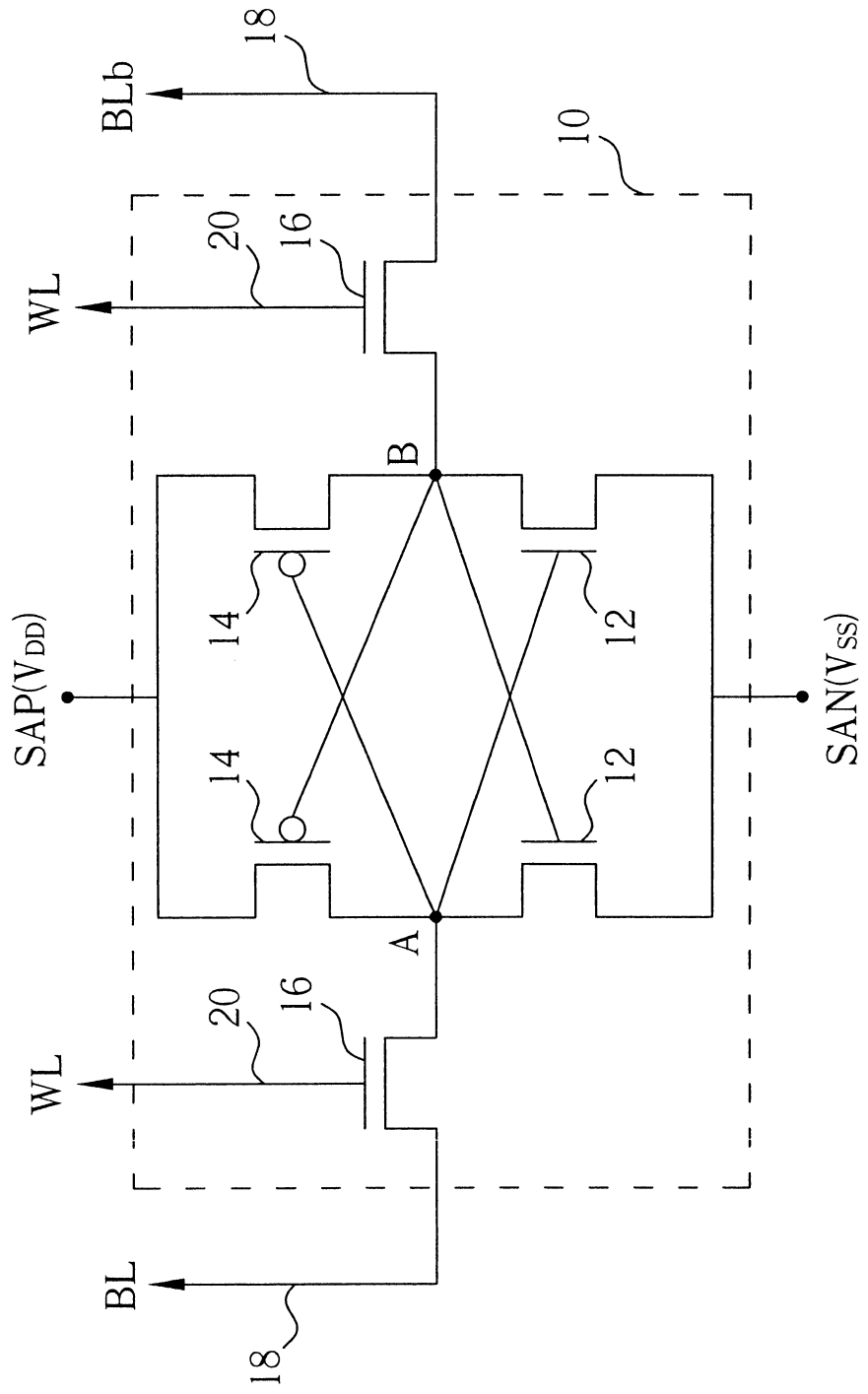
15. 如申請專利範圍第 14 項之靜態隨機存儲記憶體，其中該第一開關元件連接於 V_{DD} ，該第二開關元件連接於 V_{SS} ，該電容之一端連接於該第一開關元件，該電容之另一端連接於 V_{SS} 。

16. 如申請專利範圍第 14 項之靜態隨機存儲記憶體，其中該第一開關元件連接於 V_{DD} ，該第二開關元件連接於 V_{SS} ，該電容之一端連接於該第二開關元件，該電容之另一端連接於 V_{DD} 。

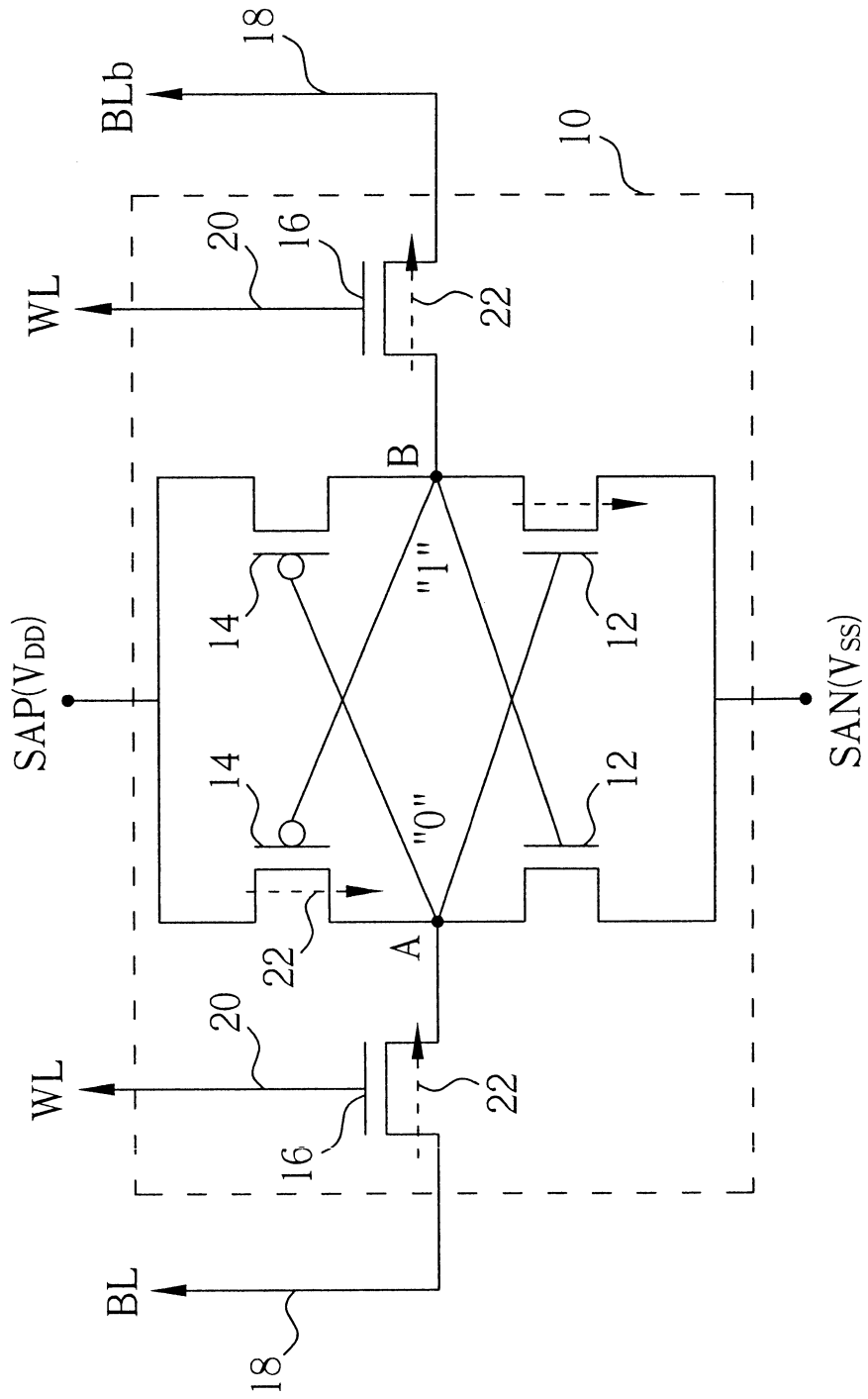
17. 如申請專利範圍第 14 項之靜態隨機存儲記憶體，其中該電容為一寄生電容。

200529227

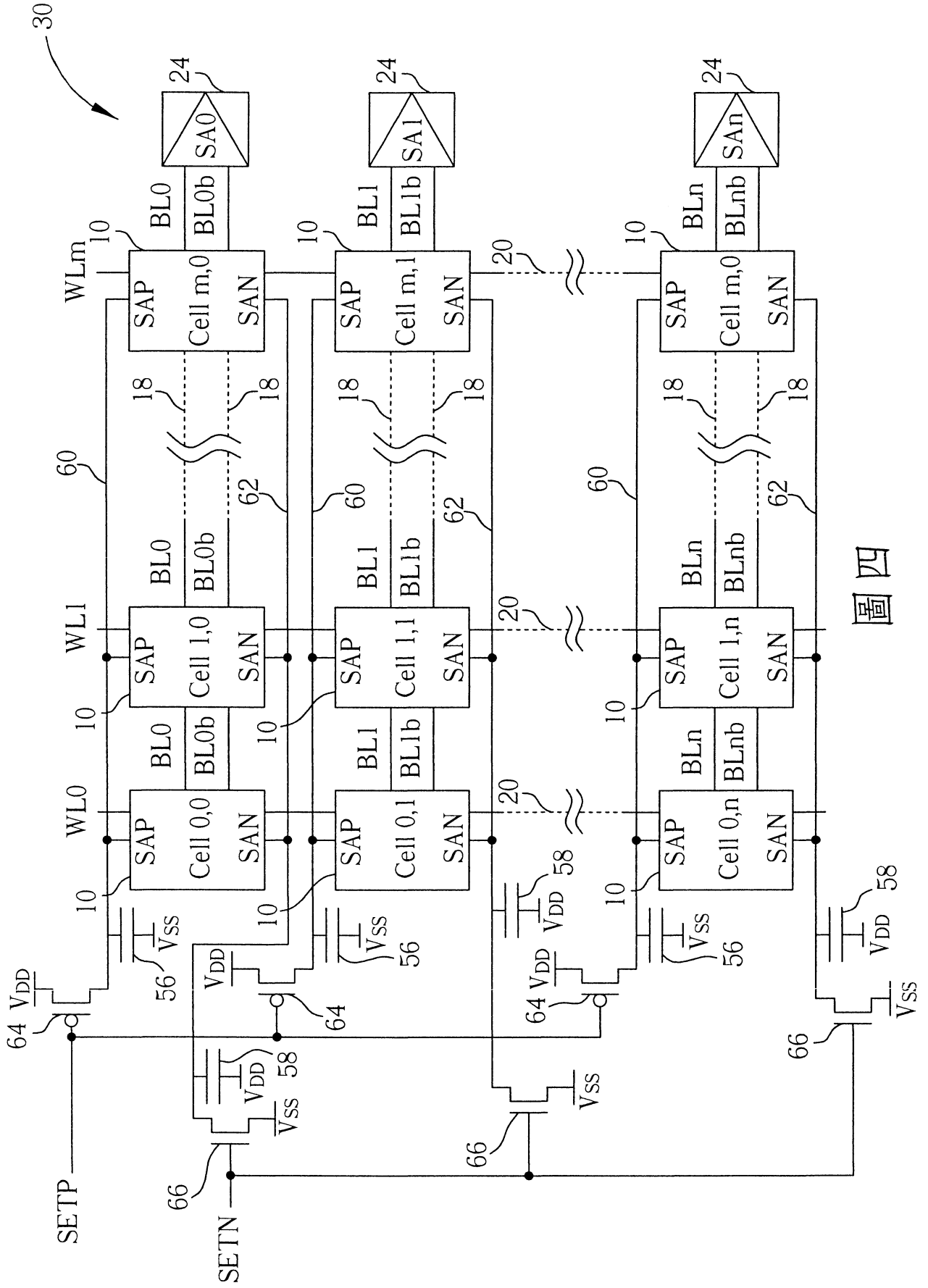
拾壹、圖式：



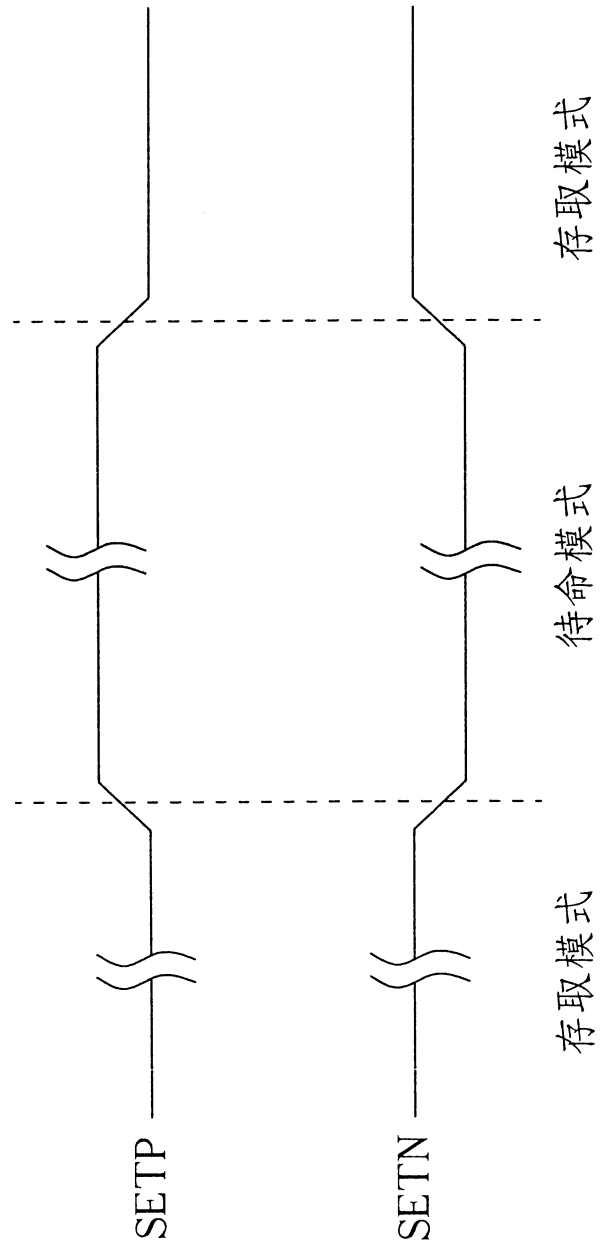
圖二



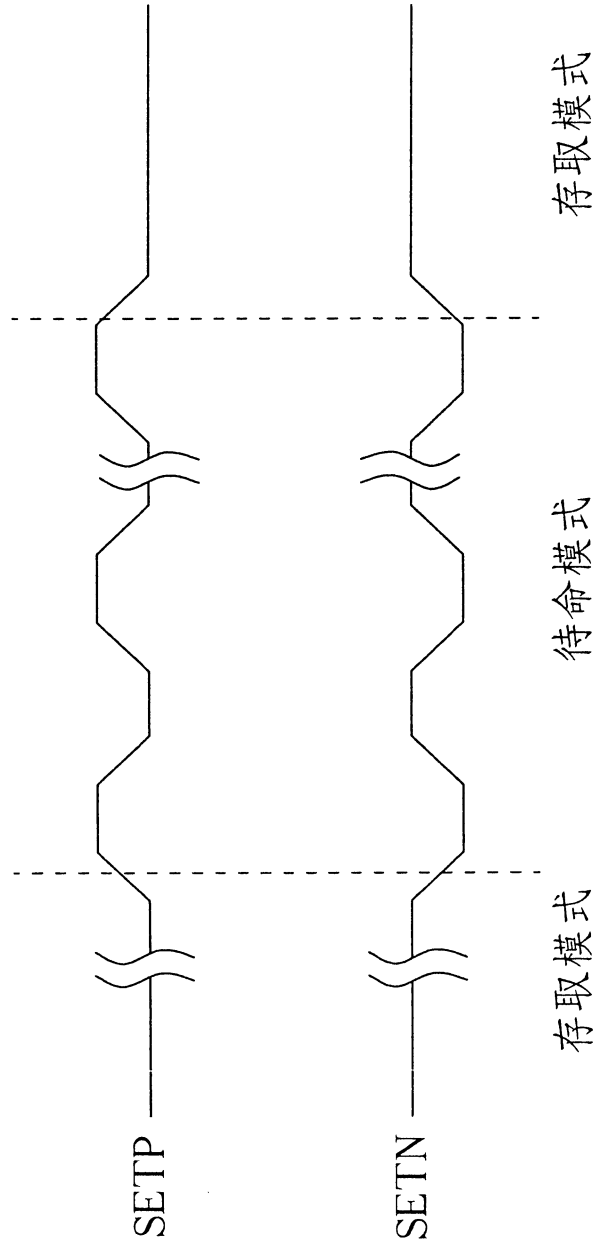
圖三



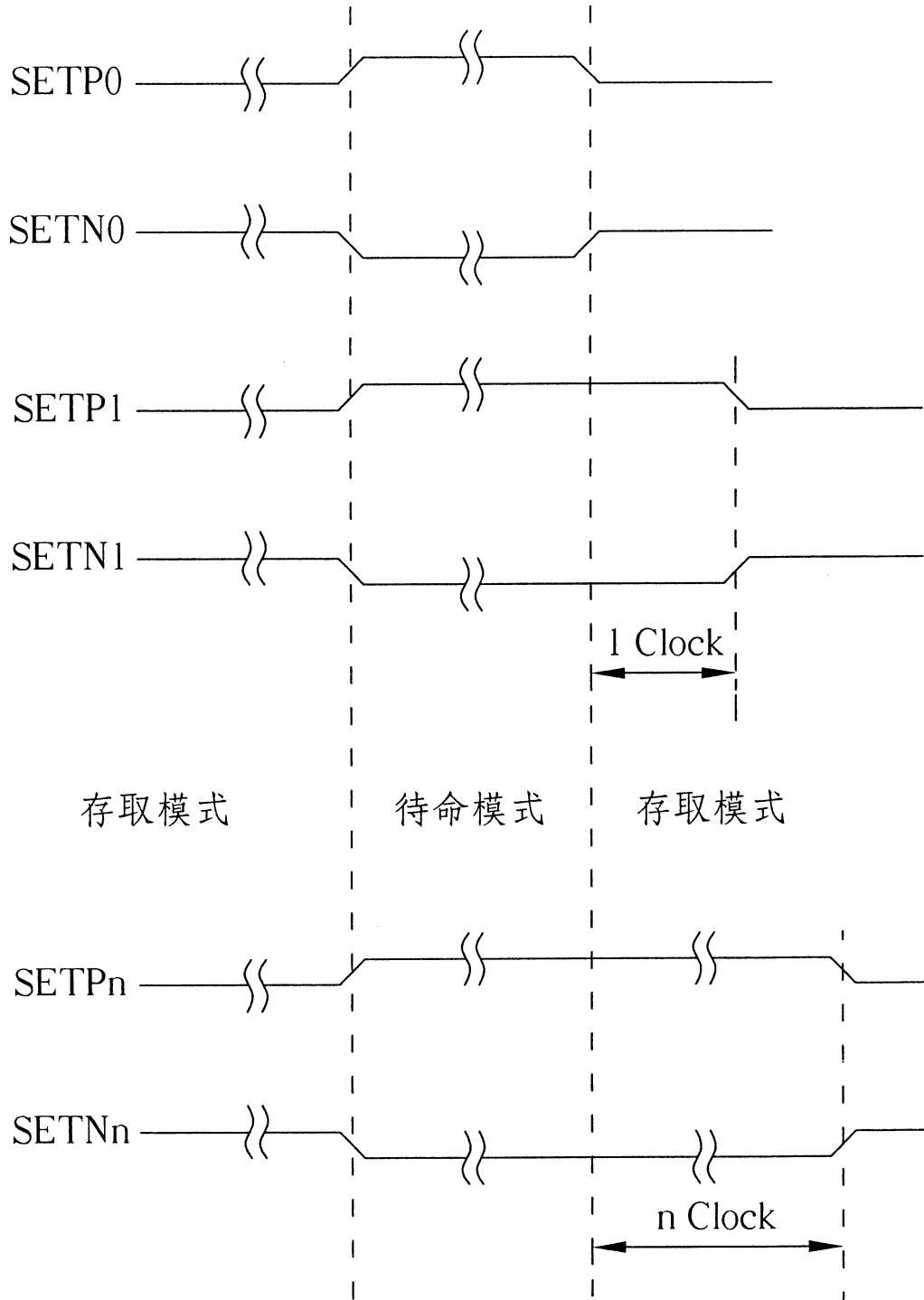
圖四



圖六



圖七



圖九

柒、指定代表圖：

(一)本案指定代表圖為：第(四)圖。

(二)本代表圖之元件代表符號簡單說明：

10	靜態隨機存儲記憶體單元	18	位元線
20	字線	24	感測放大器
30	靜態隨機存儲記憶體	56	第一電容
58	第二電容	60	第一導線
62	第二導線	64	第一開關元件
66	第二開關元件		

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無