

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 19 年 2 月 15 日 (2007.2.15)

【公開番号】特開 2005-333107 (P2005-333107A)

【公開日】平成 17 年 12 月 2 日 (2005.12.2)

【年通号数】公開・登録公報 2005-047

【出願番号】特願 2005-37949 (P2005-37949)

【国際特許分類】

**H 0 1 L 21/336 (2006.01)**

**H 0 1 L 29/786 (2006.01)**

**H 0 1 L 27/08 (2006.01)**

**H 0 1 L 21/8234 (2006.01)**

**H 0 1 L 27/088 (2006.01)**

**H 0 1 L 21/8238 (2006.01)**

**H 0 1 L 27/092 (2006.01)**

【F I】

H 0 1 L 29/78 6 1 6 A

H 0 1 L 27/08 3 3 1 E

H 0 1 L 27/08 1 0 2 B

H 0 1 L 27/08 3 2 1 E

H 0 1 L 29/78 6 1 2 B

【手続補正書】

【提出日】平成 18 年 12 月 26 日 (2006.12.26)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体層、絶縁膜および電極を有して所定の基板上に形成された半導体素子を含む半導体装置であって、

前記半導体素子は、

前記半導体層に形成された第 1 不純物領域と、

前記第 1 不純物領域と距離を隔てて前記半導体層に形成された第 2 不純物領域と、

前記第 1 不純物領域と前記第 2 不純物領域との間に位置する前記半導体層の部分に前記第 1 不純物領域および前記第 2 不純物領域とそれぞれ距離を隔てて形成され、所定のチャネル長を有するチャネルとなるチャネル領域と、

前記第 1 不純物領域と前記チャネル領域との間に位置する前記半導体層の部分に前記チャネル領域と接するように形成された第 3 不純物領域と、

前記第 2 不純物領域と前記チャネル領域との間に位置する前記半導体層の部分に前記チャネル領域に接するように形成された第 4 不純物領域と、

前記第 1 不純物領域と前記第 3 不純物領域との間に位置する前記半導体層の部分に形成された第 5 不純物領域と、

前記第 2 不純物領域と前記第 4 不純物領域との間に位置する前記半導体層の部分に形成された第 6 不純物領域と

を有する第 1 素子を備え、

前記第 1 素子では、

前記電極は互いに対向する一方側部および他方側部を有し、

前記第3不純物領域と前記第5不純物領域との接合部および前記一方側部は略同一平面上に位置するとともに、前記第4不純物領域と前記第6不純物領域との接合部および前記他方側部は同一平面上に位置し、

前記電極は、前記チャンネル領域、前記第3不純物領域および前記第4不純物領域のそれぞれの全体と対向してオーバーラップするように形成され、

前記絶縁膜は前記半導体層と前記電極とにそれぞれ接するように前記半導体層と前記電極との間に形成され、

前記第3不純物領域～前記第6不純物領域のそれぞれの不純物濃度は、前記第1不純物領域および前記第2不純物領域のそれぞれの不純物濃度よりも低く、前記チャンネル領域の不純物濃度よりも高く設定され、

前記第3不純物領域および前記第4不純物領域の不純物濃度と前記第5不純物領域および前記第6不純物領域の不純物濃度とは異なるように設定された、半導体装置。

【請求項2】

前記第3不純物領域および前記第4不純物領域の不純物濃度は、前記第5不純物領域および前記第6不純物領域の不純物濃度より低く設定された、請求項1記載の半導体装置。

【請求項3】

前記第3不純物領域および前記第4不純物領域の不純物濃度は、前記第5不純物領域および前記第6不純物領域の不純物濃度より高く設定された、請求項1記載の半導体装置。

【請求項4】

前記第3不純物領域および前記第4不純物領域の不純物濃度は、 $1 \times 10^{17} \text{ atom/cm}^3$ 以上 $1 \times 10^{19} \text{ atom/cm}^3$ 以下である、請求項1～3のいずれかに記載の半導体装置。

【請求項5】

前記第5不純物領域および前記第6不純物領域の不純物濃度は、 $5 \times 10^{19} \text{ atom/cm}^3$ 以下である、請求項1～3のいずれかに記載の半導体装置。

【請求項6】

前記第3不純物領域および前記第4不純物領域のチャンネル長方向の長さは、 $0.5 \mu\text{m}$ 以上 $2 \mu\text{m}$ 以下である、請求項1～5のいずれかに記載の半導体装置。

【請求項7】

前記第5不純物領域および前記第6不純物領域のチャンネル長方向の長さは、 $0.5 \mu\text{m}$ 以上 $1.5 \mu\text{m}$ 以下である、請求項1～5のいずれかに記載の半導体装置。

【請求項8】

前記第5不純物領域のチャンネル長方向の長さと前記第6不純物領域のチャンネル長方向の長さとの差は $0.3 \mu\text{m}$ 以下である、請求項1～5のいずれかに記載の半導体装置。

【請求項9】

前記半導体素子は複数形成され、

前記半導体素子は、

前記半導体層に形成された第7不純物領域と、

前記第7不純物領域と距離を隔てて前記半導体層に形成された第8不純物領域と、

前記第7不純物領域と前記第8不純物領域との間に位置する前記半導体層の部分に前記第7不純物領域および前記第8不純物領域とそれぞれ距離を隔てて形成され、所定のチャンネル長を有するチャンネルとなるチャンネル領域と、

前記第7不純物領域と前記チャンネル領域との間に位置する前記半導体層の部分に前記チャンネル領域と接するように形成された第9不純物領域と、

前記第8不純物領域と前記チャンネル領域との間に位置する前記半導体層の部分に前記チャンネル領域に接するように形成された第10不純物領域と

を有する第2素子を備え、

前記第2素子では、

前記電極は互いに対向する一方側部および他方側部を有し、

前記チャンネル領域と前記第 9 不純物領域との接合部および前記一方側部は略同一平面上に位置するとともに、前記チャンネル領域と前記第 10 不純物領域との接合部および前記他方側部は同一平面上に位置し、

前記電極は、前記チャンネル領域の全体と対向してオーバーラップするように形成され、

前記絶縁膜は前記半導体層と前記電極とにそれぞれ接するように前記半導体層と前記電極との間に形成され、

前記第 9 不純物領域および前記第 10 不純物領域のそれぞれの不純物濃度は、前記第 7 不純物領域および前記第 8 不純物領域のそれぞれの不純物濃度よりも低く、前記チャンネル領域の不純物濃度よりも高く設定された、請求項 1 ~ 8 のいずれかに記載の半導体装置。

【請求項 10】

前記ゲート電極は単層である、請求項 1 ~ 9 のいずれかに記載の半導体装置。

【請求項 11】

画像を表示するための画像表示回路部を備えた画像表示装置であって、

前記画像表示回路部は、半導体装置、絶縁膜および電極を有して所定の基板上に形成された半導体素子を有し、

前記半導体素子は、

前記半導体層に形成された第 1 不純物領域、

前記第 1 不純物領域と距離を隔てて前記半導体層に形成された第 2 不純物領域、

前記第 1 不純物領域と前記第 2 不純物領域との間に位置する前記半導体層の部分に前記第 1 不純物領域および前記第 2 不純物領域とそれぞれ距離を隔てて形成され、所定のチャンネル長を有するチャンネルとなるチャンネル領域、

前記第 1 不純物領域と前記チャンネル領域との間に位置する前記半導体層の部分に前記チャンネル領域と接するように形成された第 3 不純物領域、

前記第 2 不純物領域と前記チャンネル領域との間に位置する前記半導体層の部分に前記チャンネル領域に接するように形成された第 4 不純物領域、

前記第 1 不純物領域と前記第 3 不純物領域との間に位置する前記半導体層の部分に形成された第 5 不純物領域および

前記第 2 不純物領域と前記第 4 不純物領域との間に位置する前記半導体層の部分に形成された第 6 不純物領域

を有する第 1 素子と、

前記半導体層に形成された第 7 不純物領域、

前記第 7 不純物領域と距離を隔てて前記半導体層に形成された第 8 不純物領域、

前記第 7 不純物領域と前記第 8 不純物領域との間に位置する前記半導体層の部分に前記第 7 不純物領域および前記第 8 不純物領域とそれぞれ距離を隔てて形成され、所定のチャンネル長を有するチャンネルとなるチャンネル領域、

前記第 7 不純物領域と前記チャンネル領域との間に位置する前記半導体層の部分に前記チャンネル領域と接するように形成された第 9 不純物領域および

前記第 8 不純物領域と前記チャンネル領域との間に位置する前記半導体層の部分に前記チャンネル領域に接するように形成された第 10 不純物領域

を有する第 2 素子と

を備え、

前記第 1 素子では、

前記電極は互いに対向する一方側部および他方側部を有し、

前記第 3 不純物領域と前記第 5 不純物領域との接合部および前記一方側部は略同一平面上に位置するとともに、前記第 4 不純物領域と前記第 6 不純物領域との接合部および前記他方側部は同一平面上に位置し、

前記電極は、前記チャンネル領域、前記第 3 不純物領域および前記第 4 不純物領域のそれぞれの全体と対向してオーバーラップするように形成され、

前記絶縁膜は前記半導体層と前記電極とにそれぞれ接するように前記半導体層と前記電極との間に形成され、

前記第 3 不純物領域～前記第 6 不純物領域のそれぞれの不純物濃度は、前記第 1 不純物領域および前記第 2 不純物領域のそれぞれの不純物濃度よりも低く、前記チャネル領域の不純物濃度よりも高く設定され、

前記第 3 不純物領域および前記第 4 不純物領域の不純物濃度と前記第 5 不純物領域および前記第 6 不純物領域の不純物濃度とは異なるように設定され、

前記第 2 素子では、

前記電極は互いに対向する一方側部および他方側部を有し、

前記チャネル領域と前記第 9 不純物領域との接合部および前記一方側部は略同一平面上に位置するとともに、前記チャネル領域と前記第 10 不純物領域との接合部および前記他方側部は同一平面上に位置し、

前記電極は、前記チャネル領域の全体と対向してオーバーラップするように形成され、

前記絶縁膜は前記半導体層と前記電極とにそれぞれ接するように前記半導体層と前記電極との間に形成され、

前記第 9 不純物領域および前記第 10 不純物領域のそれぞれの不純物濃度は、前記第 7 不純物領域および前記第 8 不純物領域のそれぞれの不純物濃度よりも低く、前記チャネル領域の不純物濃度よりも高く設定された、画像表示回路部を備えた画像表示装置。

【請求項 12】

前記画像表示回路部は、

複数の画素から構成され画像を表示するための画素部と、

前記画素部を動作させるための駆動回路部と

を含み、

前記画素部および前記駆動回路部のいずれかに前記第 1 素子が適用された、請求項 11 記載の画像表示回路部を備えた画像表示装置。

【請求項 13】

前記駆動回路部は、

前記画素部と接続され、前記画素部の前記画素のそれぞれに画像信号の電圧を昇圧して送るための昇圧回路部を有する走査線駆動回路部と、

前記画素部と接続され、前記画素部の前記画素のそれぞれに走査信号を送るためのスイッチング回路部を有するデータ線駆動回路部と

を含み、

前記スイッチング回路部および前記昇圧回路部の少なくともいずれかに前記第 1 素子が適用された、請求項 12 記載の画像表示回路部を備えた画像表示装置。

【請求項 14】

前記駆動回路部は前記第 2 素子が適用された所定の回路部を含む、請求項 13 記載の画像表示回路部を備えた画像表示装置。

【請求項 15】

前記画素部に前記第 2 素子が適用された、請求項 12 記載の画像表示回路部を備えた画像表示装置。

【請求項 16】

前記ゲート電極は単層である、請求項 11～15 のいずれかに記載の画像表示回路部を備えた画像表示装置。

【請求項 17】

主表面を有する基板上に第 1 電極を形成する工程と、

前記基板上に所定の第 1 半導体層を形成する工程と、

前記第 1 電極を形成する工程と前記第 1 半導体層を形成する工程との間に前記基板上に絶縁膜を形成する工程と、

前記第 1 半導体層を横切るように第 1 の部分を含む第 1 のマスク材を前記第 1 半導体層上に形成する工程と、

前記第 1 のマスク材をマスクとして前記第 1 半導体層に所定導電型の不純物イオンを導入することにより、前記第 1 のマスク材の直下に位置する前記第 1 半導体層の部分をチャ

ネル領域とし、前記第1のマスク材を挟んで一方と他方との側に位置する前記第1半導体層の部分に前記チャンネル領域に接するように所定の不純物濃度を有する1対の第1不純物領域を形成する第1注入工程と、

前記チャンネル領域の全体および1対の前記第1不純物領域のそれぞれの部分を覆う第1の部分を含む第2のマスク材を前記第1半導体層上に形成する工程と、

前記第2のマスク材をマスクとして、前記第1半導体層に所定導電型の不純物イオンを導入することにより、前記チャンネル領域を挟んで一方の側と他方の側に位置する前記第1半導体層の部分に前記チャンネル領域とはそれぞれ所定の距離を隔てて前記第1不純物領域の不純物濃度よりも高い不純物濃度を有する1対の第2不純物領域を形成する第2注入工程と、

前記チャンネル領域の全体および1対の前記第1不純物領域のそれぞれ部分を覆う第1の部分を含む第3のマスク材を前記第1半導体層上に形成する工程と、

前記第3のマスク材をマスクとして、前記第1半導体層に所定導電型の不純物イオンを導入することにより、前記チャンネル領域を挟んで一方の側と他方の側に位置する前記第1半導体層の部分に前記チャンネル領域とはそれぞれ前記所定の距離よりも短い距離を隔てて前記第2不純物領域の不純物濃度よりも低い不純物濃度を有する1対の第3不純物領域を形成する第3注入工程と、

を備え、

前記第1電極を形成する工程および前記第1不純物領域を形成する工程では、前記チャンネル領域および1対の前記第1不純物領域のそれぞれの全体と前記第1電極とがオーバーラップして対向するように形成される、半導体装置の製造方法。

#### 【請求項18】

前記基板上に第2電極および第3電極を形成する工程と、

前記基板上に第2半導体層および第3半導体層を形成する工程と、

前記第3半導体層を横切る部分を含むように第4のマスク材を形成する工程と、

前記第4のマスク材をマスクとして前記第3半導体層に所定導電型の不純物イオンを導入することにより、前記第4のマスク材の前記部分の直下に位置する前記第1半導体層の部分をチャンネル領域とし、前記第4のマスク材を挟んで一方と他方との側に位置する前記第3半導体層の部分に前記チャンネル領域に接するように所定の不純物濃度を有する1対の第6不純物領域を形成する第4注入工程と

をさらに備え、

前記第1のマスク部材を形成する工程では、前記第2半導体層の全体を覆う第2の部分および前記第3半導体層の全体を覆う第3の部分形成する工程を含み、

前記第2のマスク材を形成する工程では、前記第2半導体層を横切る第2の部分形成する形成する工程を含み、

前記第2注入工程では、前記第2の部分の直下に位置する前記第2半導体層の部分をチャンネル領域とし、前記第2の部分を挟んで一方と他方との側に位置する前記第2半導体層の部分に間隔を隔てて所定の不純物濃度を有する1対の第4不純物領域を形成する工程を含み、

前記第3のマスク部材を形成する工程では、前記第2半導体層の1対の前記第4不純物領域によって挟まれた前記第2半導体層の部分を覆う第2の部分形成する工程を含み、

前記第3注入工程では、前記第2の部分の直下に位置する前記第2半導体層の部分をチャンネル領域とし、前記第2の部分を挟んで一方と他方との側に位置する前記第2半導体層の部分に前記第4不純物領域よりも不純物濃度の低い1対の第5不純物領域を形成する工程を含む、請求項17記載の半導体装置の製造方法。

#### 【請求項19】

前記第1半導体層を形成する工程と前記第2半導体層および前記第3半導体層を形成する工程とは同時に行なわれ、

前記第1半導体層、前記第2半導体層および前記第3半導体層を形成した後に、前記第1半導体層、前記第2半導体層および前記第3半導体層を覆うように前記絶縁膜を形成す

る工程が行なわれ、

前記第 1 のマスク材を形成する工程は、前記第 1 の部分、前記第 2 の部分および前記第 3 の部分として前記絶縁膜上にそれぞれ所定のレジストパターンを形成する工程を含み、

前記第 1 注入工程の後に、前記絶縁膜上に導電層を形成する工程が行なわれ、

前記導電層を形成する工程の後に、前記第 1 電極、前記第 2 電極および前記第 3 電極をそれぞれ形成する工程が行なわれ、

前記第 1 電極を形成する工程は、

前記導電層上に前記第 1 電極をパターニングするための第 1 のレジストパターンを形成する工程と、

前記第 1 のレジストパターンをマスクとして前記導電層にエッチングを施すとともに、露出する前記導電層の側部を側方からエッチングを施して前記第 1 のレジストパターンの寸法よりも短い寸法の前記第 1 電極を形成する工程と

を含み、

前記第 2 電極を形成する工程は、

前記導電層上に前記第 2 電極をパターニングするための第 2 のレジストパターンを形成する工程と、

前記第 2 のレジストパターンをマスクとして前記導電層にエッチングを施すとともに、露出する前記導電層の側部を側方からエッチングを施して前記第 2 のレジストパターンの寸法よりも短い寸法の前記第 2 電極を形成する工程と

を含み、

前記第 3 電極を形成する工程は、

前記導電層上に前記第 3 電極をパターニングするための第 3 のレジストパターンを形成する工程と、

前記第 3 のレジストパターンをマスクとしてエッチングを施すことで前記第 3 電極を形成する工程と

を含み、

前記第 2 のマスク材を形成する工程では、前記第 1 の部分として前記第 1 のレジストパターンを形成し、前記第 2 の部分として前記第 2 のレジストパターンを形成する工程を含み、

前記第 3 のマスク材を形成する工程では、前記第 1 の部分として前記第 1 電極を形成し、前記第 2 の部分として前記第 2 電極を形成する工程を含み、

前記第 4 のマスク材を形成する工程では、前記部分として前記第 3 電極を形成する工程を含む、請求項 18 記載の半導体装置の製造方法。