

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：9324122

※申請日期：93.9.14

※IPC 分類：H05D 5/26

一、發明名稱：(中文/英文)

應用於平面顯示器之降低電磁干擾的方法與裝置 /

METHOD AND APPARATUS FOR REDUCING ELECTROMAGNETIC
INTERFERENCE IN A FLAT PANEL DISPLAY

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

友達光電股份有限公司 / AU OPTRONICS CORP.

代表人：(中文/英文)

李焜耀 / LEE, KUEN-YAO

住居所或營業所地址：(中文/英文)

新竹市新竹科學工業園區力行二路一號 / No.1, Li-Hsin Road 2,
Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.

國籍：(中文/英文)

中華民國 / TWN

三、發明人：(共 1 人)

姓名：(中文/英文)

1. 楊智翔 / YANG, CHIH-HSIANG

國籍：(中文/英文)

1. 中華民國 / TWN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種降低平面顯示器之電磁干擾的方法與裝置，尤指一種在時脈產生電路中，降低平面顯示器之電磁干擾的方法與裝置。

【先前技術】

在各種時脈產生電路(clock generating circuit)之中，通常會利用一差動訊號(differential signal) 來產生複數個時脈訊號。其中的一種應用如第 1 圖所示。第 1 圖係為習知技術，一 T 形架構 (T-configuration) 的 RSDSTM (Reduced Swing Differential Signaling) 資料匯流排 (data bus) 10 的示意圖。如 RSDSTM 規格 (RSDSTM Specification Revision 0.95) 中所介紹的，RSDSTM 是一種訊號傳輸標準，也是一種訊號擺幅(signal swing) 約為 200mV 的差動介面。其定義了一傳送器所輸出或接收器所收到之訊號的特性，以及平面顯示面板之時序控制器 (flat panel timing controller) 與列驅動器 (Column Driver) 之間的晶片對晶片介面 (chip-to-chip interface) 所使用的通訊協定。

第 1 圖所示的 RSDSTM 資料匯流排電路 10 包含有一時序控制器 12，用來控制複數個驅動器電路 14 的時序運作。舉例來說，第 1 圖中總共有八個驅動器電路 14。時序控制器 12 可提供一起始脈

波(Start Pulse) SP 給一第一驅動器電路 14，每一個驅動器電路 14 則將起始脈波 SP 傳送給下一個驅動器電路 14。當一驅動器電路 14 接收到起始脈波 SP 時，其即可以類比的形式來驅動數位的差動資料匯流排訊號。

請參閱第 2 圖。第 2 圖為一時序圖，顯示時序控制器 12 如何產生起始脈波 SP。首先，時序控制器 12 會產生一對差動時脈訊號 CLKN 與 CLKP。在理想情況下，這兩個時脈訊號 CLKN 與 CLKP 應該要具有 180° 的相位差，並具有相同的轉換率 (slew rate)、或甚至兩者具有相同的波形。將時脈訊號 CLKP 減去時脈訊號 CLKN 後會產生一差動訊號 DIFF，差動訊號 DIFF 可用來作為傳送資料所依據的時脈訊號。除此之外，起始脈波 SP 亦是依據差動訊號 DIFF 所產生的。

請參閱第 3 圖。第 3 圖的時序圖顯示在時脈訊號 CLKP 與時脈訊號 CLKN 平衡 (balanced) 及不平衡 (unbalanced) 情況下所產生之共模電壓 (common mode voltage) 的示意圖。在第 3 圖上方的第一對差動時脈訊號是平衡的，兩個時脈訊號具有相同的波形、相位差是 180° 。若以這兩個時脈訊號 CLKN、CLKP 瞬時的平均值來產生一共模電壓 VCM，則會產生如第三圖中所示之水平的共模電壓 VCM，亦即共模電壓 VCM 的值會固定為 0。

另一方面，在第 3 圖下方的第二對差動時脈訊號則是不平衡

的，不平衡的原因通常是由於時脈訊號 CLKN 與 CLKP 具有不同的轉換率所造成、或是因為在時脈訊號 CLKN、CLKP 上升或下降的時間點具有偏移的情形。在兩個訊號相互不平衡的情形下，共模電壓 VCM 的值就不會固定為 0。而不幸的是，共模電壓 VCM 是 RSDSTM 資料匯流排電路 10 中，電磁干擾 (electromagnetic interference, EMI) 的主要來源，電磁干擾的情形不僅會影響 RSDSTM 資料匯流排電路 10 中資料的完整性 (integrity)、還會影響到其他週邊電路。

【發明內容】

因此本發明的目的在於提供一種可於一時脈產生電路中，降低平面顯示器之電磁干擾的方法與裝置，以解決習知技術所面臨的問題。

本發明為一種在一時脈產生電路中，降低平面顯示器之電磁干擾的方法，其包含有：提供一第一對時脈訊號，其包含有一第一正時脈訊號與一第一負時脈訊號，該第一正時脈訊號與該第一負時脈訊號之間大體上具有 180° 之相位差；以及提供一第二對時脈訊號，其包含有一第二正時脈訊號與一第二負時脈訊號，該第二正時脈訊號與該第二負時脈訊號之間大體上具有 180° 之相位差。其中該第一正時脈訊號與該第二正時脈訊號之間大體上具有 180° 之相位差，該第一負時脈訊號與該第二負時脈訊號之間大體上具有 180° 之相位差。

由於本發明的第一正時脈訊號與第二正時脈訊號之間具有 180° 的相位差、且第一負時脈訊號與第二負時脈訊號之間具有 180° 的相位差，因此肇因於第一對時脈訊號的電磁干擾效應會與肇因於第二對時脈訊號的電磁干擾效應具有相同的大小及相反的正負號，因此，使用本發明的作法，可以大幅地降低整體的電磁干擾效應。

【實施方式】

請參閱第4圖。第4圖係為雙匯流排架構（dual bus configuration）（SXGA系統）RSDSTM資料匯流排電路的一實施例示意圖。類似於第1圖中的RSDSTM資料匯流排電路10，第4圖中的RSDSTM資料匯流排電路30包含有一時序控制器(timing controller)40，用來控制複數個驅動器電路(driver circuit)32、34的時序運作。本發明使用了兩組不同的驅動器電路32、34。如第4圖所示，總共有八個驅動器電路，其中左側包含有四個驅動器電路32（第一～第四驅動器電路），右側則包含有另外四個驅動器電路34（第五～第八驅動器電路）。

時序控制器40可提供第一驅動器電路32一左起始脈波 SP_L ，以及提供第五驅動器電路34一右起始脈波 SP_R 。因此，本發明的RSDSTM資料匯流排電路30總共使用了兩個起始脈波。時序控制器40所提供的左起始脈波 SP_L 會依序自第一驅動器電路32傳送

至第二、第三、以及第四驅動器電路 32；同樣地，時序控制器 40 所提供的右起始脈波 SP_R 會依序自第五驅動器電路 34 傳送至第六、第七、以及第八驅動器電路 34。當其中一驅動器電路 32 或 34 接收到一起始脈波 SP_L 或 SP_R 時，該驅動器電路即可以類比的形式來驅動數位的差動資料匯流排訊號。

請參閱第 5 圖與第 6 圖。第 5 圖係為時序控制器 40 詳細的示意圖。第 6 圖則是時序控制器 40 據以產生左起始脈波 SP_R 與右起始脈波 SP_L 的時序圖。時序控制器 40 包含有一第一時脈產生器 42，用來產生一第一對差動時脈訊號 RCLKN 與 RCLKP；第一對差動時脈訊號 RCLKN 與 RCLKP 係經由一第一對傳訊路徑(a first pair of signal traces) 60 與 62 所傳送出。時序控制器 40 另包含有一第二時脈產生器(clock generator) 44，用來產生一第二對差動時脈訊號 LCLKN 與 LCLKP；第二對差動時脈訊號 LCLKN 與 LCLKP 則經由一第二對傳訊路徑(a second pair of signal traces) 64 與 66 傳送出去。

時序控制器 40 還包含有一第一減法電路(subtracting circuit) 46，用來將時脈訊號 RCLKP 減去時脈訊號 RCLKN 以產生一第一差動時脈訊號 RDIFF。同樣地，一第二減法電路 48 係用來將時脈訊號 LCLKP 減去時脈訊號 LCLKN，以產生一第二差動時脈訊號 LDIFF。一第一脈波產生器 50 與一第二脈波產生器 52 則分別用來依據第一差動時脈訊號 RDIFF 與第二差動時脈訊號 LDIFF 來產生

右起始脈波 SP_R 與左起始脈波 SP_L 。

如第 6 圖所示，時脈訊號 RCLKN 與時脈訊號 RCLKP 之間具有 180° 的相位差；同樣地，時脈訊號 LCLKN 與時脈訊號 LCLKP 之間亦具有 180° 的相位差。第一對差動時脈訊號中的時脈訊號 RCLKN 與第二對差動時脈訊號中的時脈訊號 LCLKN 之間具有 180° 的相位差，第一對差動時脈訊號中的時脈訊號 RCLKP 與第二對差動時脈訊號中的時脈訊號 LCLKP 之間亦具有 180° 的相位差。本發明即依據此一特性，來降低電磁干擾的效應，以下將作更詳細的說明。

請參閱第 7 圖。第 7 圖係為差動時脈訊號不平衡時所產生之共模電壓的示意圖。由於時脈訊號 RCLKN 與 RCLKP 兩者具有不同的轉換率 (slew rate) 和工作週期 (duty cycle)，因此，時脈訊號 RCLKN 與 RCLKP 的瞬時平均值 (instantaneous average)，亦即右共模電壓 RVCN 不會一直具有等於 0 的值。為此，本發明的時脈訊號 LCLKN 與 LCLKP 還會產生一左共模電壓 LVCN。右共模電壓 RVCN 與左共模電壓 LVCN 兩者具有大體上相同的大小以及相位，但相反的正負值。以第 7 圖為例，右共模電壓 RVCN 具有非負的值、至於左共模電壓 LVCN 則具有非正的值。由於這兩個共模電壓 RVCN 與 LVCN 具有相同的大小與相反的正負值，因此這兩個共模電壓所造成的電磁干擾效應大致上可相互抵銷掉。

請參閱第 8 圖。第 8 圖係為四種不同型態之輻射場強度的示意圖。這四種型態的輻射場都是電磁干擾的來源。A 型態可稱為共模輻射 (common mode radiation)，會在一對訊號傳送至相同的方向時產生。B 型態可稱為差動輻射 (differential mode radiation)，會於一對訊號傳送至相反的方向時產生。就 A 與 B 型態而言，用來傳送一對訊號的兩條傳輸線之間的距離係為 S 。至於 C 與 D 型態則各使用了兩對訊號，每對傳輸線中的兩條傳輸線之間的距離依舊是為 S 、兩對傳輸線之間的距離 S_{12} 則較大。在 C 型態中，兩對訊號皆傳送至相同的方向，因此不僅每對訊號中的兩個訊號會產生輻射效應、兩對訊號也會共同產生額外的輻射效應。至於在 D 型態中，第一對訊號傳送的方向係與第二對訊號傳送的方向相反。

由於本發明使用了兩對差動時脈訊號 RCLKN 和 RCLKP 以及 LCLKN 和 LCLKP，因此 C 型態的輻射效應會是本發明中電磁干擾效應最主要的來源。如眾所周知，C 型態的輻射效應通常會都遠大於 D 型態的輻射效應。然而，由於本發明可以讓右共模電壓 RVCM 與左共模電壓 LVCM 具有大體上相同的大小、相反的正負值，因此本發明可大幅地降低 C 型態的輻射效應以及因而產生的電磁干擾效應。

請參閱第 9 圖。第 9 圖係為本發明相關之共模電壓的一模擬圖，此一模擬圖係顯示了電壓值與時間的相互關係。在第 9 圖的上半部份係顯示了時脈訊號 RCLKN、RCLKP 以及右共模電壓

RVCM 的波形；在第 9 圖的下半部份則顯示了時脈訊號 LCLKN、LCLKP 以及左共模電壓 LVCM 的波形。由於左共模電壓 RVCM 與右共模電壓 LVCM 不是同時為 0、就是會具有相同的大小以及相反的正負值，因此，左共模電壓 RVCM 與右共模電壓 LVCM 的效應會相互抵銷掉，故而降低了整體的電磁干擾效應。

請參閱第 10 圖。第 10 圖則是習知技術與本發明的電磁干擾效應在頻率領域上的模擬圖。其中，圓形的點是習知技術使用單獨一對差動時脈訊號時的電磁干擾值；三角形的點則是本發明使用兩對差動時脈訊號時的電磁干擾值。此一模擬結果顯示了電磁干擾值與頻率之間的關係。很明顯地，由於本發明中，兩個共模電壓的效應會相互抵銷掉，因此本發明的電磁干擾值在各個頻率上皆會遠低於習知技術的電磁干擾值。

總結而言，本發明係使用兩對差動時脈訊號 RCLKN 和 RCLKP 以及 LCLKN 和 LCLKP。藉由在 RCLKN 和 LCLKN 以及 RCLKP 和 LCLKP 之間造成 180° 的相位差，兩對差動時脈訊號所產生的兩個共模電壓會具有大體上相等的大小，以及相反的正負值，因此，兩者所導致的電磁干擾也可以相互抵銷掉。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖係為習知技術中一 T 形架構 RSDSTM 資料匯流排的示意圖。

第 2 圖係為第 1 圖之時序控制器據以產生起始脈波 SP 的一時序圖。

第 3 圖係為差動時脈訊號在平衡及不平衡情況下所產生之共模電壓的示意圖。

第 4 圖係為本發明之雙匯流排架構 (SXGA 系統) RSDSTM 資料匯流排電路的一實施例示意圖。

第 5 圖係為第 4 圖之時序控制器詳細的示意圖。

第 6 圖係為第 4 圖之時序控制器據以產生左起始脈波 SP_R 與右起始脈波 SP_L 的時序圖。

第 7 圖係為不平衡之差動時脈訊號所產生之共模電壓的示意圖。

第 8 圖係為四種不同型態之輻射場強度的示意圖。

第 9 圖係為本發明相關之共模電壓的一模擬圖。

第 10 圖係為習知技術與本發明的電磁干擾效應在頻率領域上的模擬圖。

【主要元件符號說明】

10、30	資料匯流排電路
12、40	時序控制器

I258917

14、32、34	驅動器電路
42、44	時脈產生器
46、48	減法電路
50、52	脈波產生器
60、62、64、66	傳訊路徑

五、中文發明摘要：

本發明為一種在一時脈產生電路中，降低平面顯示器之電磁干擾的方法，其包含有：提供一第一對時脈訊號，其包含有一第一正時脈訊號與一第一負時脈訊號，該第一正時脈訊號與該第一負時脈訊號之間大體上具有 180° 之相位差；以及提供一第二對時脈訊號，其包含有一第二正時脈訊號與一第二負時脈訊號，該第二正時脈訊號與該第二負時脈訊號之間大體上具有 180° 之相位差。其中該第一正時脈訊號與該第二正時脈訊號之間大體上具有 180° 之相位差，該第一負時脈訊號與該第二負時脈訊號之間大體上具有 180° 之相位差。

六、英文發明摘要：

A method of reducing electromagnetic interference in a clock generating circuit includes providing a first clock signal pair consisting of a first positive clock and a first negative clock, the first positive clock being substantially 180 degrees out of phase with the first negative clock. The method also includes providing a second clock signal pair consisting of a second positive clock and a second negative clock, the second positive clock being substantially 180 degrees out of phase with the second negative clock. The first positive clock is 180 degrees out of phase with the second positive clock and the first negative clock is 180 degrees out of phase with the second

I258917

negative clock.

十、申請專利範圍：

1. 一種降低電磁干擾的方法，至少包含：

提供一第一對時脈訊號，其包含有一第一正時脈訊號與一第一負時脈訊號，該第一正時脈訊號與該第一負時脈訊號之間具有大體上 180° 之相位差；以及

提供一第二對時脈訊號，其包含有一第二正時脈訊號與一第二負時脈訊號，該第二正時脈訊號與該第二負時脈訊號之間具有大體上 180° 之相位差；

其中，該第一正時脈訊號與該第二正時脈訊號之間具有大體上 180° 之相位差，該第一負時脈訊號與該第二負時脈訊號之間具有大體上 180° 之相位差。

2. 如申請專利範圍第 1 項所述之方法，其中該第一正時脈訊號與該第一負時脈訊號具有不同之轉換率，該第二正時脈訊號與該第二負時脈訊號具有不同之轉換率，且一第一共模電壓係大體上為一第二共模電壓的反逆，以降低電磁干擾，該第一共模電壓係由該第一對時脈訊號不同之轉換率所造成，且該第二共模電壓係由該第二對時脈訊號不同之轉換率所造成。

3. 如申請專利範圍第 1 項所述之方法，更包含：

將該第一正時脈訊號減去該第一負時脈訊號以產生一第一差

動時脈訊號；以及

將該第二正時脈訊號減去該第二負時脈訊號以產生一第二差動時脈訊號。

4. 如申請專利範圍第3項所述之方法，更包含：

依據該第一差動時脈訊號來產生一第一起始脈波；以及

依據該第二差動時脈訊號來產生一第二起始脈波。

5. 如申請專利範圍第3項所述之方法，更包含：

以該第一起始脈波來驅動一第一驅動電路；以及

以該第二起始脈波來驅動一第二驅動電路。

6. 一種時序控制裝置，包含：

一第一時脈產生器，用來產生一第一對時脈訊號，該第一對時脈訊號包含有一第一正時脈訊號與一第一負時脈訊號，該第一正時脈訊號與該第一負時脈訊號之間大體上具有 180° 之相位差；

一第二時脈產生器，用來產生一第二對時脈訊號，該第二對時脈訊號包含有一第二正時脈訊號與一第二負時脈訊號，該第二正時脈訊號與該第二負時脈訊號之間大體上具有 180° 之相位差；以及

複數個傳訊路徑，用來傳送該第一對與第二對時脈訊號；

其中，該第一正時脈訊號與該第二正時脈訊號之間大體上具有

180° 之相位差，該第一負時脈訊號與該第二負時脈訊號之間大體上具有 180° 之相位差。

7. 如申請專利範圍第 6 項所述之時序控制裝置，其中該第一正時脈訊號與該第一負時脈訊號具有不同之轉換率，該第二正時脈訊號與該第二負時脈訊號具有不同之轉換率，且一第一共模電壓係大體上為一第二共模電壓的反逆，以降低電磁干擾，該第一共模電壓係由該第一對時脈訊號不同之轉換率所造成，且該第二共模電壓係由該第二對時脈訊號不同之轉換率所造成。
8. 如申請專利範圍第 6 項所述之時序控制裝置，更包含：
一第一減法電路，用來將該第一正時脈訊號減去該第一負時脈訊號，以產生一第一差動時脈訊號；以及
一第二減法電路，用來將該第二正時脈訊號減去該第二負時脈訊號，以產生一第二差動時脈訊號。
9. 如申請專利範圍第 8 項所述之時序控制裝置，更包含：
一第一脈波產生器，用來依據第一差動時脈訊號來產生一第一起始脈波；以及
一第二脈波產生器，用來依據第二差動時脈訊號來產生一第二起始脈波。

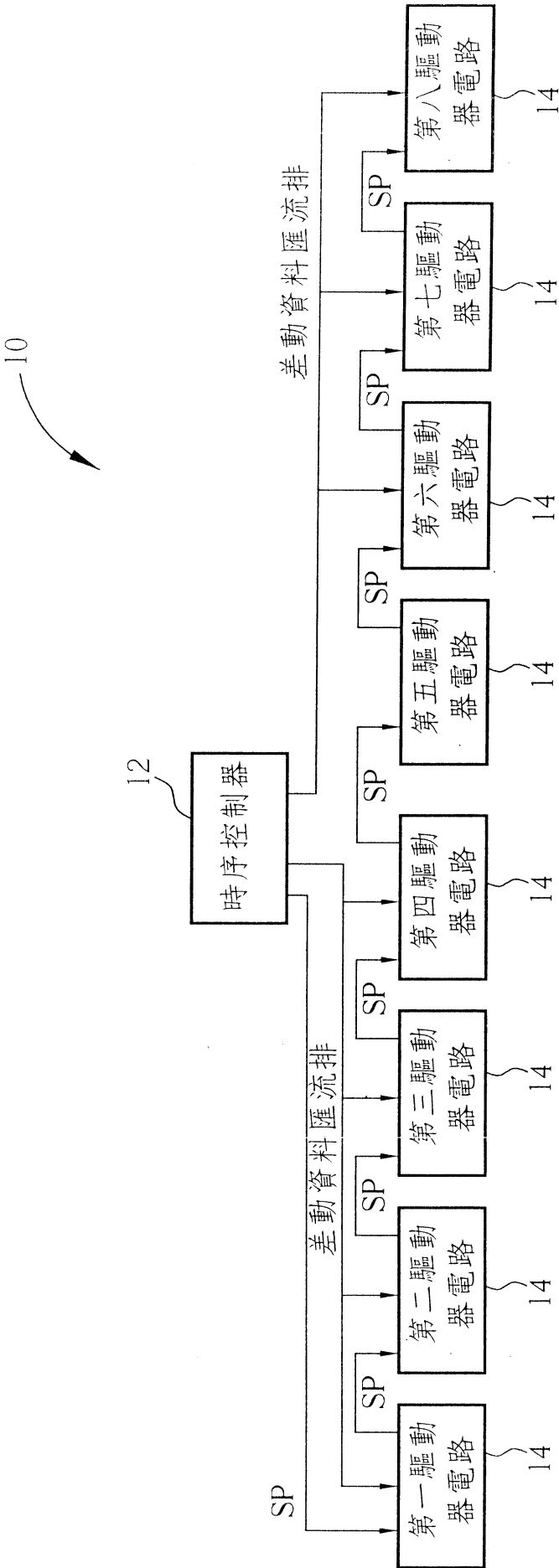
10. 如申請專利範圍第 9 項所述之時序控制裝置，更包含：

一第一驅動電路，由該第一起始脈波所驅動；以及

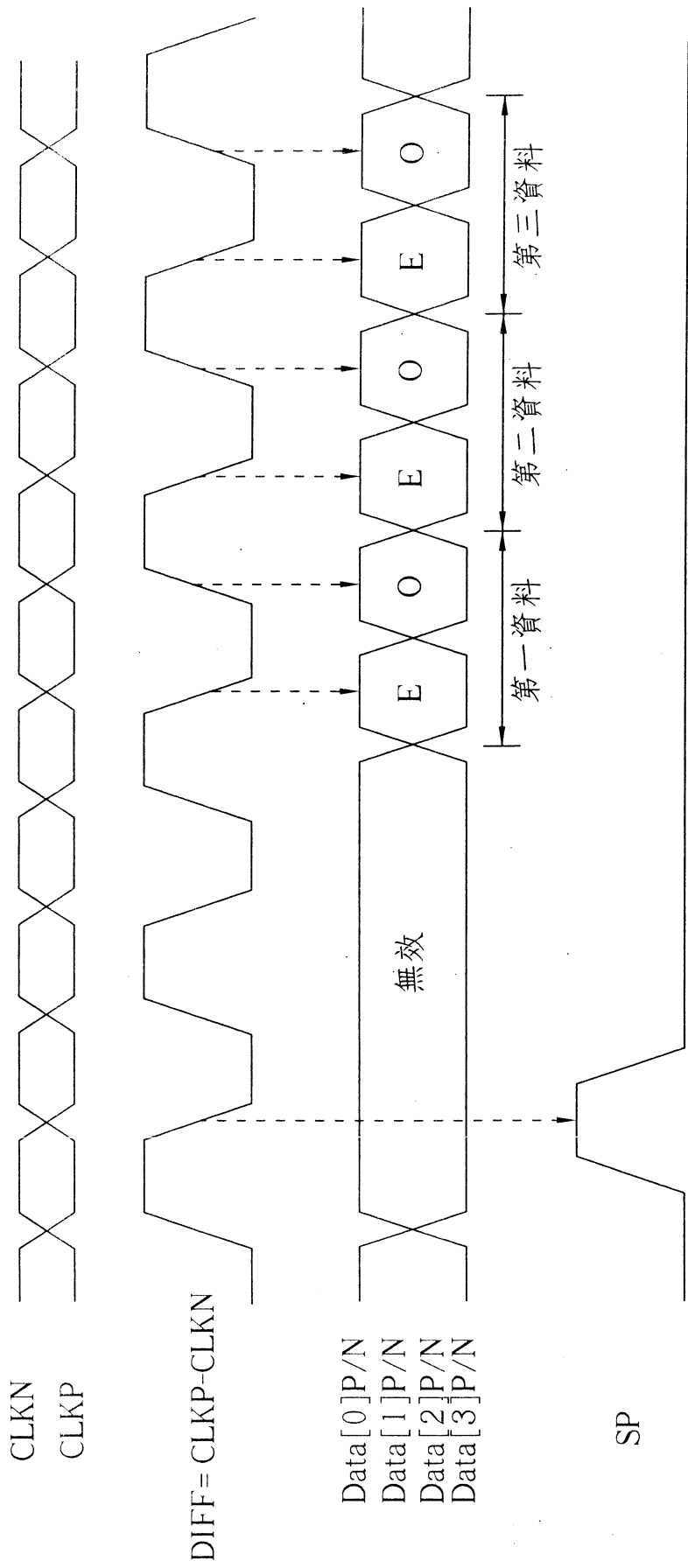
一第二驅動電路，由該第二起始脈波所驅動。

11. 一種平面顯示器，包含如申請專利範圍第 6 項所述之時序控制裝置。

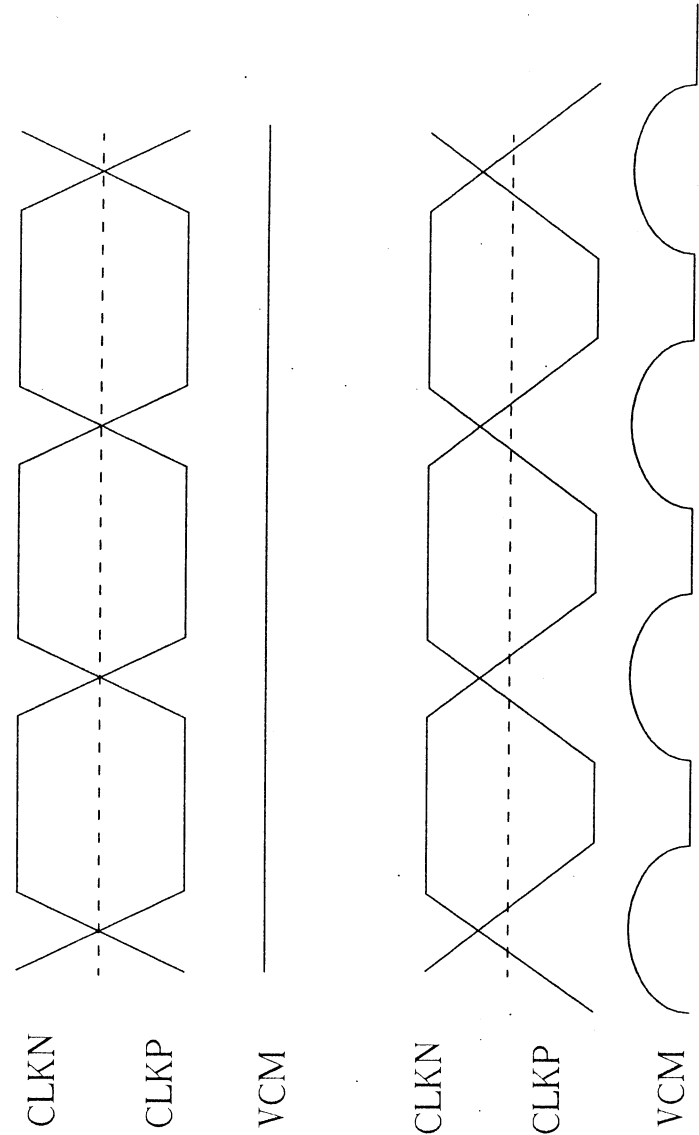
十一、圖式：



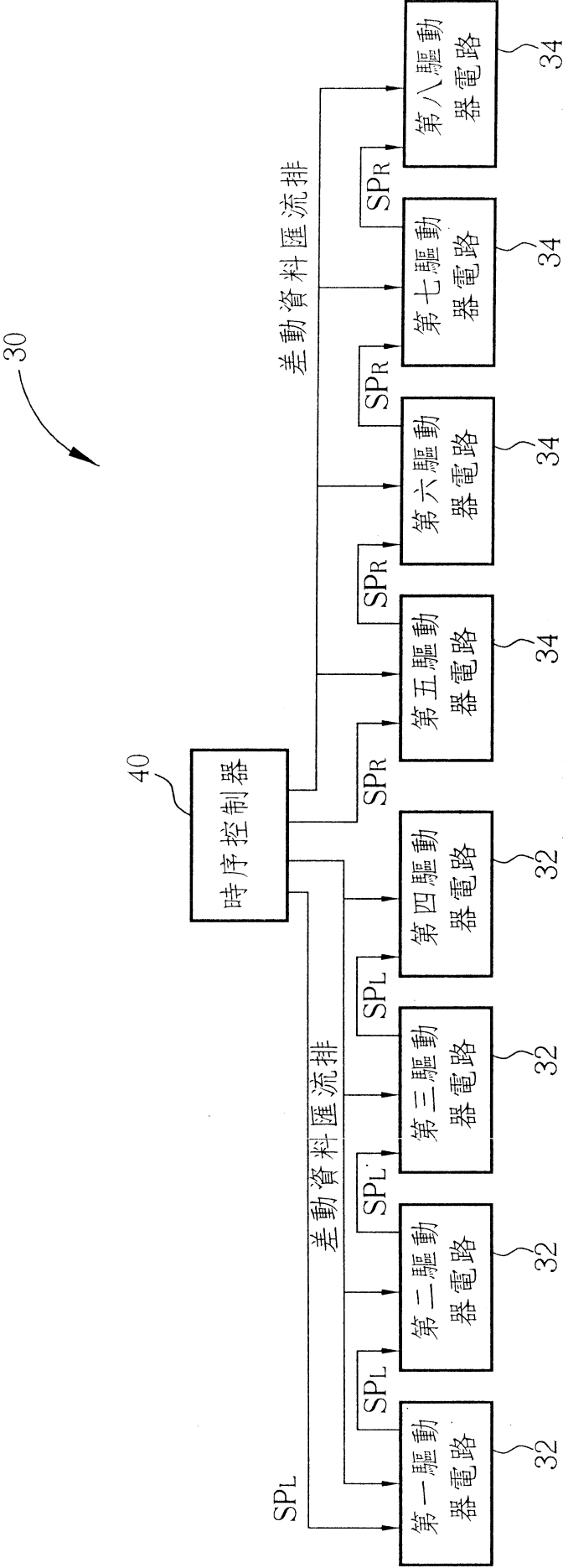
第1圖



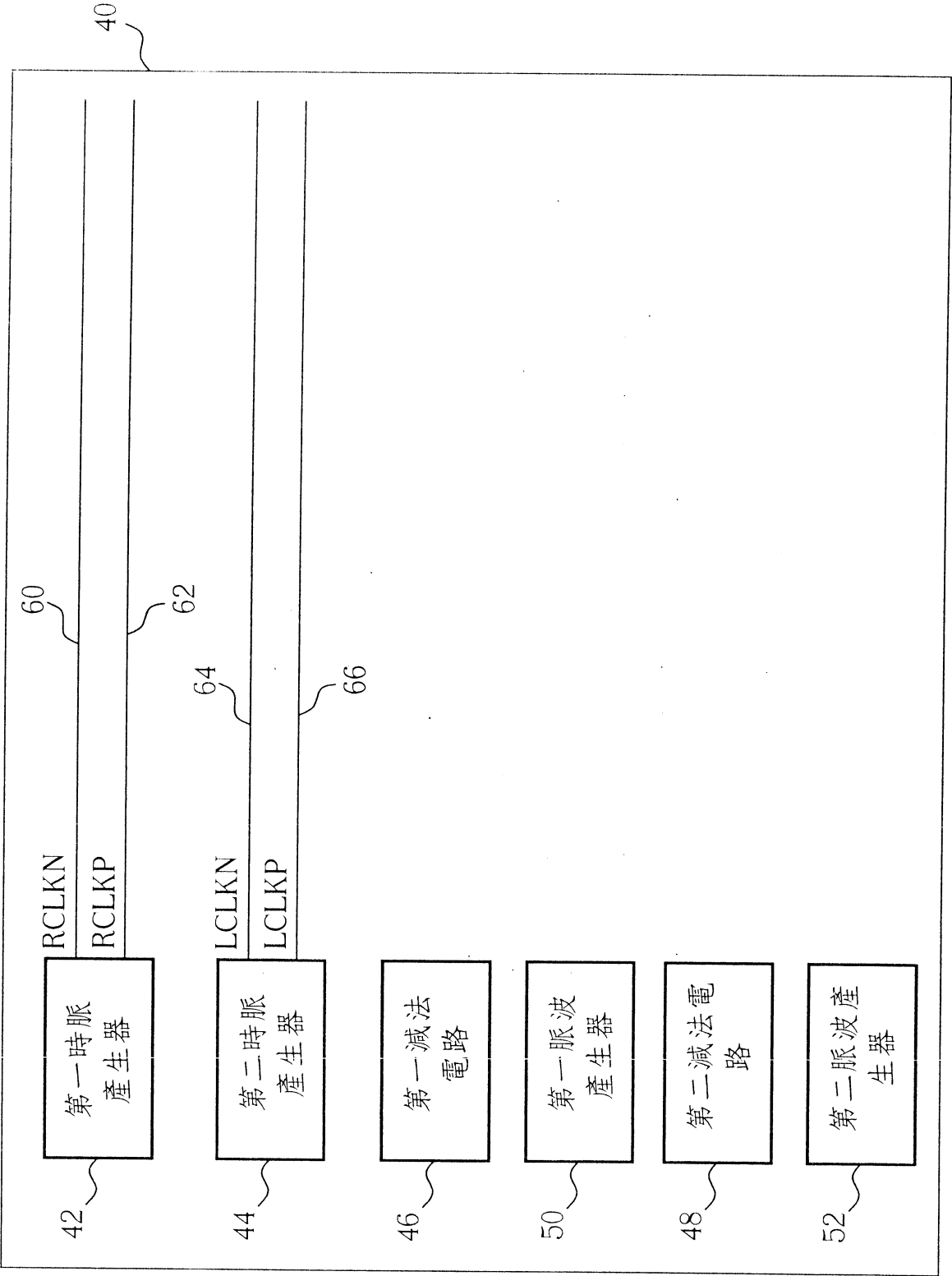
第2圖



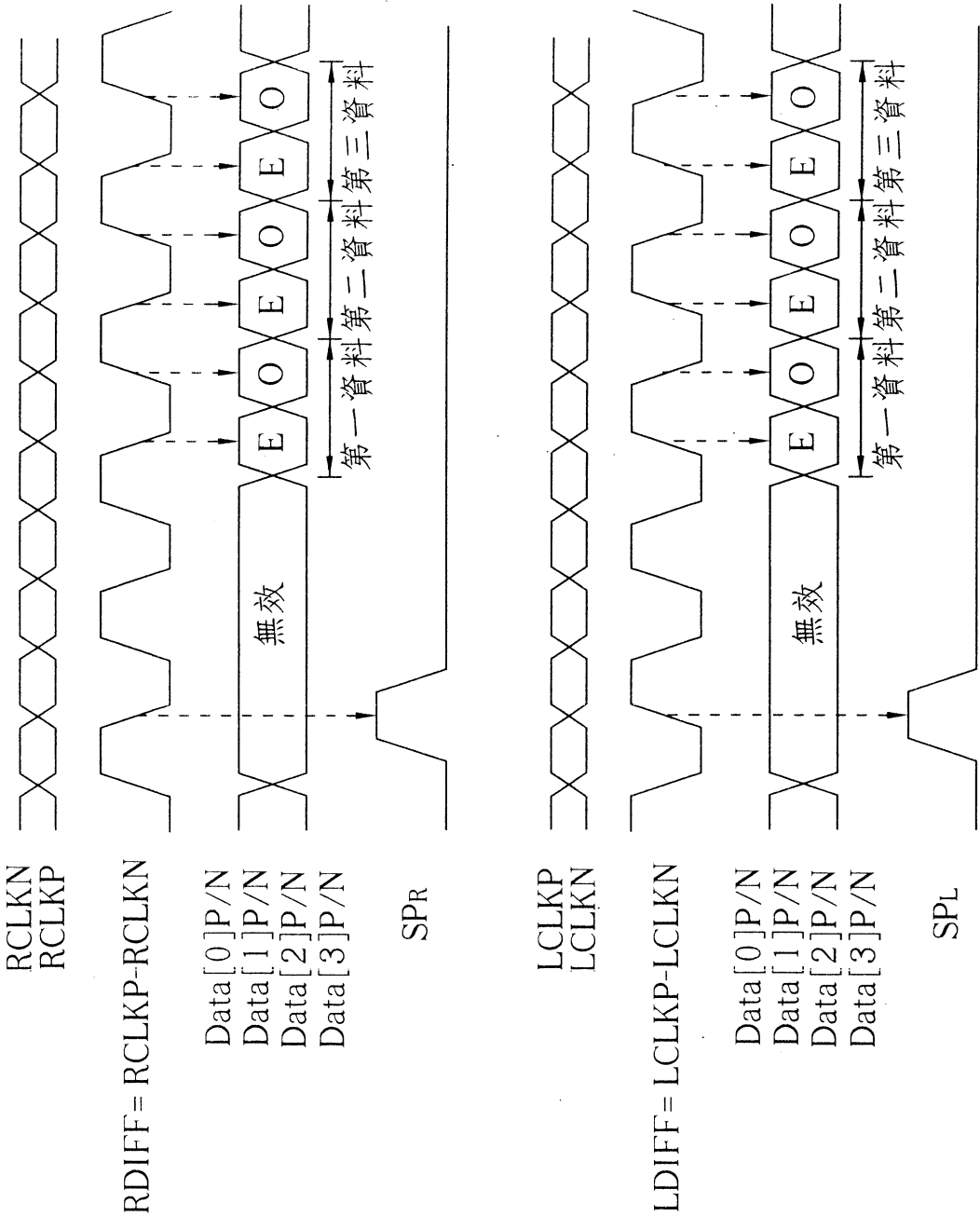
第3圖



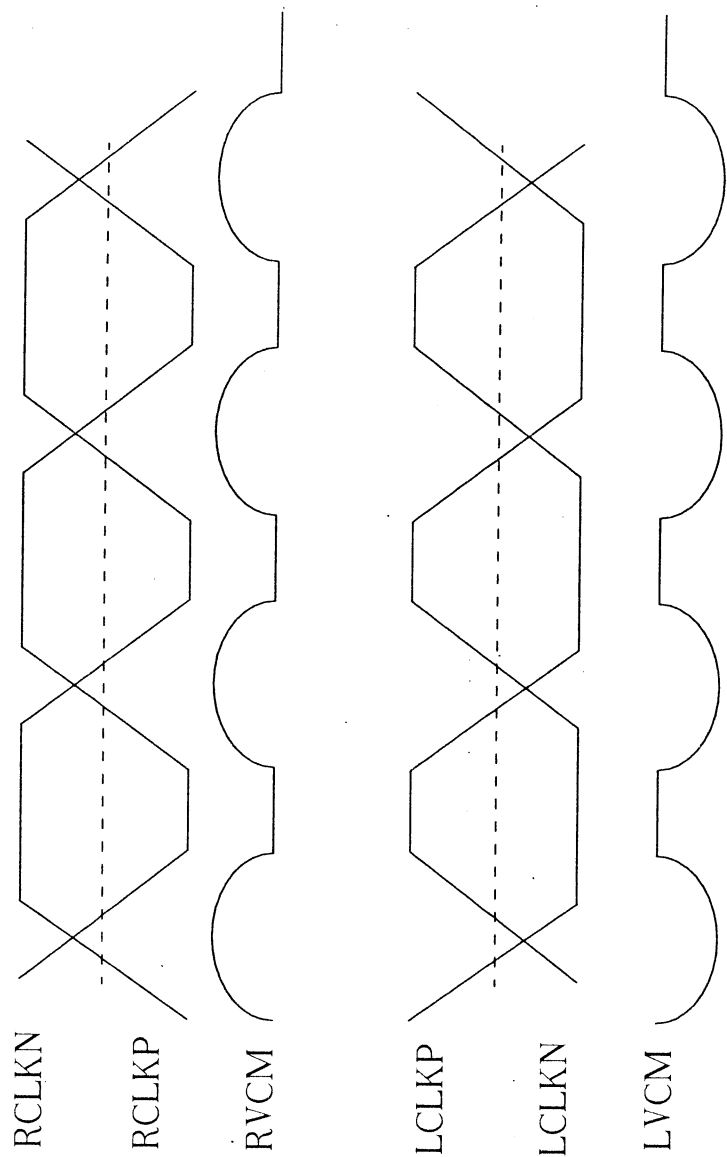
第4圖



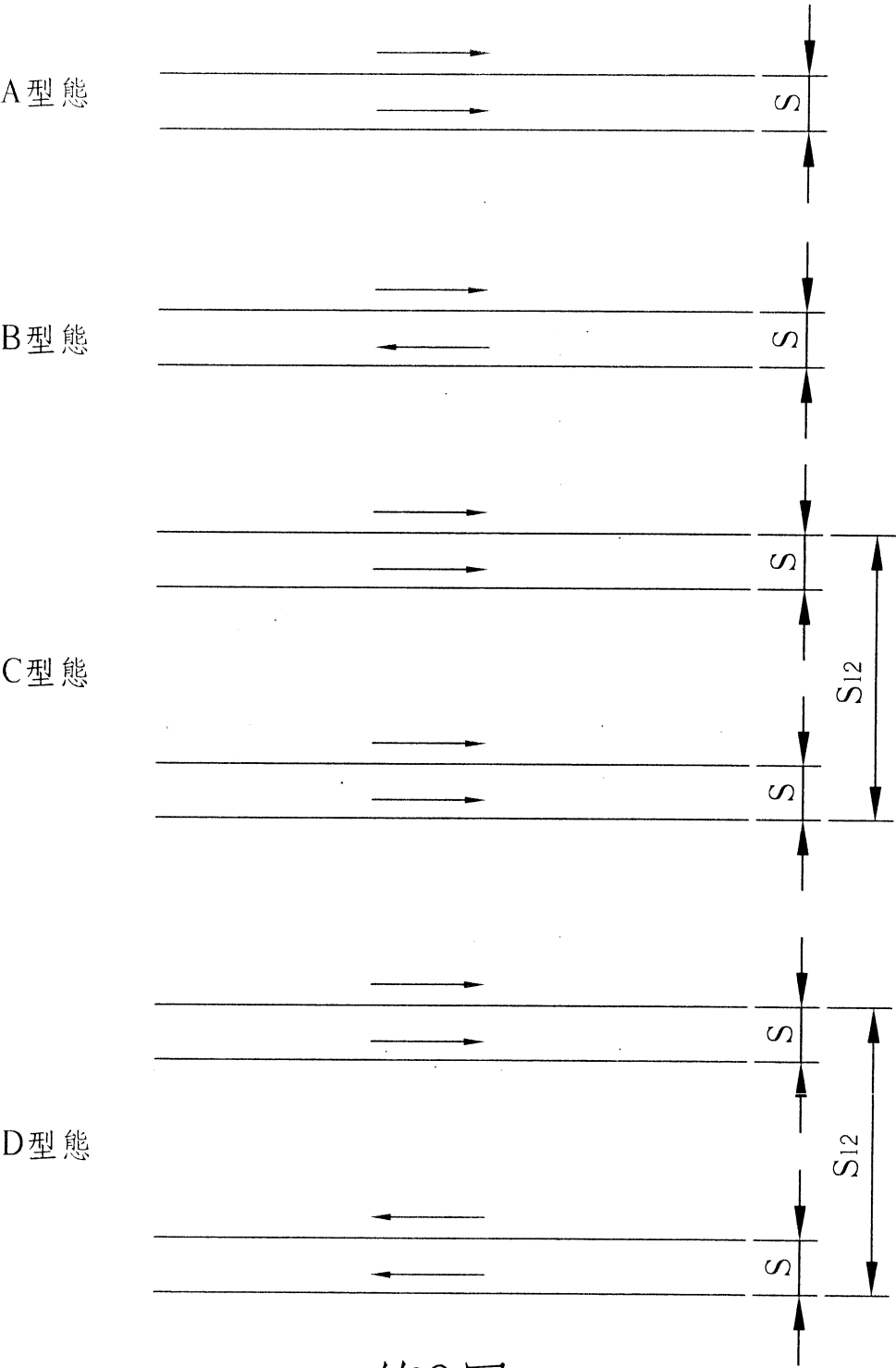
第5圖



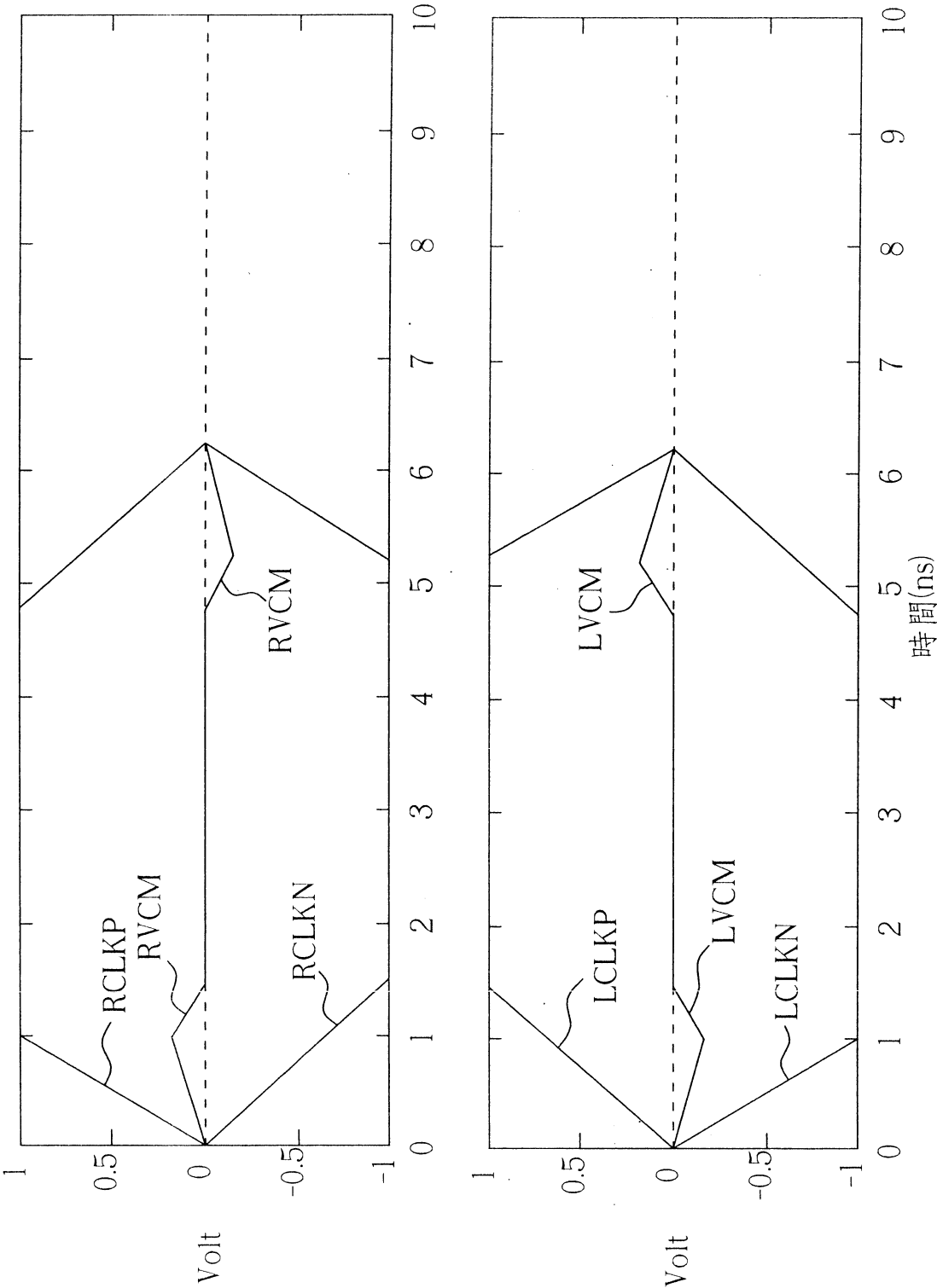
第6圖



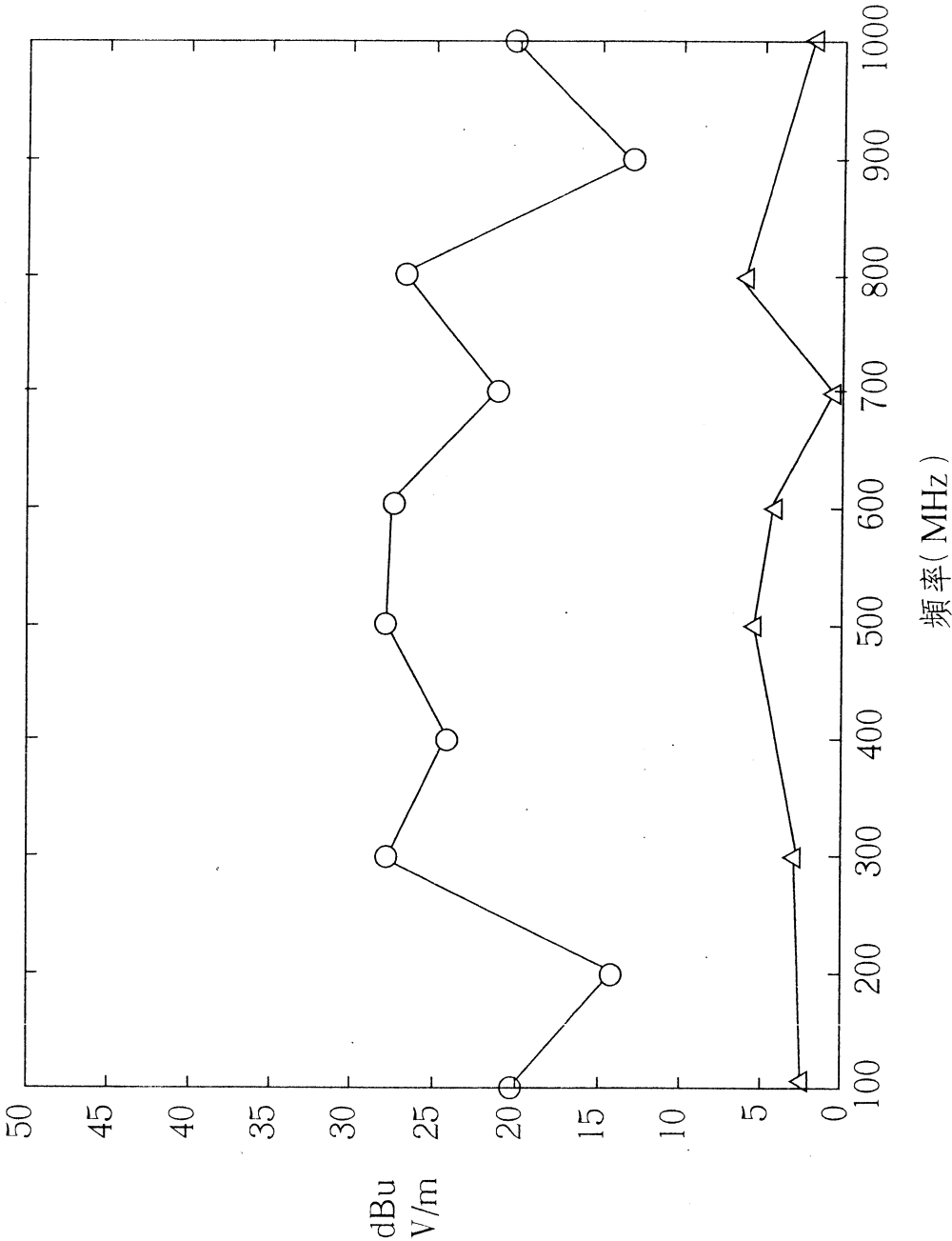
第7圖



第8圖



第9圖



第10圖

七、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

30	資料匯流排電路
40	時序控制器
32、34	驅動器電路

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無