

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7364429号
(P7364429)

(45)発行日 令和5年10月18日(2023.10.18)

(24)登録日 令和5年10月10日(2023.10.10)

(51)国際特許分類 F I
H 0 2 M 1/00 (2007.01) H 0 2 M 1/00 C

請求項の数 9 (全18頁)

(21)出願番号	特願2019-199617(P2019-199617)	(73)特許権者	000116024
(22)出願日	令和1年11月1日(2019.11.1)		ローム株式会社
(65)公開番号	特開2021-72740(P2021-72740A)		京都府京都市右京区西院溝崎町 2 1 番地
(43)公開日	令和3年5月6日(2021.5.6)	(74)代理人	110001933
審査請求日	令和4年9月26日(2022.9.26)		弁理士法人 佐野特許事務所
		(72)発明者	宅間 徹
			京都市右京区西院溝崎町 2 1 番地 ロー
			ム株式会社内
		審査官	佐藤 匡

最終頁に続く

(54)【発明の名称】 スイッチ装置

(57)【特許請求の範囲】

【請求項 1】

電源端子と出力端子との間に接続されるスイッチ素子と；

前記スイッチ素子のオン期間に流れる出力電流が閾値よりも小さいときに前記スイッチ素子をオフすることなく前記出力端子の出力電圧を第 1 電圧と一致させるように前記スイッチ素子のオン抵抗を引き上げると共に、前記出力電圧に基づいて前記出力端子の負荷オープンと天絡を判別する出力異常検出回路と；

を有する、スイッチ装置。

【請求項 2】

前記出力異常検出回路は、前記出力電圧と前記第 1 電圧よりも高い第 2 電圧とを比較して前記出力端子の負荷オープンと天絡を判別する、請求項 1 に記載のスイッチ装置。

10

【請求項 3】

前記出力異常検出回路は、前記出力電圧が前記第 2 電圧よりも低いときに前記出力端子が負荷オープンしていると判別し、前記出力電圧が前記第 2 電圧よりも高いときに前記出力端子が天絡していると判別する、請求項 2 に記載のスイッチ装置。

【請求項 4】

前記出力異常検出回路は、

前記出力電流に応じた出力電流検出信号またはセンス電圧と所定の閾値電圧とを比較して出力異常検出信号を生成する第 1 コンパレータと、

前記出力電圧と前記第 1 電圧とを比較してオン抵抗制御信号を生成する第 2 コンパレー

20

たと、

前記出力電圧と前記第 2 電圧とを比較して判別信号を生成する第 3 コンパレータと、
を含む、請求項 3 に記載のスイッチ装置。

【請求項 5】

前記第 2 コンパレータ及び前記第 3 コンパレータは、いずれも前記出力異常検出信号に
応じてイネーブル制御される、請求項 4 に記載のスイッチ装置。

【請求項 6】

前記出力異常検出回路は、

前記電源端子と前記第 1 電圧の印加端との間に接続された第 1 抵抗と、
前記電源端子と前記第 2 電圧の印加端との間に接続された第 2 抵抗と、
前記第 1 電圧の印加端と定電位端との間に接続された第 1 電流源と、
前記第 2 電圧の印加端と前記定電位端との間に接続された第 2 電流源と、
をさらに含む、請求項 4 又は 5 に記載のスイッチ装置。

10

【請求項 7】

請求項 1 ~ 6 のいずれか一項に記載のスイッチ装置と、
前記スイッチ装置に接続される負荷と、
を有する、電子機器。

【請求項 8】

前記負荷は、バルブランプ、リレーコイル、ソレノイド、発光ダイオード、または、モ
ータである、請求項 7 に記載の電子機器。

20

【請求項 9】

請求項 7 又は 8 に記載の電子機器を有する、車両。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書中に開示されている発明は、スイッチ装置に関する。

【背景技術】

【0002】

本願出願人は、以前より、車載 IPD [intelligent power device] などのスイッチ装
置に関して、数多くの新技術を提案している（例えば特許文献 1 を参照）。

30

【先行技術文献】

【特許文献】

【0003】

【文献】国際公開第 2017/187785 号

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、従来のスイッチ装置では、出力異常状態の判別（特に、ハイサイドスイ
ッチ LSI のスイッチオン期間における負荷オープンと天絡の切り分け）について、更な
る改善の余地があった。

40

【0005】

本明細書中に開示されている発明は、本願の発明者により見出された上記課題に鑑み、
出力異常状態を適切に判別することのできるスイッチ装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

本明細書中に開示されているスイッチ装置は、電源端子と出力端子との間に接続される
スイッチ素子と；前記スイッチ素子のオン期間に流れる出力電流が閾値よりも小さいとき
に出力異常状態であることを検出し、前記スイッチ素子のオン抵抗を引き上げると共に、
前記出力端子の出力電圧に基づいて前記出力端子の負荷オープンと天絡を判別する出力異
常検出回路と；を有する構成（第 1 の構成）とされている。

50

【 0 0 0 7 】

なお、上記第 1 の構成から成るスイッチ装置において、前記出力異常検出回路は、前記出力電圧を第 1 電圧と一致させるように前記オン抵抗を引き上げる構成（第 2 の構成）にするとよい。

【 0 0 0 8 】

また、上記第 2 の構成から成るスイッチ装置において、前記出力異常検出回路は、前記出力電圧と前記第 1 電圧よりも高い第 2 電圧とを比較して前記出力端子の負荷オープンと天絡を判別する構成（第 3 の構成）にするとよい。

【 0 0 0 9 】

また、上記第 3 の構成から成るスイッチ装置において、前記出力異常検出回路は、前記出力電圧が前記第 2 電圧よりも低いときに前記出力端子が負荷オープンしていると判別して、前記出力電圧が前記第 2 電圧よりも高いときに前記出力端子が天絡していると判別する構成（第 4 の構成）にするとよい。

10

【 0 0 1 0 】

また、上記第 4 の構成から成るスイッチ装置において、前記出力異常検出回路は、前記出力電流に応じた出力電流検出信号またはセンス電圧と所定の閾値電圧とを比較して出力異常検出信号を生成する第 1 コンパレータと、前記出力電圧と前記第 1 電圧とを比較してオン抵抗制御信号を生成する第 2 コンパレータと、前記出力電圧と前記第 2 電圧とを比較して判別信号を生成する第 3 コンパレータと、を含む構成（第 5 の構成）にするとよい。

【 0 0 1 1 】

また、上記第 5 の構成から成るスイッチ装置において、前記第 2 コンパレータ及び前記第 3 コンパレータは、いずれも前記出力異常検出信号に応じてイネーブル制御される構成（第 6 の構成）にするとよい。

20

【 0 0 1 2 】

また、上記第 5 または第 6 の構成から成るスイッチ装置において、前記出力異常検出回路は、前記電源端子と前記第 1 電圧の印加端との間に接続された第 1 抵抗と、前記電源端子と前記第 2 電圧の印加端との間に接続された第 2 抵抗と、前記第 1 電圧の印加端と定電位端との間に接続された第 1 電流源と、前記第 2 電圧の印加端と前記定電位端との間に接続された第 2 電流源と、をさらに含む構成（第 7 の構成）にするとよい。

【 0 0 1 3 】

また、本明細書中に開示されている電子機器は、上記第 1 ～ 第 7 いずれかの構成から成るスイッチ装置と、前記スイッチ装置に接続される負荷と、を有する構成（第 8 の構成）とされている。

30

【 0 0 1 4 】

なお、上記第 8 の構成から成る電子機器において、前記負荷は、バルブランプ、リレーコイル、ソレノイド、発光ダイオード、または、モータである構成（第 9 の構成）にするとよい。

【 0 0 1 5 】

また、本明細書中に開示されている車両は、上記第 8 または第 9 の構成から成る電子機器を有する構成（第 10 の構成）とされている。

40

【 発明の効果 】

【 0 0 1 6 】

本明細書中に開示されている発明によれば、出力異常状態を適切に判別することのできるスイッチ装置を提供することが可能となる。

【 図面の簡単な説明 】

【 0 0 1 7 】

【 図 1 】 半導体集積回路装置の全体構成を示す図

【 図 2 】 ゲート制御部の一構成例を示す図

【 図 3 】 出力電流検出部の一構成例を示す図

【 図 4 】 スイッチオン期間における地絡の様子を示す図

50

【図5】スイッチオン期間における負荷オープンの様子を示す図

【図6】スイッチオン期間における天絡の様子を示す図

【図7】出力異常検出回路の一構成例を示す図

【図8】ゲートドライバの一構成例を示す図

【図9】負荷オープン検出動作の一例を示す図

【図10】天絡検出動作の一例を示す図

【図11】車両の一構成例を示す外観図

【発明を実施するための形態】

【0018】

<半導体集積回路装置>

図1は、半導体集積回路装置の全体構成を示す図である。本構成例の半導体集積回路装置1は、ECU[electronic control unit]2からの指示に応じて電源電圧VBBの印加端と負荷3との間を導通/遮断する車載用ハイサイドスイッチLSI(=車載IPDの一種)である。

【0019】

なお、半導体集積回路装置1は、装置外部との電気的な接続を確立するための手段として、外部端子T1~T5を備えている。外部端子T1は、不図示のバッテリーから電源電圧VBB(例えば12V)の供給を受け付けるための電源端子(VBBピン)である。外部端子T2は、負荷3(バルブランプ、リレーコイル、ソレノイド、発光ダイオード、または、モータなど)を外に接続するための負荷接続端子ないしは出力端子(OUTピン)である。外部端子T3は、ECU2から外部制御信号Siの外部入力を受け付けるための信号入力端子(INピン)である。外部端子T4は、ECU2に出力異常報知信号FAILを外に出力するための信号出力端子(FAILピン)である。外部端子T5は、ECU2に出力電流検出信号SENSEを外に出力するための信号出力端子(SENSEピン)である。なお、外部端子T5と接地端との間には、外部センス抵抗4が外付けされている。

【0020】

また、半導体集積回路装置1は、NMOSFET10と、出力電流監視部20と、ゲート制御部30と、制御ロジック部40と、信号入力部50と、内部電源部60と、異常保護部70と、出力電流検出部80と、を集積化して成る。

【0021】

NMOSFET10は、ドレインが外部端子T1に接続されてソースが外部端子T2に接続された高耐圧(例えば42V耐圧)のパワートランジスタである。このように接続されたNMOSFET10は、電源電圧VBBの印加端から負荷3を介して接地端に至る電流経路を導通/遮断するためのスイッチ素子(ハイサイドスイッチ)として機能する。なお、NMOSFET10は、ゲート駆動信号G1がハイレベルであるときにオンし、ゲート駆動信号G1がローレベルであるときにオフする。

【0022】

また、NMOSFET10は、オン抵抗Ronが数十mΩとなるように素子を設計すればよい。ただし、NMOSFET10のオン抵抗Ronが低いほど、外部端子T2の地絡(=接地端ないしはこれに準ずる低電位端への短絡異常)が発生したときに過電流が流れやすくなり、異常発熱を生じやすくなる。従って、NMOSFET10のオン抵抗Ronを下げるほど、後述する過電流保護回路71や温度保護回路73の重要性が高くなる。

【0023】

出力電流監視部20は、NMOSFET21及び22と、センス抵抗23とを含み、NMOSFET10に流れる出力電流Ioに応じたセンス電圧Vs(=センス信号に相当)を生成する。

【0024】

NMOSFET21及び22は、いずれもNMOSFET10に対して並列に接続されたミラートランジスタであり、出力電流Ioに応じたセンス電流Is及びIs2を生成する。NMOSFET10とNMOSFET21及び22とのサイズ比は、m:1(ただし

10

20

30

40

50

$m > 1$) である。従って、センス電流 I_s 及び I_{s2} は、出力電流 I_o を $1/m$ に減じた大きさとなる。なお、NMOSFET 21 及び 22 は、NMOSFET 10 と同様、ゲート駆動信号 G_1 がハイレベルであるときにオンし、ゲート電圧 G_1 がローレベルであるときにオフする。

【0025】

センス抵抗 23 (抵抗値: R_s) は、NMOSFET 21 のソースと外部端子 T2 との間に接続されており、センス電流 I_s に応じたセンス電圧 V_s ($= I_s \times R_s + V_o$ 、ただし、 V_o は外部端子 T2 に現れる出力電圧) を生成する電流/電圧変換素子である。

【0026】

ゲート制御部 30 は、ゲート制御信号 S_1 の電流能力を高めたゲート駆動信号 G_1 を生成して NMOSFET 10 (並びに NMOSFET 21 及び 22) のゲートに出力することにより、NMOSFET 10 のオン/オフ制御を行う。なお、ゲート制御部 30 は、過電流保護信号 S_{71} に応じて出力電流 I_o を制限するように NMOSFET 10 を制御する機能を備えている。また、ゲート制御部 30 は、出力異常検出信号 S_{72} (具体的には後述のオン抵抗制御信号 S_{72b}) に応じて NMOSFET 10 のオン抵抗 R_{on} (延いではドレイン・ソース間電圧 V_{ds}) を制御する機能も備えている。

【0027】

制御ロジック部 40 は、内部電源電圧 V_{reg} の供給を受けてゲート制御信号 S_1 を生成する。例えば、外部制御信号 S_i がハイレベル ($=$ NMOSFET 10 をオンさせるときの論理レベル) であるときには、内部電源部 60 から内部電源電圧 V_{reg} が供給されるので、制御ロジック部 40 が動作状態となり、ゲート制御信号 S_1 がハイレベル ($= V_{reg}$) となる。一方、外部制御信号 S_i がローレベル ($=$ NMOSFET 10 をオフさせるときの論理レベル) であるときには、内部電源部 60 から内部電源電圧 V_{reg} が供給されないので、制御ロジック部 40 が非動作状態となり、ゲート制御信号 S_1 がローレベル ($= GND$) となる。また、制御ロジック部 40 は、異常保護部 70 の各種出力信号を監視している。特に、制御ロジック部 40 は、出力異常検出信号 S_{72} (具体的には、後述の出力異常検出信号 S_{72a} と判別信号 S_{72c}) の監視結果に応じて、出力異常報知信号 $FAIL$ を生成する機能も備えている。

【0028】

信号入力部 50 は、外部端子 T3 から外部制御信号 S_i の入力を受け付けて制御ロジック部 40 や内部電源部 60 に伝達するシュミットリガである。なお、外部制御信号 S_i は、例えば、NMOSFET 10 をオンさせるときにハイレベルとなり、NMOSFET 10 をオフさせるときにローレベルとなる。

【0029】

内部電源部 60 は、電源電圧 V_{BB} から所定の内部電源電圧 V_{reg} を生成して半導体集積回路装置 1 の各部に供給する。なお、内部電源部 60 の動作可否は、外部制御信号 S_i に応じて制御される。より具体的に述べると、内部電源部 60 は、外部制御信号 S_i がハイレベルであるときに動作状態となり、外部制御信号 S_i がローレベルであるときに非動作状態となる。

【0030】

異常保護部 70 は、半導体集積回路装置 1 の各種異常を検出する回路ブロックであり、過電流保護回路 71 と、出力異常検出回路 72 と、温度保護回路 73 と、減電圧保護回路 74 と、を含む。

【0031】

過電流保護回路 71 は、センス電圧 V_s の監視結果 ($=$ 出力電流 I_o の過電流異常が生じているか否か) に応じた過電流保護信号 S_{71} を生成する。なお、過電流保護信号 S_{71} は、例えば、異常未検出時にローレベルとなり、異常検出時にハイレベルとなる。

【0032】

出力異常検出回路 72 は、出力電圧 V_o と出力電流検出信号 $SENSE$ を監視して、外部端子 T2 の負荷オープンないしは天絡 ($=$ 電源電圧 V_{BB} の印加端ないしはこれに準ず

10

20

30

40

50

る高電位端への短絡異常)が生じているか否かを検出し、その検出結果に応じた出力異常検出信号S72(詳細は後述するが、出力異常検出信号S72a、オン抵抗制御信号S72b及び判別信号S72cを含む)を生成する。なお、出力異常検出信号S72aは、例えば、異常未検出時にローレベルとなり、異常検出時にハイレベルとなる。

【0033】

温度保護回路73は、半導体集積回路装置1(特にNMOSFET10周辺)の異常発熱を検出する温度検出素子(不図示)を含み、その検出結果(=異常発熱が生じているか否か)に応じた温度保護信号S73を生成する。なお、温度保護信号S73は、例えば、異常未検出時にローレベルとなり、異常検出時にハイレベルとなる。

【0034】

減電圧保護回路74は、電源電圧VBBないしは内部電源電圧Vregの監視結果(=減電圧異常が生じているか否か)に応じた減電圧保護信号S74を生成する。なお、減電圧保護信号S74は、例えば、異常未検出時にローレベルとなり、異常検出時にハイレベルとなる。

【0035】

出力電流検出部80は、不図示のバイアス手段を用いて、NMOSFET22のソース電圧と出力電圧Voとを一致させることにより、出力電流Ioに応じたセンス電流Is2(=Io/m)を生成して外部端子T5に出力する。従って、ECU2には、センス電流Is2を外部センス抵抗4(抵抗値:R4)で電流/電圧変換した出力電流検出信号SENSE(=Is2×R4)が伝達される。出力電流検出信号SENSEは、出力電流Ioが大きいほど高くなり、出力電流Ioが小さいほど低くなる。なお、出力電流検出信号SENSEから出力電流Ioの電流値を読み取る場合には、出力電流検出信号SENSEをECU2でA/D[analog-to-digital]変換してやればよい。

【0036】

<ゲート制御部>

図2は、ゲート制御部30の一構成例を示す図である。本図のゲート制御部30は、ゲートドライバ31と、オシレータ32と、チャージポンプ33と、クランパ34と、NMOSFET35と、抵抗36(抵抗値:R36)と、キャパシタ37(容量値:C37)と、ツェナダイオード38と、を含む。

【0037】

ゲートドライバ31は、チャージポンプ33の出力端(=昇圧電圧VGの印加端)と外部端子T2(=出力電圧Voの印加端)との間に接続されており、ゲート制御信号S1の電流能力を高めたゲート駆動信号G1を生成する。なお、ゲート駆動信号G1は、ゲート制御信号S1がハイレベルであるときにハイレベル(=VG)となり、ゲート制御信号S1がローレベルであるときにローレベル(=Vo)となる。

【0038】

また、ゲートドライバ31は、出力異常保護信号S72(特にオン抵抗制御信号S72b)に応じてNMOSFET10のオン抵抗Ron(延いてはドレイン・ソース間電圧Vds)を変化させるようにゲート駆動信号G1を制御する機能も備えている。

【0039】

オシレータ32は、所定周波数のクロック信号CLKを生成してチャージポンプ33に出力する。なお、オシレータ32の動作可否は、制御ロジック部40からのイネーブル信号Saに応じて制御される。

【0040】

チャージポンプ33は、クロック信号CLKを用いてフライングキャパシタを駆動することにより、電源電圧VBBよりも高い昇圧電圧VGを生成してゲートドライバ31に供給する昇圧部の一例である。なお、チャージポンプ33の動作可否は、制御ロジック部40からのイネーブル信号Sbに応じて制御される。

【0041】

クランパ34は、外部端子T1(=電源電圧VBBの印加端)とNMOSFET10の

10

20

30

40

50

ゲートとの間に接続されている。外部端子 T 2 に誘導性の負荷 3 が接続されるアプリケーションでは、NMOSFET 10 をオンからオフへ切り替える際、負荷 3 の逆起電力により、出力電圧 V_o が負電圧 ($< GND$) となる。そのため、エネルギー吸収用にクランプ 34 (いわゆるアクティブクランプ回路) が設けられている。

【0042】

NMOSFET 35 のドレインは、NMOSFET 10 のゲートに接続されている。NMOSFET 35 のソースは、外部端子 T 2 に接続されている。NMOSFET 35 のゲートは、過電流保護信号 S 71 の印加端に接続されている。また、NMOSFET 35 のドレイン・ゲート間には、抵抗 36 とキャパシタ 37 が直列に接続されている。

【0043】

ツェナダイオード 38 のカソードは、NMOSFET 10 のゲートに接続されている。ツェナダイオード 38 のアノードは、NMOSFET 10 のソースに接続されている。このように接続されたツェナダイオード 38 は、NMOSFET 10 のゲート・ソース間電圧 ($= V_G - V_o$) を所定値以下に制限するクランプ素子として機能する。

【0044】

本構成例のゲート制御部 30 において、過電流保護信号 S 71 がハイレベルに立ち上げられると、ゲート駆動信号 G 1 が定常時のハイレベル ($= V_G$) から所定の時定数 ($= R_{36} \times C_{37}$) で引き下げられていく。その結果、NMOSFET 10 の導通度が徐々に低下していくので、出力電流 I_o に制限が掛けられる。一方、過電流保護信号 S 71 がローレベルに立ち下げられると、ゲート駆動信号 G 1 が所定の時定数 で引き上げられていく。その結果、NMOSFET 10 の導通度が徐々に上昇していくので、出力電流 I_o の制限が解除される。

【0045】

このように、本構成例のゲート制御部 30 は、過電流保護信号 S 71 に応じて出力電流 I_o を制限するようにゲート駆動信号 G 1 を制御する機能を備えている。

【0046】

< 出力電流検出部 >

図 3 は、出力電流検出部 80 の一構成例を示す図である。本構成例の出力電流検出部 80 は、アンプ 81 と PMOSFET 82 を含む。

【0047】

アンプ 81 の反転入力端 (+) は、NMOSFET 10 のソース ($=$ 外部端子 T 2) に接続されている。アンプ 81 の非反転入力端 (+) と PMOSFET 82 のソースは、NMOSFET 22 のソースに接続されている。アンプ 81 の出力端は、PMOSFET 82 のゲートに接続されている。PMOSFET 82 のドレインは、外部端子 T 5 を介して外部センス抵抗 4 に接続されている。

【0048】

このように接続されたアンプ 81 及び PMOSFET 82 は、NMOSFET 22 のソース電圧と出力電圧 V_o とを一致させるバイアス手段として機能する。従って、出力電流検出部 80 では、出力電流 I_o に応じたセンス電流 I_{s2} ($= I_o / m$) を精度良く生成することが可能となる。

【0049】

< 出力異常状態に関する考察 >

図 4 ~ 図 6 は、それぞれ、スイッチオン期間 ($=$ NMOSFET 10 のオン期間) における地絡、負荷オープン、及び、天絡の様子を示す図である。

【0050】

NMOSFET 10 のオン期間において、出力端子 T 2 に地絡が生じると、図 4 で示したように、出力電圧 V_o がほぼ接地電位 GND となり、かつ、NMOSFET 10 に過大な出力電流 I_o が流れる。すなわち、出力電流 I_o が過電流状態となる。従って、 $V_o < GND$ 、かつ、 $S_{71} = H$ ($=$ 過電流検出時の論理レベル) であるときには、出力端子 T 2 が地絡していると判別することが可能である。

10

20

30

40

50

【 0 0 5 1 】

一方、NMOSFET 10 のオン期間において、出力端子 T 2 に負荷オープンが生じると、図 5 で示したように、NMOSFET 10 から負荷 3 への電流経路が遮断される。従って、NMOSFET 10 には、そのソースに繋がる内部回路の抵抗成分 R_x ($\gg R_{on}$) で決まる微小な出力電流 $I_o (= V_{BB} / (R_{on} + R_x))$ しか流れなくなる。その結果、出力電圧 $V_o (= V_{BB} - R_{on} \times I_o)$ がほぼ電源電圧 V_{BB} となる。

【 0 0 5 2 】

また、NMOSFET 10 のオン期間において、出力端子 T 2 に天絡が生じると、図 6 で示したように、電源電圧 V_{BB} の印加端と負荷 3 との間を直結する短絡経路が形成される。この短絡経路の抵抗成分 R_y は非常に小さい ($R_y = \text{数 m} \sim \text{数十 m}$)。従って、電源電圧 V_{BB} の印加端から負荷 3 に流れる電流の大半は、天絡電流 $I_{v b b s}$ として上記の短絡経路に流れるので、NMOSFET 10 には出力電流 I_o が殆ど流れなくなる。その結果、出力電圧 $V_o (= V_{BB} - R_y \times I_{v b b s})$ がほぼ電源電圧 V_{BB} となる。

10

【 0 0 5 3 】

このように、NMOSFET 10 のオン期間において、出力端子 T 2 に負荷オープンまたは天絡が生じたときには、いずれも $V_o = V_{BB}$ となる。そのため、出力電圧 V_o を単純に監視しても、出力端子 T 2 に生じた異常が負荷オープンであるのか天絡であるのかを判別することはできない。

【 0 0 5 4 】

上記の考察に鑑み、以下では、NMOSFET 10 のオン期間に出力異常状態を検出するとともに、その出力異常状態が負荷オープンであるのか天絡であるのかを判別することのできる出力異常検出回路 7 2 を提案する。

20

【 0 0 5 5 】

< 出力異常検出回路 >

図 7 は、出力異常検出回路 7 2 の一構成例を示す図である。本構成例の出力異常検出回路 7 2 は、コンパレータ 7 2 a ~ 7 2 c と、抵抗 7 2 d 及び 7 2 e と、電流源 7 2 f 及び 7 2 g と、を含む。なお、既出の構成要素については、これまでと同様の符号を付すことにより、重複した説明を割愛する。

【 0 0 5 6 】

コンパレータ 7 2 a (= 第 1 コンパレータに相当) は、反転入力端 (-) に入力される電流検出信号 SENSE と、非反転入力端 (+) に入力される閾値電圧 V_{TH} とを比較して、出力異常検出信号 S_{72a} を生成する。出力異常検出信号 S_{72a} は、 $SENSE > V_{TH}$ であるときにローレベル (= 異常未検出時の論理レベル) となり、 $SENSE < V_{TH}$ であるときにハイレベル (= 異常検出時の論理レベル) となる。

30

【 0 0 5 7 】

具体的に述べると、外部端子 T 2 に負荷オープンまたは天絡が生じているときには、NMOSFET 10 に殆ど出力電流 I_o が流れなくなる (先出の図 5 または図 6 を参照)。従って、 $SENSE < V_{TH}$ となり、 $S_{72a} = H$ となる。ただし、出力異常検出信号 S_{72a} を監視するだけで負荷オープンと天絡を切り分けることはできない。

【 0 0 5 8 】

なお、閾値電圧 V_{TH} は、固定値であってもよいし可変値であってもよい。閾値電圧 V_{TH} を可変値とする場合には、例えば、閾値電圧 V_{TH} として任意のアナログ電圧が外部入力される外部端子を用意しておくことよい。

40

【 0 0 5 9 】

また、本図では、コンパレータ 7 2 a に電流検出信号 SENSE が入力される例を挙げたが、電流検出信号 SENSE に代えてセンス電圧 V_s を入力しても構わない。

【 0 0 6 0 】

コンパレータ 7 2 b (= 第 2 コンパレータに相当) は、電源電圧 V_{BB} と基準電圧 $V_{B B M 5} (= V_{BB} - 5V)$ の印加を受けて動作し、反転入力端 (-) に入力される出力電圧 V_o と、非反転入力端 (+) に入力される第 1 電圧 $V_{BB} - V_1$ とを比較して、オン抵

50

抗制御信号 $S72b$ を生成する。オン抵抗制御信号 $S72b$ は、 $V_o > V_{BB} - V_1$ であるときにローレベル (= オン抵抗 R_{on} を引き上げるときの論理レベル) となり、 $V_o < V_{BB} - V_1$ であるときにハイレベル (= オン抵抗 R_{on} を引き上げないときの論理レベル) となる。

【0061】

また、コンパレータ $72b$ は、出力異常検出信号 $S72a$ に応じてイネーブル制御される。より具体的に述べると、コンパレータ $72b$ は、 $S72a = L$ であるときにディセーブル (非動作状態) となり、 $S72a = H$ であるときにイネーブル (動作状態) となる。

【0062】

なお、ゲートドライバ 31 は、オン抵抗制御信号 $S72b$ に応じて $NMOSFET10$ のオン抵抗 R_{on} (延いてはドレイン・ソース間電圧 V_{ds}) を変化させるように、ゲート駆動信号 $G1$ を制御する。

10

【0063】

図8は、ゲートドライバ 31 の一構成例を示す図である。本構成例のゲートドライバ 31 は、その出力段を形成するソース電流源 311 及びシンク電流源 312 と、これらを制御するコントローラ 313 と、を含む。

【0064】

ソース電流源 311 は、昇圧電圧 V_G の印加端とゲート駆動信号 $G1$ の印加端との間に接続されており、ゲート駆動信号 $G1$ をハイレベル (= V_G) とするときにはオンされて、ゲート駆動信号 $G1$ の印加端にソース電流 I_H (= 上側ゲート駆動電流) を流し込む。

20

【0065】

シンク電流源 312 は、ゲート駆動信号 $G1$ の印加端と外部端子 $T2$ (= 出力電圧 V_o の印加端) との間に接続されており、ゲート駆動信号 $G1$ をローレベル (= V_o) とするときにはオンされて、ゲート駆動信号 $G1$ の印加端からシンク電流 I_L (= 下側ゲート駆動電流) を引き込む。

【0066】

コントローラ 313 は、ゲート制御信号 $S1$ に応じてソース電流源 311 及びシンク電流源 312 を制御することにより、ソース電流 I_H 及びシンク電流 I_L それぞれのオン/オフ制御を行う。例えば、コントローラ 313 は、ゲート制御信号 $S1$ がハイレベルであるときに、ソース電流 I_H をオンしてシンク電流 I_L をオフすることにより、ゲート駆動信号 $G1$ をハイレベル (= V_G) とする。一方、コントローラ 313 は、ゲート制御信号 $S1$ がローレベルであるときに、ソース電流 I_H をオフしてシンク電流 I_L をオンすることにより、ゲート駆動信号 $G1$ をローレベル (= V_o) とする。

30

【0067】

また、シンク電流 I_L は、オン抵抗制御信号 $S72b$ に応じてオン/オフされる。より具体的に述べると、 $S72b = H$ であるときには、 $NMOSFET10$ のオン期間 (= 本来であればシンク電流 I_L をオフすべき期間) であってもシンク電流 I_L がオンされる。その結果、ゲート駆動信号 $G1$ がハイレベル (= V_G) から低下するので、 $NMOSFET10$ のオン抵抗 R_{on} が通常値から引き上げられる。一方、 $S72b = L$ であるときには、シンク電流 I_L がオフされるので、オン抵抗 R_{on} が通常値に戻される。

40

【0068】

このように、コンパレータ $72b$ がイネーブル ($S72a = H$) であるときには、オン抵抗制御信号 $S72b$ に応じたシンク電流 I_L のオン/オフ制御が行われる。その結果、 $NMOSFET10$ のオン期間において、出力電圧 V_o を第1電圧 $V_{BB} - V_1$ と一致させるように、 $NMOSFET10$ のオン抵抗 R_{on} が制御されることになる。

【0069】

図7に戻り、出力異常検出回路 72 の構成及び動作について、詳細な説明を続ける。

【0070】

コンパレータ $72c$ (= 第3コンパレータに相当) は、電源電圧 V_{BB} と定電圧 V_{BM5} (= $V_{BB} - 5V$) の印加を受けて動作し、非反転入力端 (+) に入力される出力電

50

圧 V_o と、反転入力端(-)にされる第2電圧 $V_{BB} - V_2$ ($> V_{BB} - V_1$)とを比較して、判別信号 S_{72c} を生成する。判別信号 S_{72c} は、 $V_o < V_{BB} - V_2$ であるときにローレベル(=負荷オープン時の論理レベル)となり、 $V_o > V_{BB} - V_2$ であるときにハイレベル(=天絡時の論理レベル)となる。

【0071】

また、コンパレータ $72c$ は、先のコンパレータ $72b$ と同じく、出力異常検出信号 S_{72a} に応じてイネーブル制御される。より具体的に述べると、コンパレータ $72c$ は、 $S_{72a} = L$ であるときにディセーブル(非動作状態)となり、 $S_{72a} = H$ であるときにイネーブル(動作状態)となる。

【0072】

抵抗 $72d$ (=第1抵抗に相当)は、外部端子 T_1 と第1電圧 $V_{BB} - V_1$ の印加端との間に接続されている。電流源 $72f$ (=第1電流源に相当)は、第1電圧 $V_{BB} - V_1$ の印加端と定電位端(= V_{BBM5})との間に接続されている。このように接続された抵抗 $72d$ (抵抗値: R_d)及び電流源 $72f$ (電流値: I_f)では、電源電圧 V_{BB} よりも所定値 V_1 (= $R_d \times I_f$)だけ低い第1電圧 $V_{BB} - V_1$ が生成される。

【0073】

抵抗 $72e$ (=第2抵抗に相当)は、外部端子 T_1 と第2電圧 $V_{BB} - V_2$ の印加端との間に接続されている。電流源 $72g$ (=第2電流源に相当)は、第2電圧 $V_{BB} - V_2$ の印加端と定電位端(= V_{BBM5})との間に接続されている。このように接続された抵抗 $72e$ (抵抗値: R_e)及び電流源 $72g$ (電流値 I_g)では、電源電圧 V_{BB} よりも所定値 V_2 (= $R_e \times I_g$ 、 $V_2 < V_1$)だけ低い第2電圧 $V_{BB} - V_2$ が生成される。

【0074】

なお、本図では、第1電流源 $72f$ と第2電流源 $72g$ が常に動作する例を挙げたが、コンパレータ $72b$ 及び $72c$ と同様、出力異常検出信号 S_{72a} に応じてイネーブル制御される構成としても構わない。その場合、第1電流源 $72f$ 及び第2電流源 $72g$ は、それぞれ、 $S_{72a} = L$ であるときにディセーブル(非動作状態)となり、 $S_{72a} = H$ であるときにイネーブル(動作状態)となるようにすればよい。

【0075】

本構成例の出力異常検出回路 72 によれば、NMOSFET 10 のオン期間に流れる出力電流 I_o が閾値よりも小さいとき($SENSE < V_{TH}$)に出力異常状態であることを検出し、NMOSFET 10 のオン抵抗 R_{on} を引き上げると共に、出力電圧 V_o に基づいて外部端子 T_2 の負荷オープンと天絡を判別することが可能となる。

【0076】

より具体的に述べると、出力異常検出回路 72 は、出力電圧 V_o と第2電圧 $V_{BB} - V_2$ を比較し、 $V_o < V_{BB} - V_2$ であるときには負荷オープンと判別し、 $V_o > V_{BB} - V_2$ であるときには天絡と判別することができる。

【0077】

以下では、図面を参照しながら、出力異常検出動作(負荷オープン/天絡判別動作)について詳述する。

【0078】

<出力異常検出動作(負荷オープン/天絡判別動作)>

図9は、負荷オープン検出動作の一例を示す図であり、上から順に、電流検出信号 $SENSE$ 、出力電圧 V_o 、出力異常検出信号 S_{72a} 、オン抵抗制御信号 S_{72b} 、及び、判別信号 S_{72c} が描写されている。

【0079】

時刻 t_1 以前には、外部端子 T_2 の負荷オープンが発生しておらず、フルオンされたNMOSFET 10 に出力電流 I_o が適切に流れている。従って、電流検出信号 $SENSE$ は、閾値電圧 V_{TH} よりも高くなっている。また、出力電圧 V_o は、電源電圧 V_{BB} よりもNMOSFET 10 のドレイン・ソース間電圧 V_0 (= $I_o \times R_{on0}$ 、ただし、 R_{on0} はフルオン時のオン抵抗)だけ低い電圧 $V_{BB} - V_0$ となっている。

10

20

30

40

50

【 0 0 8 0 】

また、時刻 t_1 以前には、 $SENSE > V_{TH}$ であることから、 $S72a = L$ (異常未検出時の論理レベル) となっている。従って、オン抵抗制御信号 $S72b$ 及び判別信号 $S72c$ は、いずれもディセーブル (例えばハイインピーダンス) とされている。

【 0 0 8 1 】

時刻 t_1 において、外部端子 T_2 の負荷オープンが発生すると、 $NMOSFET10$ に出力電流 I_o が殆ど流れなくなる (先出の図 5 を参照)。従って、電流検出信号 $SENSE$ は、閾値電圧 V_{TH} よりも低くなる。

【 0 0 8 2 】

このとき、 $S72a = H$ (異常検出時の論理レベル) となるので、コンパレータ $72b$ がイネーブルとなる。従って、時刻 t_1 以降、オン抵抗制御信号 $S72b$ に応じて、 $NMOSFET10$ のオン抵抗 R_{on} (延いてはドレイン・ソース間電圧 V_{ds}) が制御されるようになる。

10

【 0 0 8 3 】

なお、外部端子 T_2 が負荷オープンしている場合には、 $NMOSFET10$ のオン抵抗 R_{on} を制御することにより、出力電圧 $V_o (= V_{BB} - R_{on} \times I_o)$ を任意に変化させることが可能である。例えば、本図では、 $NMOSFET10$ のオン抵抗 R_{on} をフルオン時のオン抵抗 R_{on0} から引き上げることで、出力電圧 V_o が第 1 電圧 $V_{BB} - V_1 (< V_{BB} - V_0)$ に合わせ込まれている。

【 0 0 8 4 】

また、 $S72a = H$ (異常検出時の論理レベル) になると、コンパレータ $72c$ もイネーブルとなる。従って、時刻 t_1 以降、出力電圧 V_o と第 2 電圧 $V_{BB} - V_2$ との比較結果に応じた判別信号 $S72c$ が出力される。本図に即して述べると、 $V_o (= V_{BB} - V_1) < V_{BB} - V_2$ となるので、判別信号 $S72c$ がローレベルとなる。

20

【 0 0 8 5 】

このように、 $S72a = H$ 、かつ、 $S72c = L$ であるときには、外部端子 T_2 が負荷オープンしていると判別することができる。

【 0 0 8 6 】

図 10 は、天絡検出動作の一例を示す図であり、先の図 9 と同じく、上から順に、電流検出信号 $SENSE$ 、出力電圧 V_o 、出力異常検出信号 $S72a$ 、オン抵抗制御信号 $S72b$ 、及び、判別信号 $S72c$ が描写されている。

30

【 0 0 8 7 】

時刻 t_2 以前には、外部端子 T_2 の天絡が発生しておらず、フルオンされた $NMOSFET10$ に出力電流 I_o が適切に流れている。従って、電流検出信号 $SENSE$ は、閾値電圧 V_{TH} よりも高くなっている。また、出力電圧 V_o は、電源電圧 V_{BB} よりも $NMOSFET10$ のドレイン・ソース間電圧 V_0 だけ低い電圧 $V_{BB} - V_0$ となっている。

【 0 0 8 8 】

また、時刻 t_2 以前には、 $SENSE > V_{TH}$ であることから、 $S72a = L$ (異常未検出時の論理レベル) となっている。従って、オン抵抗制御信号 $S72b$ 及び判別信号 $S72c$ は、いずれもディセーブル (例えばハイインピーダンス) とされている。このように、時刻 t_2 以前の挙動は、当然のことながら、図 9 の時刻 t_1 以前と全く同様である。

40

【 0 0 8 9 】

時刻 t_2 において、外部端子 T_2 の天絡が発生すると、 $NMOSFET10$ に出力電流 I_o が殆ど流れなくなる (先出の図 6 を参照)。従って、電流検出信号 $SENSE$ は、閾値電圧 V_{TH} よりも低くなる。

【 0 0 9 0 】

このとき、 $S72a = H$ (異常検出時の論理レベル) となるので、コンパレータ $72b$ がイネーブルとなる。従って、時刻 t_2 以降、オン抵抗制御信号 $S72b$ に応じて、 $NMOSFET10$ のオン抵抗 R_{on} (延いてはドレイン・ソース間電圧 V_{ds}) が制御されるようになる。

50

【 0 0 9 1 】

ただし、外部端子 T 2 が天絡している場合には、N M O S F E T 1 0 のオン抵抗 R_{on} に依ることなく、出力電圧 V_o が外部要因（図 6 の短絡経路の抵抗成分 R_y 及び天絡電流 I_{vbb} を参照）で決まる。具体的には、出力電圧 V_o がほぼ電源電圧 V_{BB} となる。なお、オン抵抗制御信号 S_{72b} は、ローレベル（＝オン抵抗 R_{on} を引き下げるときの論理レベル）に張り付いた状態となる。

【 0 0 9 2 】

また、 $S_{72a} = H$ （異常検出時の論理レベル）になると、コンパレータ 7 2 c もインネプルとなる。従って、時刻 t_2 以降、出力電圧 V_o と第 2 電圧 $V_{BB} - V_2$ との比較結果に応じた判別信号 S_{72c} が出力される。本図に即して述べると、 $V_o (V_{BB}) > V_{BB} - V_2$ となるので、判別信号 S_{72c} がハイレベルとなる。

10

【 0 0 9 3 】

このように、 $S_{72a} = H$ 、かつ、 $S_{72c} = H$ であるときには、外部端子 T 2 が天絡していると判別することができる。

【 0 0 9 4 】

なお、N M O S F E T 1 0 のオフ期間であれば、出力電圧 V_o に基づいて負荷オープンと天絡を容易に判別することが可能である。しかしながら、出力異常検出信号 S_{72a} がハイレベル（＝異常検出時の論理レベル）に立ち上がったことを受けて、N M O S F E T 1 0 をフルオフし、その後改めて負荷オープンと天絡を判別するようなシーケンスでは、判別結果が得られるまでに長時間（例えば数百 μs ）を要する。

20

【 0 0 9 5 】

一方、上記で説明した出力異常検出回路 7 2 であれば、出力異常状態（ $S_{72a} = H$ ）の検出後、N M O S F E T 1 0 のフルオフを待たずに、遅滞なく負荷オープンと天絡を判別することができる。従って、半導体集積回路装置 1 が実装される電子機器（車載機器）の安全性を高めることが可能となる。

【 0 0 9 6 】

なお、制御ロジック部 4 0 では、例えば、2 ビットの出力異常報知信号 $F A I L$ を用意しておくことにより、正常（0 0）、地絡（0 1）、負荷オープン（1 0）、及び、天絡（1 1）をそれぞれ判別して、E C U 2 に報知することが可能となる。

【 0 0 9 7 】

< 車両への適用 >

図 1 1 は、車両の一構成例を示す外觀図である。本構成例の車両 X は、バッテリー（本図では不図示）と、バッテリーから電力供給を受けて動作する種々の電子機器 $X_{11} \sim X_{18}$ とを搭載している。なお、本図における電子機器 $X_{11} \sim X_{18}$ の搭載位置については、図示の便宜上、実際とは異なる場合がある。

30

【 0 0 9 8 】

電子機器 X_{11} は、エンジンに関連する制御（インジェクション制御、電子スロットル制御、アイドル制御、酸素センサヒータ制御、及び、オートクルーズ制御など）を行うエンジンコントロールユニットである。

【 0 0 9 9 】

電子機器 X_{12} は、H I D [high intensity discharged lamp] や D R L [daytime running lamp] などの点消灯制御を行うランプコントロールユニットである。

40

【 0 1 0 0 】

電子機器 X_{13} は、トランスミッションに関連する制御を行うトランスミッションコントロールユニットである。

【 0 1 0 1 】

電子機器 X_{14} は、車両 X の運動に関連する制御（A B S [anti-lock brake system] 制御、E P S [electric power steering] 制御、電子サスペンション制御など）を行うボディコントロールユニットである。

【 0 1 0 2 】

50

電子機器 X 1 5 は、ドアロックや防犯アラームなどの駆動制御を行うセキュリティコントロールユニットである。

【 0 1 0 3 】

電子機器 X 1 6 は、ワイパー、電動ドアミラー、パワーウィンドウ、ダンパー（ショックアブソーバー）、電動サンルーフ、及び、電動シートなど、標準装備品やメーカーオプション品として、工場出荷段階で車両 X に組み込まれている電子機器である。

【 0 1 0 4 】

電子機器 X 1 7 は、車載 A / V [audio/visual] 機器、カーナビゲーションシステム、及び、E T C [electronic toll collection system] など、ユーザオプション品として任意で車両 X に装着される電子機器である。

10

【 0 1 0 5 】

電子機器 X 1 8 は、車載プロア、オイルポンプ、ウォーターポンプ、バッテリー冷却ファンなど、高耐圧系モータを備えた電子機器である。

【 0 1 0 6 】

なお、先に説明した半導体集積回路装置 1、E C U 2、及び、負荷 3 は、電子機器 X 1 1 ~ X 1 8 のいずれにも組み込むことが可能である。

【 0 1 0 7 】

< その他の変形例 >

また、上記の実施形態では、車載用ハイサイドスイッチ L S I を例に挙げたが、本明細書中に開示されている発明の適用対象は、これに限定されるものではなく、車載用途以外のハイサイドスイッチ L S I にも広く適用することができる。

20

【 0 1 0 8 】

また、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

【 産業上の利用可能性 】

【 0 1 0 9 】

本明細書中に開示されている発明は、車載用 I P D などに利用することが可能である。

30

【 符号の説明 】

【 0 1 1 0 】

- 1 半導体集積回路装置（スイッチ装置）
- 2 E C U
- 3 負荷
- 4 外部センス抵抗
- 1 0 N M O S F E T（スイッチ素子）
- 2 0 出力電流監視部
- 2 1、2 2 N M O S F E T
- 2 3 センス抵抗
- 3 0 ゲート制御部
- 3 1 ゲートドライバ
- 3 1 1 ソース電流源
- 3 1 2 シンク電流源
- 3 1 3 コントローラ
- 3 2 オシレータ
- 3 3 チャージポンプ（昇圧部）
- 3 4 クランパ
- 3 5 N M O S F E T

40

50

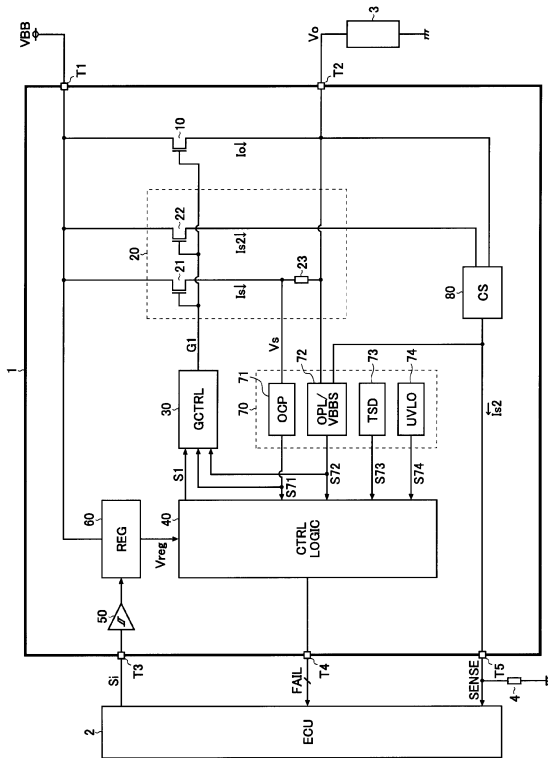
- 3 6 抵抗
- 3 7 キャパシタ
- 3 8 ツェナダイオード (クランプ素子)
- 4 0 制御ロジック部
- 5 0 信号入力部
- 6 0 内部電源部
- 7 0 異常保護部
- 7 1 過電流保護回路
- 7 2 出力異常検出回路
- 7 2 a、7 2 b、7 2 c コンパレータ
- 7 2 d、7 2 e 抵抗
- 7 2 f、7 2 g 電流源
- 7 3 温度保護回路
- 7 4 減電圧保護回路
- 8 0 出力電流検出部
- 8 1 アンプ
- 8 2 P M O S F E T
- R x、R y 抵抗成分
- T 1 ~ T 5 外部端子
- X 車両
- X 1 1 ~ X 1 8 電子機器

10

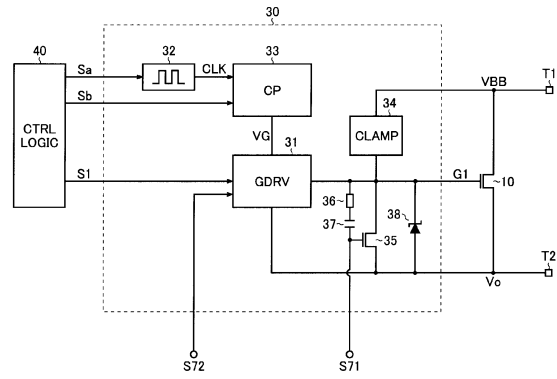
20

【図面】

【図 1】



【図 2】

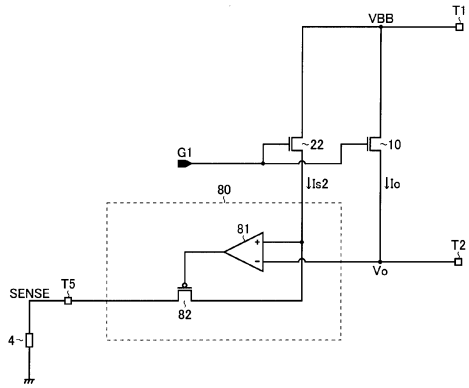


30

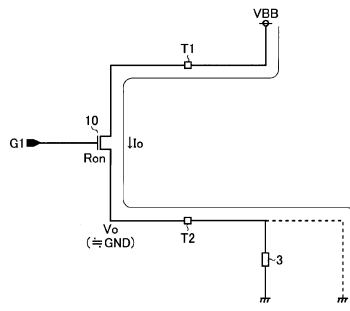
40

50

【 図 3 】

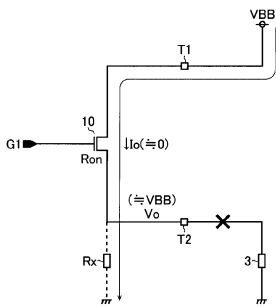


【 図 4 】

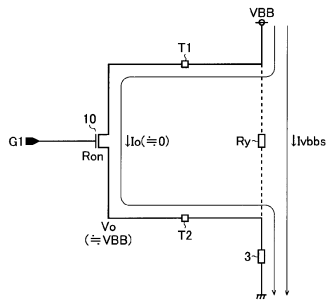


10

【 図 5 】



【 図 6 】



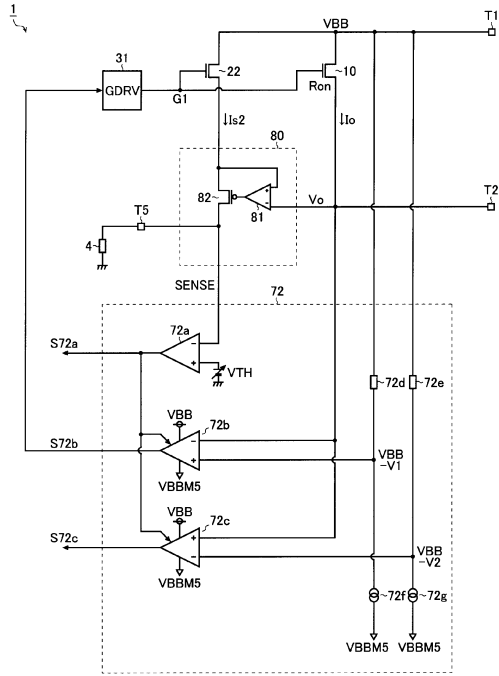
20

30

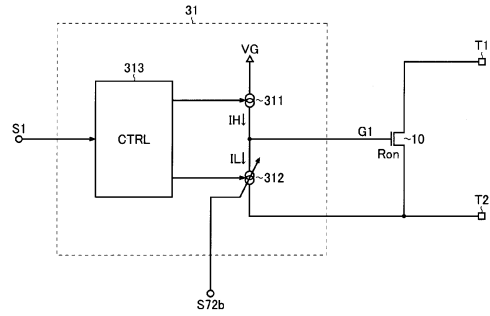
40

50

【 7 】



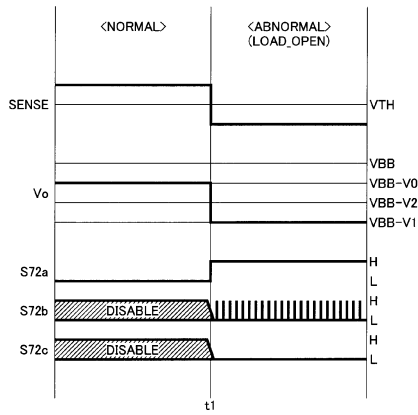
【 8 】



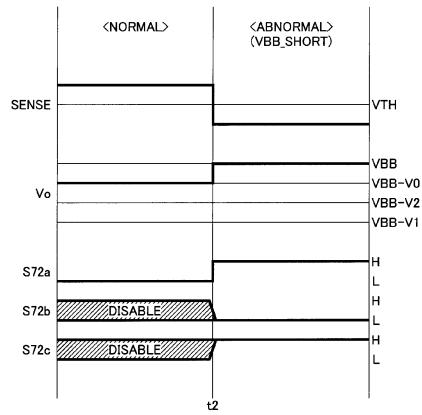
10

20

【 9 】



【 10 】

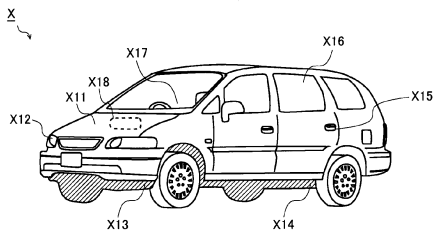


30

40

50

【 図 1 1 】



10

20

30

40

50

フロントページの続き

- (56)参考文献 国際公開第2018/047553(WO, A1)
特開2014-124090(JP, A)
特開2018-129908(JP, A)
国際公開第2017/187785(WO, A1)
中国特許出願公開第108390549(CN, A)
- (58)調査した分野 (Int.Cl., DB名)
H02M 1/00