



- *는 심사관에 의하여 인용된 문헌

- 이중희, 장수길, 김진백

심사관 : 관인구

(52) CPC특허분류

H02M 1/0009 (2021.05)

(72) 발명자

나가시마, 예이지

일본 108-8212 도쿄도 미나토구 고난 1-6-41 예프
디케이 가부시카가이샤 내

나가시마, 요시아스

일본 212-8510 가나가와켄 가와사끼시 사이와이꾸
신오구라 1-1 후지쯔 어드밴스드 테크놀로지스 가
부시끼가이샤 내

명세서

청구범위

청구항 1

부하에 접속될 수 있는 전원 장치에 있어서,

입력 단자로부터 입력되는 전류를 스위칭하는 제1 스위칭 소자와,

접지 전위와 상기 제1 스위칭 소자의 출력 간을 스위칭하는 제2 스위칭 소자와,

출력 단자와 상기 제1 스위칭 소자의 출력 간을 접속함과 함께, 상기 출력 단자 측의 단부에 설치된 제1 단자와, 상기 제1 스위칭 소자의 출력 측의 단부에 설치된 제2 단자와, 상기 제1 단자와 상기 제2 단자 간에 설치된 검출 단자를 갖는 인덕턴스 소자와,

상기 제1 단자와 상기 검출 단자에 접속되고, 상기 인덕턴스 소자에 흐르는 전류값에 기초하는 전압값을 출력하는 전류 검출 회로와,

상기 제1 스위칭 소자의 제1 제어 단자와 상기 제2 스위칭 소자의 제2 제어 단자를 제어함과 함께, 상기 전압값이 피크가 될 때 상기 전압값을 디지털 값으로 변환하고, 상기 디지털 값과, 상기 제1 단자와 상기 검출 단자 간의 상기 인덕턴스 소자의 등가 직렬 저항의 제1 저항값에 기초하여, 상기 인덕턴스 소자에 흐르는 전류의 피크값을 산출하고, 상기 피크값에 기초하여, 상기 부하에 흐르는 출력 전류값을 산출하는 제어 회로

를 갖는, 전원 장치.

청구항 2

제1항에 있어서,

상기 전원 장치는 또한, 상기 전류 검출 회로가 실장되는 기판을 갖고,

상기 인덕턴스 소자는 상기 기판의 내부 배선에 의하여 실현되는,

전원 장치.

청구항 3

제1항에 있어서,

상기 인덕턴스 소자는, 권취 수가 N 인 코일이고, 상기 제1 단자로부터의 권취 수가 N_a (단, $N > N_a$)인 위치로부터 상기 검출 단자가 인출되는,

전원 장치.

청구항 4

제1항에 있어서,

상기 인덕턴스 소자는 제1 인덕턴스 소자와 제2 인덕턴스 소자를 포함하고, 상기 제1 인덕턴스 소자와 상기 제2 인덕턴스 소자를 접속하는 접속선에 상기 검출 단자가 접속되는,

전원 장치.

청구항 5

제1항 또는 제4항 중 어느 한 항에 있어서,

상기 전원 장치는 또한, 상기 제1 제어 단자를 제어하는 제1 제어 신호 또는 상기 제2 제어 단자를 제어하는 제2 제어 신호 중 어느 한쪽이 입력되는 시상수 회로를 갖고,

상기 제어 회로는 상기 시상수 회로의 출력값과 상기 피크값에 기초하여 상기 출력 전류값을 산출하는,

전원 장치.

청구항 6

제1항에 있어서,

상기 제어 회로는, 산출한 상기 출력 전류값이 과전류인지의 여부를 검출하고, 상기 출력 전류값이 과전류인지 여부에 기초하여 상기 제1 제어 단자 및 상기 제2 제어 단자를 제어하는,

전원 장치.

청구항 7

제1항에 있어서,

상기 검출 단자는, 상기 전류 검출 회로에 포함되는 저항 소자와 커패시턴스 소자에 의한 직렬 회로의 일단에 접속되어 있고,

상기 저항 소자의 저항값과 상기 커패시턴스 소자의 커패시턴스값의 곱은, 상기 인덕턴스 소자의 상기 제1 단자로부터 상기 검출 단자까지의 제1 권취 수를 상기 인덕턴스 소자의 전체의 제2 권취 수로 나눈 값과, 상기 인덕턴스 소자의 인덕턴스값을 상기 인덕턴스 소자의 등가 직렬 저항의 제2 저항값에 의하여 나눈 값과의 곱과 동등한,

전원 장치.

청구항 8

부하에 접속될 수 있는 전원 장치의 제어 방법에 있어서,

상기 전원 장치가 갖는 제1 스위칭 소자가, 입력 단자로부터 입력되는 전류를 스위칭하고,

상기 전원 장치가 갖는 제2 스위칭 소자가 접지 전위와 상기 제1 스위칭 소자의 출력 간을 스위칭하고,

상기 전원 장치의 출력 단자와 상기 제1 스위칭 소자의 출력 간을 접속함과 함께, 상기 출력 단자 측의 단부에 설치된 제1 단자와, 상기 제1 스위칭 소자의 출력 측의 단부에 설치된 제2 단자와, 상기 제1 단자와 상기 제2 단자 간에 설치된 검출 단자를 갖는 인덕턴스 소자의 상기 제1 단자와 상기 검출 단자에 접속되는 전류 검출 회로가 상기 인덕턴스 소자에 흐르는 전류값에 기초하는 전압값을 출력하고,

상기 전원 장치가 갖는 제어 회로가 상기 제1 스위칭 소자의 제1 제어 단자와 상기 제2 스위칭 소자의 제2 제어 단자를 제어함과 함께, 상기 전압값이 피크가 될 때 상기 전압값을 디지털 값으로 변환하고, 상기 디지털 값과, 상기 제1 단자와 상기 검출 단자 간의 상기 인덕턴스 소자의 등가 직렬 저항의 제1 저항값에 기초하여, 상기 인덕턴스 소자에 흐르는 전류의 피크값을 산출하고, 상기 피크값에 기초하여, 상기 부하에 흐르는 출력 전류값을 산출하는,

전원 장치의 제어 방법.

발명의 설명

기술 분야

[0001] 본 발명은 전원 장치, 및 전원 장치의 제어 방법에 관한 것이다.

배경 기술

[0002] 통신 기지국, 정보 처리 장치(서버 등), 또는 프로세서 모듈 등에 있어서, 스위칭 소자를 포함하는 전원 장치(스위칭 전원 장치)가 이용되고 있다. 종래, 전원 장치를, 마이크로컨트롤러 등의 제어 회로를 이용하여 디지털 제어하는 것이 행해지고 있다. 디지털 제어를 행함으로써 스위칭 소자의 스위칭 타이밍을 정밀하게 제어할 수 있고, 또한 다양한 기능을 소프트웨어에서 실장할 수 있다는 장점이 있다.

[0003] 디지털 제어 방식을 이용하는 전원 장치에 있어서, 제어 회로는, 부하에 흐르는 출력 전류값을 계산으로 구하여 출력 전압값의 제어나 과전류의 방지에 이용한다. 출력 전류값은, 전원 회로의 출력 단자와 스위칭 소자 간에

접속되어 있는 인덕턴스 소자에 흐르는 전류값을 이용하여 산출할 수 있다.

[0004] 인덕턴스 소자에 흐르는 전류값을 검출하기 위한 전류 검출 회로에는, 인덕턴스 소자에 병렬로 접속되는 필터 회로가 마련되는 경우가 있다. 필터 회로는, 저항 소자와 커패시턴스 소자에 의한 직렬 회로이다. 커패시턴스 소자의 양단의 전위차 v_c 에 기초하여, 인덕턴스 소자에 흐르는 전류값이 검출된다. 인덕턴스 소자의 인덕턴스 값을 L , 인덕턴스 소자의 등가 직렬 저항(ESR: Equivalent Series Resistance)을 RL , 필터 회로의 저항 소자의 저항값을 R_f , 커패시턴스 소자의 커패시턴스값을 C_f 라 한다. $L/RL=R_f \cdot C_f$ 로 되도록 설계함으로써 전위차 v_c 가 $v_c=RL \cdot i_L$ (i_L 은 인덕턴스 소자에 흐르는 전류값)로 되어, 인덕턴스 소자의 주파수 특성에 의존하지 않게 된다. 이와 같은 전류 검출 회로에서는 적은 손실로, 인덕턴스 소자에 흐르는 전류값을 검출할 수 있다.

[0005] 또한 인덕턴스 소자의 하나로, 프린트 기판 상에 형성된 배선 패턴을 코일의 권취선으로서 이용하는 플레이어형 인덕터가 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 특허 공표 제2009-537112호 공보
(특허문헌 0002) 일본 특허 공개 제2000-227808호 공보
(특허문헌 0003) 일본 특허 공개 제2009-136139호 공보

비특허문헌

[0007] (비특허문헌 0001) Hassan PooyaForghani-zadeh, "Current-Sensing Techniques for DC-DC Converters", Circuits and Systems, 2002. MWSCAS-2002. The 2002 45th Midwest Symposium
(비특허문헌 0002) Decarlo, "Linear Circuit Analysis", second edition, Oxford University Press, 2001, pp. 140-141
(비특허문헌 0003) Aymen Ammouri, et al., "Design and Modeling of planar Magnetic Inductors for Power Converters Applications", ICMIC 2015

발명의 내용

해결하려는 과제

[0008] 그런데 전원 장치의 출력 전압이 커질수록 리플 전류를 적게 하기 위하여 인덕턴스값 L 이 커지도록 설계된다. 인덕턴스값 L 이 커지면 $L/RL=R_f \cdot C_f$ 의 관계를 만족시키기 위하여 $R_f \cdot C_f$ 가 커지도록 설계된다. 커패시턴스값 C_f 가 커지면 손실이 증대되기 때문에 저항값 R_f 를 크게 하게 되는데, 그 경우, 전위차 $v_c=RL \cdot i_L$ 의 식으로부터의 오차가 증대되어 전류값 i_L 의 검출 정밀도가 악화되어, 부하에 흐르는 출력 전류값의 산출 정밀도가 악화된다는 문제가 있었다.

[0009] 일 측면에서는, 본 발명은, 부하에 흐르는 출력 전류값을 고정밀도로 산출할 수 있는 전원 장치, 및 전원 장치의 제어 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0010] 일 실시 양태에서는, 제1 스위칭 소자와 제2 스위칭 소자와 인덕턴스 소자와 전류 검출 회로와 제어 회로를 갖고, 부하에 접속될 수 있는 전원 장치가 제공된다.

[0011] 제1 스위칭 소자는, 입력 단자로부터 입력되는 전류를 스위치한다. 제2 스위칭 소자는 접지 전위와 제1 스위칭 소자의 출력 간을 스위치한다. 인덕턴스 소자는 출력 단자와 제1 스위칭 소자의 출력 간을 접속함과 함께, 검출 단자를 갖는다. 전류 검출 회로는, 인덕턴스 소자에 흐르는 전류값을 검출 단자로부터 검출한다. 제어 회로는 제1 스위칭 소자의 제1 제어 단자와 제2 스위칭 소자의 제2 제어 단자를 제어함과 함께, 전류 검출 회로가

검출하는 전류값에 기초하여, 부하에 흐르는 출력 전류값을 산출한다.

[0012] 또한 일 실시 양태에서는, 전원 장치의 제어 방법이 제공된다.

발명의 효과

[0013] 일 측면에서는, 본 발명은, 부하에 흐르는 출력 전류값을 고정밀도로 산출할 수 있다.

[0014] 본 발명의 상기 및 다른 목적, 특징 및 이점은, 본 발명의 예로서 바람직한 실시 형태를 나타내는 첨부 도면과 관련된 이하의 설명에 의하여 밝혀질 것이다.

도면의 간단한 설명

[0015] 도 1은 제1 실시 형태의 전원 장치의 일례를 도시하는 도면이다.

도 2는 CPU의 기능의 일례를 도시하는 기능 블록도이다.

도 3은 플레이어형 인덕터의 일례를 도시하는 사시도이다.

도 4는 제1 실시 형태의 전원 장치의 인덕턴스 소자의 일례를 도시하는 평면도이다(그 첫 번째).

도 5는 제1 실시 형태의 전원 장치의 인덕턴스 소자의 일례를 도시하는 평면도이다(그 두 번째).

도 6은 비교예의 전원 장치를 도시하는 도면이다.

도 7은 직류의 동작점을 고려한 전류 검출 회로의 등가 회로를 도시하는 도면이다.

도 8은 제1 실시 형태의 전원 장치의 인덕턴스 소자와 전류 검출 회로의 접속 부분의 등가 회로를 도시하는 도면이다.

도 9는 PWM 회로가 출력하는 제어 신호와 시상수 회로의 출력값의 일례를 나타내는 도면이다.

도 10은 제1 실시 형태의 전원 장치의 동작의 일례를 나타내는 타이밍 차트이다.

도 11은 제1 실시 형태의 전원 장치의 동작의 일례의 흐름을 도시하는 흐름도이다(그 첫 번째).

도 12는 제1 실시 형태의 전원 장치의 동작의 일례의 흐름을 도시하는 흐름도이다(그 두 번째).

도 13은 제1 실시 형태의 전원 장치의 동작의 일례의 흐름을 도시하는 흐름도이다(그 세 번째).

도 14는 PWM 회로가 출력하는 제어 신호와 시상수 회로의 출력값의 일례를 나타내는 도면이다.

도 15는 제2 실시 형태의 전원 장치의 인덕턴스 소자의 일례를 도시하는 도면이다.

도 16은 제3 실시 형태의 전원 장치의 인덕턴스 소자의 일례를 도시하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0016] 이하, 발명을 실시하기 위한 형태를, 도면을 참조하면서 설명한다.

[0017] (제1 실시 형태)

[0018] 도 1은, 제1 실시 형태의 전원 장치의 일례를 도시하는 도면이다.

[0019] 전원 장치(10)는, 전원(20)으로부터 공급되는 입력 전압의 크기를 변환하여, 부하 저항(30a)를 갖는 부하(30)에 공급한다.

[0020] 전원 장치(10)는 스위칭 소자(11, 12), 인덕턴스 소자(13a), 전류 검출 회로(14), 커패시턴스 소자(15), 제어 회로(16), 게이트 드라이버(17), 시상수 회로(18)를 갖는다.

[0021] 스위칭 소자(11)는, 전원 장치(10)의 입력 단자 IN으로부터 입력되는 전류를 스위칭한다. 스위칭 소자(12)는 접지 전위와 스위칭 소자(11)의 출력 간을 스위칭한다. 스위칭 소자(11, 12)는, 예를 들어 n채널형 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 등이다.

[0022] 스위칭 소자(11, 12)는 각각 2개의 단자와 제어 단자를 갖는다. 스위칭 소자(11, 12)가 n채널형 MOSFET인 경우에는, 2개의 단자는 드레인/소스 단자이고 제어 단자는 게이트 단자이다.

- [0023] 스위칭 소자(11)의 한쪽 단자는 입력 단자 IN에 접속되고, 다른 쪽 단자는 스위칭 소자(12)의 한쪽 단자, 및 후술하는 등가 직렬 저항(13c1)을 통하여 인덕턴스 소자(13a)의 한쪽 단자에 접속되어 있다. 스위칭 소자(12)의 다른 쪽 단자는 접지되어 있다. 또한 접지 전위는, 반드시 0V는 아니어도 되며 다소 변동되어도 된다. 스위칭 소자(11, 12)의 제어 단자는 게이트 드라이버(17)에 접속되어 있다. 또한 스위칭 소자(11)가 온일 때는 스위칭 소자(12)는 오프, 스위칭 소자(11)가 오프일 때는 스위칭 소자(12)는 온으로 제어된다.
- [0024] 인덕턴스 소자(13a)는 전원 장치(10)의 출력 단자 OUT과 스위칭 소자(11)의 출력 간을 접속한다. 인덕턴스 소자(13a)의 일단은 등가 직렬 저항(13c1)을 통하여 스위칭 소자(11)의 다른 쪽 단자(출력 단자)에 접속되어 있고, 인덕턴스 소자(13a)의 타단은 등가 직렬 저항(13c2)을 통하여 출력 단자 OUT에 접속되어 있다.
- [0025] 또한 인덕턴스 소자(13a)는 검출 단자(이하, 검출 탭이라 칭함)(13b)를 갖고 있다. 제1 실시 형태의 전원 장치(10)에 있어서, 검출 탭(13b)은, 인덕턴스 소자(13a)의 권취 수를 N이라고 하면, 출력 단자 OUT측으로부터 권취 수 Na(단, $N > Na$)의 위치에 마련되어 있다. 등가 직렬 저항(13c1)은 인덕턴스 소자(13a)의 권취 수 $N - Na$ 측의 부분의 등가 직렬 저항이고, 등가 직렬 저항(13c2)은 인덕턴스 소자(13a)의 권취 수 Na측의 등가 직렬 저항이다.
- [0026] 전류 검출 회로(14)는, 인덕턴스 소자(13a)에 흐르는 전류값을 검출 탭(13b)으로부터 검출한다.
- [0027] 전류 검출 회로(14)는 커패시턴스 소자(14a), 저항 소자(14b, 14c, 14d, 14e, 14f, 14g, 14h), 증폭기(14i), 바이어스 전원(14j)을 갖는다.
- [0028] 커패시턴스 소자(14a)와 저항 소자(14b)는 직렬로 접속되어 있으며, 커패시턴스 소자(14a)와 저항 소자(14b)에 의한 직렬 회로는 필터 회로로서 기능한다. 이 직렬 회로의 일단(저항 소자(14b)의 일단)은 인덕턴스 소자(13a)의 검출 탭(13b)에 접속되어 있다. 직렬 회로의 타단(커패시턴스 소자(14a)의 일단)은 등가 직렬 저항(13c2)을 통하여 인덕턴스 소자(13a)의 일단(출력 단자 OUT측)에 접속되어 있음과 함께, 저항 소자(14c)의 일단에 접속되어 있다.
- [0029] 저항 소자(14c)의 타단은 증폭기(14i)의 반전 입력 단자에 접속되어 있다. 저항 소자(14d)의 일단은 커패시턴스 소자(14a)와 저항 소자(14b) 간에 접속되어 있고, 저항 소자(14d)의 타단은 증폭기(14i)의 비반전 입력 단자에 접속되어 있다. 저항 소자(14e)의 일단은 바이어스 전원(14j)에 접속되어 있고, 저항 소자(14e)의 타단은 증폭기(14i)의 비반전 입력 단자에 접속되어 있다. 저항 소자(14f)의 일단은 증폭기(14i)의 비반전 입력 단자에 접속되어 있고, 저항 소자(14f)의 타단은 접지되어 있다. 저항 소자(14g)의 일단은 증폭기(14i)의 반전 입력 단자에 접속되어 있고, 저항 소자(14g)의 타단은 접지되어 있다. 저항 소자(14h)의 일단은 증폭기(14i)의 출력 단자에 접속되어 있고, 저항 소자(14h)의 타단은 증폭기(14i)의 반전 입력 단자에 접속되어 있다. 증폭기(14i)는 상기 접속에 의하여 차동 증폭기로서 기능한다. 바이어스 전원(14j)은, 증폭기(14i)에 공급하는 바이어스 전압을 생성한다.
- [0030] 커패시턴스 소자(15)는, 부하(30)에 공급하는 출력 전압을 유지한다. 또한 커패시턴스 소자(15)는 인덕턴스 소자(13a)와 함께 LC 필터로서 기능한다. LC 필터는 출력 전압값을 평활화한다. 커패시턴스 소자(15)의 일단은 출력 단자 OUT에 접속되어 있고, 커패시턴스 소자(15)의 타단은 접지되어 있다.
- [0031] 제어 회로(16)는 스위칭 소자(11, 12)의 각각의 제어 단자를 제어한다. 또한 제어 회로(16)는, 전류 검출 회로(14)가 검출하는 인덕턴스 소자(13a)의 전류값에 기초하여, 부하(30)에 흐르는 출력 전류값을 산출한다. 또한 제1 실시 형태의 전원 장치(10)에서는, 제어 회로(16)는 출력 전류값의 계산 시에, 스위칭 소자(12)의 제어 단자를 제어하는 제어 신호가 입력되는 시상수 회로(18)의 출력값을 이용한다. 단, 제어 회로(16)는 출력 전류값의 계산 시에, 반드시 시상수 회로(18)의 출력값을 이용하지는 않아도 된다.
- [0032] 제어 회로(16)는 CPU(Central Processing Unit)(16a), 메모리(16b), ADC(Analog to Digital Converter)(16c, 16d, 16e, 16f), PWM(Pulse Width Modulation) 회로(16g)를 갖는다. 제어 회로(16)는, 예를 들어 MCU(Micro Control Unit)이다.
- [0033] CPU(16a)는, 메모리(16b)에 기억되어 있는 프로그램을 실행하여, 시상수 회로(18)의 출력값과, 인덕턴스 소자(13a)의 전류값과, 출력 단자 OUT으로부터 출력되는 출력 전압값을 이용하여, 부하(30)에 흐르는 출력 전류값을 산출한다. 그리고 CPU(16a)는, 출력 전압값이 목표값으로 되도록 스위칭 펄스의 듀티비를 결정하여 PWM 회로(16g)에 송신한다. 또한 CPU(16a)는, 출력 전류값이 과전류인지의 여부를 판정하여 과전류인 경우에는 PWM 회로(16g)에 정지 신호를 송신한다.
- [0034] 도 2는, CPU의 기능의 일례를 도시하는 기능 블록도이다.

- [0035] CPU(16a)는 전압 피드백 제어부(16a1)와 과전류 보호 제어부(16a2)의 기능을 실행한다.
- [0036] 전압 피드백 제어부(16a1)는, 전원 장치(10)의 출력 전압값과 목표값의 차와, 과전류 보호 제어부(16a2)의 출력값에 기초하여, 스위칭 펄스의 듀티비를 결정하여 출력한다.
- [0037] 전압 피드백 제어부(16a1)는 출력 전압값 변환부(16a11), 감산부(16a12, 16a13), 보상부(16a14)를 갖는다. 출력 전압값 변환부(16a11)는, ADC(16d)가 출력하는, 전원 장치(10)의 출력 전압값의 AD 변환 결과를 받아, CPU(16a)가 계산에서 취급하는 출력 전압값으로 변환한다. 감산부(16a12)는 출력 전압값과 목표값의 차분을 출력한다. 감산부(16a13)는, 출력 전압값과 목표값의 차분으로부터 과전류 보호 제어부(16a2)의 출력값(후술하는 제어값)을 차감한 값을 출력한다. 보상부(16a14)는 감산부(16a13)의 출력값에 기초하여 듀티비를 결정하여 출력한다.
- [0038] 과전류 보호 제어부(16a2)는, 전류 검출 회로(14)가 검출하는 인덕턴스 소자(13a)에 흐르는 전류값에 기초하여, 전원 장치(10)의 출력 전류값을 산출하여 그 출력 전류값이 과전류인지의 여부를 판정한다. 그리고 과전류 보호 제어부(16a2)는, 출력 전류값이 과전류인 경우에는 PWM 회로(16g)를 정지시키거나, 또는 출력 전압값의 크기를 작게 하기 위한 제어값을 출력한다.
- [0039] 과전류 보호 제어부(16a2)는 출력 전류값 산출부(16a21), 과전류 검출부(16a22)를 갖는다. 출력 전류값 산출부(16a21)는, ADC(16c)가 출력하는 전류 검출 회로(14)의 전류 검출 결과의 AD 변환 결과와, ADC(16d)가 출력하는 출력 전압값의 AD 변환 결과와, ADC(16e)가 출력하는 시상수 회로(18)의 출력값의 AD 변환 결과에 기초하여 출력 전류값을 산출한다. 과전류 검출부(16a22)는, 출력 전류값이 과전류인지의 여부를 판정한다. 그리고 과전류 검출부(16a22)는, 출력 전류값이 과전류인 경우에는 PWM 회로(16g)를 정지시키거나, 또는 출력 전압값의 크기를 작게 하기 위한 제어값을 출력한다.
- [0040] 도 1의 설명으로 되돌아간다.
- [0041] 메모리(16b)는, CPU(16a)가 실행하는 프로그램이나 각종 데이터를 저장한다.
- [0042] ADC(16c 내지 16f)는 제어 회로(16)의 입력 신호를 디지털 신호로 변환하여 CPU(16a)에 공급한다. 도 1의 예에서는, ADC(16c)는, 전류 검출 회로(14)가 출력하는 전류 검출 결과를 AD 변환하여 출력한다. 또한 ADC(16d)는 아날로그값의 출력 전압값을 AD 변환하여 출력한다. 또한 ADC(16e)는 아날로그값의 시상수 회로(18)의 출력값을 AD 변환하여 출력한다. 또한 ADC(16f)는 없어도 된다.
- [0043] PWM 회로(16g)는 게이트 제어 회로의 일레이며, CPU(16a)로부터 공급되는 듀티비에 기초하는 스위치 동작을 스위칭 소자(11, 12)에 실행시키기 위한, 스위칭 소자(11, 12)의 각각의 제어 신호(게이트 제어 신호)를 출력한다.
- [0044] 게이트 드라이버(17)는, 제어 회로(16)가 출력하는 각 제어 신호에 기초하여, 스위칭 소자(11, 12)의 각각의 제어 단자에 공급하는 제어 전압(예를 들어 n채널형 MOSFET의 게이트 전압)을 출력한다.
- [0045] 시상수 회로(18)는 적분 회로(또는 저역 통과 필터)로서 기능하며, 스위칭 소자(12)를 제어하기 위한 제어 신호에 대하여 필터링한 출력값을 출력한다. 시상수 회로(18)는, 일단에 상기 제어 신호를 받는 저항 소자(18a)와, 저항 소자(18a)의 타단에 일단을 접속한 커패시턴스 소자(18b)를 갖고 있다. 저항 소자(18a)의 타단은 또한 제어 회로(16)의 ADC(16e)에 접속되어 있고, 커패시턴스 소자(18b)의 타단은 접지되어 있다.
- [0046] (인덕턴스 소자(13a)의 예)
- [0047] 도 1에 도시하는 인덕턴스 소자(13a)로서 플레이너형 인덕터를 이용할 수 있다.
- [0048] 도 3은, 플레이너형 인덕터의 일례를 도시하는 사시도이다.
- [0049] 플레이너형 인덕터(40)는, 기판(41)에 코일로서 형성되는 배선 패턴(42)과, 페라이트 코어 등의 코어재(43a, 43b)를 갖는다.
- [0050] 코일의 권취 수가 많은 경우에는, 도시하지 않은 비아를 이용하여 기판(41)의 복수의 층(도 3의 예에서는 2개의 층(41a, 41b))에 걸쳐 배선 패턴(42)이 형성된다.
- [0051] 코어재(43a, 43b)는 기판(41)을 사이에 두도록 마련된다. 기판(41)에는 개구부(41c)가 마련되어 있으며, 코어재(43a, 43b)의 볼록부끼리가 개구부(41c)에서 접하도록 되어 있다.

- [0052] 제1 실시 형태의 전원 장치(10)의 인덕턴스 소자(13a)는, 상기와 같은 플레이너형 인덕터에 검출 탭을 마련함으로써 실현된다.
- [0053] 도 4, 도 5는, 제1 실시 형태의 전원 장치의 인덕턴스 소자의 일례를 도시하는 평면도이다.
- [0054] 기관(50)에는, 도 1에 도시한 전류 검출 회로(14)가 실장된다. 도 4에는, 전류 검출 회로(14)의 일부인 캐패시턴스 소자(14a)와 저항 소자(14b)가 도시되어 있다. 이와 같은 기관(50)에 인덕턴스 소자(13a)도 실장된다.
- [0055] 도 4, 도 5에 도시되어 있는 바와 같이, 기관(50)의 2개의 층(50a, 50b)의 내부 배선인 배선 패턴(51a, 51b, 51c)에 의하여 인덕턴스 소자(13a)의 코일이 실현되어 있다. 층(50a)에 형성되어 있는 배선 패턴(51a)은, 배선 패턴(51a)의 일단에 접속되는 비아(52a)를 통하여 층(50b)의 배선 패턴(51c)의 일단에 접속되어 있다. 층(50b)의 배선 패턴(51c)은, 배선 패턴(51c)의 타단에 접속되어 있는 비아(52b)를 통하여 층(50a)의 배선 패턴(51b)에 접속되어 있다. 배선 패턴(51b)은 도 1의 등가 직렬 저항(13c1)의 일단(스위칭 소자(11, 12)측의 단)에 상당하고, 배선 패턴(51a)의 단부(51a1)는 도 1의 등가 직렬 저항(13c2)의 일단(출력 단자 OUT측의 단)에 상당한다.
- [0056] 도 4의 인덕턴스 소자(13a)의 권취 수는 3이며, 배선 패턴(51a)에 있어서, 단부(51a1)로부터 1회 권취의 부분(51a2)이 배선 패턴(53a)을 통하여 전류 검출 회로(14)의 저항 소자(14b)의 일단에 접속되어 있다. 이 부분(51a2)이 검출 탭(13b)에 상당한다.
- [0057] 또한 배선 패턴(51a)에 있어서, 단부(51a1)는 배선 패턴(53b)을 통하여 전류 검출 회로(14)의 커패시턴스 소자(14a)의 일단에 접속되어 있다.
- [0058] 또한 인덕턴스 소자(13a)는 페라이트 코어 등의 코어재(54)를 갖는다. 코어재(54)는, 기관(50)에 마련된 개구부(50c, 50d)를 통하여 배선 패턴(51a)의 일부를 덮도록 마련된다.
- [0059] (출력 전류값의 산출 방법)
- [0060] 도 2의 출력 전류값 산출부(16a21)는, 예를 들어 이하의 식 (1)에 기초하여 출력 전류값 I_{out} 을 산출한다.
- [0061]
$$I_{out} = I_{peak} - (1 - V_o/E) \cdot k \cdot V_o \quad (1)$$
- [0062] 식 (1)에 있어서, I_{peak} 는, 인덕턴스 소자(13a)에 흐르는 전류의 피크값인 피크 전류값이다. V_o 는 출력 전압값, E 는 입력 전압값이다. 또한 $k = (1/2) \cdot (1/L) \cdot (1/f_{sw})$ 이고, L 은 인덕턴스 소자(13a)의 인덕턴스값, f_{sw} 는 스위칭 주파수이다. 또한 k 는, 예를 들어 미리 메모리(16b)에 기억되어 있다.
- [0063] 피크 전류값 I_{peak} 는 이하와 같이 하여 얻어진다.
- [0064] 전류 검출 회로(14)가 출력하는 전류 검출 결과는 전압값(이하, 전압값 V_{sense} 라 함)으로 표시된다. 전압값 V_{sense} 는, 인덕턴스 소자(13a)에 흐르는 전류값 i_L 에 기초하는 값으로 된다. ADC(16c)는, 전압값 V_{sense} 가 피크로 되는 타이밍에 AD 변환을 행한다. 그리고 출력 전류값 산출부(16a21)는 그 AD 변환 결과를, 등가 직렬 저항(13c2)의 저항값과, 증폭기(14i)의 증폭률 A 로 나눔으로써, 피크 전류값 I_{peak} 를 산출한다.
- [0065] 제1 실시 형태의 전원 장치(10)에서는, 상기와 같은 검출 탭(13b)을 갖는 인덕턴스 소자(13a)를 가짐으로써, 전류값 i_L 의 검출 정밀도가 높아져 고정밀도로 피크 전류값 I_{peak} 를 산출할 수 있기 때문에, 출력 전류값 I_{out} 을 고정밀도로 산출할 수 있다.
- [0066] 이하, 그 이유를 설명하기 위하여 먼저, 비교예의 전원 장치를 설명한다.
- [0067] 도 6은, 비교예의 전원 장치를 도시하는 도면이다. 도 6에 있어서 도 1과 동일한 요소에 대해서는 동일 부호가 붙여져 있다.
- [0068] 비교예의 전원 장치(10a)에서는, 커패시턴스 소자(14a)와 저항 소자(14b)에 의한 직렬 회로가 인덕턴스 소자(13a)에 대하여 병렬로 접속되어 있다.
- [0069] 이와 같은 전원 장치(10a)에 있어서, 커패시턴스 소자(14a)의 양단의 전위차 v_c 는 이하의 식 (2)로 나타낼 수 있다.
- [0070]
$$v_c = RL\{(1+sT)/(1+sT_1)\}i_L \quad (2)$$
- [0071] 식 (2)에 있어서, RL 은 인덕턴스 소자(13a)의 등가 직렬 저항(13c)의 저항값이고, s 는 라플라스 변환 기호를 나타내고 있다. 또한 $T = L/RL$, $T_1 = R_f \cdot C_f$ 를 나타내고 있다. L 은 인덕턴스 소자(13a)의 인덕턴스값, R_f 는 저항 소

자(14b)의 저항값, C_f 는 커패시턴스 소자(14a)의 커패시턴스값이다.

[0072] 식 (2)에 있어서, $T=T_1$ 으로 되도록 설계함으로써, 전위차 v_c 가 $v_c=RL \cdot i_L$ 로 되어, 인덕턴스 소자(13a)의 주파수 특성에 의존하지 않게 된다.

[0073] 이때, 증폭기(14i)가 출력하는 전류 검출 결과인 전압값 V_{sense} 는 이하의 식 (3)으로 나타낼 수 있다.

[0074]
$$V_{sense}=A \cdot RL \cdot i_L \quad (3)$$

[0075] 식 (3)에 있어서, A 는 증폭기(14i)의 증폭률이다.

[0076] 비교예의 전원 장치(10a)에 있어서, 제어 회로(16)는 식 (3)에 기초하여, 전류값 i_L 의 피크값인 피크 전류값 I_{peak} 를 산출하고, 식 (1)에 기초하여 출력 전류값 I_{out} 을 산출한다.

[0077] 그러나 비교예의 전원 장치(10a)에서는, 인덕턴스값 L 이 커지면 전압값 V_{sense} 가, 상기 식 (3)에서 얻어지는 값으로부터 어긋나게 된다.

[0078] $T=T_1$, 즉, $L/RL=R_f \cdot C_f$ 의 관계를 만족시키기 위하여, 인덕턴스값 L 이 커지면 저항값 R_f 또는 커패시턴스값 C_f 를 크게 하면 된다. 그러나 커패시턴스값 C_f 를 크게 하면 손실이 증대된다. 손실 P_{rf} 는 이하의 식 (4)로 나타낼 수 있다.

[0079]
$$P_{rf}=0.5C_f \cdot E^2 \cdot f_{sw} \quad (4)$$

[0080] 식 (4)에 있어서, f_{sw} 는 전원 장치(10a)의 스위칭 주파수이다. 식 (4)로부터 밝혀진 바와 같이, 손실 P_{rf} 는 커패시턴스값 C_f 에 비례하여 증가한다.

[0081] 한편, 저항값 R_f 가 커지면, 이하의 이유에 의하여 전압값 V_{sense} 가, 상기 식 (3)에서 얻어지는 값으로부터 어긋나게 된다.

[0082] 저항값 R_f 가 커졌을 때의 증폭기(14i)의, 동작점에 대한 영향을 이하에 설명한다.

[0083] 도 7은, 직류의 동작점을 고려한 전류 검출 회로의 등가 회로를 도시하는 도면이다. 도 7에 있어서, 도 6에 도시한 전류 검출 회로(14)와 마찬가지로의 요소에 대해서는 동일 부호가 붙여져 있다.

[0084] 등가 회로(60)에 있어서, 저항 소자(14b)의 일단에 접속되어 있는 전원(61)에 의하여 공급되는 전압값 E_1 은, 도 6의 전원(20)에 의하여 공급되는 입력 전압값 E 를 나타내고 있다. 또한 저항 소자(14c)의 일단에 접속되는 전원(62)에 의하여 공급되는 전압값 E_2 는 전원 장치(10a)의 출력 전압값 V_o 를 나타내고 있다.

[0085] 또한 도 7에는 저항 소자(14b, 14c, 14d, 14g, 14h)의 저항값이 표기되어 있다. 저항 소자(14b)의 저항값은 R_f , 저항 소자(14c)의 저항값은 R_1 , 저항 소자(14d)의 저항값은 R_2 , 저항 소자(14g)의 저항값은 R_4 , 저항 소자(14h)의 저항값은 R_3 이다.

[0086] 이하, $G_1=1/R_1$, $G_2=1/R_2$, $G_3=1/R_3$, $G_4=1/R_4$, $G_2f=1/(R_2+R_f)$ 라고 하면, 전압값 V_{sense} 는, 예를 들어 비특허문헌 2의 p. 140, 141의 계산 방법에 기초하여 이하와 같이 산출된다.

[0087] 먼저, 증폭기(14i)의 반전 입력 단자와 비반전 입력 단자로의 전류의 유입은 0이고, 증폭기(14i)의 비반전 입력 단자의 입력 전압 V_+ 와 반전 입력 단자의 입력 전압 V_- 는 동등한 것으로 한다. 이때, 비반전 입력 단자측의 전류의 합계는 이하의 식 (5)로 나타낼 수 있다.

[0088]
$$G_2f(V_+-E_1)+G_4 \cdot V_+=0 \quad (5)$$

[0089] V_+ 는 식 (5)로부터 이하의 식 (6)으로 나타낼 수 있다.

[0090]
$$V_+=G_2f \cdot E_1/(G_2f+G_4) \quad (6)$$

[0091] 한편, 반전 입력 단자측의 전류의 합계는 $V_-=V_+$ 인 것을 이용하면, 이하의 식 (7)로 나타낼 수 있다.

[0092]
$$G_1(V_+-E_2)+G_3(V_+-V_{sense})=0 \quad (7)$$

[0093] 식 (7)로부터 전압값 V_{sense} 는 이하의 식 (8)과 같이 나타낼 수 있다.

[0094]
$$V_{sense}=(-G_1 \cdot E_2/G_3)+\{1+(G_1/G_3)\}V_+ \quad (8)$$

- [0095] 식 (6)을 식 (8)에 대입하면, 식 (8)은 이하의 식 (9)와 같이 나타낼 수 있다.
- [0096]
$$Vsense = \{1 + (R3/R1)\} \{R4/(R4 + R2 + Rf)\} E1 - R3 \cdot E2/R1 \quad (9)$$
- [0097] 식 (9)에 있어서, 증폭기(14i)의 증폭률(게인) A를 이용하고, 또한 $R1=R2$, $R3=R4$, $R1=R3/A$ 라고 하면, 식 (9)은 이하의 식 (10)으로 나타낼 수 있다.
- [0098]
$$Vsense = A \{E1(R2/(R2 + Rf(1-A))) - E2\} \quad (10)$$
- [0099] 식 (10)으로부터, 저항값 Rf 가 저항값 $R2$ 에 비해 충분히 작을 때는, 전압값 $Vsense$ 는 이하의 식 (11)로 근사할 수 있다.
- [0100]
$$Vsense = A(E1 - E2) \quad (11)$$
- [0101] 식 (11)에 있어서, $E1 - E2$ 는 식 (3)의 $RL \cdot iL$ 에 상당한다.
- [0102] 저항값 Rf 가 커지면, 전압값 $Vsense$ 는, 식 (11)(또는 식 (3))로 근사하지 못하게 된다. 즉, 전압값 $Vsense$ 가, 상기 식 (3)에서 얻어지는 값으로부터 어긋나게 된다.
- [0103] 예를 들어 $L=1\mu H$, $RL=10m\Omega$, $Cf=0.1\mu F$ 일 때, $Rf=1k\Omega$ 으로 된다. $R2=100k\Omega$, $A=10$ 으로 하면, 식 (10)으로부터 전압값 $Vsense$ 는 이하의 식 (12)과 같이 산출된다.
- [0104]
$$Vsense = 10 \{E1(100 \times 10^3 / (100 \times 10^3 + 1 \times 10^3(1-10))) - E2\} \quad (12)$$
- [0105] 식 (12)로부터 전압값 $Vsense$ 는 거의 $10(1.1E1 - E2)$ 으로 되고, 전압값 $E1$ 에 계수 1.1이 곱해진다. 즉, 증폭기(14i)로부터 출력되는 전압값 $Vsense$ 는, 식 (11)에서 얻어지는 전압값 $Vsense$ 에 대하여, 전압값 $E1$ 의 10% 가가의 어긋남에 대응한 오차가 생긴다.
- [0106] 그 때문에, 비교예의 전원 장치(10a)에서는, 전류값 iL 의 검출 오차가 비교적 커서, 제어 회로(16)가 식 (3)에 기초하여 전류값 iL 의 피크값인 피크 전류값 I_{peak} 를 산출하더라도 정밀도가 좋은 값이 얻어지지 않으며, 출력 전류값 I_{out} 의 산출 정밀도도 나쁘다. 출력 전류값 I_{out} 의 산출 정밀도가 나쁘면, 과전류 검출부(16a22)에서도 정확히 과전류를 산출하지 못하게 된다.
- [0107] 이와 같은 비교예의 전원 장치(10a)에 대하여, 도 1에 도시한 제1 실시 형태의 전원 장치(10)에서는, 이하의 이유에 의하여 출력 전류값 I_{out} 을 고정밀도로 산출할 수 있다.
- [0108] 전원 장치(10)의 인덕턴스 소자(13a)는 검출 탭(13b)에 의하여 등가적으로 2개의 인덕터로 분할된다.
- [0109] 도 8은, 제1 실시 형태의 전원 장치의 인덕턴스 소자와 전류 검출 회로의 접속 부분의 등가 회로를 도시하는 도면이다. 도 8에 있어서, 도 1에 도시한 요소와 마찬가지로의 요소에 대해서는 동일 부호가 붙여져 있다.
- [0110] 등가 회로(70)에 있어서, 인덕턴스 소자(13a)는 2개의 인덕터(13a1, 13a2)로 분할되어 있다. 그 분할점이 검출 탭(13b)에 상당한다. 인덕터(13a1)의 인덕턴스값은 $L1$, 인덕터(13a2)의 인덕턴스값은 $L2$ 이다. 또한 도 8에는, 인덕터(13a1)의 등가 직렬 저항(13c1)과 인덕터(13a2)의 등가 직렬 저항(13c2)이 나타나 있다. 등가 직렬 저항(13c1)의 저항값은 $RL1$, 등가 직렬 저항(13c2)의 저항값은 $RL2$ 이다. 또한 도 8에는, 전류 검출 회로(14)의 커패시턴스 소자(14a)와 저항 소자(14b)가 나타나 있다. 커패시턴스 소자(14a)의 커패시턴스값은 Cf , 저항 소자(14b)의 저항값은 Rf 이다.
- [0111] 인덕턴스 소자(13a)의 전체의 권취 수를 N , 인덕터(13a2)의 권취 수를 Na , 인덕터(13a1)의 권취 수를 $N - Na$ 라 한다. 또한 인덕턴스 소자(13a)의 인덕턴스값을 L 이라 한다. 또한 인덕턴스 소자(13a)의 전체의 등가 직렬 저항의 저항값을 RL 이라 한다. 이때, 인덕턴스값 $L2$ 과 저항값 $RL2$ 는 이하의 식 (13), 식 (14)로 나타낼 수 있다.
- [0112]
$$L2 = L \cdot Na^2 / N^2 \quad (13)$$
- [0113]
$$RL2 = RL \cdot Na / N \quad (14)$$
- [0114] 식 (13), 식 (14)로부터 이하의 관계가 얻어진다.
- [0115]
$$(Na/N) \cdot (L/RL) = Rf \cdot Cf \quad (15)$$
- [0116] 비교예의 전원 장치(10a)에서는, 전술한 바와 같이 $T=T1$, 즉, $L/RL=Rf \cdot Cf$ 로 되도록 저항값 Rf 와 커패시턴스값 Cf 를 정해야만 한다. 이에 비해, 제1 실시 형태의 전원 장치(10)에서는, 식 (15)로부터 알 수 있는 바와 같이

$R_f \cdot C_f$ 는 L/RL 의 N_a/N 배로 좋아진다. 이때, $N_a < N$ 의 관계로 되도록 검출 탭(13b)의 위치를 설정함으로써, $R_f \cdot C_f$ 를 비교예의 전원 장치(10a)보다도 작게 할 수 있다.

[0117] 이 때문에, 인덕턴스값 L 이 커지더라도 저항값 R_f 의 증가를 억제할 수 있어, 식 (3) 또는 식 (11)에서 얻어지는 전압값 V_{sense} 에 대한 어긋남의 증가를 억제할 수 있다.

[0118] 예를 들어 $N=10$, $N_a=1$, $L=1\mu H$, $RL=10m\Omega$, $C_f=0.1\mu F$ 일 때, 식 (15)의 좌변은 $(N_a/N) \cdot (L/RL)=(1/10) \cdot (1 \times 10^{-6}/10 \times 10^{-3})=10 \times 10^{-6}$ 으로 된다.

[0119] 식 (15)의 우변이 10×10^{-6} 으로 되도록, 예를 들어 $C_f=0.047\mu F$, $R_f=220\Omega$ 으로 한다. 이때, 비교예의 전원 장치(10a)에서 이용한 조건과 마찬가지로, 저항 소자(14d)의 저항값 R_2 를 $100k\Omega$, 증폭기(14i)의 증폭률 A 를 10으로 하면, 식 (10)으로부터 전압값 V_{sense} 는 이하의 식 (16)와 같이 산출된다.

$$V_{sense}=10\{E_1(100 \times 10^3 / (100 \times 10^3 + 220 \times 10^3 (1-10))) - E_2\} \quad (16)$$

[0121] 식 (16)으로부터 전압값 V_{sense} 는 거의 $10(1.02E_1-E_2)$ 로 되고, 전압값 E_1 에 계수 1.02가 곱해진다. 그 때문에, 비교예의 전원 장치(10a)에 관하여 식 (12)에서 산출되는 전압값 V_{sense} 에 비해, 전압값 E_1 이 크다고 판단되는 비율을 1/5로 저감시킬 수 있다.

[0122] 그 때문에, 전원 장치(10)에서는, 전류값 i_L 의 검출 오차가 작아, 제어 회로(16)가 식 (3)에 기초하여 전류값 i_L 의 피크값인 피크 전류값 I_{peak} 를 산출할 때의 정밀도가 비교예의 전원 장치(10a)의 경우보다도 높아진다. 따라서 인덕턴스값 L 이 커지는 경우의 출력 전류값 I_{out} 의 산출 정밀도의 악화를 억제할 수 있다. 고정밀도로 출력 전류값 I_{out} 을 구할 수 있게 되기 때문에, 과전류 검출부(16a22)에서도 정확히 과전류를 산출하는 것이 가능해진다.

[0123] 또한 비교예의 전원 장치(10a)에 비해 커패시턴스값 C_f 도 작게 할 수 있어 손실을 저감시킬 수 있다.

[0124] 전술한 예와 같이, $L=1\mu H$, $RL=10m\Omega$ 일 때, $T=T_1$ 의 관계를 만족시키기 위하여, 비교예의 전원 장치(10a)에서는, $C_f \cdot R_f$ 가 100×10^{-6} 으로 되도록 커패시턴스값 C_f 와 저항값 R_f 가 결정된다. 저항값 R_f 를 전술한 바와 같이 $1k\Omega$ 으로 하면, 커패시턴스값 C_f 는 $0.1\mu F$ 으로 된다. 입력 전압값 E 를 12V, 스위칭 주파수 f_{sw} 를 $200kHz$ 로 하면, 식 (4)로 표시되는 손실 Pr_f 는 $Pr_f=0.5 \times 0.1 \times 10^{-6} \times 12^2 \times 200 \times 10^3=1.44(W)$ 로 되어, 저항 소자(14b)에 있어서 1.44W의 손실이 발생하게 된다.

[0125] 이에 비해, 제1 실시 형태의 전원 장치(10)에서는, 상기와 같은 조건에서 $C_f=0.047\mu F$, $R_f=220\Omega$ 으로 하였을 때, 식 (4)로 표시되는 손실 Pr_f 는 $Pr_f=0.5 \times 0.47 \times 10^{-6} \times 12^2 \times 200 \times 10^3=0.68(W)$ 로 된다. 즉, 저항 소자(14b)에 있어서의 손실을 비교예의 전원 장치(10a)의 1/2 이하로 삭감할 수 있다.

[0126] 그런데 전술한 바와 같이 출력 전류값 I_{out} 은 식 (1)에 기초하여 산출된다.

[0127] 여기서, 식 (1)에는 2회의 승산, 1회의 제산, 2회의 감산이 포함된다.

[0128] 본 실시 형태의 전원 장치(10)에서는, 식 (1)에 포함되는 $(1-V_o/E)$ 를 시상수 회로(18)가 생성한다.

[0129] 이하, 시상수 회로(18)에 의하여 $(1-V_o/E)$ 가 얻어지는 이유를 설명한다.

[0130] 도 9는, PWM 회로가 출력하는 제어 신호와 시상수 회로의 출력값의 일례를 나타내는 도면이다. 종축은 전압 V 를 나타내고 횡축은 시간 t 를 나타내고 있다.

[0131] 도 9에는, PWM 회로(16g)가 출력하는 스위칭 소자(12)를 위한 제어 신호와, 시상수 회로(18)의 출력값의 예가 나타나 있다. 도 9에 있어서, T_{sw} 는 스위칭 주기이다. 또한 V_r 은 시상수 회로(18)의 출력값의 리플 전압이다.

[0132] 이하에서는, 제어 신호가 H(High) 레벨(예를 들어 1V)일 때, 스위칭 소자(12)는 온되고, 제어 신호가 L(Low) 레벨(예를 들어 0V)일 때, 스위칭 소자(12)는 오프되는 것으로 한다.

[0133] 스위칭 소자(12)의 스위칭 펄스 폭 T_{on1} (스위칭 소자(12)이 온되는 시간)은 강압형의 전원 장치(10)에 있어서 이하의 식 (17)과 같이 나타낼 수 있다.

$$T_{on1}=(1-D) \cdot T_{sw} \quad (17)$$

- [0135] 식 (17)에 있어서, D는 스위칭 펄스의 듀티비이다. $V_o = D \times E$ 이기 때문에 $D = V_o/E$ 이다. 따라서 식 (17)은 식 (18)과 같이 나타낼 수 있다.
- [0136] $T_{on1} = (1 - V_o/E) \cdot T_{sw}$ (18)
- [0137] 식 (18)과 같은 스위칭 펄스 폭 T_{on1} 을 갖는 제어 신호가 시상수 회로(18)에 입력되면, 저역 통과 필터의 기능에 의하여 제어 신호의 직류 성분(제어 신호의 평균값)에 가까운 값이 얻어진다. 제어 신호의 평균값은, 스위칭 펄스 폭 T_{on1} 의 기간의 제어 신호의 적분값을 스위칭 주기 T_{sw} 로 나눈 값이다. 제어 신호의 진폭이 1V라고 하면 적분값은 식 (18)의 T_{on1} 과 동등하기 때문에, T_{on1} 을 스위칭 주기 T_{sw} 로 나누면 평균값은 $(1 - V_o)/E$ 로 된다.
- [0138] 즉, 시상수 회로(18)의 출력값으로서 $(1 - V_o)/E$ 에 가까운 값이 얻어진다.
- [0139] 도 9의 예에서는, 시상수 회로(18)의 출력값에 리플 전압 V_r 이 생겨 있다. 리플 전압 V_r 이 클수록 산출되는 출력 전류값의 변동이 커지기 때문에, 출력 전류값의 변동을 제어 회로(16)에 있어서의 전류 검출의 분해능 이하로 억제하는 것이 바람직하다. 그 때문에, 리플 전압 V_r 은 이하의 식 (19)를 만족시키는 것이 바람직하다.
- [0140] $V_r < (I_{reso}/I_{max}) \cdot V_{fs}$ (19)
- [0141] 식 (19)에 있어서, I_{reso} 는, 제어 회로(16)에서 인식할 수 있는 전류값의 최소 분해능을 나타낸다. I_{max} 는, 제어 회로(16)에서 인식할 수 있는 전류값의 최대값을 나타낸다. I_{reso} 나 I_{max} 는 전원 장치(10)의 사양에 따라 결정된다.
- [0142] 예를 들어 전원 장치(10)가, 과전류를 정격 전류보다 0.1A 오버하는 범위 내로 억제하는 사양인 경우, I_{reso} 는 0.1A보다도 작은 값(예를 들어 0.01A 등)으로 설정된다. 또한 이 값은, 제어 회로(16)에서 A/D 변환을 행할 때 통상 결정하는 데이터의 LSB(Least Significant Bit)가 나타내는 값에 상당한다.
- [0143] 또한 예를 들어 전원 장치(10)가, 최대 100A의 전류값이 흐르는 사양인 경우, I_{max} 는, 여유를 갖고 100A보다도 큰 값(예를 들어 120A 등)으로 설정된다. 또한 이 값은, 제어 회로(16)에서 A/D 변환을 행할 때 통상 결정하는 데이터의 MSB(Most Significant Bit)가 나타내는 값에 상당한다.
- [0144] 또한 식 (19)에 있어서 V_{fs} 는 검출 전압의 풀 스케일이다.
- [0145] 시상수 회로(18)가 리플 전압 V_r 을, 식 (19)를 충족하도록 감쇠시키기 위한 감쇠량 G는 식 (20)과 같이 나타낼 수 있다.
- [0146] $G = 20 \log_{10}((I_{reso}/I_{max}) \cdot V_{fs}) [dB]$ (20)
- [0147] 이 감쇠량 G를 실현하는 차단 주파수 f_c 는 식 (21)과 같이 나타낼 수 있다.
- [0148] $f_c = f_{sw} / (G/10^{-20}) [Hz]$ (21)
- [0149] 이 식 (21)에 따라 시상수 회로(18)의 저항 소자(18a)의 저항값과 커패시턴스 소자(18b)의 커패시턴스값이 결정된다.
- [0150] 예를 들어 $I_{reso} = 1A$, $I_{max} = 100A$, $V_{fs} = 1V$, $f_{sw} = 200kHz$ 로 한다. 이 경우, 식 (20)으로부터 $G = 20 \log_{10}(1/100 \cdot 1) = -40 [dB]$, 식 (21)로부터 $f_c = 200 \times 10^3 / (-40/10^{-20}) = 2000 [Hz]$ 으로 된다. 예를 들어 커패시턴스 소자(18b)의 커패시턴스값 C_f 를 3300pF으로 하면, 저항 소자(18a)의 저항값 R_t 는 이하의 식 (22)와 같이 된다.
- [0151] $R_t = 1/2\pi f_c C_f = 1/(2\pi \times 2000 \times 3300 \times 10^{-12}) = 24114 [\Omega]$ (22)
- [0152] 그 때문에, 저항값 R_t 가 약 24k Ω 인 저항 소자(18a)를 이용하면 된다.
- [0153] 이상과 같은 시상수 회로(18)의 출력값인 $(1 - V_o)/E$ 를 α_1 이라고 하면, 식 (1)은 식 (23)과 같이 나타낼 수 있다.
- [0154] $I_{out} = I_{peak} - \alpha_1 \cdot k \cdot V_o$ (23)
- [0155] 또한 PWM 회로(16g)가 출력하는 제어 신호의 진폭 V_A 가 1V가 아닌 경우에는, $(1 - V_o)/E$ 에 진폭 V_A 를 곱한 값이 시상수 회로(18)로부터 출력되기 때문에, $\alpha_1 = V_A(1 - V_o)/E$ 로 된다.
- [0156] (제1 실시 형태의 전원 장치의 동작예)

- [0157] 도 10은, 제1 실시 형태의 전원 장치의 동작의 일례를 나타내는 타이밍 차트이다.
- [0158] 도 10에는, PWM 회로(16g)가 출력하는 스위칭 소자(11)를 위한 제어 신호 $pwmH$, PWM 회로(16g)가 출력하는 스위칭 소자(12)를 위한 제어 신호 $pwmL$, 인덕턴스 소자(13a)에 흐르는 전류값 iL 의 시간 변화의 일례가 나타나 있다. 또한 전류 검출 회로(14)가 출력하는 전압값 V_{sense} , ADC(16c)에 의한 전압값 V_{sense} 의 AD 변환 결과 I_{ad} 의 시간 변화의 일례가 나타나 있다. 또한 전압값 V_{sense} 의 AD 변환 처리, 출력 전류값의 계산 처리, 전압값(출력 전압값 V_o)의 AD 변환 처리, 피드백 처리, 저우선도 처리의 동작 타이밍의 일례가 나타나 있다.
- [0159] 제어 신호 $pwmH$ 와 제어 신호 $pwmL$ 은, 위상이 180° 상이하다. 전류값 iL 은, 제어 신호 $pwmH$ 가 H 레벨(예를 들어 1V)로 올라가면 상승하기 시작하고, 제어 신호 $pwmH$ 가 L 레벨(예를 들어 0V)로 내려가면 하강하기 시작한다. 어느 타이밍에서의 전압값 V_{sense} 는, 식 (3)으로 거의 근사할 수 있으며, 그 타이밍에 있어서의 전류값 iL 에 비례한다.
- [0160] 제어 신호 $pwmH$ 가 H 레벨로 올라가면(타이밍 t_0), ADC(16d)에 의한 전압값(출력 전압값 V_o)의 AD 변환 처리가 시작된다. 그 AD 변환 처리가 끝나면(타이밍 t_1), 도 2에 도시한 전압 피드백 제어부(16a1)에 의한 피드백 처리(듀티비의 조정 처리)가 행해진다.
- [0161] 제어 신호 $pwmH$ 가 L 레벨로 내려가면(타이밍 t_2), ADC(16c)에 의한 전압값 V_{sense} 의 AD 변환 처리가 개시된다. 그리고 그 AD 변환 처리가 종료되었을 때(타이밍 t_3), 출력 전류값 산출부(16a21)에 의한 전술한 바와 같은 출력 전류값의 계산 처리가 개시된다. 출력 전류값의 계산 처리 중, 피드백 처리는 중단된다. 즉, 출력 전류값의 계산은 피드백 처리보다도 우선하여 행해진다.
- [0162] 출력 전류값의 계산 처리가 종료되었을 때(타이밍 t_4), 피드백 처리가 재개된다. 피드백 처리가 종료되었을 때(타이밍 t_5), 제어 회로(16)는 저우선도의 처리(예를 들어 도시하지 않은 통신 인터페이스를 이용한 통신 처리 등)를 행한다. 이하, 마찬가지로의 처리가 행해진다.
- [0163] 도 11, 도 12, 도 13은, 제1 실시 형태의 전원 장치의 동작의 일례의 흐름을 도시하는 흐름도이다.
- [0164] 도 11에 도시한 바와 같이 먼저, CPU(16a)는 듀티비 등의 초기화를 행하고(스텝 S1), 그 후, 인터럽트가 발생하고 있는지의 여부를 판정한다(스텝 S2). 인터럽트는, 도 10에 나타난 전압값 V_{sense} 또는 출력 전압값 V_o 의 AD 변환 처리의 종료에 의하여 발생한다.
- [0165] 인터럽트가 발생하는 경우에는 CPU(16a)는 인터럽트 처리를 행하고(스텝 S3), 그 후 스텝 S2로부터의 처리를 반복한다. 인터럽트가 발생하고 있지 않은 경우에는 CPU(16a)는 저우선도 처리(스텝 S4)를 행한다. 그 후, CPU(16a)는 이상이 발생하고 있는지의 여부를 판정하여(스텝 S5), 이상이 발생하는 경우에는 처리를 종료하고, 이상이 발생하고 있지 않은 경우에는 스텝 S2로부터의 처리를 반복한다.
- [0166] 도 12에 도시한 바와 같이, 출력 전압값 V_o 의 AD 변환 처리가 종료된 것에 의한 인터럽트가 발생하였을 때, CPU(16a)는 전압 제어나 과전류 제어를 행한다(스텝 S31, S32). 전압 제어에서는 듀티비의 조정 처리가 행해진다. 과전류 제어에서는, 전회 출력 전류값 I_{out} 의 산출 결과에 기초하는 정지 신호의 출력 등이 행해진다. 그 후, CPU(16a)는 전압 제어나 과전류 제어의 결과를 PWM 회로(16g)에 반영하고(스텝 S33), 인터럽트 처리를 종료한다.
- [0167] 도 13에 도시한 바와 같이, 전압값 V_{sense} 의 AD 변환 처리가 종료된 것에 의한 인터럽트가 발생하였을 때, CPU(16a)는 식 (23)에 기초하여 출력 전류값을 계산하고(스텝 S34), 인터럽트 처리를 종료한다.
- [0168] 이상과 같이, 제1 실시 형태의 전원 장치(10)에서는, 인덕턴스 소자(13a)에 마련한 검출 탭(13b)으로부터 전류 검출 회로(14)가 전류 검출을 함으로써, 인덕턴스값 L 이 커지더라도 전류값 iL 의 검출 오차를 줄일 수 있다. 이것에 의하여 출력 전류값 I_{out} 을 고정밀도로 산출할 수 있다. 또한 전술한 이유에 의하여 손실을 저감시킬 수 있다.
- [0169] 또한 도 4에 도시한 바와 같이, 인덕턴스 소자(13a)를, 전류 검출 회로(14)가 실장되는 기관(50)의 내부 배선에 의하여 실현함으로써, 전원 장치(10)의 소형화가 가능해진다.
- [0170] 또한 제어 회로(16)는, 시상수 회로(18)의 출력값인 α_1 을 이용함으로써 식 (1) 대신 식 (23)을 계산하면 되게 된다. 식 (23)은 2회의 승산과 1회의 감산을 포함하며, 식 (1)에 비해 제어 회로(16)에 있어서의 계산량을 저감시킬 수 있다. 이 때문에 출력 전류값 I_{out} 을 효율적으로 계산할 수 있다.
- [0171] 또한 제어 회로(16)는, 식 (1)에 기초하여 출력 전류값 I_{out} 을 산출해도 된다. 그 경우, 시상수 회로(18)는 없

어도 된다.

- [0172] 그런데 도 1에 도시한 전원 장치(10)의 예에서는, 시상수 회로(18)는, 스위칭 소자(12)를 제어하기 위한 제어 신호에 대하여 필터링한 출력값을 출력하는 것으로 하였지만, 이에 한정되지 않는다. 시상수 회로(18)는, 스위칭 소자(11)를 제어하기 위한 제어 신호에 대하여 필터링한 출력값을 출력하도록 해도 된다. 그 경우, 시상수 회로(18)의 저항 소자(18a)의 일단에는, 스위칭 소자(11)를 제어하기 위한 제어 신호가 입력된다. 그 제어 신호의 진폭이 1V인 경우, 시상수 회로(18)의 출력값은 V_o/E 로 된다. 이하, 시상수 회로(18)에 의하여 V_o/E 가 얻어지는 이유를 설명한다.
- [0173] 도 14는, PWM 회로가 출력하는 제어 신호와 시상수 회로의 출력값의 일례를 나타내는 도면이다. 종축은 전압 V 를 나타내고 횡축은 시간 t 를 나타내고 있다.
- [0174] 도 14에는, PWM 회로(16g)가 출력하는 스위칭 소자(11)를 위한 제어 신호와, 시상수 회로(18)의 출력값의 예가 나타나 있다. 도 14에 있어서, T_{sw} 는 스위칭 주기이다. 또한 V_r 은 시상수 회로(18)의 출력값의 리플 전압이다.
- [0175] 이하에서는, 제어 신호가 H 레벨(예를 들어 1V)일 때, 스위칭 소자(11)는 온되고, 제어 신호가 L 레벨(예를 들어 0V)일 때, 스위칭 소자(11)는 오프되는 것으로 한다.
- [0176] 스위칭 소자(11)의 스위칭 펄스 폭 T_{on2} (스위칭 소자(11)가 온되는 시간)는 강압형의 전원 장치(10)에 있어서 이하의 식 (24)와 같이 나타낼 수 있다.
- [0177]
$$T_{on2} = D \cdot T_{sw} \quad (24)$$
- [0178] 식 (24)에 있어서, D 는 듀티비이다. $V_o = D \times E$ 이기 때문에 $D = V_o/E$ 이다. 따라서 식 (24)는 식 (25)와 같이 나타낼 수 있다.
- [0179]
$$T_{on2} = (V_o/E) \cdot T_{sw} \quad (25)$$
- [0180] 식 (25)와 같은 스위칭 펄스 폭 T_{on2} 를 갖는 제어 신호가 시상수 회로(18)에 입력되면, 저역 통과 필터의 기능에 의하여 제어 신호의 직류 성분(제어 신호의 평균값)에 가까운 값이 얻어진다. 제어 신호의 평균값은, 스위칭 펄스 폭 T_{on2} 의 기간의 제어 신호의 적분값을 스위칭 주기 T_{sw} 로 나눈 값이다. 제어 신호의 진폭을 1V로 하면 적분값은 식 (25)의 T_{on2} 와 동등하기 때문에, T_{on2} 를 스위칭 주기 T_{sw} 로 나누면 평균값은 V_o/E 로 된다. 즉, 시상수 회로(18)의 출력값으로서 V_o/E 에 가까운 값이 얻어진다.
- [0181] 또한 리플 전압 V_r 을 억제하기 위한 시상수 회로(18)의 저항 소자(18a)의 저항값이나 커패시턴스 소자(18b)의 커패시턴스값의 설계 방법에 대해서는, 전술한 설계 방법과 같다.
- [0182] 이상과 같은 시상수 회로(18)의 출력값인 (V_o/E) 를 α_2 로 하면, 식 (1)은 식 (26)와 같이 나타낼 수 있다.
- [0183]
$$I_{out} = I_{peak} - (1 - \alpha_2) \cdot k \cdot V_o \quad (26)$$
- [0184] 또한 PWM 회로(16g)가 출력하는 제어 신호의 진폭 V_A 가 1V가 아닌 경우에는, (V_o/E) 에 진폭 V_A 를 곱한 값이 시상수 회로(18)로부터 출력되기 때문에 $\alpha_2 = V_A(V_o/E)$ 으로 된다.
- [0185] 제어 회로(16)는, 시상수 회로(18)의 출력값인 α_2 를 이용함으로써 식 (1) 대신 식 (26)을 계산하면 되게 된다. 식 (26)은 2회의 승산과 2회의 감산을 포함하며, 식 (1)과 비해 제어 회로(16)에 있어서의 계산량을 저감시킬 수 있다. 이 때문에 출력 전류값 I_{out} 을 효율적으로 계산할 수 있다.
- [0186] (제2 실시 형태)
- [0187] 이하, 제2 실시 형태의 전원 장치를 설명한다. 제2 실시 형태의 전원 장치에서는, 도 4, 도 5에 도시한 플레너형의 인덕턴스 소자(13a) 대신, 이하와 같은 인덕턴스 소자가 이용되며, 그 외에는 제1 실시 형태의 전원 장치(10)와 동일하다.
- [0188] 도 15는, 제2 실시 형태의 전원 장치의 인덕턴스 소자의 일례를 도시하는 도면이다.
- [0189] 제2 실시 형태의 전원 장치에 있어서의 인덕턴스 소자(80)는, 페라이트 코어 등의 코어재(81)에 권취선(82)이 권부된 코일이다. 권취선(82)의 한쪽 단부(82a)는, 도 1에 도시한 스위칭 소자(11, 12)에 접속되어 있고, 권취선(82)의 다른 쪽 단부(82b)는, 도 1에 도시한 출력 단자 OUT에 접속되어 있다. 이와 같은 인덕턴스 소자(80)에서는, 출력 단자 OUT측(권취선(82)의 단부(82b))으로부터 권취 수가 Na인 위치에 검출 탭(83)이 마련되어 있

다. 또한 코일의 권취 수가 N 이라고 하면 $N > Na$ 이다. 이 검출 탭(83)은, 도 1에 도시한 전류 검출 회로(14)의 저항 소자(14b)의 일단에 접속된다. 즉, 단부(82b)로부터의 권취 수가 Na 인 위치로부터 검출 탭(83)이 인출되게 된다. 또한 단부(82b)는 전류 검출 회로(14)의 커패시턴스 소자(14a)에 접속된다.

- [0190] 이와 같은 인덕턴스 소자(80)를 이용한 경우의, 인덕턴스 소자(80)와 전류 검출 회로(14)의 접속 부분의 등가 회로는 도 8과 마찬가지로 된다.
- [0191] 커패시턴스 소자(14a)의 커패시턴스값 C_f 와 저항 소자(14b)의 저항값 R_f 는, 인덕턴스 소자(80)의 인덕턴스값을 L , 인덕턴스 소자(80)의 등가 직렬 저항의 저항값을 RL 이라고 하면, 식 (15)의 관계를 만족시키면 된다. 즉, $R_f \cdot C_f$ 는 L/RL 의 Na/N 배로 된다.
- [0192] 따라서 제1 실시 형태의 전원 장치(10)에 대하여 설명한 이유에 의하여, 제2 실시 형태의 전원 장치(10)에서도 출력 전류값 I_{out} 을 고정밀도로 산출할 수 있고, 또한 손실을 저감시킬 수 있다.
- [0193] 또한 도 15에 도시한 바와 같은 인덕턴스 소자(80)를 이용함으로써, 도 4, 도 5에 도시한 인덕턴스 소자(13a)를 이용하는 경우보다도 큰 전류에 견딜 수 있게 된다.
- [0194] (제3 실시 형태)
- [0195] 이하, 제3 실시 형태의 전원 장치를 설명한다. 제3 실시 형태의 전원 장치에서는, 도 4, 도 5에 도시한 플레너형의 인덕턴스 소자(13a) 대신, 이하와 같은 2개의 인덕턴스 소자가 이용되며, 그 외에는 제1 실시 형태의 전원 장치(10)와 동일하다.
- [0196] 도 16은, 제3 실시 형태의 전원 장치의 인덕턴스 소자의 일례를 도시하는 도면이다.
- [0197] 제3 실시 형태의 전원 장치는, 직렬로 접속된 2개의 인덕턴스 소자(91, 92)를 갖는다. 도 16에서는, 인덕턴스 소자(91)의 등가 직렬 저항(93)과 인덕턴스 소자(92)의 등가 직렬 저항(94)도 도시되어 있다.
- [0198] 인덕턴스 소자(91)의 일단은, 도 1에 도시한 스위칭 소자(11, 12)에 접속되어 있고, 타단은 등가 직렬 저항(93)을 통하여 인덕턴스 소자(92)의 일단에 접속되어 있다. 인덕턴스 소자(92)의 타단은 등가 직렬 저항(94)을 통하여, 도 1에 도시한 출력 단자 OUT 및 전류 검출 회로(14)의 커패시턴스 소자(14a)의 일단에 접속되어 있다.
- [0199] 또한 인덕턴스 소자(91, 92)를 접속하는 접속선에 검출 탭(95)이 접속되어 있다. 이 검출 탭(95)은 전류 검출 회로(14)의 저항 소자(14b)의 일단에 접속된다.
- [0200] 또한 이하에서는, 인덕턴스 소자(91)의 인덕턴스값을 $L1$, 인덕턴스 소자(92)의 인덕턴스값을 $L2$, 등가 직렬 저항(93)의 저항값을 $RL1$, 등가 직렬 저항(94)의 저항값을 $RL2$ 라 한다. 또한 커패시턴스 소자(14a)의 커패시턴스값을 C_f , 저항 소자(14b)의 저항값을 R_f 라 한다.
- [0201] 인덕턴스 소자(91)와 인덕턴스 소자(92)를 합해 인덕턴스 소자(96)라 하면, 인덕턴스 소자(96)의 인덕턴스값은 $L=L1+L2$, 등가 직렬 저항의 저항값은 $RL=RL1+RL2$ 이다.
- [0202] 이와 같은 인덕턴스 소자(91, 92)를 이용하는 경우, 커패시턴스 소자(14a)의 양단의 전위차 v_c 가 인덕턴스 소자(92)의 주파수 특성에 의존하지 않도록 하기 위하여, $L2/RL2=C_f \cdot R_f$ 로 되도록 $C_f \cdot R_f$ 가 설정된다.
- [0203] 인덕턴스 소자(92)의 권취 수를 Na , 인덕턴스 소자(91, 92)의 권취 수의 합계를 N 이라 하면, $L2/RL2=(L \cdot Na^2/N^2)/(RL \cdot Na/N)=(Na/N) \cdot (L/RL)$ 로 된다. 그 때문에, $R_f \cdot C_f$ 는 식 (15)의 관계를 만족시키면 되게 된다. 즉, $R_f \cdot C_f$ 는 L/RL 의 Na/N 배여도 된다.
- [0204] 따라서 제1 실시 형태의 전원 장치(10)에 대하여 설명한 이유에 의하여, 제3 실시 형태의 전원 장치(10)에서도 출력 전류값 I_{out} 의 산출 정밀도의 향상, 및 손실을 저감시킬 수 있다는 효과가 얻어진다.
- [0205] 또한 이와 같은 인덕턴스 소자(91, 92)는, 전류 검출 회로(14)가 실장되는 기관의 내부 배선으로 실현하도록 해도 되고, 도 15에 도시한 바와 같이 코어제에 권취선을 권부한 코일에 의하여 실현하도록 해도 된다.
- [0206] 이상, 실시 형태에 기초하여 본 발명의 전원 장치, 및 전원 장치의 제어 방법의 일 관점에 대하여 설명하였지만 이들은 일례에 불과하며, 상기 기재에 한정되는 것은 아니다.
- [0207] 상기에 대해서는 단순히 본 발명의 원리를 나타내는 것이다. 또한 다수의 변형, 변경이 당업자에게 있어 가능하며, 본 발명은, 상기에 나타내어 설명한 정확한 구성 및 응용예에 한정되는 것은 아니고, 대응하는 모든 변형예 및 균등물은, 첨부된 청구항 및 그 균등물에 의한 본 발명의 범위로 간주된다.

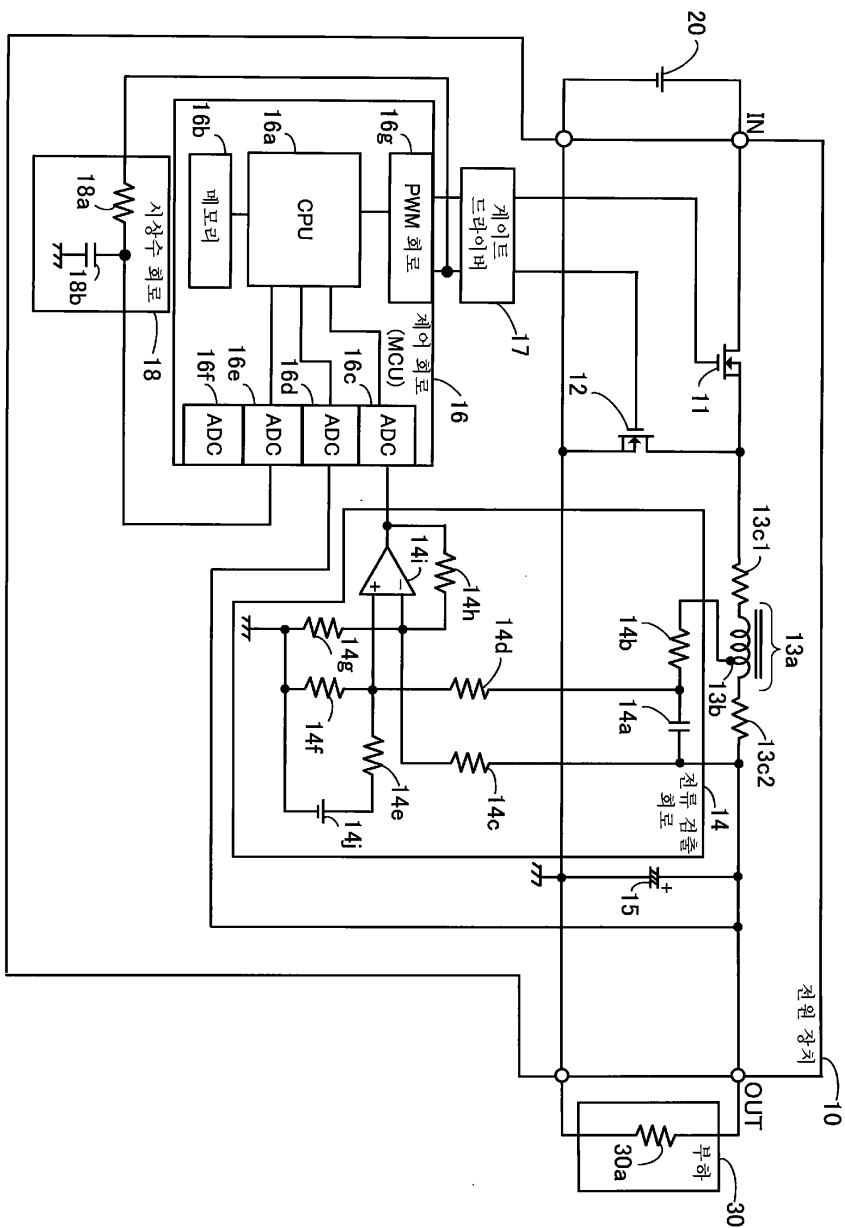
부호의 설명

[0208]

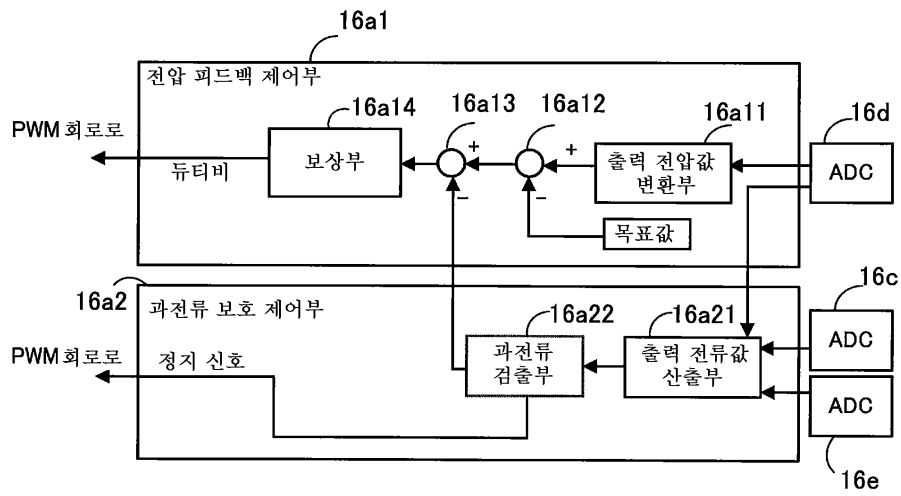
- 10: 전원 장치
- 11, 12: 스위칭 소자
- 13a: 인덕턴스 소자
- 13b: 검출 탭
- 13c1, 13c2: 등가 직렬 저항
- 14: 전류 검출 회로
- 14a, 15, 18b: 커패시턴스 소자
- 14b, 14c, 14d, 14e, 14f, 14g, 14h, 18a: 저항 소자
- 14i: 증폭기
- 14j: 바이어스 전원
- 16: 제어 회로
- 16a: CPU
- 16b: 메모리
- 16c, 16d, 16e, 16f: ADC
- 16g: PWM 회로
- 17: 게이트 드라이버
- 18: 시상수 회로
- 20: 전원
- 30: 부하
- 30a: 부하 저항

도면

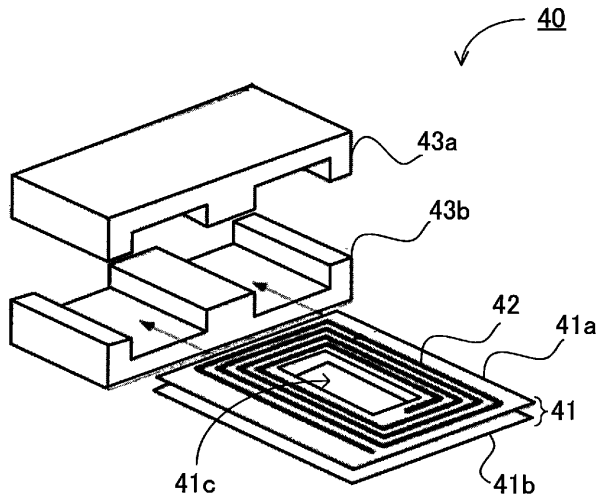
도면1



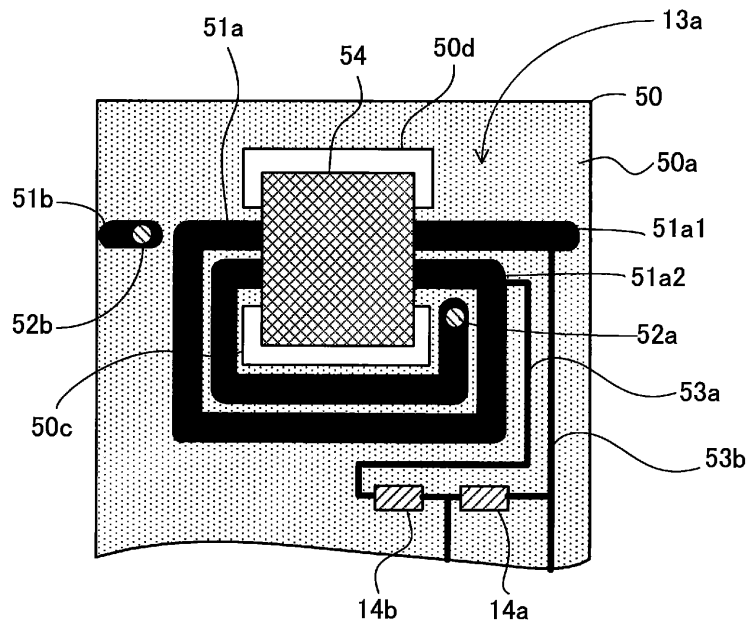
도면2



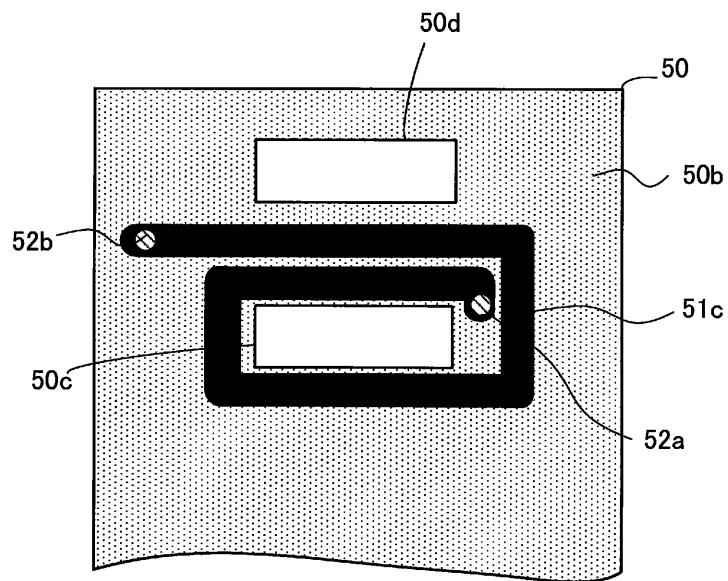
도면3



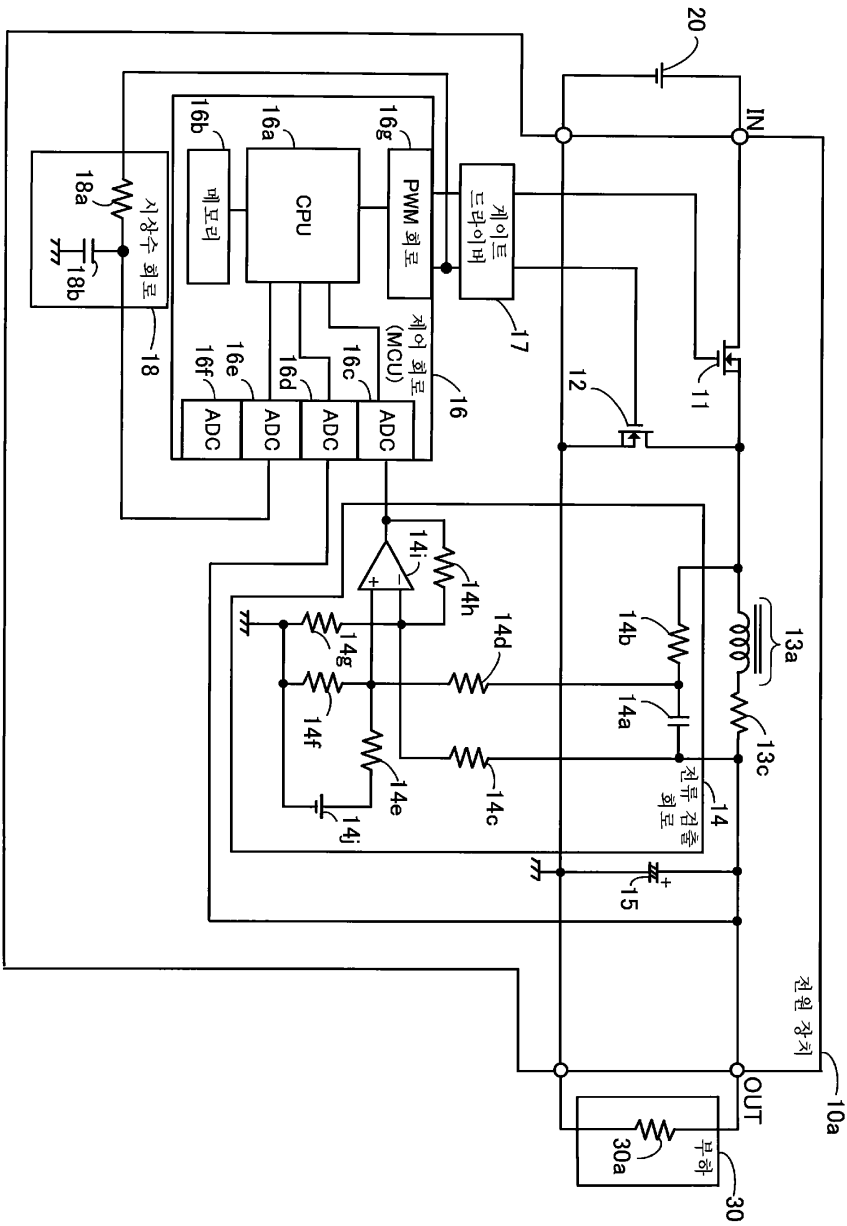
도면4



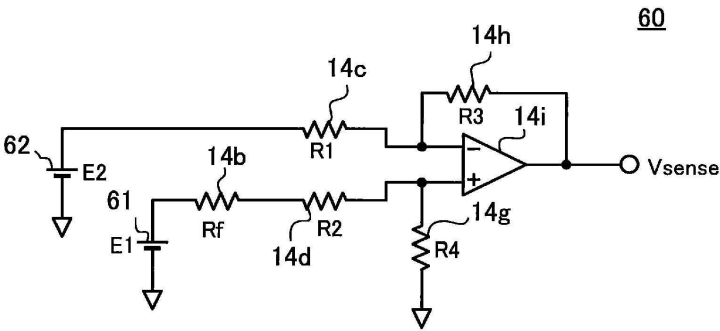
도면5



도면6

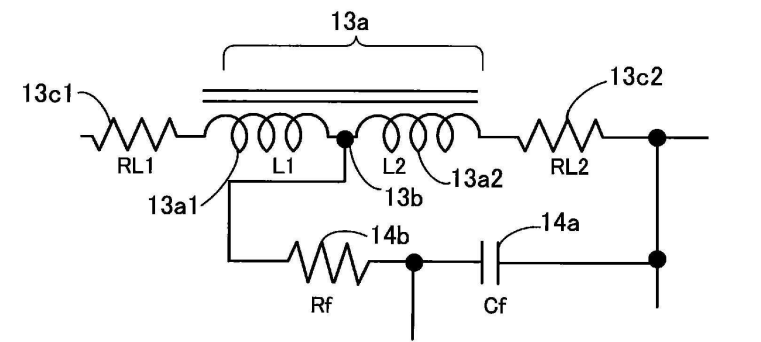


도면7

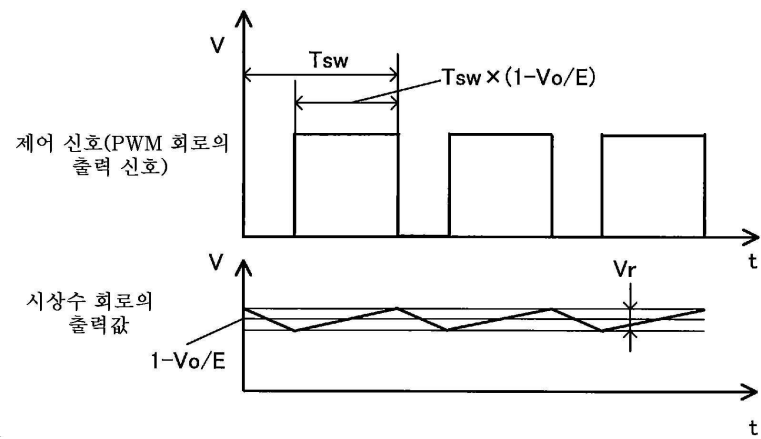


도면8

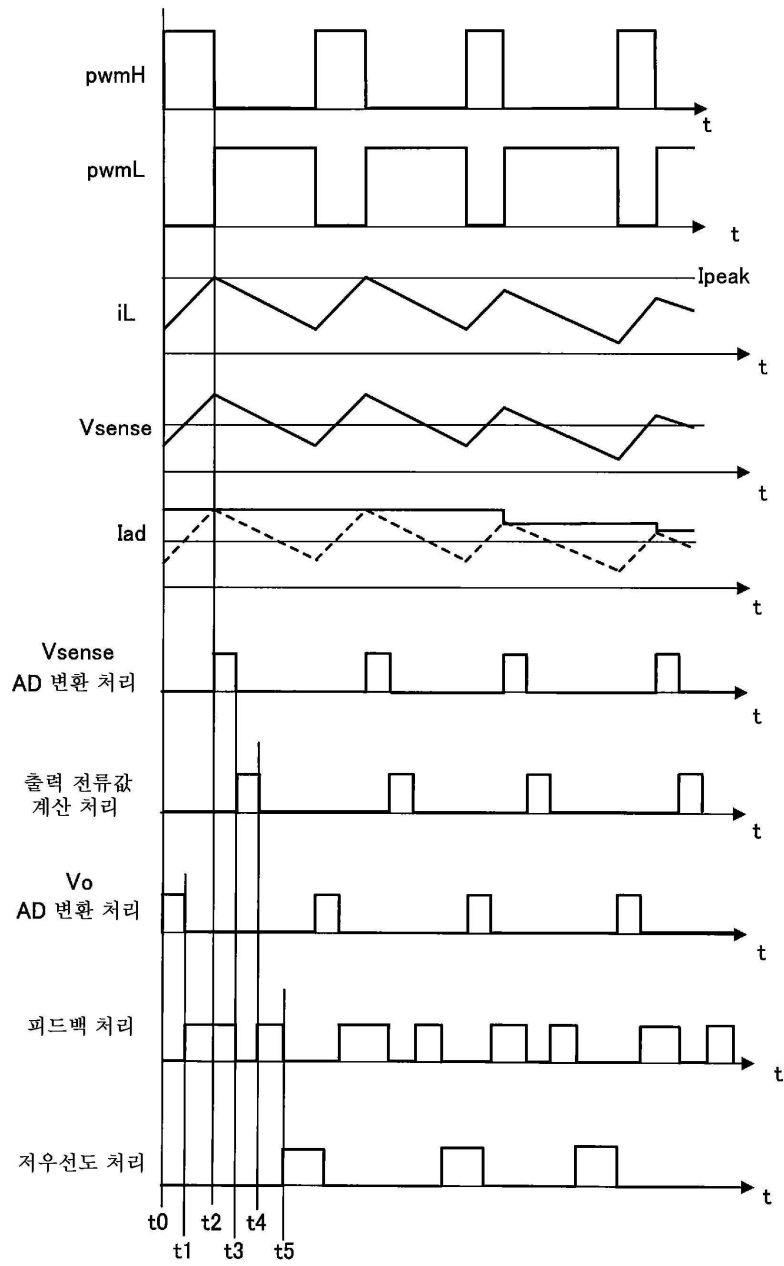
70



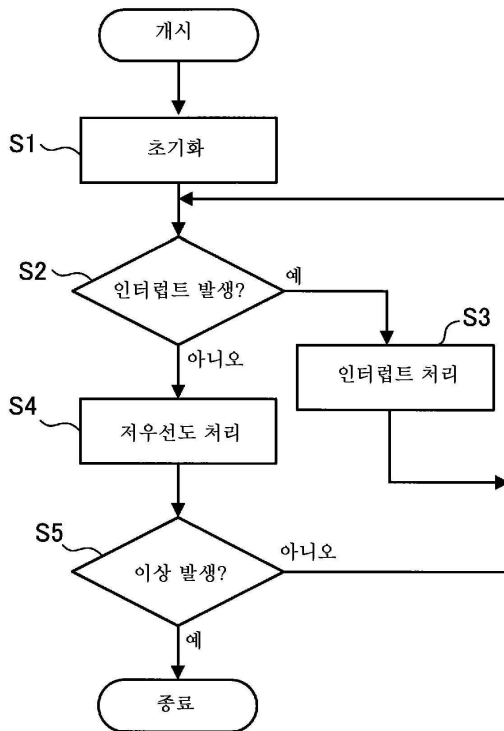
도면9



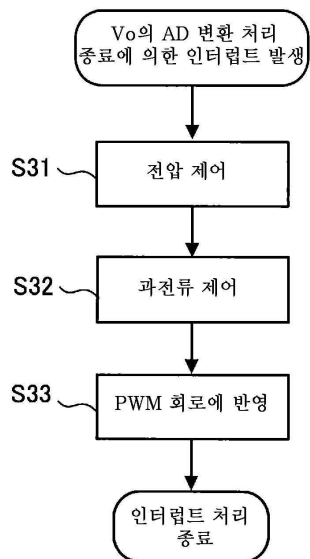
도면10



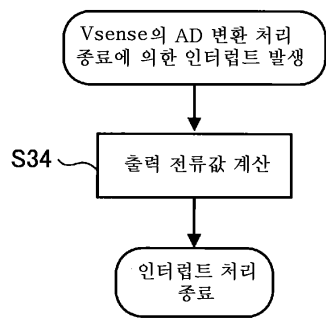
도면11



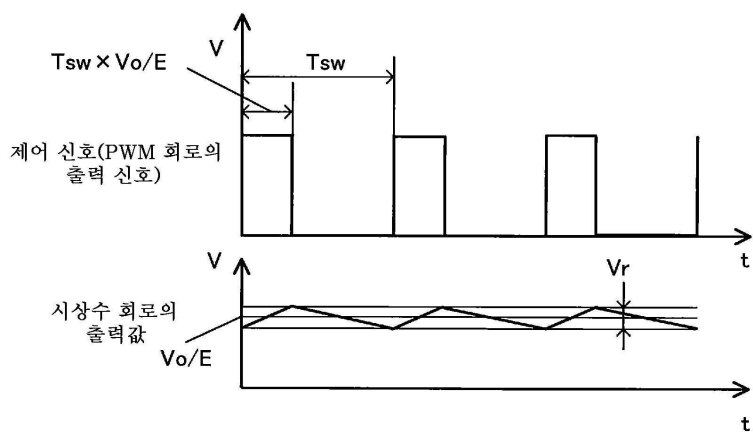
도면12



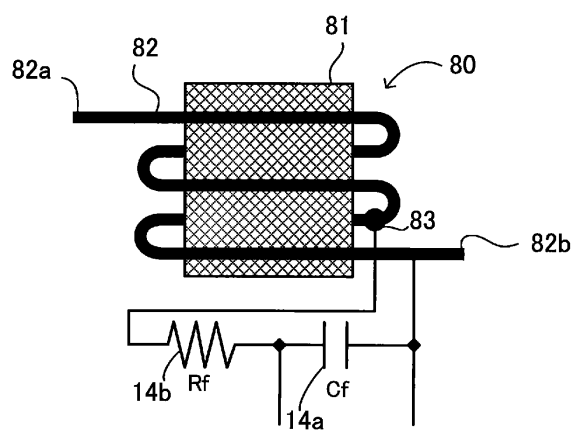
도면13



도면14



도면15



도면16

