

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年11月23日(23.11.2017)



(10) 国際公開番号

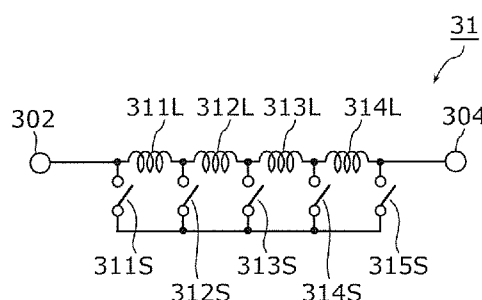
WO 2017/199690 A1

- (51) 国際特許分類:
H04B 1/00 (2006.01) *H03H 7/38* (2006.01)
H01Q 1/50 (2006.01)
- (21) 国際出願番号: PCT/JP2017/016107
- (22) 国際出願日: 2017年4月21日(21.04.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-101962 2016年5月20日(20.05.2016) JP
- (71) 出願人: 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 野阪 浩司(NOSAKA, Koji); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 吉川 修一, 外(YOSHIKAWA, Shuichi et al.); 〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナカ・イトーピア新大阪ビル6階新居国際特許事務所内 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,

(54) Title: IMPEDANCE MATCHING CIRCUIT, HIGH-FREQUENCY FRONT END CIRCUIT, AND COMMUNICATION DEVICE

(54) 発明の名称: インピーダンス整合回路、高周波フロントエンド回路および通信装置

[図2A]



(57) Abstract: An impedance matching circuit (31) is provided with: inductors (311L and 312L) connected in series; a switch (311S) that has a first terminal and a second terminal, the first terminal being connected to one end of the inductor (311L), and that switches between conduction/non-conduction between the first terminal and the second terminal; a switch (312S) that has a third terminal and a fourth terminal, the third terminal being connected to a connection point between the other end of the inductor (311L) and one end of the inductor (312L), and that switches between conduction/non-conduction between the third terminal and the fourth terminal; and a switch (313S) that has a fifth terminal and a sixth terminal, the fifth terminal being connected to the other end of the inductor (312L), and that switches between conduction/non-conduction between the fifth terminal and the sixth terminal. The second terminal, the fourth terminal, and the sixth terminal are connected with each other.

ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：インピーダンス整合回路（31）は、直列接続されたインダクタ（311Lおよび312L）と、第1端子および第2端子を有し第1端子がインダクタ（311L）の一端に接続され第1端子と第2端子との導通および非導通を切り替えるスイッチ（311S）と、第3端子および第4端子を有し第3端子がインダクタ（311L）の他端とインダクタ（312L）の一端との接続点に接続され第3端子と第4端子との導通および非導通を切り替えるスイッチ（312S）と、第5端子および第6端子を有し第5端子がインダクタ（312L）の他端に接続され第5端子と第6端子との導通および非導通を切り替えるスイッチ（313S）と、を備え、第2端子と第4端子と第6端子とが接続されている。

明 細 書

発明の名称：

インピーダンス整合回路、高周波フロントエンド回路および通信装置

技術分野

[0001] 本発明は、インピーダンス整合回路、高周波フロントエンド回路および通信装置に関する。

背景技術

[0002] 従来、移動体通信機のマルチモード／マルチバンドなどの複合化に対応すべく、複数の周波数帯域（バンド）の高周波信号を選択通過させる高周波フロントエンド回路が実用化されている。

[0003] 特許文献１には、通過帯域が異なる２つのラダー型ＳＡＷフィルタが共通端子に接続されたＳＡＷ分波器が開示されている。このＳＡＷ分波器には、アンテナと共通端子との間にインダクタおよびキャパシタで構成されたインピーダンス整合回路が配置されている。

先行技術文献

特許文献

[0004] 特許文献１：特開２００３－３３２８８５号公報

発明の概要

発明が解決しようとする課題

[0005] 使用されるバンド数が少ない高周波フロントエンド回路の場合には、特許文献１に記載されたＳＡＷ分波器のように、アンテナ素子と共通端子との間に上記のようなインピーダンスが固定されたインピーダンス整合回路を配置することでアンテナ素子と各信号経路の高周波回路とのインピーダンス整合をとることが可能である。

[0006] しかしながら、使用されるバンド数が多くなるほど、上記インピーダンス整合回路だけで複数のフィルタ素子のそれぞれに適合するインピーダンス整合をとることが困難となってくる。そこで、選択接続されるアンテナ素子と

フィルタ素子との組み合わせに応じてインピーダンス整合回路のインピーダンス状態を可変させることが考えられる。この場合、上記組み合わせの数だけインピーダンス整合回路のインダクタンス値のバリエーションが必要となる。このため、必要とされるインダクタンス値に対応した複数のインダクタが必要となるが、インダクタはインダクタンス値を大きくするほど大型化する。よって、インダクタンス値のバリエーションが多くなるほど（バンド数が多くなるほど）、インピーダンス整合回路が大型化してしまうという問題がある。

[0007] そこで、本発明は、上記課題を解決するためになされたものであって、インダクタンス値の可変幅を確保しつつ小型化されたインピーダンス整合回路、高周波フロントエンド回路および通信装置を提供することを目的とする。

課題を解決するための手段

[0008] 上記目的を達成するために、本発明の一態様に係るインピーダンス整合回路は、複数の高周波回路の間に配置され、当該複数の高周波回路のうち選択された2以上の高周波回路が接続される場合のインピーダンス整合をとるインピーダンス整合回路であって、直列接続された第1インダクタおよび第2インダクタと、第1端子および第2端子を有し、前記第1端子が前記第1インダクタの一端に接続され、前記第1端子と前記第2端子との導通および非導通を切り替える第1スイッチと、第3端子および第4端子を有し、前記第3端子が前記第1インダクタの他端と前記第2インダクタの一端との接続点に接続され、前記第3端子と前記第4端子との導通および非導通を切り替える第2スイッチと、第5端子および第6端子を有し、前記第5端子が前記第2インダクタの他端に接続され、前記第5端子と前記第6端子との導通および非導通を切り替える第3スイッチと、を備え、前記第2端子と前記第4端子と前記第6端子とが接続されている。

[0009] 選択接続される高周波回路の組み合わせに応じてインピーダンス整合回路のインピーダンス状態を可変させる場合、当該組み合わせの数だけインピーダンス整合回路のインダクタンス値のバリエーションが必要となる。このた

め、必要とされるインダクタンス値に対応した複数のインダクタが必要となるが、インダクタはインダクタンス値を大きくするほど大型化するため、インダクタンス値のバリエーションが多くなるほど、インピーダンス整合回路が大型化してしまう。この観点から、例えば、インピーダンス整合回路が携帯電話のマルチバンドフロントエンド回路に搭載される場合、バンド数が多くなるほど回路が大型化してしまう。

[0010] これに対して、上記構成によれば、直列接続された2つのインダクタの各端子に接続されたスイッチのオン（導通）およびオフ（非導通）の切り替えにより、例えば、第1インダクタのインダクタンス値を L_1 、第2インダクタのインダクタンス値を L_2 とすると、2つのインダクタで、0、 L_1 、 L_2 、および $(L_1 + L_2)$ という4通りのインダクタンス値を選択することが可能となる。つまり、 $(L_1 + L_2)$ のインダクタンス値を有する大きなインダクタを必要とせず、 $(L_1 + L_2)$ よりも小さなインダクタンス値を有する2つのインダクタにより、0から $(L_1 + L_2)$ までのインダクタンス値を段階的に選択することが可能となる。なお、0、 L_1 、 L_2 、および $(L_1 + L_2)$ という4通りのインダクタンス値に対応させて3つのインダクタ（インダクタンス値0の場合にはインダクタは不要）を配置した場合には、合計 $2 \times (L_1 + L_2)$ のインダクタンス値が必要となる。よって、本願発明の上記構成によれば、インダクタンス値の可変幅を確保しつつ、回路の小型化が可能となる。

[0011] また、さらに、前記2以上の高周波回路と接続される第1入出力端子および第2入出力端子を備え、前記第1インダクタおよび前記第2インダクタは、前記第1入出力端子と前記第2入出力端子とを結ぶ経路上に直列接続されていてもよい。

[0012] これにより、インピーダンス整合回路のインピーダンスは、リアクタンス成分の可変幅を確保しつつ、回路の小型化が可能となる。

[0013] また、さらに、前記複数の高周波回路と接続される第1入出力端子および第2入出力端子を備え、前記第1インダクタおよび前記第2インダクタは、

前記第 1 入出力端子と前記第 2 入出力端子とを結ぶ経路と接地端子との間に直列接続されていてもよい。

[0014] これにより、インピーダンス整合回路のアドミッタンスは、サセプタンス成分の可変幅を確保しつつ、回路の小型化が可能となる。

[0015] また、さらに、前記第 1 インダクタまたは前記第 2 インダクタに接続されたキャパシタと、前記キャパシタに接続された第 4 スイッチと、を備えてもよい。

[0016] これにより、インピーダンス整合回路のインピーダンスまたはアドミッタンスの可変幅を拡げることが可能となる。

[0017] また、さらに、前記 2 以上の高周波回路と接続される第 1 入出力端子および第 2 入出力端子と、直列接続された第 3 インダクタおよび第 4 インダクタと、第 7 端子および第 8 端子を有し、前記第 7 端子が前記第 3 インダクタの一端に接続され、前記第 7 端子と前記第 8 端子との導通および非導通を切り替える第 5 スイッチと、第 9 端子および第 10 端子を有し、前記第 9 端子が前記第 3 インダクタの他端と前記第 4 インダクタの一端との接続点に接続され、前記第 9 端子と前記第 10 端子との導通および非導通を切り替える第 6 スイッチと、第 11 端子および第 12 端子を有し、前記第 11 端子が前記第 4 インダクタの他端に接続され、前記第 11 端子と前記第 12 端子との導通および非導通を切り替える第 7 スイッチと、を備え、前記第 8 端子と前記第 10 端子と前記第 12 端子とが接続されており、前記第 1 インダクタおよび前記第 2 インダクタは、前記第 1 入出力端子と前記第 2 入出力端子とを結ぶ経路上に直列接続されており、前記第 3 インダクタおよび前記第 4 インダクタは、前記第 1 入出力端子と前記第 2 入出力端子とを結ぶ経路と接地端子との間に直列接続されていてもよい。

[0018] これにより、インピーダンス整合回路のインピーダンスについて、リアクタンス成分を可変でき、また、インピーダンス整合回路のアドミッタンスについて、サセプタンス成分を可変できる。よって、インピーダンス整合の自由度を大幅に拡げつつ、回路の小型化が可能となる。

- [0019] また、さらに、前記2以上の高周波回路と接続される第1入出力端子および第2入出力端子と、直列接続された第3インダクタおよび第4インダクタと、第7端子および第8端子を有し、前記第7端子が前記第3インダクタの一端に接続され、前記第7端子と前記第8端子との導通および非導通を切り替える第5スイッチと、第9端子および第10端子を有し、前記第9端子が前記第3インダクタの他端と前記第4インダクタの一端との接続点に接続され、前記第9端子と前記第10端子との導通および非導通を切り替える第6スイッチと、第11端子および第12端子を有し、前記第11端子が前記第4インダクタの他端に接続され、前記第11端子と前記第12端子との導通および非導通を切り替える第7スイッチと、を備え、前記第8端子と前記第10端子と前記第12端子とが接続されており、前記第1インダクタおよび前記第2インダクタは、前記第1入出力端子と前記第2入出力端子とを結ぶ経路上に直列接続されており、前記第3インダクタおよび前記第4インダクタは、前記第2端子と接地端子との間に直列接続されていてもよい。
- [0020] これにより、インピーダンス整合回路のインピーダンスについて、リアクタンス成分を可変でき、また、インピーダンス整合回路のアドミッタンスについて、サセプタンス成分を可変できる。よって、インピーダンス整合の自由度を大幅に広げつつ、回路の小型化が可能となる。
- [0021] また、前記第1インダクタおよび前記第2インダクタは、回路基板に内蔵されたコイルパターンで構成されていてもよい。
- [0022] これにより、従来技術よりも総インダクタンス値が小さなインダクタンス値を有するインダクタで、所望のインピーダンスの可変幅を確保できるので、コイルパターンの面積または積層数を低減できる。よって、回路基板の小型化が可能となる。
- [0023] また、前記第1スイッチ、前記第2スイッチ、および前記第3スイッチは、前記回路基板の主面上に実装されていてもよい。
- [0024] これにより、第1インダクタおよび第2インダクタと、第1スイッチ、第2スイッチおよび第3スイッチとが、積層関係にあるので、インピーダンス

整合回路の省面積化が可能となる。

[0025] また、前記第1スイッチ、前記第2スイッチ、および前記第3スイッチは、GaAsもしくはCMOSからなるFETスイッチ、または、ダイオードスイッチであってもよい。

[0026] これにより、インピーダンス整合回路の小型化および低価格化が可能となる。

[0027] また、本発明の一態様に係る高周波フロントエンド回路は、アンテナ素子または分波器に接続された上記記載のインピーダンス整合回路と、互いに異なる通過帯域を有する複数のフィルタと、前記複数のフィルタの少なくとも1つと前記インピーダンス整合回路との接続を切り替えるスイッチ回路と、を備える。

[0028] これにより、複数のフィルタとアンテナ素子または分波器との接続状態が変化しても双方のインピーダンス整合が良好にとれる、小型の高周波フロントエンド回路を実現できる。

[0029] また、本発明の一態様に係る高周波フロントエンド回路は、高周波信号を増幅する増幅回路と、前記増幅回路に接続された上記記載のインピーダンス整合回路と、互いに異なる通過帯域を有する複数のフィルタと、前記複数のフィルタの少なくとも1つと前記インピーダンス整合回路との接続を切り替えるスイッチ回路と、を備える。

[0030] これにより、複数のフィルタと増幅回路との接続状態が変化しても双方のインピーダンス整合が良好にとれる、小型の高周波フロントエンド回路を実現できる。

[0031] また、本発明の一態様に係る通信装置は、上記記載の高周波フロントエンド回路と、前記第1スイッチ、前記第2スイッチ、および前記第3スイッチの接続状態を制御する制御部と、高周波信号を処理するRF信号処理回路と、を備え、前記制御部は、選択された周波数帯域に基づいて、(1)前記第1スイッチ、前記第2スイッチおよび前記第3スイッチを導通状態にすることによりインダクタンス成分が最小となる第1モード、(2)前記第1スイ

ッチおよび前記第2スイッチを導通状態、かつ、前記第3スイッチを非導通状態にする第2モード、(3)前記第2スイッチおよび前記第3スイッチを導通状態、かつ、前記第1スイッチを非導通状態にする第3モード、(4)前記第1スイッチ、前記第2スイッチおよび第3スイッチを非導通状態にすることによりインダクタンス成分が最大となる第4モード、のうちの1つを選択する。

[0032] これにより、選択された周波数帯域に応じてインピーダンス整合が良好にとれる小型の通信装置を実現できる。

発明の効果

[0033] 本発明に係るインピーダンス整合回路、高周波フロントエンド回路または通信装置によれば、インダクタンス値の可変幅を確保しつつ小型化が可能となる。

図面の簡単な説明

[0034] [図1]図1は、実施の形態に係る高周波フロントエンド回路およびその周辺回路の構成図である。

[図2A]図2Aは、実施の形態に係るインピーダンス整合回路の回路構成図である。

[図2B]図2Bは、実施の形態の変形例1に係るインピーダンス整合回路の回路構成図である。

[図3A]図3Aは、実施の形態に係るインピーダンス整合回路のインピーダンス変化を示すスミスチャートである。

[図3B]図3Bは、実施の形態の変形例1に係るインピーダンス整合回路のインピーダンス変化を示すスミスチャートである。

[図4A]図4Aは、実施の形態に係るインピーダンス整合回路の実装構成の第1例を示す図である。

[図4B]図4Bは、実施の形態に係るインピーダンス整合回路の実装構成の第2例を示す図である。

[図5A]図5Aは、実施の形態の変形例2に係るインピーダンス整合回路の回

路構成図である。

[図5B]図5Bは、実施の形態の変形例3に係るインピーダンス整合回路の回路構成図である。

[図6A]図6Aは、実施の形態の変形例2に係るインピーダンス整合回路のインピーダンス変化を示すスミスチャートである。

[図6B]図6Bは、実施の形態の変形例3に係るインピーダンス整合回路のインピーダンス変化を示すスミスチャートである。

[図7A]図7Aは、実施の形態の変形例4に係るインピーダンス整合回路の回路構成図である。

[図7B]図7Bは、実施の形態の変形例5に係るインピーダンス整合回路の回路構成図である。

[図8A]図8Aは、実施の形態の変形例4に係るインピーダンス整合回路のインピーダンス変化を示すスミスチャートである。

[図8B]図8Bは、実施の形態の変形例4に係るインピーダンス整合回路のインピーダンス変化を示すスミスチャートである。

[図8C]図8Cは、実施の形態の変形例4に係るインピーダンス整合回路のインピーダンス変化を示すスミスチャートである。

[図8D]図8Dは、実施の形態の変形例4に係るインピーダンス整合回路のインピーダンス変化を示すスミスチャートである。

[図9A]図9Aは、実施の形態の変形例5に係るインピーダンス整合回路のインピーダンス変化を示すスミスチャートである。

[図9B]図9Bは、実施の形態の変形例5に係るインピーダンス整合回路のインピーダンス変化を示すスミスチャートである。

[図9C]図9Cは、実施の形態の変形例5に係るインピーダンス整合回路のインピーダンス変化を示すスミスチャートである。

[図9D]図9Dは、実施の形態の変形例5に係るインピーダンス整合回路のインピーダンス変化を示すスミスチャートである。

[図10A]図10Aは、実施の形態の変形例6に係るインピーダンス整合回路の

回路構成図である。

[図10B]図10Bは、実施の形態の変形例7に係るインピーダンス整合回路の回路構成図である。

[図10C]図10Cは、実施の形態の変形例8に係るインピーダンス整合回路の回路構成図である。

[図11]図11は、実施の形態の変形例6～8に係るインピーダンス整合回路のインピーダンス変化を示すスミスチャートである。

[図12A]図12Aは、比較例に係るBand 8およびBand 20のインピーダンス整合状態を表すスミスチャートである。

[図12B]図12Bは、実施例に係るBand 8およびBand 20のインピーダンス整合状態を表すスミスチャートである。

[図13A]図13Aは、実施の形態の変形例9に係る高周波フロントエンド回路の一部構成図である。

[図13B]図13Bは、実施の形態の変形例10に係る高周波フロントエンド回路の一部構成図である。

発明を実施するための形態

[0035] 以下、本発明の実施の形態について、実施例および図面を用いて詳細に説明する。なお、以下で説明する実施の形態は、いずれも包括的または具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置および接続形態などは、一例であり、本発明を限定する主旨ではない。以下の実施の形態における構成要素のうち、独立請求項に記載されていない構成要素については、任意の構成要素として説明される。また、図面に示される構成要素の大きさ、または大きさの比は、必ずしも厳密ではない。

[0036] (実施の形態)

[1. 1 高周波フロントエンド回路の回路構成]

図1は、実施の形態に係る高周波フロントエンド回路およびその周辺回路の構成図である。同図には、本実施の形態に係る高周波フロントエンド回路

1 と、アンテナ素子 10 と、RF 信号処理回路 95 L および 95 H と、ベースバンド信号処理回路 96 とが示されている。高周波フロントエンド回路 1 およびアンテナ素子 10 は、例えば、マルチモード／マルチバンド対応の携帯電話のフロントエンドに配置される。また、高周波フロントエンド回路 1 ならびに RF 信号処理回路 95 L および 95 H は、通信装置 2 を構成する。

[0037] 高周波フロントエンド回路 1 は、ダイプレクサ 20 と、インピーダンス整合回路 30 L および 30 H と、スイッチ回路 40 L および 40 H と、デュプレクサ 50 A、50 B、50 C、50 D、50 E、50 F、50 G、50 H、50 J、50 K、50 L および 50 M と、スイッチ回路 61、62、63、64、65、66、67 および 68 と、受信増幅回路 71、72、73 および 74 と、送信増幅回路 81、82、83 および 84 と、制御部 90 とを備える。

[0038] 高周波フロントエンド回路 1 は、マルチモード／マルチバンドに対応すべく、複数の周波数帯域（バンド）により無線信号を送受信するための信号経路が複数設けられた、マルチキャリア用送受信装置である。本実施の形態では、複数の周波数帯域として、ローバンド群に属する Band A～Band F と、ハイバンド群に属する Band G～Band M とが設けられている。各バンドの高周波信号は、例えば周波数分割複信（FDD）方式により信号処理されるため、各バンドの信号経路上には、それぞれ、同時送受信を可能とするためのデュプレクサ 50 A～50 M が配置されている。

[0039] ダイプレクサ 20 は、アンテナ素子 10 から入力された無線信号を、ローバンド群（例えば、700 MHz～1 GHz）またはハイバンド群（例えば、1.7 GHz～2.2 GHz）に分岐してインピーダンス整合回路 30 L および 30 H へ出力する。また、ダイプレクサ 20 は、各信号経路から入力された送信信号を、アンテナ素子 10 へ出力する。

[0040] インピーダンス整合回路 30 L は、使用されるバンドに応じてインピーダンスを可変することにより、ローバンド群に属する信号経路とアンテナ素子 10（ダイプレクサ 20）とのインピーダンス整合をとる。

- [0041] インピーダンス整合回路 30H は、使用されるバンドに応じてインピーダンスを可変することにより、ハイバンド群に属する信号経路とアンテナ素子 10（ダイプレクサ 20）とのインピーダンス整合をとる。
- [0042] なお、本発明の要部特徴であるインピーダンス整合回路 30L および 30H については、後述するインピーダンス整合回路の構成および動作において詳細に説明する。
- [0043] スイッチ回路 40L は、アンテナ素子 10 とローバンド群に属する複数の信号経路のうちの少なくとも 1 つの信号経路とを接続させることにより、アンテナ素子 10 と当該複数の信号経路との接続を切り替える。スイッチ回路 40H は、アンテナ素子 10 とハイバンド群に属する複数の信号経路のうちの少なくとも 1 つの信号経路とを接続させることにより、アンテナ素子 10 と当該複数の信号経路との接続を切り替える。
- [0044] デュプレクサ 50A は、ローバンド群のうちの Band A の送信帯域を選択通過させる送信用フィルタと Band A の受信帯域を選択通過させる受信用フィルタとで構成された分波器である。デュプレクサ 50B は、ローバンド群のうちの Band B の送信帯域を選択通過させる送信用フィルタと Band B の受信帯域を選択通過させる受信用フィルタとで構成された分波器である。デュプレクサ 50C は、ローバンド群のうちの Band C の送信帯域を選択通過させる送信用フィルタと Band C の受信帯域を選択通過させる受信用フィルタとで構成された分波器である。デュプレクサ 50D は、ローバンド群のうちの Band D の送信帯域を選択通過させる送信用フィルタと Band D の受信帯域を選択通過させる受信用フィルタとで構成された分波器である。デュプレクサ 50E は、ローバンド群のうちの Band E の送信帯域を選択通過させる送信用フィルタと Band E の受信帯域を選択通過させる受信用フィルタとで構成された分波器である。デュプレクサ 50F は、ローバンド群のうちの Band F の送信帯域を選択通過させる送信用フィルタと Band F の受信帯域を選択通過させる受信用フィルタとで構成された分波器である。

[0045] デュプレクサ50Gは、ハイバンド群のうちのBand Gの送信帯域を選択通過させる送信用フィルタとBand Gの受信帯域を選択通過させる受信用フィルタとで構成された分波器である。デュプレクサ50Hは、ハイバンド群のうちのBand Hの送信帯域を選択通過させる送信用フィルタとBand Hの受信帯域を選択通過させる受信用フィルタとで構成された分波器である。デュプレクサ50Jは、ハイバンド群のうちのBand Jの送信帯域を選択通過させる送信用フィルタとBand Jの受信帯域を選択通過させる受信用フィルタとで構成された分波器である。デュプレクサ50Kは、ハイバンド群のうちのBand Kの送信帯域を選択通過させる送信用フィルタとBand Kの受信帯域を選択通過させる受信用フィルタとで構成された分波器である。デュプレクサ50Lは、ハイバンド群のうちのBand Lの送信帯域を選択通過させる送信用フィルタとBand Lの受信帯域を選択通過させる受信用フィルタとで構成された分波器である。デュプレクサ50Mは、ハイバンド群のうちのBand Mの送信帯域を選択通過させる送信用フィルタとBand Mの受信帯域を選択通過させる受信用フィルタとで構成された分波器である。

[0046] スイッチ回路61は、受信増幅回路71とローバンド群に属するBand A、B、Cのいずれか1つの受信信号経路とを接続させることにより、受信増幅回路71とこれらの受信信号経路との接続を切り替える。スイッチ回路62は、受信増幅回路72とローバンド群に属するBand D、E、Fのいずれか1つの受信信号経路とを接続させることにより、受信増幅回路72とこれらの受信信号経路との接続を切り替える。スイッチ回路63は、送信増幅回路81とローバンド群に属するBand A、B、Cのいずれか1つの送信信号経路とを接続させることにより、送信増幅回路81とこれらの送信信号経路との接続を切り替える。スイッチ回路64は、送信増幅回路82とローバンド群に属するBand D、E、Fのいずれか1つの送信信号経路とを接続させることにより、送信増幅回路82とこれらの送信信号経路との接続を切り替える。

[0047] スイッチ回路65は、受信増幅回路73とハイバンド群に属するBand G、H、Jのいずれか1つの受信信号経路とを接続させることにより、受信増幅回路73とこれらの受信信号経路との接続を切り替える。スイッチ回路66は、受信増幅回路74とハイバンド群に属するBand K、L、Mのいずれか1つの受信信号経路とを接続させることにより、受信増幅回路74とこれらの受信信号経路との接続を切り替える。スイッチ回路67は、送信増幅回路83とハイバンド群に属するBand G、H、Jのいずれか1つの送信信号経路とを接続させることにより、送信増幅回路83とこれらの送信信号経路との接続を切り替える。スイッチ回路68は、送信増幅回路84とハイバンド群に属するBand K、L、Mのいずれか1つの送信信号経路とを接続させることにより、送信増幅回路84とこれらの送信信号経路との接続を切り替える。

[0048] RF信号処理回路95Lは、アンテナ素子10からローバンド群の受信信号経路を介して入力された高周波受信信号を、ダウンコンバートなどにより信号処理し、当該信号処理して生成された受信信号をベースバンド信号処理回路96へ出力する。また、RF信号処理回路95Lは、ベースバンド信号処理回路96から入力された送信信号をアップコンバートなどにより信号処理し、当該信号処理して生成された高周波送信信号をローバンド群の送信増幅回路81および82へ出力する。

[0049] RF信号処理回路95Hは、アンテナ素子10からハイバンド群の受信信号経路を介して入力された高周波受信信号を、ダウンコンバートなどにより信号処理し、当該信号処理して生成された受信信号をベースバンド信号処理回路96へ出力する。また、RF信号処理回路95Hは、ベースバンド信号処理回路96から入力された送信信号をアップコンバートなどにより信号処理し、当該信号処理して生成された高周波送信信号をハイバンド群の送信増幅回路83および84へ出力する。

[0050] RF信号処理回路95Lおよび95Hは、例えば、RFIC (Radio Frequency Integrated Circuit) である。

- [0051] ベースバンド信号処理回路 9 6 で処理された信号は、例えば、画像信号として画像表示のために、または、音声信号として通話のために使用される。
- [0052] 制御部 9 0 は、使用されるバンドに基づいて各スイッチ回路の接続を制御する。制御部 9 0 は、後段に配置された R F 信号処理回路 9 5 L および 9 5 H またはベースバンド信号処理回路 9 6 などから供給された、選択使用されるバンドを示す制御信号に基づいて、スイッチ回路 4 0 L、4 0 H、および 6 1 ~ 6 8 を制御する。
- [0053] なお、制御部 9 0 は、高周波フロントエンド回路 1 に配置されていなくてもよく、R F 信号処理回路 9 5 L および 9 5 H またはベースバンド信号処理回路 9 6 が備えていてもよい。この場合には、R F 信号処理回路 9 5 L および 9 5 H またはベースバンド信号処理回路 9 6 が、スイッチ回路 4 0 L、4 0 H、および 6 1 ~ 6 8 を直接制御する。
- [0054] 上記構成により、高周波フロントエンド回路 1 は、ハイバンド群に属する 6 バンド、および、ローバンド群に属する 6 バンドの高周波信号を送受信することが可能となる。さらに、高周波フロントエンド回路 1 は、通信品質の向上（通信の高速化と安定化）を目的として、異なるバンドを同時に使用する、いわゆるキャリアアグリゲーション方式を適用できる。例えば、B a n d A、B、C のうちの 1 バンド、B a n d D、E、F のうちの 1 バンド、B a n d G、H、J のうちの 1 バンド、および、B a n d K、L、M のうちの 1 バンドを同時に使用することが可能である。
- [0055] ここで、アンテナ素子 1 0 と接続される信号経路の組み合わせにより、アンテナ素子 1 0 と信号経路とのインピーダンス整合を個別にとる必要があるため、インピーダンス整合回路 3 0 L および 3 0 H は、当該組み合わせの数だけインピーダンス値のバリエーションが必要となる。このため、本実施の形態に係るインピーダンス整合回路 3 0 L および 3 0 H は、チューナブルなインピーダンス整合回路となっている。以下、本実施の形態に係るインピーダンス整合回路 3 0 L および 3 0 H の回路構成および動作について詳細に説明する。

[0056] [1. 2 インピーダンス整合回路31および32の回路構成]

図2Aは、実施の形態に係るインピーダンス整合回路31の回路構成図である。同図に示されたインピーダンス整合回路31は、入出力端子302および304と、インダクタ311L、312L、313Lおよび314Lと、スイッチ311S、312S、313S、314Sおよび315Sとを備える。インピーダンス整合回路31は、例えば、図1に示された高周波フロントエンド回路1のインピーダンス整合回路30Lおよび30Hに適用される。インピーダンス整合回路31がインピーダンス整合回路30Lに適用される場合、入出力端子302はダイプレクサ20に接続され、入出力端子304はスイッチ回路40Lに接続される。また、インピーダンス整合回路31がインピーダンス整合回路30Hに適用される場合、入出力端子302はダイプレクサ20に接続され、入出力端子304はスイッチ回路40Hに接続される。

[0057] インダクタ311L（第1インダクタ）、312L（第2インダクタ）、313Lおよび314Lは、この順で、入出力端子302と入出力端子304とを結ぶ経路上に直列接続されている。

[0058] スイッチ311Sは、第1端子および第2端子を有し、第1端子がインダクタ311Lの一端に接続され、第1端子と第2端子との導通および非導通を切り替える第1スイッチである。スイッチ312Sは、第3端子および第4端子を有し、第3端子がインダクタ311Lの他端とインダクタ312Lの一端との接続点に接続され、第3端子と第4端子との導通および非導通を切り替える第2スイッチである。スイッチ313Sは、第5端子および第6端子を有し、第5端子がインダクタ312Lの他端とインダクタ313Lの一端との接続点に接続され、第5端子と第6端子との導通および非導通を切り替える第3スイッチである。また、第2端子と第4端子と第6端子とは接続されている。スイッチ314Sは、2端子を有し、一方の端子がインダクタ313Lの他端とインダクタ314Lの一端との接続点に接続され、両端子間の導通および非導通を切り替える。また、スイッチ314Sの他方の端

子は、第2端子、第4端子および第6端子に接続されている。スイッチ315Sは、2端子を有し、一方の端子がインダクタ314Lの他端に接続され、両端子間の導通および非導通を切り替える。また、スイッチ315Sの他方の端子は、第2端子、第4端子および第6端子に接続されている。

[0059] 図2Bは、実施の形態の変形例1に係るインピーダンス整合回路32の回路構成図である。同図に示されたインピーダンス整合回路32は、入出力端子302および304と、インダクタ321L（第1インダクタ）および322L（第2インダクタ）と、キャパシタ323Cおよび324Cと、スイッチ321S（第1スイッチ）、322S（第2スイッチ）、323S（第3スイッチ）、324S（第4スイッチ）および325S（第4スイッチ）とを備える。インピーダンス整合回路32は、インピーダンス整合回路31のインダクタ313Lおよび314Lが、それぞれ、キャパシタ323Cおよび324Cに置き換わった構成となっている。

[0060] インダクタ321L（第1インダクタ）、322L（第2インダクタ）、323Cおよび324Cは、この順で、入出力端子302と入出力端子304とを結ぶ経路上に直列接続されている。

[0061] インピーダンス整合回路32におけるスイッチ321S～325Sの接続構成は、インピーダンス整合回路31におけるスイッチ311S～315Sの接続構成と同様であるため、説明を省略する。

[0062] つまり、実施の形態に係るインピーダンス整合回路31および変形例1に係るインピーダンス整合回路32は、2以上のインダクタが入出力端子間に直列接続され、当該2以上のインダクタの各端子に対応させてスイッチの一端が接続され、当該スイッチの他端同士は接続されている。

[0063] [1. 3 インピーダンス整合回路31および32の回路動作]

以下、インピーダンス整合回路31および32の回路動作について説明する。

[0064] 図3Aは、実施の形態に係るインピーダンス整合回路31のインピーダンス変化を示すスミスチャートである。ここでは、インダクタ311L～31

4 L の各インダクタンス値を、それぞれ、1 nH (L_{311L})、2 nH (L_{312L})、3 nH (L_{313L})、4 nH (L_{314L}) と設定している。なお、上記各インダクタンス値は、インピーダンス整合回路 31 に必要とされるインダクタンス値の可変幅に応じて設定してよく、例えば、各インダクタンス値の絶対値を、1 nH (L_{311L})、2 nH (L_{312L})、4 nH (L_{313L})、8 nH (L_{314L}) としてもよく、対数で見ても 2 倍ずつ大きくなるように設定してもよい。

[0065] 図 2 A において、スイッチ 311S～315S のそれぞれを、個別に導通または非導通とすることにより、インピーダンス整合回路 31 のインダクタンス値を高精度に変化させることができる。より具体的には、スイッチ 311S～315S を全て導通状態としてインピーダンス整合回路 31 のインダクタンス値を最小値 (0 nH) とし、スイッチ 311S～315S を全て非導通状態としてインピーダンス整合回路 31 のインダクタンス値 (直列加算) を最大値 (10 nH) とする。この最小値と最大値との差を可変幅として、1 nH ステップでインダクタンス値を細かく変化させることが可能である。

[0066] 図 3 A のスミスチャートは、上記のようにスイッチ 311S～315S の導通または非導通を個別に制御することにより得られるインピーダンス整合回路 31 のインピーダンス変化を示している。インピーダンス整合回路 31 によれば、上記インダクタンス値を変化させることで、インピーダンス整合回路 31 のリアクタンスを変化させることが可能となる。

[0067] 図 3 B は、実施の形態の変形例 1 に係るインピーダンス整合回路 32 のインピーダンス変化を示すスミスチャートである。ここでは、インダクタ 321L および 322L のインダクタンス値を、それぞれ、2 nH (L_{321L}) および 4 nH (L_{322L}) と設定している。また、キャパシタ 323C および 324C のキャパシタンス値を、それぞれ、1 pF (C_{323C}) および 2 pF (L_{324C}) と設定している。つまり、各インダクタンス値およびキャパシタンス値の絶対値がそれぞれ約 2 倍ずつ大きくなるように設定している。

[0068] 図2Bにおいて、スイッチ321S～325Sのそれぞれを、個別に導通または非導通とすることにより、インピーダンス整合回路32のインダクタンス値およびキャパシタンス値を高精度に変化させることができる。より具体的には、スイッチ321S～325Sを全て導通状態としてインピーダンス整合回路32の合成インダクタンス値および合成キャパシタンス値を最小値（0 nH、0 pF）とする。また、スイッチ321S～322Sを非導通状態とし、スイッチ323S～325Sを導通状態としてインピーダンス整合回路32の合成インダクタンス値を最大値（6 nH）とし、合成キャパシタンス値を最小値（0 pF）とする。また、スイッチ321S～323Sを導通状態とし、スイッチ324S～325Sを非導通状態としてインピーダンス整合回路32の合成インダクタンス値を最小値（0 nH）とし、合成キャパシタンス値を0.66 pFとする。また、スイッチ321S～324Sを導通状態とし、スイッチ325Sを非導通状態としてインピーダンス整合回路32の合成インダクタンス値を最小値（0 nH）とし、合成キャパシタンス値を2 pFとする。

[0069] 図3Bのスミスチャートは、上記のようにスイッチ311S～315Sの導通または非導通を個別に制御することにより得られるインピーダンス整合回路32のインピーダンス変化を示している。インピーダンス整合回路32によれば、上記インダクタンス値および上記キャパシタンス値を変化させることで、インピーダンス整合回路32のリアクタンスを変化させることが可能となる。また、インピーダンス整合回路31と比較して、リアクタンスの変化領域が、誘導性領域だけでなく容量性領域にも及んでいる。つまり、本変形例に係るインピーダンス整合回路32は、インピーダンス整合回路31と比較して、直列接続されたインダクタにキャパシタが直列付加されることにより、インピーダンスの可変幅を拡げることが可能となる。

[0070] 選択接続される信号経路の組み合わせに応じてインピーダンス整合回路のインピーダンス状態を可変させる場合、当該組み合わせの数だけインピーダンス整合回路のインダクタンス値のバリエーションが必要となる。このため

、従来であれば、必要とされるインダクタンス値に対応した複数のインダクタが必要となるが、インダクタはインダクタンス値を大きくするほど大型化するため、インダクタンス値のバリエーションが多くなるほど、インピーダンス整合回路が大型化してしまう。この観点から、例えば、インピーダンス整合回路が携帯電話のマルチバンドフロントエンド回路に搭載される場合、バンド数が多くなるほど回路が大型化してしまう。

[0071] これに対して、本実施の形態に係るインピーダンス整合回路 3 1 および 3 2 によれば、直列接続された 2 以上のインダクタの各端子に接続されたスイッチのオン（導通）およびオフ（非導通）の切り替えにより、例えば、第 1 インダクタのインダクタンス値を L_1 、第 2 インダクタのインダクタンス値を L_2 とすると、2 つのインダクタで、0、 L_1 、 L_2 、および $(L_1 + L_2)$ という 4 通りのインダクタンス値を選択することが可能となる。つまり、 $(L_1 + L_2)$ のインダクタンス値を有する大きなインダクタを必要とせず、 $(L_1 + L_2)$ よりも小さなインダクタンス値を有する 2 つのインダクタにより、0 から $(L_1 + L_2)$ までのインダクタンス値を段階的に選択することが可能となる。なお、0、 L_1 、 L_2 、および $(L_1 + L_2)$ という 4 通りのインダクタンス値に対応させて 3 つのインダクタ（インダクタンス値 0 の場合にはインダクタは不要）を配置した場合には、合計で $2 \times (L_1 + L_2)$ のインダクタンス値が必要となる。これにより、インダクタンス値の可変幅を、各インダクタが有するインダクタンス値のうちの最大値および最小値の範囲で規定される可変幅より大きく確保でき、さらに細かいステップでインダクタンス値を可変できる。よって、回路を小型化しつつ、入出力端子に接続された高周波回路のインピーダンスが変化しても任意にインピーダンス整合をとることが可能となる。

[0072] [1. 4 インピーダンス整合回路の実装構成]

次に、本実施の形態に係るインピーダンス整合回路 3 1 の構造の一例について説明する。

[0073] 図 4 A は、実施の形態に係るインピーダンス整合回路 3 1 の実装構成の第

1 例を示す図である。同図の右側には、インピーダンス整合回路 3 1 の平面図（上段）および断面図（下段）が示されている。同図に示すように、インピーダンス整合回路 3 1 は、各インダクタおよび各スイッチを実装するための回路基板 1 0 0 をさらに備える。インダクタ 3 1 1 L ~ 3 1 4 L は、回路基板 1 0 0 に内蔵された、スパイラル状の平面コイルパターンで構成されている。また、インダクタ 3 1 1 L ~ 3 1 4 L のそれぞれに対応した各コイルパターンは、同一層内に形成されている。

[0074] なお、インダクタ 3 1 1 L ~ 3 1 4 L のコイルパターンは、図 4 A に示されパターン形状に限定されない。回路基板 1 0 0 を構成する複数の層にわたって形成されたらせん状のコイルパターンであってもよいし、基板主面に垂直な方向に沿って形成されたコイルパターンであってもよい。また、コイルパターンのターン数も任意である。さらに、各コイルパターンは、同一層内に形成されておらず、異なる層に形成されてもよく、回路基板 1 0 0 を平面視した場合に互いに重複していてもよい。

[0075] 図 4 B は、実施の形態に係るインピーダンス整合回路 3 1 の実装構成の第 2 例を示す図である。同図に示すように、インダクタ 3 1 1 L ~ 3 1 4 L のそれぞれが、回路基板 1 0 0 に内蔵された、スパイラル状の 1 つの平面コイルパターンを分割した一部で構成されている。

[0076] 本実施の形態に係るインピーダンス整合回路 3 1 の回路構成によれば、従来技術よりも総インダクタンス値が小さなインダクタンス値を有するインダクタで所望のインピーダンスの可変幅を確保できるので、図 4 A 及び図 4 B のようなインダクタの実装構成をとった場合、コイルパターンの面積または積層数を低減できる。よって、回路基板 1 0 0 の小型化が可能となる。

[0077] また、図 4 A の断面図に示すように、スイッチ 3 1 1 S ~ 3 1 5 S は、回路基板 1 0 0 の主面上に実装されている。これにより、インダクタ 3 1 1 L ~ 3 1 4 L と、スイッチ 3 1 1 S ~ 3 1 5 S とが積層関係にあるので、インピーダンス整合回路 3 1 の省面積化が可能となる。

[0078] また、スイッチ 3 1 1 S ~ 3 1 5 S は、GaAs もしくは CMOS (Co

plementary Metal Oxide Semiconductor) からなる FET (Field Effect Transistor) スイッチ、または、ダイオードスイッチであってもよい。これにより、インピーダンス整合回路 31 の小型化および低価格化が可能となる。

[0079] なお、図 4 A および図 4 B に示されたインピーダンス整合回路 31 の実装構成は、変形例 1 に係るインピーダンス整合回路 32 の実装構成にも適用される。この場合、キャパシタ 323 C および 324 C は、インダクタ 321 L および 322 L とともに回路基板 100 に内蔵されてもよいし、または、回路基板 100 の主面上に配置されてもよい。

[0080] [1. 5 インピーダンス整合回路 33 および 34 の回路構成]

図 5 A は、実施の形態の変形例 2 に係るインピーダンス整合回路 33 の回路構成図である。同図に示されたインピーダンス整合回路 33 は、実施の形態に係るインピーダンス整合回路 31 と比較して、直列接続された複数のインダクタの接続箇所が異なる。以下、変形例 2 に係るインピーダンス整合回路 33 について、実施の形態に係るインピーダンス整合回路 31 と同じ点は説明を省略し、異なる点を中心に説明する。

[0081] インピーダンス整合回路 33 は、入出力端子 302 および 304 と、インダクタ 331 L、332 L、333 L および 334 L と、スイッチ 331 S、332 S、333 S、334 S および 335 S とを備える。

[0082] インダクタ 331 L (第 1 インダクタ)、332 L (第 2 インダクタ)、333 L および 334 L は、この順で、入出力端子 302 と入出力端子 304 とを結ぶ経路と接地端子との間に直列接続されている。

[0083] インダクタ 331 L ~ 334 L およびスイッチ 331 S ~ 335 S の接続構成は、それぞれ、図 2 A のインダクタ 311 L ~ 314 L およびスイッチ 311 S ~ 315 S の接続構成と同様である。

[0084] 図 5 B は、実施の形態の変形例 3 に係るインピーダンス整合回路 34 の回路構成図である。同図に示されたインピーダンス整合回路 34 は、変形例 1 に係るインピーダンス整合回路 32 と比較して、直列接続された複数のイン

ダクタおよび複数のキャパシタの接続箇所が異なる。以下、変形例 3 に係るインピーダンス整合回路 3 4 について、変形例 1 に係るインピーダンス整合回路 3 2 と同じ点は説明を省略し、異なる点を中心に説明する。

[0085] インピーダンス整合回路 3 4 は、入出力端子 3 0 2 および 3 0 4 と、インダクタ 3 4 3 L および 3 4 4 L と、キャパシタ 3 4 1 C および 3 4 2 C と、スイッチ 3 4 1 S、3 4 2 S、3 4 3 S、3 4 4 S および 3 4 5 S とを備える。

[0086] キャパシタ 3 4 1 C および 3 4 2 C、ならびにインダクタ 3 4 3 L（第 1 インダクタ）および 3 4 4 L（第 2 インダクタ）は、この順で、入出力端子 3 0 2 と入出力端子 3 0 4 とを結ぶ経路と接地端子との間に直列接続されている。

[0087] インダクタ 3 4 4 L および 3 4 3 L、キャパシタ 3 4 2 C および 3 4 1 C、ならびにスイッチ 3 4 5 S～3 4 1 S の接続構成は、それぞれ、図 2 B のインダクタ 3 2 1 L および 3 2 2 L、キャパシタ 3 2 3 C および 3 2 4 C、ならびにスイッチ 3 2 1 S～3 2 5 S の接続構成と同様である。

[0088] [1. 6 インピーダンス整合回路 3 3 および 3 4 の回路動作]

以下、インピーダンス整合回路 3 3 および 3 4 の回路動作について説明する。

[0089] 図 6 A は、実施の形態の変形例 2 に係るインピーダンス整合回路 3 3 のインピーダンス変化を示すスミスチャートである。ここでは、インダクタ 3 3 1 L～3 3 4 L の各インダクタンス値を、それぞれ、1 nH (L_{331L})、2 nH (L_{332L})、3 nH (L_{333L})、4 nH (L_{334L}) と設定している。なお、上記各インダクタンス値は、インピーダンス整合回路 3 3 に必要とされるインダクタンス値の可変幅に応じて設定してよく、例えば、各インダクタンス値の絶対値を、1 nH (L_{331L})、2 nH (L_{332L})、4 nH (L_{333L})、8 nH (L_{334L}) としてもよく、対数で見て 2 倍ずつ大きくなるように設定してもよい。

[0090] 図 5 A において、スイッチ 3 3 1 S～3 3 5 S のそれぞれを、個別に導通

または非導通とすることにより、インピーダンス整合回路33のインダクタンス値を高精度に変化させることができる。より具体的には、スイッチ331S～335Sを全て導通状態としてインピーダンス整合回路33のインダクタンス値を最小値（0nH）とし、スイッチ331S～335Sを全て非導通状態としてインピーダンス整合回路33のインダクタンス値（直列加算）を最大値（10nH）とする。この最小値と最大値との差を可変幅として、1nHステップでインダクタンス値を細かく変化させることが可能である。

[0091] 図6Aのスミスチャートは、上記のようにスイッチ331S～335Sの導通または非導通を個別に制御することにより得られるインピーダンス整合回路33のインピーダンス変化を示している。インピーダンス整合回路33によれば、上記インダクタンス値を変化させることで、インピーダンス整合回路33のアドミッタンスにおけるサセプタンスを変化させることが可能となる。

[0092] 図6Bは、実施の形態の変形例3に係るインピーダンス整合回路34のインピーダンス変化を示すスミスチャートである。ここでは、インダクタ343Lおよび344Lのインダクタンス値を、それぞれ、2nH（ L_{343L} ）および4nH（ L_{344L} ）と設定している。また、キャパシタ341Cおよび342Cのキャパシタンス値を、それぞれ、2pF（ C_{341C} ）および1pF（ L_{342C} ）と設定している。つまり、各インダクタンス値およびキャパシタンス値の絶対値が約2倍ずつ大きくなるように設定している。

[0093] 図5Bにおいて、スイッチ341S～345Sのそれぞれを、個別に導通または非導通とすることにより、インピーダンス整合回路34のインダクタンス値およびキャパシタンス値を高精度に変化させることができる。より具体的には、スイッチ341S～345Sを全て導通状態としてインピーダンス整合回路34の合成インダクタンス値および合成キャパシタンス値を最小値（0nH、0pF）とする。また、スイッチ344S～345Sを非導通状態とし、スイッチ341S～343Sを導通状態としてインピーダンス整

合回路 34 の合成インダクタンス値を最大値 (6 nH) とし、合成キャパシタンス値を最小値 (0 pF) とする。また、スイッチ 343 S ~ 345 S を導通状態とし、スイッチ 341 S ~ 342 S を非導通状態としてインピーダンス整合回路 34 の合成インダクタンス値を最小値 (0 nH) とし、合成キャパシタンス値を 0.66 pF とする。また、スイッチ 342 S ~ 345 S を導通状態とし、スイッチ 341 S を非導通状態としてインピーダンス整合回路 34 の合成インダクタンス値を最小値 (0 nH) とし、合成キャパシタンス値を 2 pF とする。

[0094] 図 6 B のスミスチャートは、上記のようにスイッチ 341 S ~ 345 S の導通または非導通を個別に制御することにより得られるインピーダンス整合回路 34 のインピーダンス変化を示している。インピーダンス整合回路 34 によれば、上記インダクタンス値および上記キャパシタンス値を変化させることで、インピーダンス整合回路 34 のアドミッタンスにおけるサセプタンスを変化させることが可能となる。また、インピーダンス整合回路 33 と比較して、サセプタンスの変化領域が、誘導性領域だけでなく容量性領域にも及んでいる。つまり、本変形例に係るインピーダンス整合回路 34 は、インピーダンス整合回路 33 と比較して、直列接続されたインダクタにキャパシタが直列付加されることにより、インピーダンスの可変幅を拡げることが可能となる。

[0095] 本実施の形態の変形例に係るインピーダンス整合回路 33 および 34 によれば、直列接続された 2 以上のインダクタの各端子に接続されたスイッチのオンおよびオフの切り替えにより、インダクタンス値の可変幅の最大値を有する大きなインダクタを必要とせず、当該最大値よりも小さなインダクタンス値を有する 2 つのインダクタにより、最小値から最大値までのインダクタンス値を段階的に選択することが可能となる。これにより、インダクタンス値の可変幅を、各インダクタが有するインダクタンス値のうちの最大値および最小値の範囲で規定される可変幅より大きく確保でき、細かいステップでインダクタンス値を可変できる。よって、回路を小型化しつつ、入出力端子

に接続された高周波回路のインピーダンスが変化しても任意にインピーダンス整合をとることが可能となる。

[0096] [1. 7 インピーダンス整合回路35および36の回路構成]

図7Aは、実施の形態の変形例4に係るインピーダンス整合回路35の回路構成図である。同図に示されたインピーダンス整合回路35は、入出力端子302および304と、インダクタ351Lおよび352Lと、キャパシタ353Cおよび354Cと、スイッチ351S、352S、353S、354Sおよび355Sとを備える。

[0097] インダクタ351L（第1インダクタ）および352L（第2インダクタ）は、この順で、入出力端子302と入出力端子304とを結ぶ経路上に直列接続されている。

[0098] また、インダクタ351Lおよび352Lの直列接続回路、キャパシタ353Cおよびスイッチ354S（第4スイッチ）の直列接続回路、ならびにキャパシタ354Cおよびスイッチ355S（第4スイッチ）の直列接続回路が、入出力端子302と入出力端子304との間に並列接続されている。

[0099] インピーダンス整合回路35におけるスイッチ351S～353Sの接続構成は、インピーダンス整合回路31におけるスイッチ311S～313Sの接続構成と同様であるため、説明を省略する。

[0100] インダクタ351Lの第1端子、キャパシタ353Cの一方の端子、およびキャパシタ354Cの一方の端子は、入出力端子302に接続されている。

[0101] スイッチ354Sは、2端子を有し、一方の端子がキャパシタ353Cの他端に接続され、他方の端子がインダクタ352Lの第4端子および入出力端子304に接続されている。また、スイッチ355Sは、2端子を有し、一方の端子がキャパシタ354Cの他端に接続され、他方の端子がインダクタ352Lの第4端子および入出力端子304に接続されている。

[0102] 図7Bは、実施の形態の変形例5に係るインピーダンス整合回路36の回路構成図である。同図に示されたインピーダンス整合回路36は、入出力端

子 3 0 2 および 3 0 4 と、インダクタ 3 6 1 L および 3 6 2 L と、キャパシタ 3 6 3 C および 3 6 4 C と、スイッチ 3 6 1 S、3 6 2 S、3 6 3 S、3 6 4 S および 3 6 5 S とを備える。

[0103] インダクタ 3 6 1 L (第 1 インダクタ) および 3 6 2 L (第 2 インダクタ) は、この順で、入出力端子 3 0 2 と入出力端子 3 0 4 とを結ぶ経路と接地端子との間に直列接続されている。

[0104] また、インダクタ 3 6 1 L および 3 6 2 L の直列接続回路、キャパシタ 3 6 3 C およびスイッチ 3 6 4 S (第 4 スイッチ) の直列接続回路、ならびにキャパシタ 3 6 4 C およびスイッチ 3 6 5 S (第 4 スイッチ) の直列接続回路が、入出力端子 3 0 2 と入出力端子 3 0 4 とを結ぶ経路と接地端子との間に並列接続されている。

[0105] インピーダンス整合回路 3 6 におけるスイッチ 3 6 1 S ~ 3 6 3 S の接続構成は、インピーダンス整合回路 3 3 におけるスイッチ 3 3 1 S ~ 3 3 3 S の接続構成と同様であるため、説明を省略する。

[0106] インダクタ 3 6 1 L の第 1 端子、キャパシタ 3 6 3 C の一方の端子、およびキャパシタ 3 6 4 C の一方の端子は、入出力端子 3 0 2 および 3 0 4 に接続されている。

[0107] スイッチ 3 6 4 S は、2 端子を有し、一方の端子がキャパシタ 3 6 3 C の他端に接続され、他方の端子がインダクタ 3 6 2 L の第 4 端子および接地端子に接続されている。また、スイッチ 3 6 5 S は、2 端子を有し、一方の端子がキャパシタ 3 6 4 C の他端に接続され、他方の端子がインダクタ 3 6 2 L の第 4 端子および接地端子に接続されている。

[0108] [1. 8 インピーダンス整合回路 3 5 および 3 6 の回路動作]

以下、インピーダンス整合回路 3 5 および 3 6 の回路動作について説明する。

[0109] 図 8 A、図 8 B、図 8 C および図 8 D は、実施の形態の変形例 4 に係るインピーダンス整合回路 3 5 のインピーダンス変化を示すスミスチャートである。図 8 A ~ 図 8 D は、それぞれ、インピーダンス整合回路 3 5 の合成キャ

パシタンス値を 0 pF 、 1 pF 、 2 pF 、 3 pF とした場合のインピーダンス変化を表している。ここでは、インダクタ 351 L および 352 L のインダクタンス値を、それぞれ、 2 nH ($L_{351\text{ L}}$) および 4 nH ($L_{352\text{ L}}$) と設定している。また、キャパシタ 353 C および 354 C のキャパシタンス値を、それぞれ、 1 pF ($C_{353\text{ C}}$) および 2 pF ($C_{354\text{ C}}$) と設定している。つまり、各インダクタンス値およびキャパシタンス値の絶対値が約2倍ずつ大きくなるように設定している。

[0110] 図7Aにおいて、スイッチ 351 S ～ 353 S を導通状態として合成インダクタンス値を最小値 (0 nH) とし、スイッチ 354 S ～ 355 S を非導通状態として合成キャパシタンス値を最小値 (0 pF) とする (状態1A)。また、スイッチ 351 S ～ 355 S を非導通状態として合成インダクタンス値を 6 nH とし、合成キャパシタンス値を最小値 (0 pF) とする (状態2A)。

[0111] 図8Aのスミスチャートは、上記の状態1Aから状態2Aまでのインピーダンスを、スイッチ 351 S ～ 353 S を個別制御することで、細かく (4段階に) 設定できることを示している。インピーダンス整合回路35によれば、スイッチ 354 S および 355 S を非導通とした状態 (合成キャパシタンス値が 0 pF の状態) で、上記インダクタンス値を変化させることで、インピーダンス整合回路35のリアクタンスを変化させることが可能となる。

[0112] 次に、図7Aにおいて、スイッチ 351 S を非導通状態としスイッチ 352 S ～ 353 S を導通状態として合成インダクタンス値を 2 nH とし、スイッチ 354 S を導通状態としスイッチ 355 S を非導通状態として合成キャパシタンス値を 1 pF とする (状態3A)。また、スイッチ 351 S ～ 353 S を非導通状態として合成インダクタンス値を 6 nH とし、スイッチ 354 S を導通状態としスイッチ 355 S を非導通状態として合成キャパシタンス値を 1 pF とする (状態4A)。

[0113] 図8Bのスミスチャートは、上記の状態3Aから状態4Aまでのインピーダンスを、スイッチ 351 S ～ 353 S を個別制御することで、細かく (3

段階に) 設定できることを示している。インピーダンス整合回路35によれば、スイッチ354Sを導通状態およびスイッチ355Sを非導通とした状態(合成キャパシタンス値が1 pFの状態)で、上記インダクタンス値を変化させることで、インピーダンス整合回路35のリアクタンスを変化させることが可能となる。

[0114] 次に、図7Aにおいて、スイッチ351Sを非導通状態としスイッチ352S～353Sを導通状態として合成インダクタンス値を2 nHとし、スイッチ355Sを導通状態としスイッチ354Sを非導通状態として合成キャパシタンス値を2 pFとする(状態5A)。また、スイッチ351S～353Sを非導通状態として合成インダクタンス値を6 nHとし、スイッチ355Sを導通状態としスイッチ354Sを非導通状態として合成キャパシタンス値を2 pFとする(状態6A)。

[0115] 図8Cのスミスチャートは、上記の状態5Aから状態6Aまでのインピーダンスを、スイッチ351S～353Sを個別制御することで、細かく(3段階に)設定できることを示している。インピーダンス整合回路35によれば、スイッチ355Sを導通状態およびスイッチ354Sを非導通とした状態(合成キャパシタンス値が2 pFの状態)で、上記インダクタンス値を変化させることで、インピーダンス整合回路35のリアクタンスを変化させることが可能となる。

[0116] 次に、図7Aにおいて、スイッチ351Sを非導通状態としスイッチ352S～353Sを導通状態として合成インダクタンス値を2 nHとし、スイッチ354Sおよび355Sを導通状態として合成キャパシタンス値を3 pFとする(状態7A)。また、スイッチ351S～353Sを非導通状態として合成インダクタンス値を6 nHとし、スイッチ354Sおよび355Sを導通状態として合成キャパシタンス値を3 pFとする(状態8A)。

[0117] 図8Dのスミスチャートは、上記の状態7Aから状態8Aまでのインピーダンスを、スイッチ351S～353Sを個別制御することで、細かく(3段階に)設定できることを示している。インピーダンス整合回路35によれば、

ば、スイッチ 354 S および 355 S を導通させた状態（合成キャパシタンス値が 3 p F の状態）で、上記インダクタンス値を変化させることで、インピーダンス整合回路 35 のリアクタンスを変化させることが可能となる。

[0118] 上述した図 8 A～図 8 D のように、インピーダンス整合回路 35 の合成キャパシタンス値を 0 p F、1 p F、2 p F および 3 p F のように変化幅をもたせた状態で、インダクタンス値を変化させることで、インピーダンス整合回路 35 のリアクタンスの変化領域を変化させることが可能となる。つまり、本変形例に係るインピーダンス整合回路 35 は、インピーダンス整合回路 31 と比較して、直列接続されたインダクタにキャパシタが並列付加されることにより、インピーダンスの可変領域の自由度を向上させることが可能となり、インピーダンスの調整範囲を拡大できる。

[0119] 図 9 A、図 9 B、図 9 C および図 9 D は、実施の形態の変形例 5 に係るインピーダンス整合回路 36 のインピーダンス変化を示すスミスチャートである。図 9 A～図 9 D は、それぞれ、インピーダンス整合回路 36 の合成キャパシタンス値を 0 p F、1 p F、2 p F、3 p F とした場合のインピーダンス変化を表している。ここでは、インダクタ 361 L および 362 L のインダクタンス値を、それぞれ、2 n H (L_{361L}) および 4 n H (L_{362L}) と設定している。また、キャパシタ 363 C および 364 C のキャパシタンス値を、それぞれ、1 p F (C_{363C}) および 2 p F (C_{364C}) と設定している。つまり、各インダクタンス値およびキャパシタンス値の絶対値が約 2 倍ずつ大きくなるように設定している。

[0120] 図 7 B において、スイッチ 361 S～363 S を導通状態として合成インダクタンス値を最小値 (0 n H) とし、スイッチ 364 S～365 S を非導通状態として合成キャパシタンス値を最小値 (0 p F) とする（状態 1 B）。また、スイッチ 361 S～365 S を非導通状態として合成インダクタンス値を 6 n H とし、合成キャパシタンス値を最小値 (0 p F) とする（状態 2 B）。

[0121] 図 9 A のスミスチャートは、上記の状態 1 B から状態 2 B までのインピー

ダンスを、スイッチ361S～363Sを個別制御することで、細かく（4段階に）設定できることを示している。インピーダンス整合回路36によれば、スイッチ364Sおよび365Sを非導通とした状態（合成キャパシタンス値が0 pFの状態）で、上記インダクタンス値を変化させることで、インピーダンス整合回路36のアドミッタンスにおけるサセプタンスを変化させることが可能となる。

[0122] 次に、図7Bにおいて、スイッチ361Sを非導通状態としスイッチ362S～363Sを導通状態として合成インダクタンス値を2 nHとし、スイッチ364Sを導通状態としスイッチ365Sを非導通状態として合成キャパシタンス値を1 pFとする（状態3B）。また、スイッチ361S～363Sを非導通状態として合成インダクタンス値を6 nHとし、スイッチ364Sを導通状態としスイッチ365Sを非導通状態として合成キャパシタンス値を1 pFとする（状態4B）。

[0123] 図9Bのスミスチャートは、上記の状態3Bから状態4Bまでのインピーダンスを、スイッチ361S～363Sを個別制御することで、細かく（3段階に）設定できることを示している。インピーダンス整合回路36によれば、スイッチ364Sを導通状態およびスイッチ365Sを非導通とした状態（合成キャパシタンス値が1 pFの状態）で、上記インダクタンス値を変化させることで、インピーダンス整合回路36のアドミッタンスにおけるサセプタンスを変化させることが可能となる。

[0124] 次に、図7Bにおいて、スイッチ361Sを非導通状態としスイッチ362S～363Sを導通状態として合成インダクタンス値を2 nHとし、スイッチ365Sを導通状態としスイッチ364Sを非導通状態として合成キャパシタンス値を2 pFとする（状態5B）。また、スイッチ361S～363Sを非導通状態として合成インダクタンス値を6 nHとし、スイッチ365Sを導通状態としスイッチ364Sを非導通状態として合成キャパシタンス値を2 pFとする（状態6B）。

[0125] 図9Cのスミスチャートは、上記の状態5Bから状態6Bまでのインピー

ダンスを、スイッチ361S～363Sを個別制御することで、細かく（3段階に）設定できることを示している。インピーダンス整合回路36によれば、スイッチ365Sを導通状態およびスイッチ364Sを非導通とした状態（合成キャパシタンス値が2 pFの状態）で、上記インダクタンス値を変化させることで、インピーダンス整合回路36のアドミッタンスにおけるサセプタンスを変化させることが可能となる。

[0126] 次に、図7Bにおいて、スイッチ361Sを非導通状態としスイッチ362S～363Sを導通状態として合成インダクタンス値を2 nHとし、スイッチ364Sおよび365Sを導通状態として合成キャパシタンス値を3 pFとする（状態7B）。また、スイッチ361S～363Sを非導通状態として合成インダクタンス値を6 nHとし、スイッチ364Sおよび365Sを導通状態として合成キャパシタンス値を3 pFとする（状態8B）。

[0127] 図9Dのスミスチャートは、上記の状態7Bから状態8Bまでのインピーダンスを、スイッチ361S～363Sを個別制御することで、細かく（3段階に）設定できることを示している。インピーダンス整合回路36によれば、スイッチ364Sおよび365Sを導通させた状態（合成キャパシタンス値が3 pFの状態）で、上記インダクタンス値を変化させることで、インピーダンス整合回路36のアドミッタンスにおけるサセプタンスを変化させることが可能となる。

[0128] 上述した図9A～図9Dのように、インピーダンス整合回路36の合成キャパシタンス値を0 pF、1 pF、2 pFおよび3 pFのように変化幅をもたせた状態で、インダクタンス値を変化させることで、インピーダンス整合回路36のサセプタンスの変化領域を変化させることが可能となる。つまり、本変形例に係るインピーダンス整合回路36は、インピーダンス整合回路32と比較して、直列接続されたインダクタにキャパシタが並列付加されることにより、インピーダンスの可変領域の自由度を向上させることが可能となり、インピーダンスの調整範囲を拡大できる。

[0129] [1. 9 インピーダンス整合回路37、38、39の回路構成]

次に、2以上のインダクタが入出力端子を結んだ経路に直列接続された回路と、2以上のインダクタが入出力端子を結んだ経路と接地端子との間に直列接続された回路との双方を有する複合回路について説明する。

[0130] 図10Aは、実施の形態の変形例6に係るインピーダンス整合回路37の回路構成図である。同図に示されたインピーダンス整合回路37は、入出力端子302および304と、直列可変整合部37Sと、並列可変整合部37Pとを備える。

[0131] 直列可変整合部37Sは、実施の形態に係るインピーダンス整合回路31と同じ回路構成であり、入出力端子302と入出力端子304とを結ぶ経路上に配置されている。

[0132] 並列可変整合部37Pは、変形例2に係るインピーダンス整合回路33と同じ回路構成であり、入出力端子302と入出力端子304とを結ぶ経路と接地端子との間に配置されている。

[0133] 並列可変整合部37Pは、インダクタ331L、332L、333Lおよび334Lと、スイッチ331S、332S、333S、334Sおよび335Sとを備える。

[0134] インダクタ331L（第3インダクタ）、332L（第4インダクタ）、333Lおよび334Lは、この順で、入出力端子302と入出力端子304とを結ぶ経路と接地端子との間に直列接続されている。

[0135] スイッチ331Sは、第7端子および第8端子を有し、第7端子がインダクタ331Lの一端に接続され、第7端子と第8端子との導通および非導通を切り替える第5スイッチである。スイッチ332Sは、第9端子および第10端子を有し、第9端子がインダクタ331Lの他端とインダクタ332Lの一端との接続点に接続され、第9端子と第10端子との導通および非導通を切り替える第6スイッチである。スイッチ333Sは、第11端子および第12端子を有し、第11端子がインダクタ332Lの他端とインダクタ333Lの一端との接続点に接続され、第11端子と第12端子との導通および非導通を切り替える第7スイッチである。また、第8端子と第10端子

と第12端子とは接続されている。スイッチ334Sは、2端子を有し、一方の端子がインダクタ333Lの他端とインダクタ334Lの一端との接続点に接続され、両端子間の導通および非導通を切り替える。また、スイッチ334Sの他方の端子は、第8端子、第10端子および第12端子に接続されている。スイッチ335Sは、2端子を有し、一方の端子がインダクタ334Lの他端に接続され、両端子間の導通および非導通を切り替える。また、スイッチ335Sの他方の端子は、第8端子、第10端子および第612端子に接続されている。

[0136] 図10Bは、実施の形態の変形例7に係るインピーダンス整合回路38の回路構成図である。同図に示されたインピーダンス整合回路38は、入出力端子302および304と、直列可変整合部38Sと、並列可変整合部38Pとを備える。

[0137] 直列可変整合部38Sは、変形例4に係るインピーダンス整合回路35と同じ回路構成であり、入出力端子302と入出力端子304とを結ぶ経路上に配置されている。

[0138] 並列可変整合部38Pは、変形例5に係るインピーダンス整合回路36と同じ回路構成であり、入出力端子302と入出力端子304とを結ぶ経路と接地端子との間に配置されている。

[0139] 並列可変整合部38Pは、インダクタ361Lおよび362Lと、キャパシタ363Cおよび364Cと、スイッチ361S、362S、363S、364Sおよび365Sとを備える。

[0140] インダクタ361L（第3インダクタ）および362L（第4インダクタ）は、この順で、入出力端子302と入出力端子304とを結ぶ経路と接地端子との間に直列接続されている。

[0141] スイッチ361Sは、第7端子および第8端子を有し、第7端子がインダクタ361Lの一端に接続され、第7端子と第8端子との導通および非導通を切り替える第5スイッチである。スイッチ362Sは、第9端子および第10端子を有し、第9端子がインダクタ361Lの他端とインダクタ362

Lの一端との接続点に接続され、第9端子と第10端子との導通および非導通を切り替える第6スイッチである。スイッチ363Sは、第11端子および第12端子を有し、第11端子がインダクタ362Lの他端および接地端子に接続され、第11端子と第12端子との導通および非導通を切り替える第7スイッチである。また、第8端子と第10端子と第12端子とは接続されている。スイッチ364S（第4スイッチ）は、2端子を有し、一方の端子がキャパシタ363Cの他端に接続され、他方の端子がインダクタ362Lの他端および接地端子に接続されている。スイッチ365S（第4スイッチ）は、2端子を有し、一方の端子がキャパシタ364Cの他端に接続され、他方の端子がインダクタ362Lの他端および接地端子に接続されている。

[0142] 図10Cは、実施の形態の変形例8に係るインピーダンス整合回路39の回路構成図である。同図に示されたインピーダンス整合回路39は、入出力端子302および304と、直列可変整合部39Sと、並列可変整合部39Pとを備える。

[0143] 直列可変整合部39Sは、変形例4に係るインピーダンス整合回路35と同じ回路構成であり、入出力端子302と入出力端子304とを結ぶ経路上に配置されている。

[0144] 並列可変整合部39Pは、変形例5に係るインピーダンス整合回路36と同じ回路構成であり、直列可変整合部39Sのスイッチ351S～353Sが共通接続された接続点と接地端子との間に配置されている。

[0145] 並列可変整合部39Pは、インダクタ361Lおよび362Lと、キャパシタ363Cおよび364Cと、スイッチ361S、362S、363S、364Sおよび365Sとを備える。

[0146] インダクタ361L（第3インダクタ）および362L（第4インダクタ）は、この順で、スイッチ351Sの第2端子、スイッチ352Sの第4端子、およびスイッチ353Sの第6端子と接地端子との間に直列接続されている。

[0147] スイッチ 361 S は、第 7 端子および第 8 端子を有し、第 7 端子がインダクタ 361 L の一端に接続され、第 7 端子と第 8 端子との導通および非導通を切り替える第 5 スイッチである。スイッチ 362 S は、第 9 端子および第 10 端子を有し、第 9 端子がインダクタ 361 L の他端とインダクタ 362 L の一端との接続点に接続され、第 9 端子と第 10 端子との導通および非導通を切り替える第 6 スイッチである。スイッチ 363 S は、第 11 端子および第 12 端子を有し、第 11 端子がインダクタ 362 L の他端および接地端子に接続され、第 11 端子と第 12 端子との導通および非導通を切り替える第 7 スイッチである。また、第 8 端子と第 10 端子と第 12 端子とは接続されている。スイッチ 364 S（第 4 スイッチ）は、2 端子を有し、一方の端子がスイッチ 351 S、352 S および 353 S が共通接続された接続点に接続され、他方の端子がキャパシタ 363 C の一端に接続されている。スイッチ 365 S（第 4 スイッチ）は、2 端子を有し、一方の端子がスイッチ 351 S、352 S および 353 S が共通接続された接続点に接続され、他方の端子がキャパシタ 364 C の一端に接続されている。また、キャパシタ 363 C の他端およびキャパシタ 364 C の他端は、接地端子に接続されている。

[0148] 図 11 は、実施の形態の変形例 6～8 に係るインピーダンス整合回路 37～39 のインピーダンス変化を示すスミスチャートである。同図のスミスチャートは、変形例 6～8 に係るインピーダンス整合回路 37～39 のインピーダンスを、各スイッチを個別制御することで、細かく（多段階に）設定できることを示している。

[0149] 並列可変整合部 37 P、38 P および 39 P により、合成キャパシタンス値の変化幅をもたせた状態で合成インダクタンス値を変化させることで、インピーダンス整合回路 37～39 のアドミッタンスにおけるサセプタンスを変化させることが可能となる。さらに、直列可変整合部 37 S、38 S および 39 S により、合成キャパシタンス値の変化幅をもたせた状態で合成インダクタンス値を変化させることで、インピーダンス整合回路 37～39 のリ

アクタンスを変化させることが可能となる。つまり、変形例 6～8に係るインピーダンス整合回路 37～39は、インピーダンス整合回路 31～36と比較して、直列可変整合部と並列可変整合部との双方を有することで、インピーダンスの実数成分と虚数成分の両方を整合することが可能となり、インピーダンス整合回路 31～36と比較して、インピーダンス整合の精度が向上する。また、インピーダンスの可変領域の自由度をさらに向上させることが可能となり、インピーダンスの調整範囲をさらに拡大できる。

[0150] [1. 10 実施例]

ここで、本実施の形態に係るインピーダンス整合回路を、図 1 に示された高周波フロントエンド回路 1 に適用した実施例について説明する。

[0151] 図 1 2 A は、比較例に係る Band 8 および Band 20 のインピーダンス整合状態を表すスミスチャートである。また、図 1 2 B は、実施例に係る Band 8 および Band 20 のインピーダンス整合状態を表すスミスチャートである。

[0152] ここでは、高周波フロントエンド回路 1 において使用されるバンドを、ローバンド群に属する Band 8（送信帯域：880－915 MHz、受信帯域：925－960 MHz）および Band 20（送信帯域：832－862 MHz、受信帯域：791－821 MHz）としている。また、Band 8 および Band 20 をそれぞれ単バンドで使用した場合と、Band 8 および Band 20 を同時使用（キャリアアグリゲーション）した場合との双方を例示している。

[0153] 図 1 2 A は、本実施の形態に係るインピーダンス整合回路を使用しない場合のインピーダンス整合状態を表している。図 1 2 A の上段に示すように、Band 8 および Band 20 のそれぞれを単独使用した場合、アンテナ側から各バンドのデュプレクサを見た場合のインピーダンスは、特性インピーダンス（50 Ω）からかなりずれており、容量的となっている。また、図 1 2 A の下段に示すように、Band 8 および Band 20 を同時使用した場合、アンテナ側から各バンドのデュプレクサを見た場合のインピーダンスは

、特性インピーダンス（ $50\ \Omega$ ）からかなりずれており、容量的となっている。

[0154] これに対して、図12Bは、本実施の形態に係るインピーダンス整合回路を使用しない場合のインピーダンス整合状態を表している。本実施例では、特に、実施の形態の変形例2に係るインピーダンス整合回路33（図5A）を適用した場合を示している。

[0155] 図12Bの上段に示すように、Band 8およびBand 20のそれぞれを単独使用した場合、アンテナ側から各バンドのデュプレクサを見た場合のインピーダンスは、特性インピーダンス（ $50\ \Omega$ ）に略一致しており、インピーダンス整合がとれていることを示している。ここで、インピーダンス整合回路33の合成インダクタンス値を $8\ \text{nH}$ に調整している。より具体的には、インピーダンス整合回路33の各インダクタンス値を、 $1\ \text{nH}$ （ L_{331L} ）、 $2\ \text{nH}$ （ L_{332L} ）、 $3\ \text{nH}$ （ L_{333L} ）、 $4\ \text{nH}$ （ L_{334L} ）とした場合、スイッチ332Sおよび333Sを導通させ、スイッチ331S、334Sおよび335Sを非導通とすることで上記合成インダクタンス値（ $8\ \text{nH}$ ）を実現している。

[0156] また、図12Bの下段に示すように、Band 8およびBand 20を同時使用した場合、アンテナ側から各バンドのデュプレクサを見た場合のインピーダンスは、特性インピーダンス（ $50\ \Omega$ ）に略一致しており、インピーダンス整合がとれていることを示している。ここで、インピーダンス整合回路33の合成インダクタンス値を $3\ \text{nH}$ に調整している。より具体的には、インピーダンス整合回路33の各インダクタンス値を、 $1\ \text{nH}$ （ L_{331L} ）、 $2\ \text{nH}$ （ L_{332L} ）、 $3\ \text{nH}$ （ L_{333L} ）、 $4\ \text{nH}$ （ L_{334L} ）とした場合、スイッチ333S～335Sを導通させ、スイッチ331Sおよび332Sを非導通とすることで上記合成インダクタンス値（ $3\ \text{nH}$ ）を実現している。

[0157] このように、高周波フロントエンド回路に本実施の形態に係るインピーダンス整合回路を用いれば、複数のバンドのうち特定のバンドを単独使用する場合であっても、または、複数のバンドを同時使用する場合であっても、上

述したような簡素化かつ小型化された回路構成で、フレキシブルかつ高精度にインピーダンス整合をとることが可能となる。

[0158] (その他の実施の形態など)

以上、本発明に係るインピーダンス整合回路 31～39 および高周波フロントエンド回路 1 について、実施の形態および変形例を挙げて説明したが、本発明のインピーダンス整合回路および高周波フロントエンド回路は、上記実施の形態および変形例に限定されるものではない。上記実施の形態および変形例における任意の構成要素を組み合わせることで実現される別の実施の形態や、上記実施の形態に対して本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本開示のインピーダンス整合回路または高周波フロントエンド回路を内蔵した各種機器も本発明に含まれる。

[0159] 例えば、インピーダンス整合回路 31～39 は、図 1 に示した高周波フロントエンド回路 1 におけるダイプレクサ 20 とスイッチ回路 40L または 40H との間に配置されることに限られない。インピーダンス整合回路 31～39 は、複数の高周波回路の間に配置されればよく、当該複数の高周波回路のうち選択された 2 以上の高周波回路に応じてインピーダンスを可変する回路であればよい。

[0160] 例えば、上記実施の形態に係るインピーダンス整合回路 31～39 のいずれかを、高周波フロントエンド回路 1 の増幅回路とスイッチ回路との間に配置してもよい。

[0161] 図 13A は、変形例 9 に係る高周波フロントエンド回路の一部構成図である。つまり、高周波信号を増幅する受信増幅回路 71 と、受信増幅回路 71 に接続された、インピーダンス整合回路 31～39 のいずれかに相当するインピーダンス整合回路 30R と、互いに異なる通過帯域を有する複数のフィルタ（Band A-Rx 用、Band B-Rx 用、Band C-Rx 用）と、当該複数のフィルタの少なくとも 1 つと上記インピーダンス整合回路 30R との接続を切り替えるスイッチ回路 61 と、を備える高周波フロントエンド回路も、本発明に含まれる。なお、インピーダンス整合回路 30R は、受

信増幅回路 7 1 とスイッチ回路 6 1 との間、受信増幅回路 7 2 とスイッチ回路 6 2 との間、受信増幅回路 7 3 とスイッチ回路 6 5 との間、および受信増幅回路 7 4 とスイッチ回路 6 6 との間のいずれかに配置されていてもよい。

[0162] また、図 1 3 B は、変形例 1 0 に係る高周波フロントエンド回路の一部構成図である。つまり、高周波信号を増幅する送信増幅回路 8 1 と、送信増幅回路 8 1 に接続された、インピーダンス整合回路 3 1 ~ 3 9 のいずれかに相当するインピーダンス整合回路 3 0 T と、互いに異なる通過帯域を有する複数のフィルタ（Band A - Tx 用、Band B - Tx 用、Band C - Tx 用）と、当該複数のフィルタの少なくとも 1 つと上記インピーダンス整合回路 3 0 T との接続を切り替えるスイッチ回路 6 3 と、を備える高周波フロントエンド回路も、本発明に含まれる。なお、インピーダンス整合回路 3 0 T は、送信増幅回路 8 1 とスイッチ回路 6 3 との間、送信増幅回路 8 2 とスイッチ回路 6 4 との間、送信増幅回路 8 3 とスイッチ回路 6 7 との間、および送信増幅回路 8 4 とスイッチ回路 6 8 との間のいずれかに配置されていてもよい。

[0163] これらにより、複数のフィルタと増幅回路との接続状態が変化しても、双方のインピーダンス整合が良好にとれる小型の高周波フロントエンド回路を実現できる。

[0164] また、本発明は、上記のようなインピーダンス整合回路および高周波フロントエンド回路に限られず、これらのインピーダンス整合回路または高周波フロントエンド回路を有する通信装置も含まれる。

[0165] つまり、図 1 に示すように、本発明の通信装置 2 は、上記インピーダンス整合回路 3 1 ~ 3 9 のいずれか 1 つを含む高周波フロントエンド回路 1 と、当該インピーダンス整合回路が有する第 1 スイッチ、第 2 スイッチ、および第 3 スイッチの接続状態を制御する制御部 9 0 と、高周波信号を処理する RF 信号処理回路 9 5 L および 9 5 H とを備える。ここで、制御部 9 0 は、選択された周波数帯域に基づいて、

(1) 第 1 スイッチ、第 2 スイッチおよび第 3 スイッチを導通状態にする

、インダクタンス成分が最小となる第1モード、(2)第1スイッチおよび第2スイッチを導通状態、かつ、第3スイッチを非導通状態にする第2モード、(3)第2スイッチおよび第3スイッチを導通状態、かつ、第1スイッチを非導通状態にする第3モード、(4)第1スイッチ、第2スイッチおよび第3スイッチを非導通状態にする、インダクタンス成分が最大となる第4モード、のうちの1つを選択してもよい。

[0166] これにより、選択された周波数帯域に応じてインピーダンス整合が良好にとれる小型の通信装置を実現できる。

[0167] また、本発明に係る制御部90は、集積回路であるIC、LSI (Large Scale Integration) として実現されてもよい。また、集積回路化の手法は、専用回路または汎用プロセッサで実現してもよい。LSI製造後に、プログラムすることが可能なFPGA (Field Programmable Gate Array) や、LSI内部の回路セルの接続や設定を再構成可能なりコンフィギュラブル・プロセッサを利用しても良い。さらには、半導体技術の進歩または派生する別技術によりLSIに置き換わる集積回路化の技術が登場すれば、当然、その技術を用いて機能ブロックの集積化を行ってもよい。

[0168] また、上記実施の形態および変形例に係るインピーダンス整合回路において、さらに、入出力端子および接地端子などの各端子の間に、インダクタやキャパシタが接続されていてもよいし、抵抗素子などのインダクタおよびキャパシタ以外の回路素子が付加されていてもよい。

産業上の利用可能性

[0169] 本発明は、マルチバンドおよびマルチモードシステムのフロントエンド部に適用できる小型のインピーダンス整合回路、高周波フロントエンド回路および通信装置として、携帯電話などの通信機器に広く利用できる。

符号の説明

- [0170] 1 高周波フロントエンド回路
 2 通信装置

10 アンテナ素子
20 ダイプレクサ
31、32、33、34、35、36、37、38、39、30H、30L、30R、30T インピーダンス整合回路
37P、38P、39P 並列可変整合部
37S、38S、39S 直列可変整合部
40H、40L、61、62、63、64、65、66、67、68
スイッチ回路
50A、50B、50C、50D、50E、50F、50G、50H、50J、50K、50L、50M デュプレクサ
71、72、73、74 受信増幅回路
81、82、83、84 送信増幅回路
90 制御部
95H、95L RF信号処理回路
96 ベースバンド信号処理回路
100 回路基板
302、304 入出力端子
311L、312L、313L、314L、321L、322L、331L、332L、333L、334L、343L、344L、351L、352L、361L、362L インダクタ
311S、312S、313S、314S、315S、321S、322S、323S、324S、325S、331S、332S、333S、334S、335S、341S、342S、343S、344S、345S、351S、352S、353S、354S、355S、361S、362S、363S、364S、365S スイッチ
323C、324C、341C、342C、353C、354C、363C、364C キャパシタ

請求の範囲

[請求項1] 複数の高周波回路の間に配置され、当該複数の高周波回路のうち選択された2以上の高周波回路が接続される場合のインピーダンス整合をとるインピーダンス整合回路であって、

直列接続された第1インダクタおよび第2インダクタと、

第1端子および第2端子を有し、前記第1端子が前記第1インダクタの一端に接続され、前記第1端子と前記第2端子との導通および非導通を切り替える第1スイッチと、

第3端子および第4端子を有し、前記第3端子が前記第1インダクタの他端と前記第2インダクタの一端との接続点に接続され、前記第3端子と前記第4端子との導通および非導通を切り替える第2スイッチと、

第5端子および第6端子を有し、前記第5端子が前記第2インダクタの他端に接続され、前記第5端子と前記第6端子との導通および非導通を切り替える第3スイッチと、を備え、

前記第2端子と前記第4端子と前記第6端子とが接続されている、インピーダンス整合回路。

[請求項2] さらに、

前記2以上の高周波回路と接続される第1入出力端子および第2入出力端子を備え、

前記第1インダクタおよび前記第2インダクタは、前記第1入出力端子と前記第2入出力端子とを結ぶ経路上に直列接続されている、

請求項1に記載のインピーダンス整合回路。

[請求項3] さらに、

前記複数の高周波回路と接続される第1入出力端子および第2入出力端子を備え、

前記第1インダクタおよび前記第2インダクタは、前記第1入出力端子と前記第2入出力端子とを結ぶ経路と接地端子との間に直列接続

されている、

請求項 1 に記載のインピーダンス整合回路。

[請求項4]

さらに、

前記第 1 インダクタまたは前記第 2 インダクタに接続されたキャパシタと、

前記キャパシタに接続された第 4 スイッチと、を備える、

請求項 1 ～ 3 のいずれか 1 項に記載のインピーダンス整合回路。

[請求項5]

さらに、

前記 2 以上の高周波回路と接続される第 1 入出力端子および第 2 入出力端子と、

直列接続された第 3 インダクタおよび第 4 インダクタと、

第 7 端子および第 8 端子を有し、前記第 7 端子が前記第 3 インダクタの一端に接続され、前記第 7 端子と前記第 8 端子との導通および非導通を切り替える第 5 スイッチと、

第 9 端子および第 10 端子を有し、前記第 9 端子が前記第 3 インダクタの他端と前記第 4 インダクタの一端との接続点に接続され、前記第 9 端子と前記第 10 端子との導通および非導通を切り替える第 6 スイッチと、

第 11 端子および第 12 端子を有し、前記第 11 端子が前記第 4 インダクタの他端に接続され、前記第 11 端子と前記第 12 端子との導通および非導通を切り替える第 7 スイッチと、を備え、

前記第 8 端子と前記第 10 端子と前記第 12 端子とが接続されており、

前記第 1 インダクタおよび前記第 2 インダクタは、前記第 1 入出力端子と前記第 2 入出力端子とを結ぶ経路上に直列接続されており、

前記第 3 インダクタおよび前記第 4 インダクタは、前記第 1 入出力端子と前記第 2 入出力端子とを結ぶ経路と接地端子との間に直列接続されている、

請求項 1 に記載のインピーダンス整合回路。

[請求項6]

さらに、

前記 2 以上の高周波回路と接続される第 1 入出力端子および第 2 入出力端子と、

直列接続された第 3 インダクタおよび第 4 インダクタと、

第 7 端子および第 8 端子を有し、前記第 7 端子が前記第 3 インダクタの一端に接続され、前記第 7 端子と前記第 8 端子との導通および非導通を切り替える第 5 スイッチと、

第 9 端子および第 10 端子を有し、前記第 9 端子が前記第 3 インダクタの他端と前記第 4 インダクタの一端との接続点に接続され、前記第 9 端子と前記第 10 端子との導通および非導通を切り替える第 6 スイッチと、

第 11 端子および第 12 端子を有し、前記第 11 端子が前記第 4 インダクタの他端に接続され、前記第 11 端子と前記第 12 端子との導通および非導通を切り替える第 7 スイッチと、を備え、

前記第 8 端子と前記第 10 端子と前記第 12 端子とが接続されており、

前記第 1 インダクタおよび前記第 2 インダクタは、前記第 1 入出力端子と前記第 2 入出力端子とを結ぶ経路上に直列接続されており、

前記第 3 インダクタおよび前記第 4 インダクタは、前記第 2 端子と接地端子との間に直列接続されている、

請求項 1 に記載のインピーダンス整合回路。

[請求項7]

前記第 1 インダクタおよび前記第 2 インダクタは、回路基板に内蔵されたコイルパターンで構成されている、

請求項 1 ～ 6 のいずれか 1 項に記載のインピーダンス整合回路。

[請求項8]

前記第 1 スイッチ、前記第 2 スイッチ、および前記第 3 スイッチは、前記回路基板の主面上に実装されている、

請求項 7 に記載のインピーダンス整合回路。

[請求項9] 前記第1スイッチ、前記第2スイッチ、および前記第3スイッチは、GaAsもしくはCMOSからなるFETスイッチ、または、ダイオードスイッチである、

請求項1～8のいずれか1項に記載のインピーダンス整合回路。

[請求項10] アンテナ素子または分波器に接続された請求項1～9のいずれか1項に記載のインピーダンス整合回路と、

互いに異なる通過帯域を有する複数のフィルタと、

前記複数のフィルタの少なくとも1つと前記インピーダンス整合回路との接続を切り替えるスイッチ回路と、を備える、

高周波フロントエンド回路。

[請求項11] 高周波信号を増幅する増幅回路と、

前記増幅回路に接続された請求項1～9のいずれか1項に記載のインピーダンス整合回路と、

互いに異なる通過帯域を有する複数のフィルタと、

前記複数のフィルタの少なくとも1つと前記インピーダンス整合回路との接続を切り替えるスイッチ回路と、を備える、

高周波フロントエンド回路。

[請求項12] 請求項10または11に記載の高周波フロントエンド回路と、

前記第1スイッチ、前記第2スイッチ、および前記第3スイッチの接続状態を制御する制御部と、

高周波信号を処理するRF信号処理回路と、を備え、

前記制御部は、選択された周波数帯域に基づいて、

(1) 前記第1スイッチ、前記第2スイッチおよび前記第3スイッチを導通状態にすることによりインダクタンス成分が最小となる第1モード、

(2) 前記第1スイッチおよび前記第2スイッチを導通状態、かつ、前記第3スイッチを非導通状態にする第2モード、

(3) 前記第2スイッチおよび前記第3スイッチを導通状態、かつ

、前記第 1 スイッチを非導通状態にする第 3 モード、

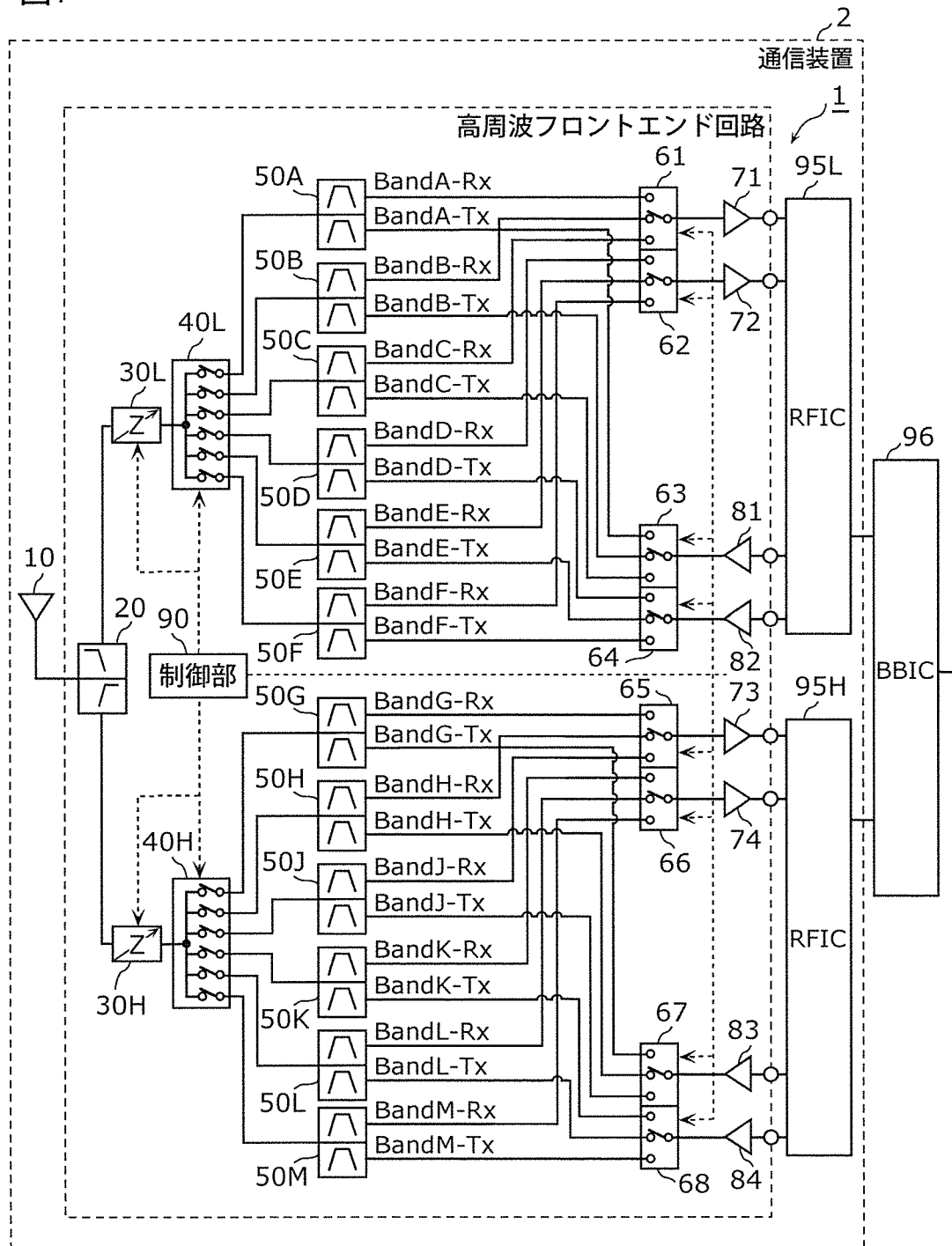
（４）前記第 1 スイッチ、前記第 2 スイッチおよび第 3 スイッチを非導通状態にすることによりインダクタンス成分が最大となる第 4 モード、

のうちの 1 つを選択する、

通信装置。

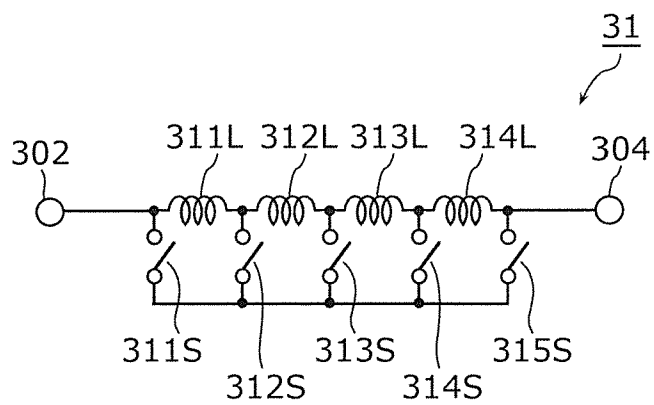
[図1]

図1



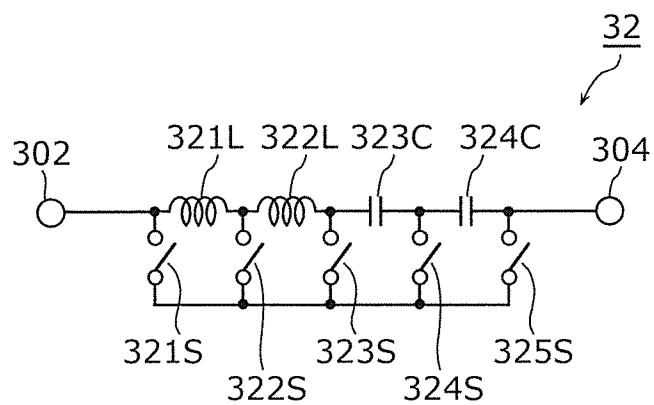
[図2A]

図2A



[図2B]

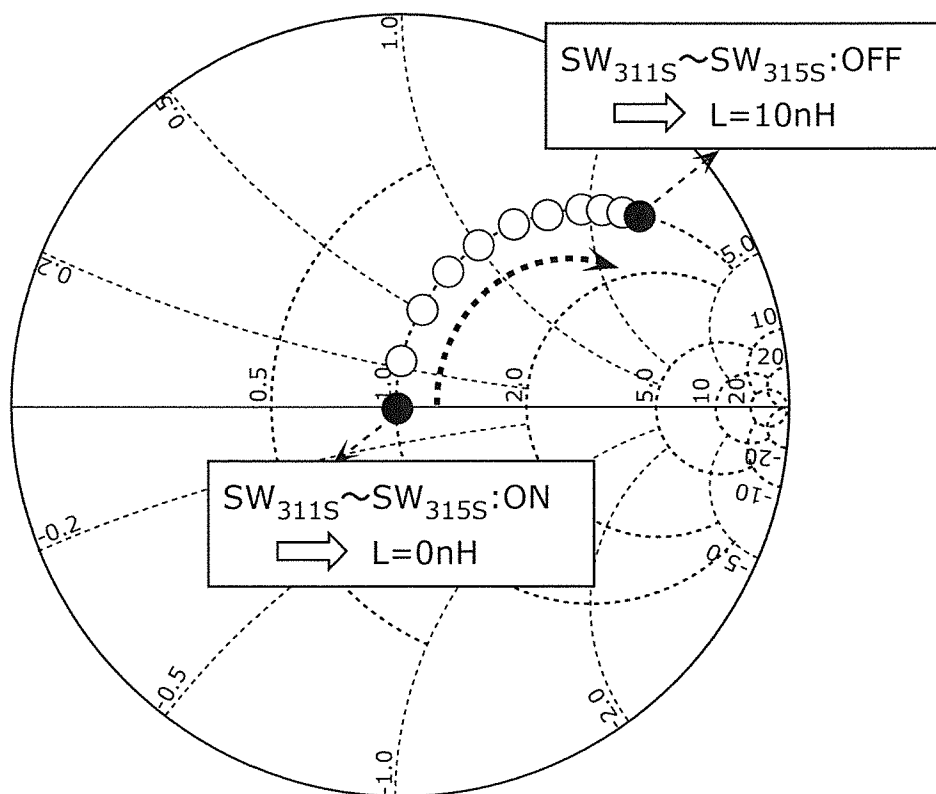
図2B



[図3A]

図3A

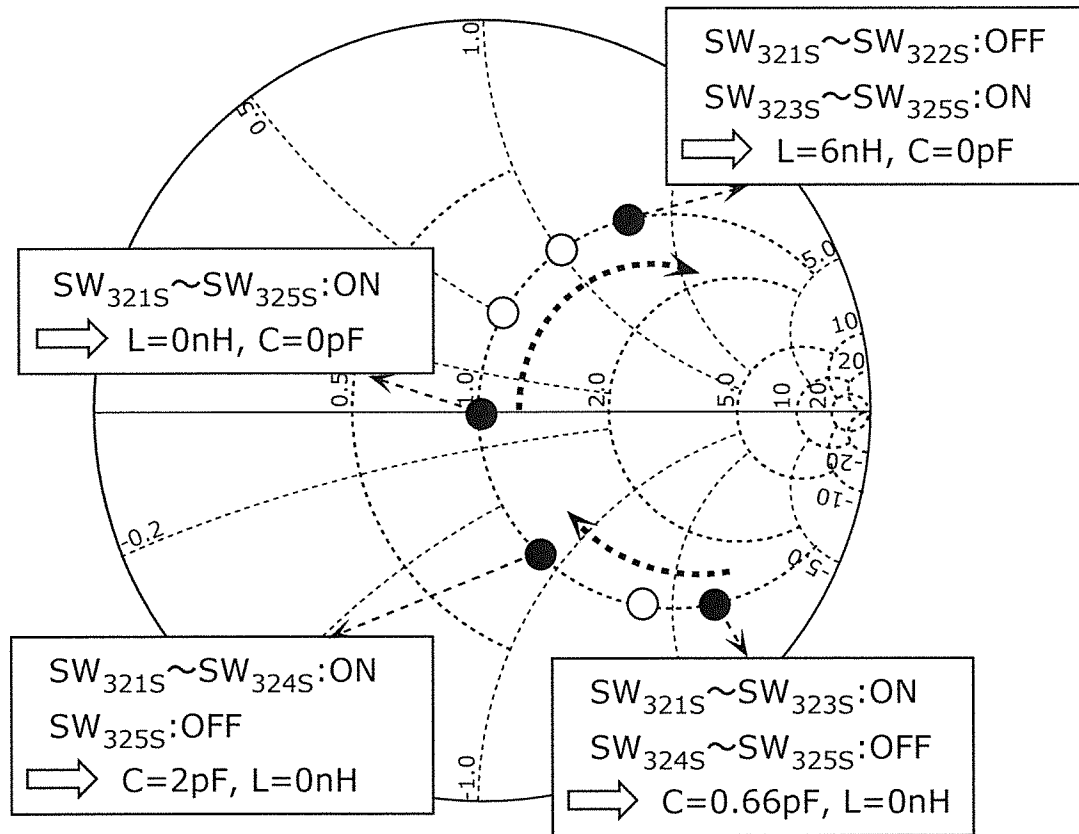
$$L_{311L}=1\text{nH} \quad L_{312L}=2\text{nH} \quad L_{313L}=3\text{nH} \quad L_{314L}=4\text{nH}$$



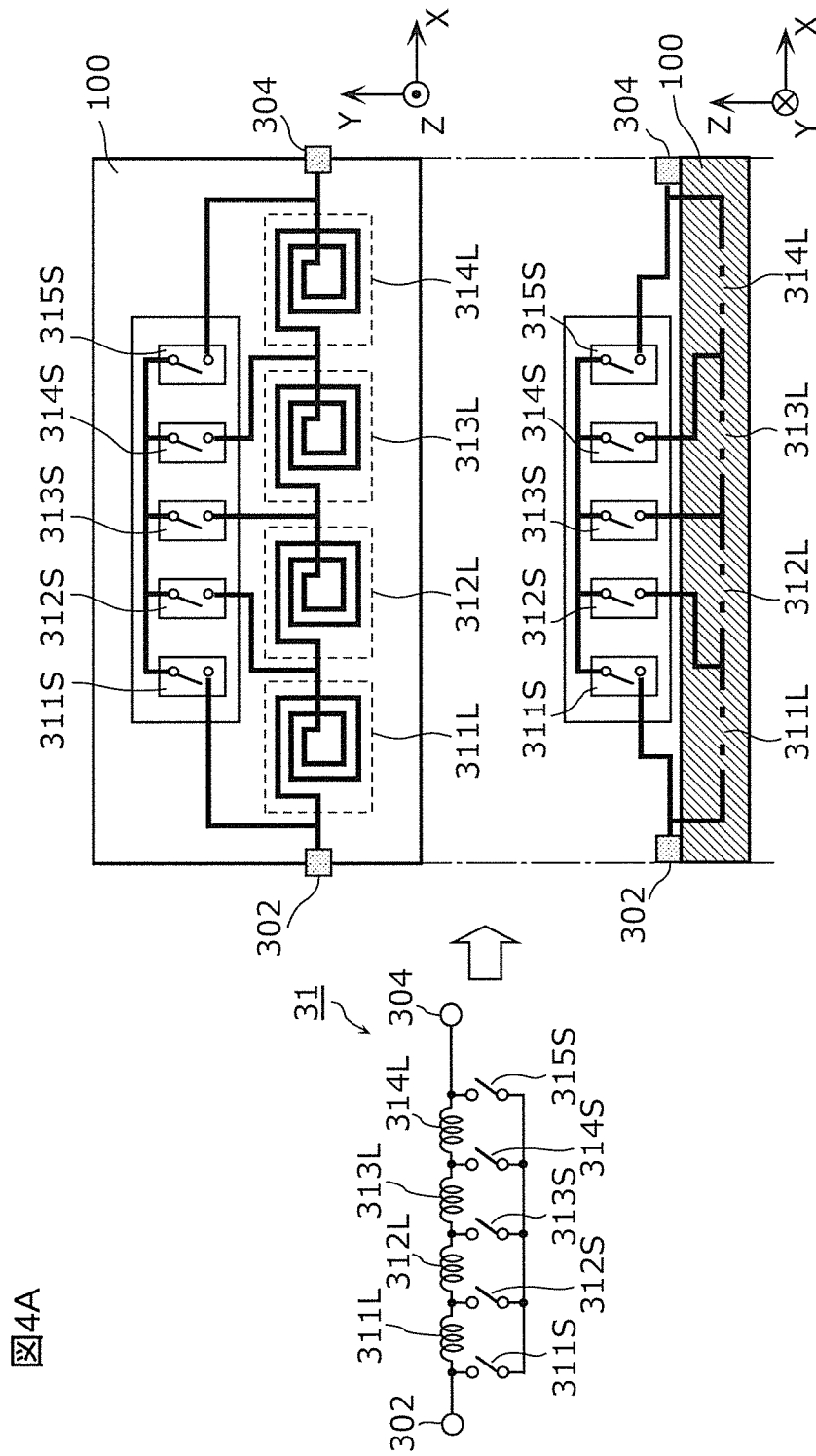
[図3B]

図3B

$$L_{321L}=2\text{nH} \quad L_{322L}=4\text{nH} \quad L_{323C}=1\text{pF} \quad L_{324C}=2\text{pF}$$

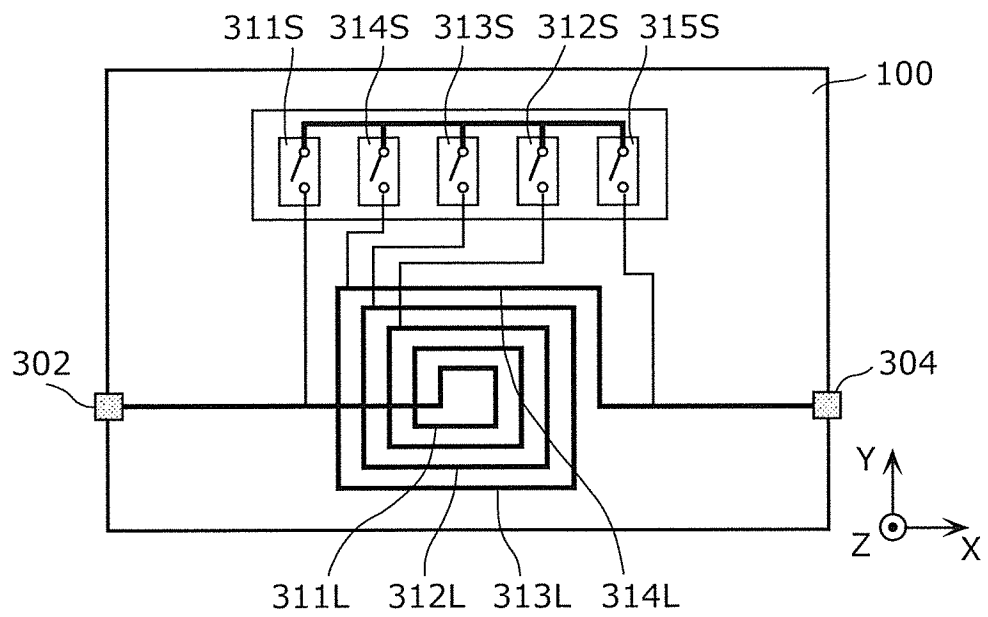


[図4A]



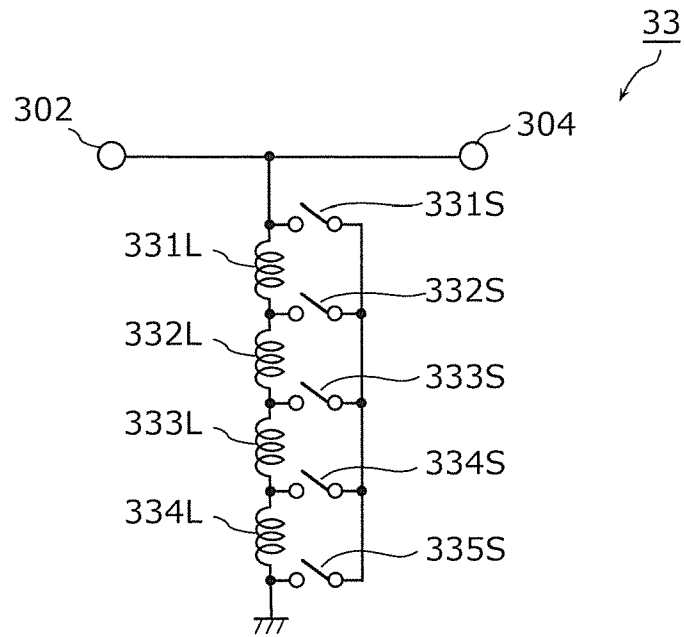
[図4B]

図4B



[図5A]

図5A



[図5B]

図5B

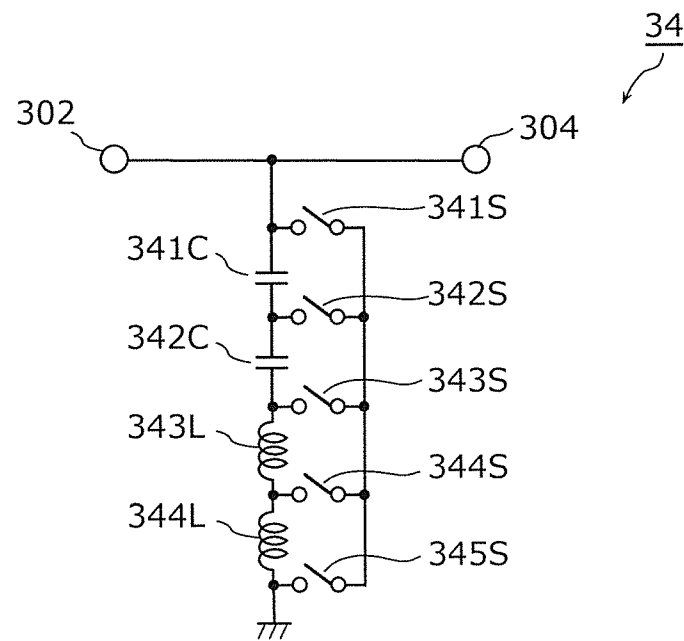
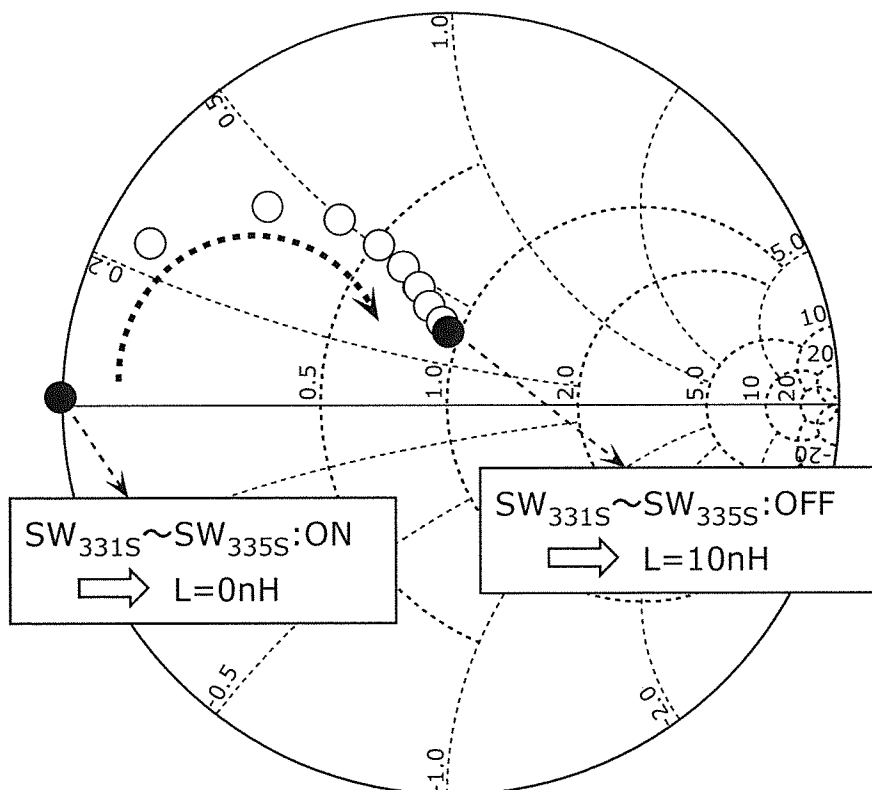


図6A

$$L_{332L} = 2nH$$
$$L_{333L} = 3nH$$
$$L_{334L} = 4nH$$


[図6B]

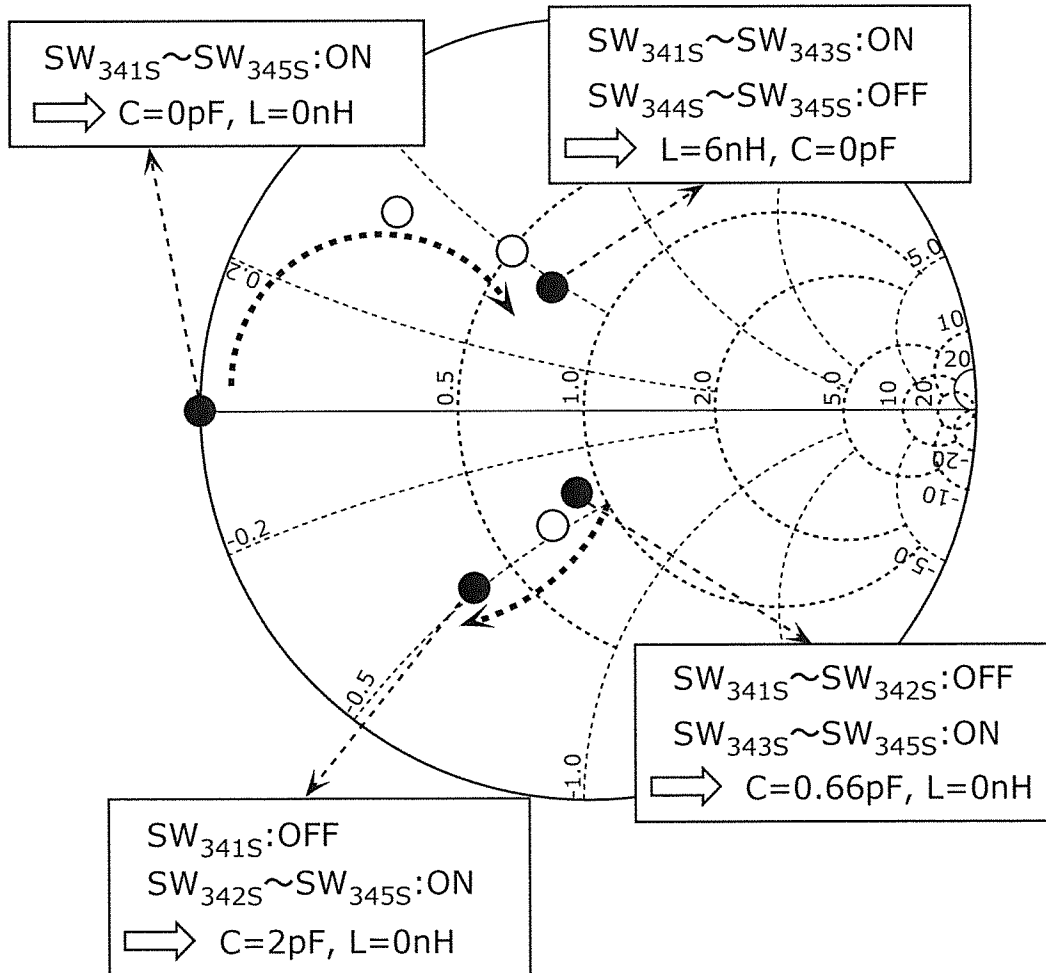
図6B

$$L_{341C}=2\text{pF}$$

$$L_{342C}=1\text{pF}$$

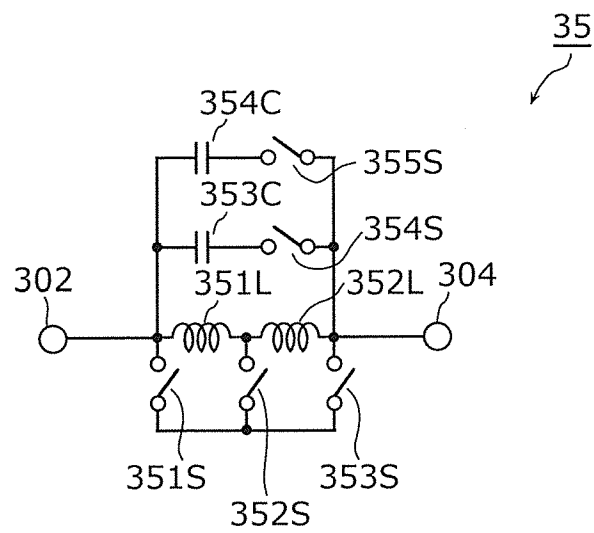
$$L_{343L}=2\text{nH}$$

$$L_{344L}=4\text{nH}$$



[図7A]

図7A



[図7B]

図7B

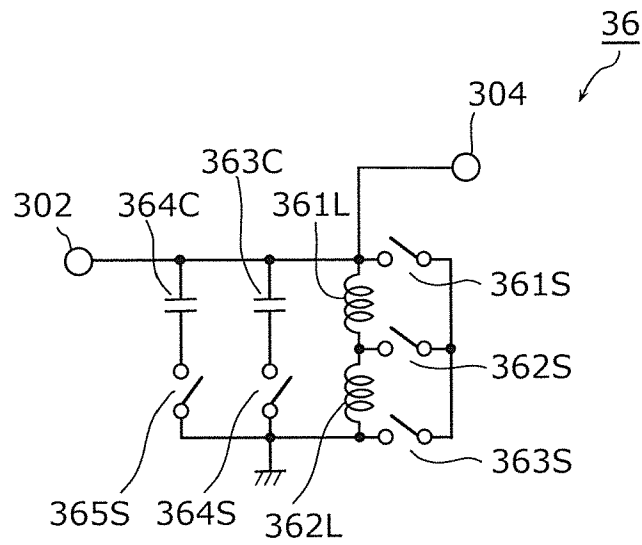
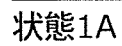


図8A

狀態2A

⇒ $L=6\text{nH}, C=0\text{pF}$

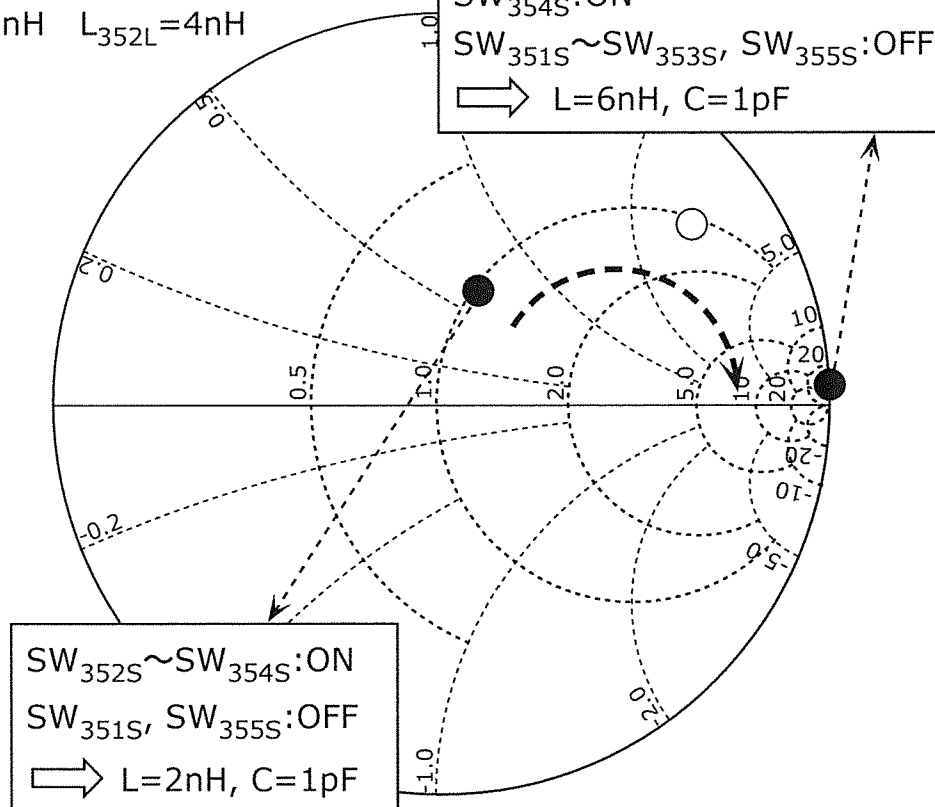


[図8B]

図8B

 $L_{353C} = 1\text{pF}$ $L_{354C} = 2\text{pF}$ $L_{351L} = 2\text{nH}$ $L_{352L} = 4\text{nH}$

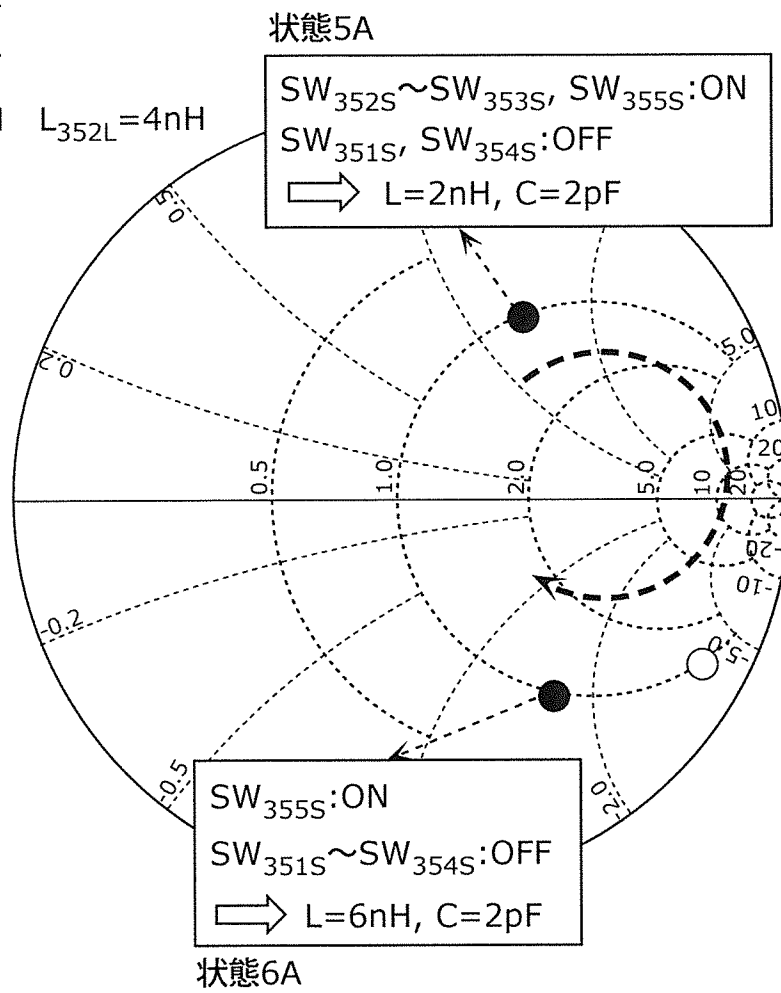
状態4A

 $SW_{354S} : \text{ON}$ $SW_{351S} \sim SW_{353S}, SW_{355S} : \text{OFF}$ $\Rightarrow L = 6\text{nH}, C = 1\text{pF}$ 

状態3A

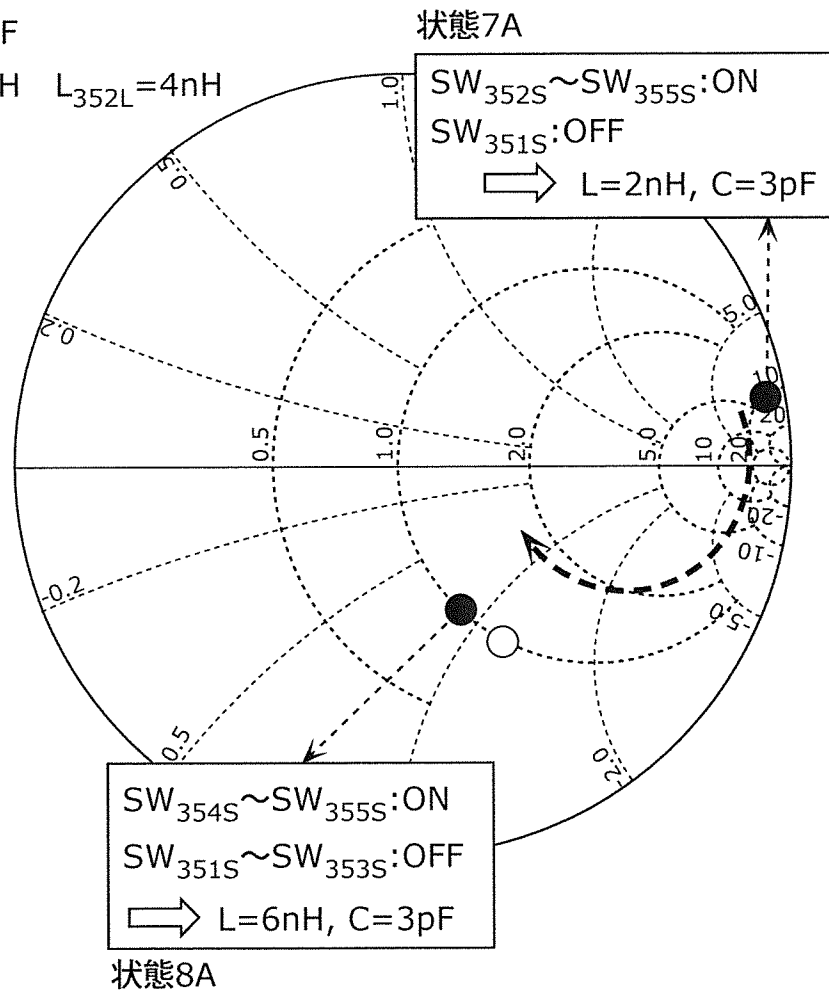
[図8C]

図8C

 $L_{353C}=1\text{pF}$ $L_{354C}=2\text{pF}$ $L_{351L}=2\text{nH}$ $L_{352L}=4\text{nH}$ 

[図8D]

図8D

 $L_{353C} = 1\text{pF}$ $L_{354C} = 2\text{pF}$ $L_{351L} = 2\text{nH}$ $L_{352L} = 4\text{nH}$ 

[図9A]

図9A

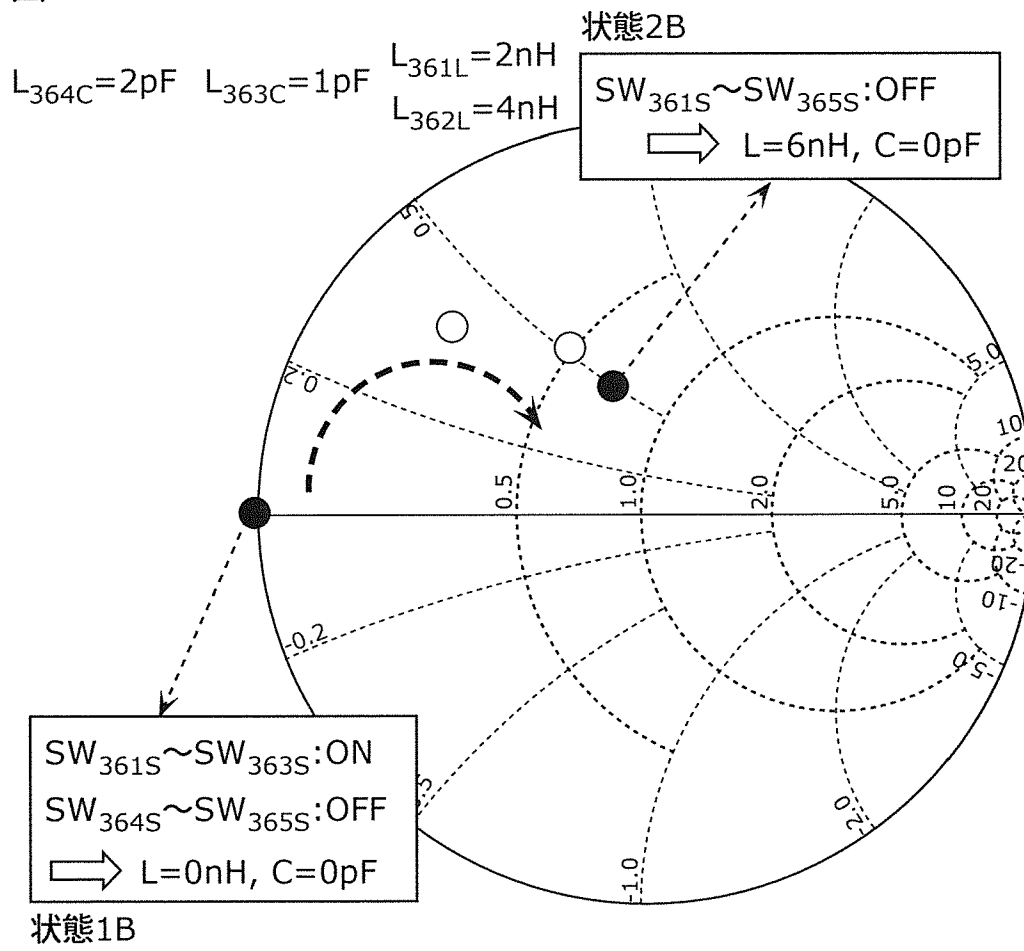
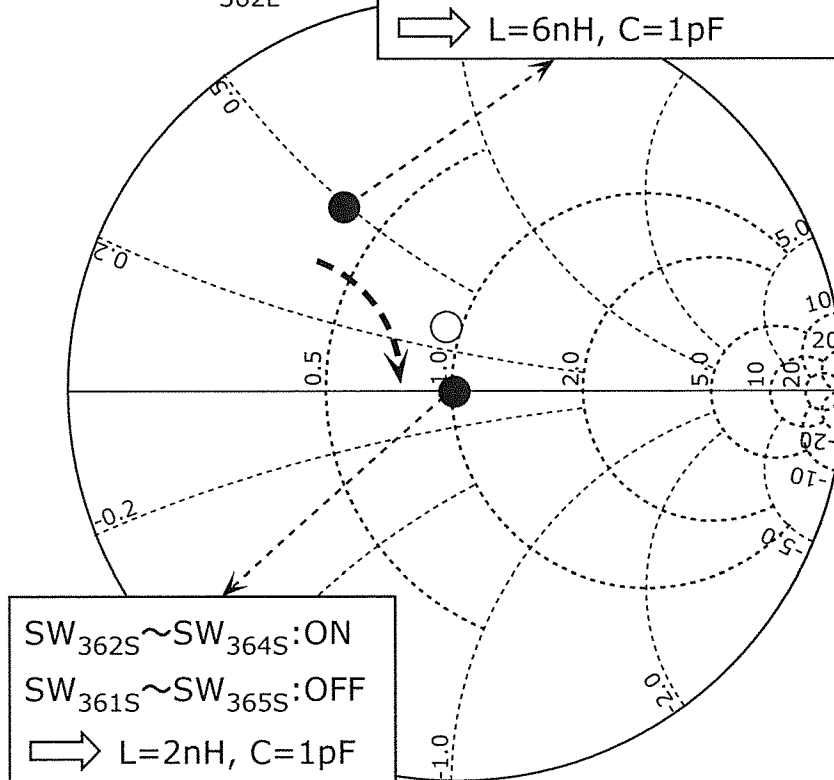


図9B

$$\begin{array}{l} L_{364C}=2\text{pF} \quad L_{363C}=1\text{pF} \quad \begin{array}{l} L_{361L}=2\text{nH} \\ L_{362L}=4\text{nH} \end{array} \end{array}$$

SW_{364S}:ON
SW_{351S}~SW_{353S},SW_{355S}:OFF
⇒ L=6nH, C=1pF



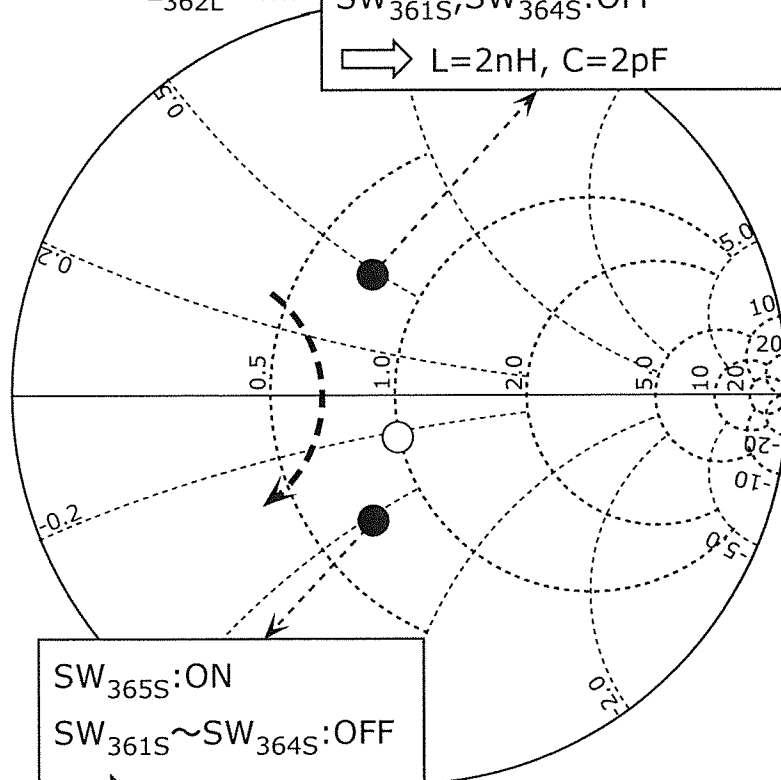
狀態4B

[図9C]

図9C

$L_{364C}=2\text{pF}$ $L_{363C}=1\text{pF}$ $L_{361L}=2\text{nH}$
 $L_{362L}=4\text{nH}$

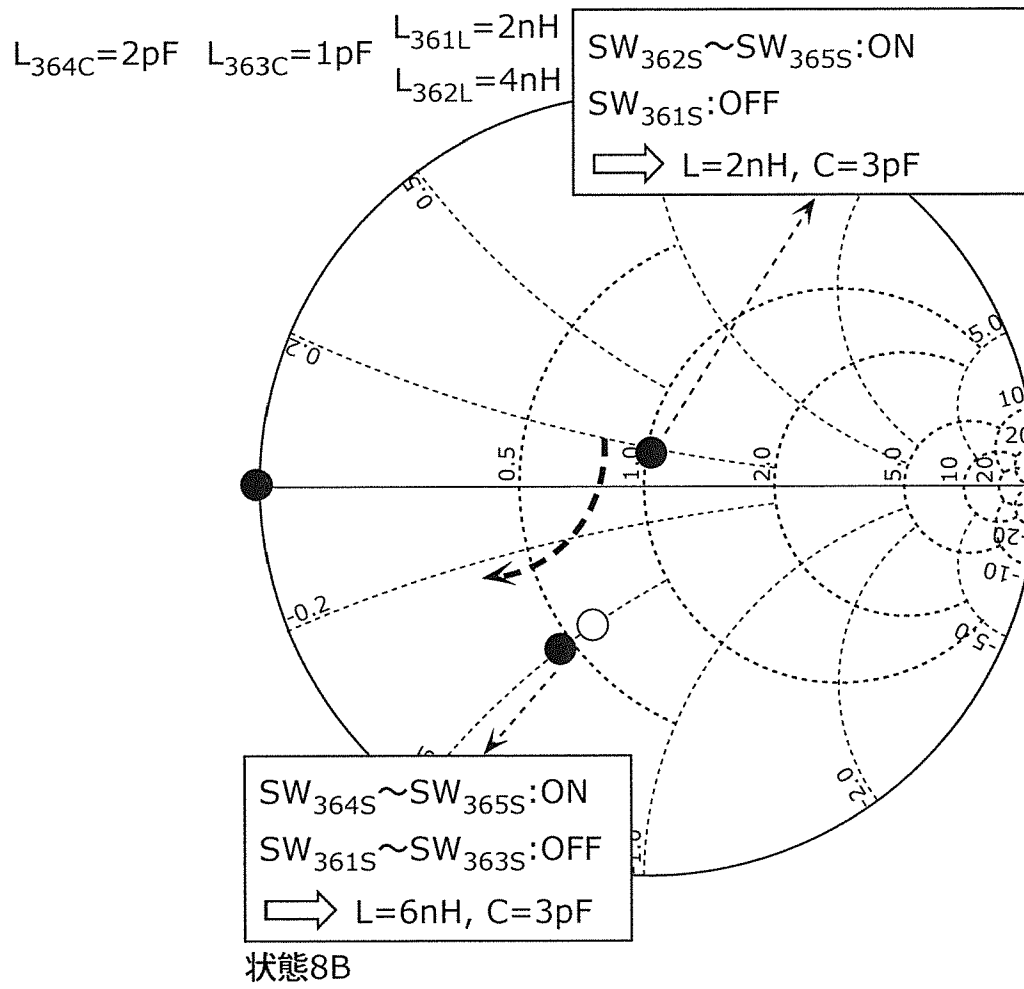
状態5B

 $\text{SW}_{362S} \sim \text{SW}_{363S}, \text{SW}_{365S} : \text{ON}$
 $\text{SW}_{361S}, \text{SW}_{364S} : \text{OFF}$
 $\Rightarrow L=2\text{nH}, C=2\text{pF}$

 $\text{SW}_{365S} : \text{ON}$
 $\text{SW}_{361S} \sim \text{SW}_{364S} : \text{OFF}$
 $\Rightarrow L=6\text{nH}, C=2\text{pF}$

状態6B

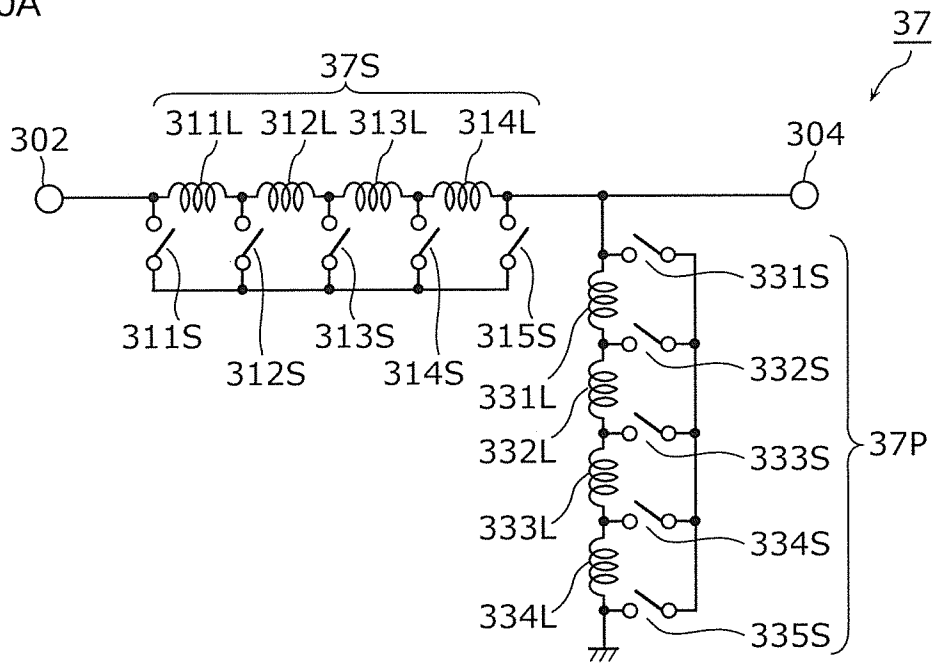
[図9D]

図9D



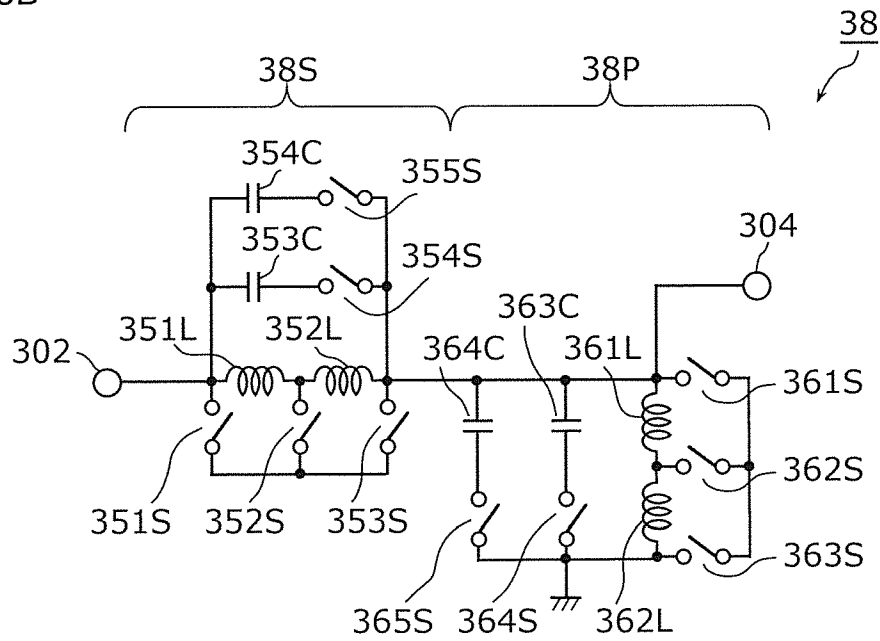
[図10A]

図10A



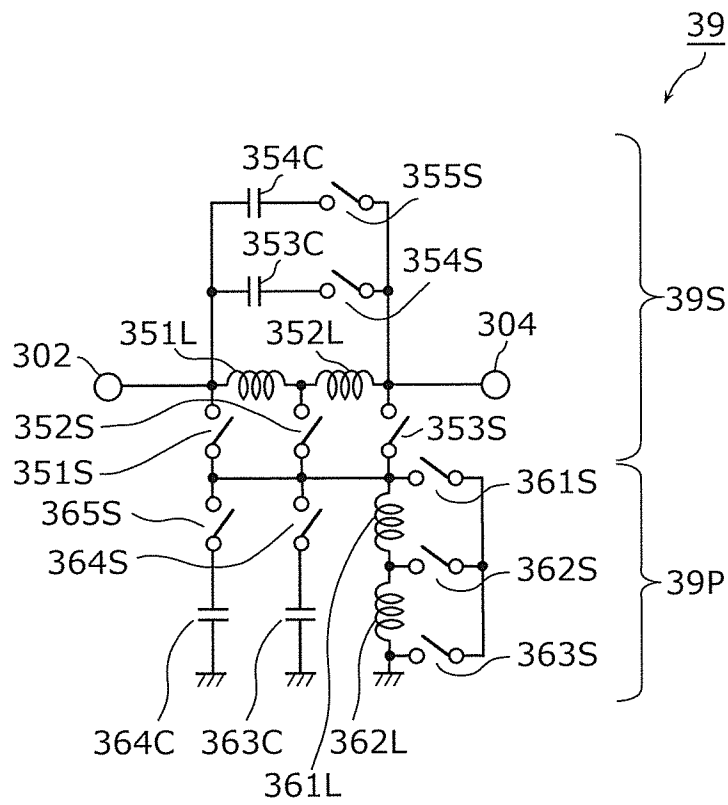
[図10B]

図10B



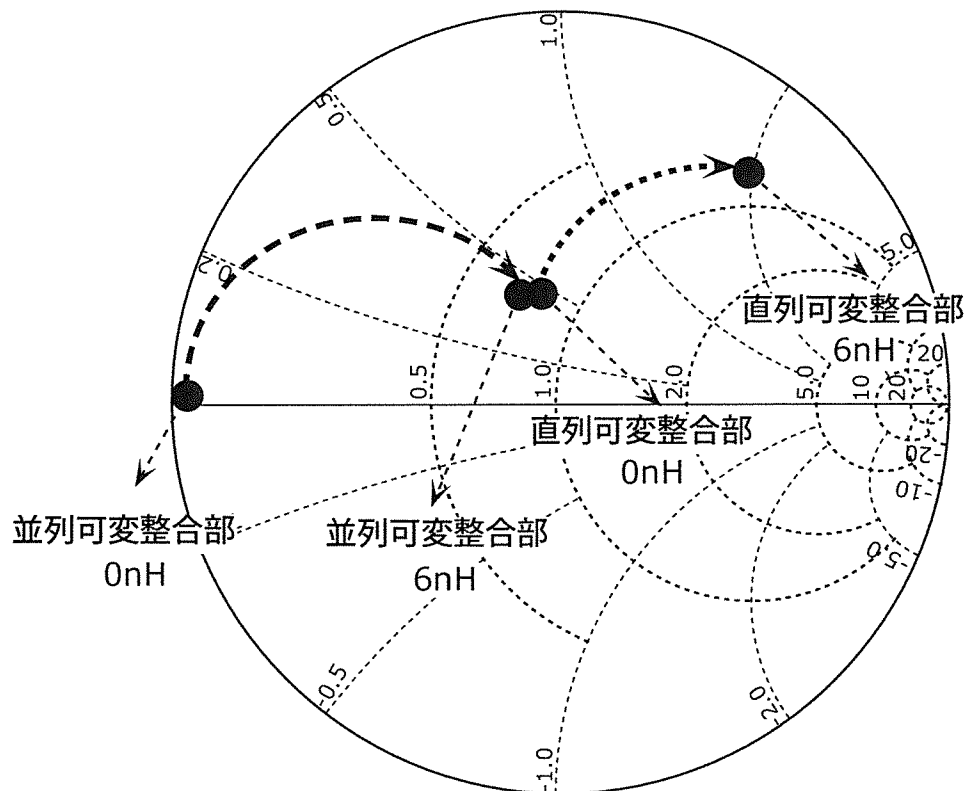
[図10C]

図10C



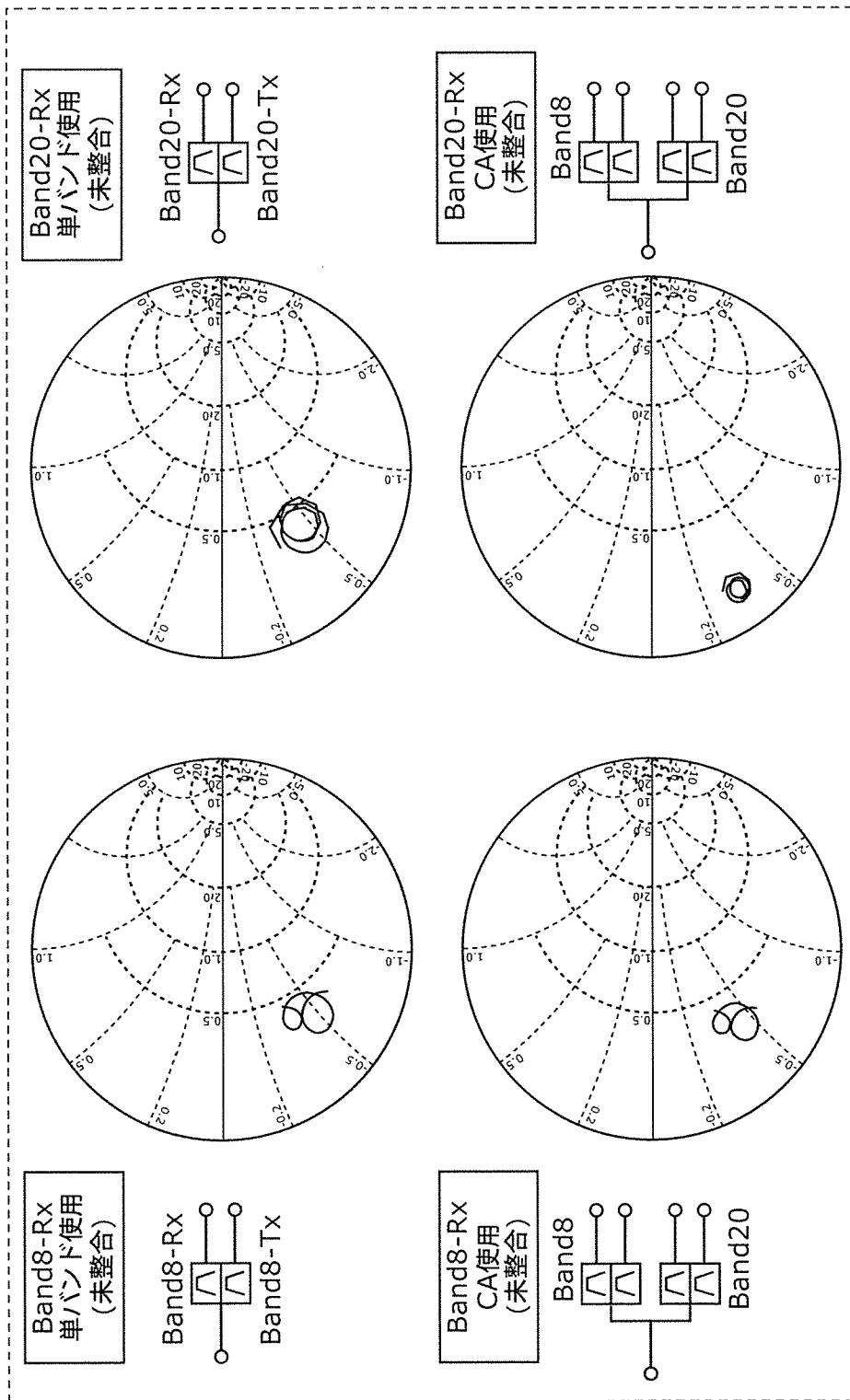
[図11]

図11



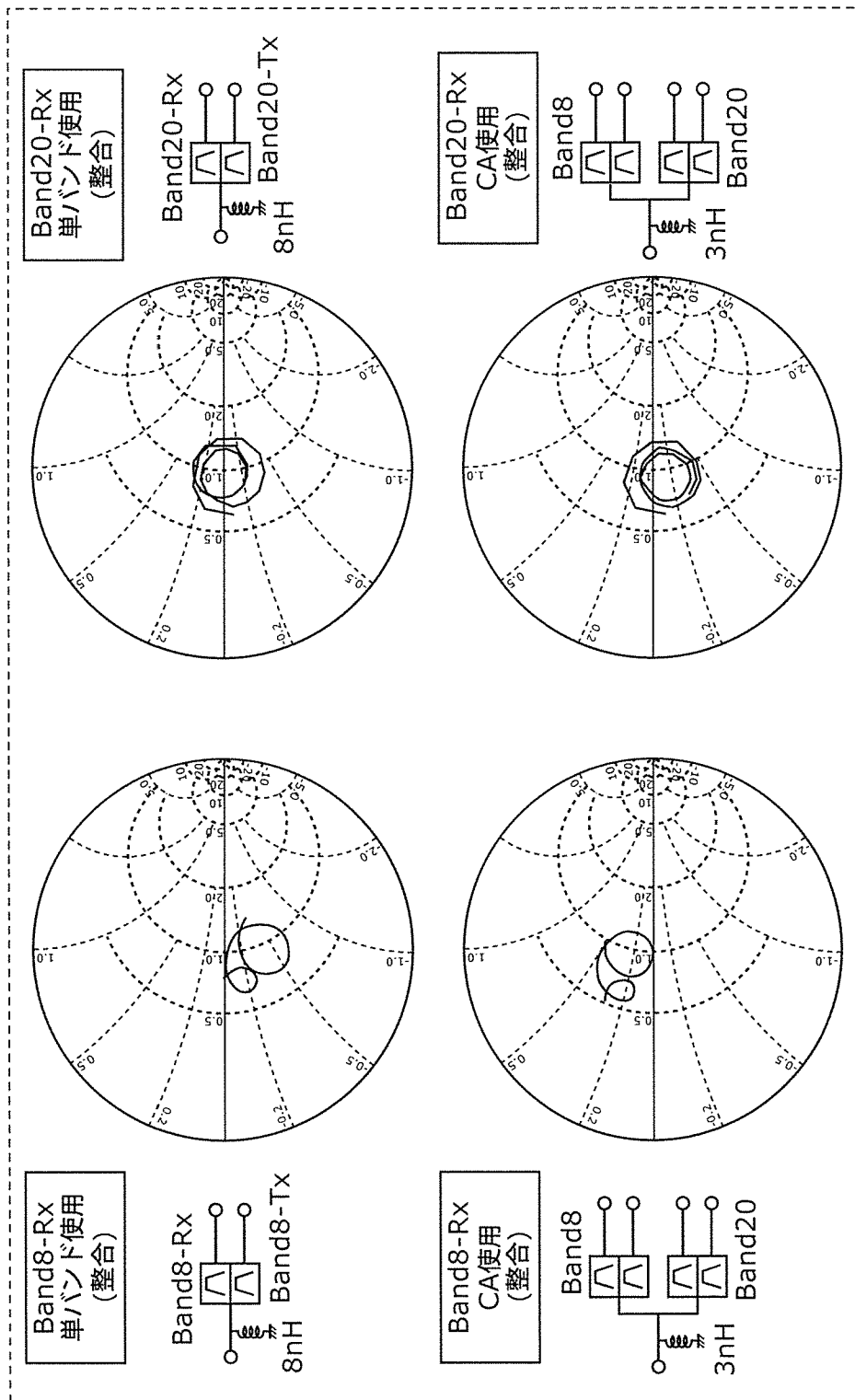
[図12A]

図12A



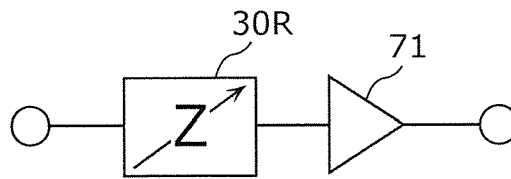
[図12B]

図12B



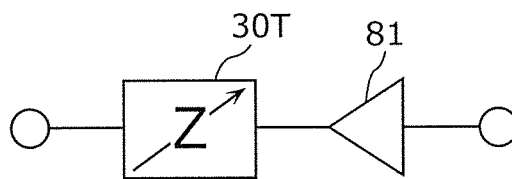
[図13A]

図13A



[図13B]

図13B



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/016107

A. CLASSIFICATION OF SUBJECT MATTER

H04B1/00(2006.01)i, H01Q1/50(2006.01)i, H03H7/38(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04B1/00, H01Q1/50, H03H7/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2014/013765 A1 (Murata Mfg. Co., Ltd.), 23 January 2014 (23.01.2014), paragraphs [0032] to [0040], [0056] to [0081], [0086] to [0088]; fig. 4, 6, 8 & US 2015/0087254 A1 paragraphs [0042] to [0050], [0066] to [0091], [0096] to [0098]; fig. 4, 6, 8	1-12
Y	US 2014/0104132 A1 (INFINEON TECHNOLOGIES AG), 17 April 2014 (17.04.2014), paragraphs [0075] to [0081], [0096] to [0106], [0123]; fig. 3, 12A, 19 & CN 103731120 A	1-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 July 2017 (12.07.17)

Date of mailing of the international search report
25 July 2017 (25.07.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/016107

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2014/045729 A1 (Sharp Corp.), 27 March 2014 (27.03.2014), paragraphs [0013] to [0019]; fig. 1 & US 2015/0072626 A1 paragraphs [0021] to [0027]; fig. 1 & CN 104205653 A	1-12
Y	WO 2010/113746 A1 (Murata Mfg. Co., Ltd.), 07 October 2010 (07.10.2010), paragraph [0046]; fig. 2 & US 2012/0062332 A1 paragraph [0052]; fig. 2 & CN 102356440 A	7-12
Y	JP 2014-140115 A (Taiyo Yuden Co., Ltd.), 31 July 2014 (31.07.2014), paragraphs [0020] to [0026]; fig. 1 & US 2014/0203887 A1 paragraphs [0016] to [0022]	10-12

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04B1/00(2006.01)i, H01Q1/50(2006.01)i, H03H7/38(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04B1/00, H01Q1/50, H03H7/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2014/013765 A1（株式会社村田製作所）2014.01.23, 段落 [0032]-[0040], [0056]-[0081], [0086]-[0088], 第4図, 第6図, 第8図 & US 2015/0087254 A1, [0042]-[0050], [0066]-[0091], [0096]-[0098], 第4図, 第6図, 第8図	1-12
Y	US 2014/0104132 A1（INFINEON TECHNOLOGIES AG）2014.04.17, [0075]-[0081], [0096]-[0106], [0123], 第3図, 第12A図, 第19 図 & CN 103731120 A	1-12

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

12.07.2017

国際調査報告の発送日

25.07.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小林 正明

5W

8388

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2014/045729 A1 (シャープ株式会社) 2014.03.27, 段落 [0013]-[0019], 第1図 & US 2015/0072626 A1, [0021]-[0027], 第 1図 & CN 104205653 A	1-12
Y	WO 2010/113746 A1 (株式会社村田製作所) 2010.10.07, 段落[0046], 第2図 & US 2012/0062332 A1, [0052], 第2図 & CN 102356440 A	7-12
Y	JP 2014-140115 A (太陽誘電株式会社) 2014.07.31, 段落 [0020]-[0026], 第1図 & US 2014/0203887 A1, [0016]-[0022]	10-12